

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6053384号  
(P6053384)

(45) 発行日 平成28年12月27日 (2016.12.27)

(24) 登録日 平成28年12月9日 (2016.12.9)

(51) Int. Cl. F I  
G 0 6 F 1 2 / 0 0 ( 2 0 0 6 . 0 1 ) G O 6 F 1 2 / 0 0 5 7 1 B

請求項の数 13 (全 17 頁)

<p>(21) 出願番号 特願2012-176027 (P2012-176027)                  (22) 出願日 平成24年8月8日 (2012.8.8)                  (65) 公開番号 特開2014-35628 (P2014-35628A)                  (43) 公開日 平成26年2月24日 (2014.2.24)                  審査請求日 平成27年7月9日 (2015.7.9)</p>	<p>(73) 特許権者 000001007                  キヤノン株式会社                  東京都大田区下丸子3丁目30番2号                  (74) 代理人 100126240                  弁理士 阿部 琢磨                  (74) 代理人 100124442                  弁理士 黒岩 創吾                  (72) 発明者 落合 渉                  東京都大田区下丸子3丁目30番2号キヤ                  ノン株式会社内                    審査官 滝谷 亮一</p>
--	---

最終頁に続く

(54) 【発明の名称】 情報処理装置、メモリ制御装置およびその制御方法

(57) 【特許請求の範囲】

【請求項1】

複数の転送指示をメモリアクセス単位に変換してメモリコマンドとして発行するメモリ制御装置であって、

前記複数の転送指示を優先度ごとに振り分けて出力する転送振り分け手段と、

前記転送振り分け手段によって振り分けられた前記転送指示をメモリアクセス単位に変換し、メモリアクセス要求を出力する転送分割手段と、

前記転送分割手段から出力された前記メモリアクセス要求に基づいてメモリデバイスに対して発行するメモリコマンドを生成するコマンド生成手段とを有し、

前記転送分割手段が、優先度の低い転送指示をメモリアクセス単位に変換する途中に、前記転送振り分け手段が優先度の高い転送指示を振り分け、前記優先度の低い転送指示に関する変換及び前記優先度の低い転送指示に基づくメモリアクセス要求の出力を中断した場合、前記優先度の低い転送指示に関する未変換部分を示す状態情報を保持する状態保持手段を有し、

前記転送分割手段は、前記優先度の低い転送指示に基づくメモリアクセス要求の出力を中断した後に、前記優先度の高い転送指示をメモリアクセス単位に変換する処理を開始し、前記優先度の高い転送指示に基づくメモリアクセス要求の出力が完了すると、中断した前記優先度の低い転送指示に関する変換処理を前記状態保持手段に保持されている前記状態情報に基づいて再開することを特徴とするメモリ制御装置。

【請求項2】

10

20

第 1 の前記転送分割手段は、前記優先度の低い転送指示をメモリアクセス単位に変換し

、  
第 2 の前記転送分割手段は、前記優先度の高い転送指示をメモリアクセス単位に変換することを特徴とする請求項 1 に記載のメモリ制御装置。

【請求項 3】

前記コマンド生成手段は、前記第 1 の転送分割手段から出力された前記優先度の低い転送指示に関するメモリアクセス要求に基づいて、メモリアクセス単位のメモリコマンドを複数発行し、該複数のメモリコマンドに、前記第 2 の転送分割手段から出力された前記優先度の高い転送指示に関するメモリアクセス要求に基づくメモリコマンドを割り込ませるように発行することを特徴とする請求項 2 に記載のメモリ制御装置。

10

【請求項 4】

前記メモリコマンド生成回路は、前記第 1 の転送分割回路および前記第 2 の転送分割回路から出力される複数のメモリアクセス要求があると、優先度の高い転送指示に関するメモリアクセス要求を優先的に処理することを特徴とする請求項 2 に記載のメモリ制御装置。

【請求項 5】

メモリコマンド生成回路は、所定単位のメモリアクセスが完了するたびに次のメモリアクセス要求を選択することを特徴とする請求項 4 に記載のメモリ制御装置。

【請求項 6】

前記転送指示は優先度を示す情報を含むことを特徴とする請求項 1 乃至 5 の何れか 1 項に記載のメモリ制御装置。

20

【請求項 7】

前記転送振り分け回路が、受信する転送指示の発行元を識別して前記転送指示の優先度を付与することを特徴とする請求項 1 乃至 6 の何れか 1 項に記載のメモリ制御装置。

【請求項 8】

前記転送分割手段は、優先度の低い転送指示をメモリアクセス単位に変換する途中に、優先度の高い転送指示に関する転送分割要求を受信すると、変換処理中の転送についての前記状態情報を前記状態保持手段に保持したまま、前記優先度の高い転送指示に基づく変換処理を開始し、前記優先度の高い転送指示に基づくメモリアクセスの出力が完了すると、前記状態保持手段に保持している前記状態情報に基づいて、中断した前記優先度の低い転送指示に関する変換処理を再開することを特徴とする請求項 1 に記載メモリ制御装置。

30

【請求項 9】

複数のバスマスタと、DRAMと、メモリバスと、オンチップバスと、前記DRAMに前記メモリバスを介して接続され、前記オンチップバスを介して前記複数のバスマスタに接続されているメモリ制御装置と、を備える情報処理装置であって、

前記メモリ制御装置は、

前記複数のバスマスタから前記DRAMへのバーストアクセスを示す複数の転送指示を優先度ごとに振り分けて出力する転送振り分け手段と、

前記転送振り分け回路によって振り分けられた前記転送指示を前記DRAMに対するアクセス単位に変換し、メモリアクセス要求を出力する転送分割手段と、を有し、

40

前記転送分割手段から出力された前記メモリアクセス要求に基づいて前記DRAMに対するメモリコマンドを発行する発行手段とを有し、

前記転送分割手段が、優先度の低い転送指示をメモリアクセス単位に変換する途中に、前記転送振り分け手段が優先度の高い転送指示を振り分け、前記優先度の低い転送指示に関する変換及び前記優先度の低い転送指示に基づくメモリアクセス要求の出力を中断した場合、前記優先度の低い転送指示に関する未変換部分を示す状態情報を保持する状態保持手段を有し、

前記転送分割手段は、前記優先度の低い転送指示に基づくメモリアクセス要求の出力を中断した後に、前記優先度の高い転送指示をメモリアクセス単位に変換する処理を開始し、前記優先度の高い転送指示に基づくメモリアクセス要求の出力が完了すると、中断した

50

前記優先度の低い転送指示に関する変換処理を前記状態保持手段に保持されている前記状態情報に基づいて再開することを特徴とする情報処理装置。

【請求項 10】

前記転送振り分け手段は、少なくとも優先度の低い転送指示を保持するFIFOバッファを有することを特徴とする請求項 1 乃至 9 の何れか 1 項に記載メモリ制御装置。

【請求項 11】

前記転送振り分け手段は、前記複数の転送指示を優先度ごとに保持するFIFOバッファを有することを特徴とする請求項 10 に記載の情報処理装置。

【請求項 12】

複数の転送指示に基づいてメモリアクセス単位のメモリコマンドを発行するメモリ制御装置であって、前記複数の転送指示を優先度ごとに振り分けて出力する転送振り分け手段と、前記転送振り分け手段によって振り分けられた前記転送指示をメモリアクセス単位に変換し、メモリアクセス要求を出力する転送分割手段と、前記転送分割手段から出力された前記メモリアクセス要求に基づいてメモリデバイスに対して発行するメモリコマンドを生成するコマンド生成手段とを有するメモリ制御装置の制御方法であって、

前記転送分割手段が、優先度の低い転送指示をメモリアクセス単位に変換する途中に、前記転送振り分け手段が優先度の高い転送指示を振り分け、前記優先度の低い転送指示に関する変換及び前記優先度の低い転送指示に基づくメモリアクセス要求の出力を中断した場合、前記優先度の低い転送指示に関する未変換部分を示す状態情報を保持し、

前記転送分割手段は、前記優先度の低い転送指示に基づくメモリアクセス要求の出力を中断した後に、前記優先度の高い転送指示をメモリアクセス単位に変換する処理を開始し、前記優先度の高い転送指示に基づくメモリアクセス要求の出力が完了すると、中断した前記優先度の低い転送指示に関する変換処理を保持されている前記状態情報に基づいて再開することを特徴とする制御方法。

【請求項 13】

複数のバスマスタと、DRAMと、メモリバスと、オンチップバスと、

前記複数のバスマスタから前記DRAMへのバーストアクセスを示す複数の転送指示を優先度ごとに振り分けて出力する転送振り分け手段と、前記転送振り分け回路によって振り分けられた前記転送指示を前記DRAMに対するアクセス単位に変換し、メモリアクセス要求を出力する転送分割手段と、前記転送分割手段から出力された前記メモリアクセス要求に基づいて前記DRAMに対するメモリコマンドを、前記メモリバスを介して発行する発行手段と、を有するメモリ制御回路とを有する情報処理装置の制御方法であって、

前記転送分割手段が、優先度の低い転送指示をメモリアクセス単位に変換する途中に、前記転送振り分け手段が優先度の高い転送指示を振り分け、前記優先度の低い転送指示に関する変換及び前記優先度の低い転送指示に基づくメモリアクセス要求の出力を中断した場合、前記優先度の低い転送指示に関する未変換部分を示す状態情報を保持し、

前記転送分割手段は、前記優先度の低い転送指示に基づくメモリアクセス要求の出力を中断した後に、前記優先度の高い転送指示をメモリアクセス単位に変換する処理を開始し、前記優先度の高い転送指示に基づくメモリアクセス要求の出力が完了すると、中断した前記優先度の低い転送指示に関する変換処理を保持されている前記状態情報に基づいて再開することを特徴とする制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、転送の優先度に応じてメモリアクセスを制御する情報処理装置、メモリコントローラメモリ制御回路およびその制御方法に関する。

【背景技術】

【0002】

近年、複数マスタがオンチップバスを介して1つのメモリを共有するメモリシステムが

10

20

30

40

50

主流である。こういったシステムでは各マスタが非同期に転送を発行する。しかし、各マスタからの転送には、あるレイテンシを満たさなければならないものや、ある転送帯域を満たさなければならないものなど様々な種類の転送がある。レイテンシを保証する必要がある転送は、優先度の高い転送として扱い、優先度の高い転送を他の転送よりも先に処理する種々の手法がある。

【 0 0 0 3 】

例えば、特許文献 1 は、メモリ制御回路がレイテンシの算出が必要な転送用のキューと不要な転送用のキューと設けて、状況に応じてどちらのキューの保持している転送指示を取り出してメモリアクセスするかを判断する手法を開示している。また、特許文献 2 は、メモリ制御回路がアクセスするアドレス領域ごとに転送を保持するキューを設けて、優先度の高いアクセス領域のキューの転送からメモリアクセスする手法を開示している。

10

【先行技術文献】

【特許文献】

【 0 0 0 4 】

【特許文献 1】特開 2 0 1 1 - 1 6 5 1 0 5 号公報

【特許文献 2】特開 2 0 0 6 - 2 5 0 5 5 5 号公報

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 5 】

ここで、オンチップバスからのメモリ制御回路への転送単位が、メモリ制御回路からメモリへの転送単位と異なる際には、オンチップバスからの転送を分割して調整する必要が生じる。具体的には、オンチップバスからの 1 つの転送単位の転送を実現するために、メモリ制御回路は複数のメモリアクセスコマンドを発行する必要がある。

20

【 0 0 0 6 】

しかし、特許文献 1 や特許文献 2 に開示されている手法では、分割して発行するメモリアクセスについて優先度が考慮できる様に構成されていない。従って、オンチップバスから優先度の低いメモリアクセス要求を受けて複数のメモリアクセスコマンドに分割していると、優先度の高い他のメモリアクセス要求を受けても、優先度の低いメモリアクセス要求から生成した複数のメモリアクセスコマンドに基づくメモリアクセスを完了するまで優先度の高いメモリアクセス要求の処理を開始することができない。

30

【 0 0 0 7 】

例えば、オンチップバスからの転送が 8 ビートの転送であり、それが 2 つメモリアクセスコマンドに分割され、メモリアクセスに 4 サイクルを要するものとする。2 つのメモリアクセスは連続して処理されるため、8 サイクルの間は後続の転送は処理されない。一方、オンチップバスからの転送が 1 2 8 ビートの転送であると、それが 3 2 個のメモリアクセスに分割される。それぞれに 4 サイクルを要するものとする、1 2 8 サイクルの間は後続の転送は処理されない。このように、後続の転送の優先度が高くて、分割したメモリアクセスを実行中は他の転送を処理することができないため、優先度が高い転送に関する転送効率が良くない。

【課題を解決するための手段】

40

【 0 0 0 8 】

上記課題を解決するために本発明に係るメモリ制御装置は、複数の転送指示をメモリアクセス単位に変換してメモリコマンドとして発行するメモリ制御装置であって、前記複数の転送指示を優先度ごとに振り分けて出力する転送振り分け手段と、前記転送振り分け手段によって振り分けられた前記転送指示をメモリアクセス単位に変換し、メモリアクセス要求を出力する転送分割手段と、前記転送分割手段から出力された前記メモリアクセス要求に基づいてメモリデバイスに対して発行するメモリコマンドを生成するコマンド生成手段とを有し、前記転送分割手段が、優先度の低い転送指示をメモリアクセス単位に変換する途中に、前記転送振り分け手段が優先度の高い転送指示を振り分け、前記優先度の低い転送指示に関する変換及び前記優先度の低い転送指示に基づくメモリアクセス要求の出力

50

を中断した場合、前記優先度の低い転送指示に関する未変換部分を示す状態情報を保持する状態保持手段を有し、前記転送分割手段は、前記優先度の低い転送指示に基づくメモリアクセス要求の出力を中断した後に、前記優先度の高い転送指示をメモリアクセス単位に変換する処理を開始し、前記優先度の高い転送指示に基づくメモリアクセス要求の出力が完了すると、中断した前記優先度の低い転送指示に関する変換処理を前記状態保持手段に保持されている前記状態情報に基づいて再開することを特徴とする。

【発明の効果】

【0009】

本発明によれば、先行する転送に基づくメモリアクセスを開始していても、後続の優先度の高い転送に基づくメモリアクセスを割り込ませて転送させ、優先度の高い転送に関する転送効率を向上させることができる。

10

【図面の簡単な説明】

【0010】

【図1】メモリ制御回路の概略構成を示すブロック図である。

【図2】転送指示、メモリアクセス要求、メモリコマンドの内容を示す概略図である。

【図3】メモリ制御回路の動作波形を示すタイミングチャートである。

【図4】メモリ制御回路の概略構成を示すブロック図である。

【図5】メモリ制御回路の動作波形を示すタイミングチャートである。

【図6】メモリ制御回路の概略構成を示すブロック図である。

【図7】メモリ制御回路の概略構成を示すブロック図である。

20

【図8】転送振り分け回路の構成を示すブロック図である。

【図9】情報処理装置の概略構成を示すブロック図である。

【図10】(a)、(b)従来のメモリ制御回路によって優先度の異なる2つの転送が処理される様子を示す模式図であり、(c)本発明のメモリ制御回路によって優先度の異なる2つの転送が処理される様子を示す模式図である。

【発明を実施するための形態】

【0011】

<<実施形態1>>

図9は本発明に係る一実施形態の情報処理装置の概略構成を示す。情報処理装置は、ここでは複写機能付きのプリンタでありLSI900とLSI900に接続されるデバイスとを備える。LSI900は、CPU901とEthernet(登録商標)コントローラ902、2つの画像処理回路903、904、SDRAM制御回路(メモリ制御回路)905、ROM制御回路906、およびこれらの構成901~906を相互に接続するオンチップバス907を有する。LSI900に接続されるデバイスとしては、ネットワークデバイス911とスキャンデバイス912、プリンタデバイス913、SDRAMデバイス921、ROMデバイス922を有している。

30

【0012】

ROMデバイス922にはCPU901が実行するプログラムが格納されており、CPU901がこのプログラムを読み出して実行することでシステムを起動する。ネットワークデバイス911とスキャンデバイス912はプリントするデータをLSI900に入力する。ネットワークデバイス911からのデータはEthernet(登録商標)コントローラ902がメモリ制御回路905に送信する。スキャンデバイス912からのデータは画像処理回路903によって画像処理(画像処理用色空間への変換処理、シェーディング補正、フィルタ処理、など)され、メモリ制御回路905に送信される。メモリ制御回路905はメモリバスを介してSDRAMデバイス921にデータを書き込んだり、SDRAMデバイス921が保持しているデータを読み出したりする。SDRAMデバイス921に格納されたデータはメモリ制御回路906を介して画像処理回路904によって読み出され印刷用の画像処理(印刷用色空間への変換処理、ガンマ補正など)がなされた後に、プリンタデバイス913に送信される。

40

【0013】

50

次に、図1を用いて図9のメモリ制御回路905の概略構成をメモリ制御回路100として説明する。図1に示すように、メモリ制御回路100は、転送振り分け回路101と2つの転送分割回路103-1、103-2とメモリコマンド生成回路104とを備えている。以降の説明では、各種信号を区別して説明するため、転送振り分け回路が上流から受信する転送要求および転送振り分け回路が転送分割回路に振り分ける情報を転送指示(転送分割要求)と称す。さらに、転送分割回路102がメモリコマンド生成回路104に発行する情報をメモリアクセス要求と称し、メモリコマンド生成回路104がメモリデバイス(DDR-SDRAMなど)に対して発行する情報をメモリコマンド(リードコマンド、ライトコマンド)と称す。なお、説明の簡便のため、「転送指示、メモリアクセス要求およびメモリコマンド」のいずれも、メモリに書き込む方向またはメモリから読み出す方向のデータ転送に関するものとする。

10

## 【0014】

転送振り分け回路101は優先度に応じた転送分割回路102に、上流のオンチップバス907からの転送指示を振り分ける。例えば、低い優先度の転送指示を転送分割回路102-1へ、高優先度の転送指示を転送分割回路102-2へ送信する。

## 【0015】

転送分割回路102-1、102-2の各々は転送振り分け回路101から受信した転送指示に基づいてメモリアクセス単位(バーストアクセス単位、所定単位)のメモリアクセス要求を出力する。このとき、転送指示の長さ(bit長に相当)によっては分割して複数のメモリアクセス要求を出力する。なお、オンチップバスの最小転送単位(第1転送単位)がメモリアクセス単位(第2転送単位)より大きければ、分割する必要がある。メモリコマンド生成回路104は複数の転送分割回路102-1、102-2から出力されるメモリアクセス要求のうち優先度の高いメモリアクセス要求を選択し、選択したメモリアクセス要求に基づいてメモリデバイスにメモリコマンドを発行する。従って、優先度の高いメモリアクセス要求が優先的に処理される。

20

## 【0016】

本実施形態で、1回のメモリアクセスはオンチップバスからの4ビット分の転送に対応するものとする。ここで、オンチップバスからメモリ制御回路100が16ビットの転送指示を受け付けたものとする。転送分割回路102は、16ビットの転送指示の「先頭から4ビット分」を取り出してメモリアクセス要求を生成する。次に、転送分割回路102は、16ビットの転送指示の「先頭から5ビット目~先頭から8ビット目」を取り出してメモリアクセス要求を生成する。このような処理を繰り返すことで複数のメモリアクセス要求に分割(変換)する。ここで、転送分割回路102は、オンチップバスからの転送指示を分割するたびに、どこまで処理(分割したメモリアクセス)を行ったかを示す情報(分割状態情報、処理状態)を転送分割状態バッファ(状態保持部)103に保持させる。ここでは、未分割の転送のバースト長(16ビットで2つのメモリアクセス要求について分割処理済みであれば、“8”)を記憶し、分割処理のたびにデクリメントするものとする。どこまで分割処理を行ったかを示す情報を保持しておくことによって、分割処理の中断と再開が可能になる。

30

## 【0017】

図3は本実施形態のメモリ制御回路100に関する各種信号の動作波形を示すタイミングチャートである。横軸は時間遷移(クロックサイクル時間)を示し、縦軸は各種信号の波形又は保持する値を示す。ここでは、メモリ制御回路100がオンチップバスから3つの転送指示(転送指示A~C)を受信して処理する例を示す。転送指示A(第1の転送指示)は低優先度でバースト長が16である。転送指示B(第2の転送指示)は低優先度でバースト長が4である。転送指示Cは高優先度でバースト長が4であるものとする。説明の簡便のため転送指示A~Cはメモリに対するリードアクセスとするが、その他のコマンドが混在してもよい。また、メモリアクセス一回のデータ量はオンチップバスの4ビット分のデータ量と一致し、メモリアクセスに4サイクル要するものとする。

40

## 【0018】

50

まず、図3の縦軸に示す各種信号について説明する。

【0019】

Clk信号は、メモリ制御回路100に供給されるクロックを示す。Trans\_Req信号は、転送指示を示す信号であり、オンチップバスから転送振り分け回路101に入力される。Trans\_Ack信号は、転送振り分け回路101からオンチップバスに対して転送指示を受信したことを示す応答信号である。Trans\_Ack信号に基づいて、オンチップバスに接続されているバスマスタは次の転送を送信する。以降のAck信号はこれ同様にハンドシェイクのため受領信号とする。

【0020】

Trans\_Pri信号は、転送指示の優先度を示す信号であり、オンチップバスからTrans\_Req信号と並行して転送振り分け回路101に入力される。Trans\_Len信号は、転送指示のバースト長を示す信号であり、オンチップバスからTrans\_Req信号と並行して転送振り分け回路101に入力される。

【0021】

Low\_Div\_Req信号は、優先度の低い転送指示を分割する要求を示す信号であり、転送振り分け回路101が転送分割回路102-1に出力する。Low\_Div\_Ack信号は、転送分割回路102-1が分割する対象の転送指示を受信したことを示す信号であり、転送分割回路102-1が転送振り分け回路101に出力する。Low\_Div\_Len信号は優先度の低い転送指示のバースト長を示す。

【0022】

High\_Div\_Req信号は、優先度の高い転送指示を分割する要求を示す信号であり、転送振り分け回路101が転送分割回路102-2に出力する。High\_Div\_Ack信号は、転送分割回路102-2が分割する対象の転送指示を受信したことを示す信号であり、転送分割回路102-2が転送振り分け回路101に出力する。High\_Div\_Len信号は優先度の高い転送指示のバースト長を示す。

【0023】

Low\_Mem\_Req信号は、優先度の低い転送指示に基づくメモリアクセス要求を示し、転送分割回路102-1がメモリコマンド生成回路104に出力する。Low\_Mem\_Ack信号は、メモリコマンド生成回路104が優先度の低い転送指示に関するメモリアクセス要求を受信したことを示し、メモリコマンド生成回路104が転送分割回路102-1に出力する。Low\_Rem\_Len信号は転送分割状態バッファ103-1の保持している値であり、低優先度の分割メモリアクセスの進行状態と対応し、ここでは、残りのバースト長を示す。

【0024】

High\_Mem\_Req信号は、優先度の高い転送指示に基づくメモリアクセス要求を示し、転送分割回路102-2がメモリコマンド生成回路104に出力する。High\_Mem\_Ack信号は、メモリコマンド生成回路104が優先度の高い転送指示に関するメモリアクセス要求を受信したことを示し、メモリコマンド生成回路104が転送分割回路102-2に出力する。High\_Rem\_Len信号は、転送分割状態バッファ103-2の保持している値であり高優先度の分割メモリアクセスの進行状態と対応し、ここでは残りのバースト長を示す。Mem\_Cmd信号は、メモリコマンド生成回路104が、メモリデバイスに対して発行するメモリコマンドを示す。

【0025】

次に、クロックサイクル毎の各種信号の遷移を遷移順に説明する。

【0026】

T0で、不図示のバスマスタがオンチップバスに対して転送指示Aに関する転送要求を発行する。ここで、各種バッファは零にクリアされているものとする。さらに、T2で、オンチップバスからメモリアクセス制御回路100に転送指示Aを示すTrans\_Req信号がアサートされる(T1ではTrans\_Reqが立ちあがっておらず認識されない)。

10

20

30

40

50

## 【0027】

T3で、メモリアクセス制御回路100はTrans\_Ack信号を上流のオンチップバスへアサートすることで転送指示Aの受信を完了する。このとき、転送振り分け回路101は、Trans\_Pri信号に基づいて転送指示Aが低優先度であることを認識し、Trans\_Len信号に基づいて転送指示Aのバースト長が16であることを認識する。

## 【0028】

T4で、転送振り分け回路101は転送指示Aの優先度の認識に応じてLow\_Div\_Req信号およびLow\_Div\_Len信号を転送分割回路102-1に送信する。

## 【0029】

T5で、さらに、オンチップバスからメモリアクセス制御回路100に対して、低優先度の転送指示Bに関するTrans\_Req信号、Trans\_Pri信号およびTrans\_Len信号が入力される。一方、転送指示Aに関して、転送分割回路102-1はLow\_Div\_Ack信号を転送振り分け回路101にアサートし、転送指示Aの分割処理を開始する。

## 【0030】

T6で、転送指示Bに関して、メモリアクセス制御回路100はTrans\_Ack信号をアサートすることで転送指示Bを受信したことを通知する。一方、転送指示Aに関して、転送分割回路102-1はLow\_Mem\_Req信号をアサートすることでメモリコマンド生成回路104に対してメモリアクセス要求を出す。また、このとき転送分割状態バッファ103-1の残りのバースト長としてLow\_Rem\_Len信号には16がセットされる。

## 【0031】

T7で、転送指示Bに関して、転送振り分け回路101は転送指示Bが低優先度であると認識し、Low\_Div\_Req信号をアサートして転送分割回路102-1に送信する。転送分割回路102-1は、転送分割状態バッファ103-1のLow\_Rem\_Len信号が0でないため、Low\_Div\_Ack信号をアサートしない。一方、転送指示Aに関して、メモリコマンド生成回路104は転送分割回路102-2からのHigh\_Mem\_Req信号がアサートされていないことを確認し、転送分割回路102-1に対してLow\_Mem\_Ack信号をアサートする。

## 【0032】

T8で、オンチップバスからメモリアクセス制御回路100に高優先度の転送指示Cを示すTrans\_Req信号、Trans\_Pri信号およびTrans\_Len信号が入力される。一方で、転送指示Aに関して、Low\_Mem\_Ack信号のアサートに回答して、転送分割状態バッファ103-1のLow\_Rem\_Len信号が4つデクリメントされる。並行して、メモリコマンド生成回路104がメモリデバイスに対して転送指示Aに基づいて生成する複数のリードコマンドの1つ目を発行する。転送指示Bに関しては、転送指示Aの分割処理中(分割メモリアクセス中)であるので処理が待たされている。

## 【0033】

T9で、転送指示Cに関して、メモリアクセス制御回路100はTrans\_Ack信号をアサートすることで転送指示Cを受信する。一方、転送指示Aに関して、転送分割回路102-1は引き続きLow\_Mem\_Req信号をアサートすることでメモリコマンド生成回路104に対してメモリアクセス要求を出す。

## 【0034】

T10で、転送指示Cに関して、転送振り分け回路101は転送指示Cが高優先度であると認識し、High\_Div\_Req信号およびHigh\_Div\_Len信号を転送分割回路102-2に送信する。一方、転送指示Aに関して、メモリコマンド生成回路104は前のメモリアクセスに4サイクルを要しているため、Low\_Mem\_Ack信号をアサートしない。

10

20

30

40

50

## 【 0 0 3 5 】

T 1 1 で、転送指示 C に関して、転送分割回路 1 0 2 - 2 は H i g h \_ D i v \_ A c k 信号をアサートすることで転送指示 C の分割を開始する。一方、転送指示 A に関して、メモリコマンド生成回路 1 0 4 は転送分割回路 1 0 2 - 2 からの H i g h \_ M e m \_ R e q 信号がアサートされていないことを確認した上で、転送分割回路 1 0 2 - 1 へ L o w \_ M e m \_ A c k 信号をアサートする。

## 【 0 0 3 6 】

T 1 2 で、転送指示 C に関して、転送分割回路 1 0 2 - 2 は H i g h \_ M e m \_ R e q 信号をアサートすることでメモリコマンド生成回路 1 0 4 に対して生成したメモリアクセス要求を出す。メモリコマンド生成回路 1 0 4 は前のメモリアクセスに 4 サイクルを要しているため、H i g h \_ M e m \_ A c k 信号をアサートしない。一方で、転送指示 A に関して、L o w \_ M e m \_ A c k 信号のアサートに応じて、転送分割状態バッファ 1 0 3 - 1 の L o w \_ R e m \_ L e n 信号が 4 つデクリメントされる。並行して、メモリコマンド生成回路 1 0 4 はメモリに対して転送指示 A に基づいて生成したリードコマンドの 2 つ目を発行する。このように、転送分割回路 1 0 2 - 2 が高優先度の転送を分割したメモリアクセスを割り込ませようとするが、実際にメモリアクセス中であればメモリコマンド生成回路 1 0 4 は割り込みの受け付けを保留する。

10

## 【 0 0 3 7 】

T 1 5 では、コマンド生成回路 1 0 4 に対して、転送分割回路 1 0 2 - 1 からの L o w \_ M e m \_ R e q 信号と転送分割回路 1 0 2 - 2 からの H i g h \_ M e m \_ R e q 信号がともにアサートされている。そこで、メモリコマンド生成回路 1 0 4 は優先度の高い転送分割回路 1 0 2 - 2 に対して、H i g h \_ M e m \_ A c k 信号をアサートする。この H i g h \_ M e m \_ A c k 信号は実質的に割り込み受け付け可能であることを示す。

20

## 【 0 0 3 8 】

T 1 6 では、転送指示 A に関する分割メモリアクセスが中断される。そして、転送指示 C に関して、H i g h \_ M e m \_ A c k 信号がアサートされたことにより、転送分割状態バッファ 1 0 3 - 2 の H i g h \_ R e m \_ L e n 信号が 4 つデクリメントされる。並行して、メモリコマンド生成回路 1 0 4 はメモリデバイスに対して転送指示 C を分割して生成したリードコマンドを発行する。転送分割状態バッファ 1 0 3 - 2 の H i g h \_ R e m \_ L e n 信号がデクリメントされた結果 0 になり、転送指示 C に関するメモリアクセスが完了することが分かる。

30

## 【 0 0 3 9 】

その後、T 1 9 ~ T 2 4 で、転送指示 A に関するメモリアクセスが再開され、転送指示 A の残りのメモリアクセス要求はメモリコマンド生成回路 1 0 4 に受信され、メモリデバイスに対して転送指示 A に基づく残りのリードコマンドが繰り返し発行される。T 2 4 で、転送指示 A に関して、L o w \_ R e m \_ L e n 信号が 0 になったことにより、転送指示 A に関するメモリアクセスが完了することが分かる。

## 【 0 0 4 0 】

T 2 7 で、転送分割回路 1 0 2 - 1 は L o w \_ D i v \_ A c k 信号をアサートし、転送指示 B に基づくメモリアクセス要求がメモリコマンド生成回路 1 0 4 に選択される。そして T 2 8 で、メモリデバイスに対して転送指示 B に関するリードコマンドが発行される。このとき、L o w \_ R e m \_ L e n 信号が 0 になったことにより、転送指示 B に関するメモリアクセスが完了することが分かる。

40

## 【 0 0 4 1 】

図 2 に転送指示、メモリアクセス要求、メモリコマンドの内容を示す。

## 【 0 0 4 2 】

転送指示は、A D D R、L E N、P R I、D I R の情報を含み、A D D R はアクセスの開始アドレス、L E N はバースト長、P R I は優先度、D I R はリードかライトを示す。

## 【 0 0 4 3 】

メモリアクセス要求は、C S、B A N K、R O W、C O L、D I R の情報を含み、C S

50

はDRAMのチップセレクト、BANKはDRAMのバンクアドレス、ROWはDRAMのロウアドレス、COLはDRAMのカラムアドレス、DIRはリードかライトを示す。

【0044】

メモリコマンドは、CSn、BA、ADDR、RASn、CASn、WEnの情報を含み、CSn、RASn、CASn、WEnはDRAMのコマンドを示し、BAはコマンドの対象バンクを示し、ADDRはコマンドの対象アドレスを示す。以下に、代表的なメモリコマンドを示す。

【0045】

CSn = 1 ならばコマンドは無効である。

【0046】

CSn = 0、RASn = 0、CASn = 1、WEn = 1 ならば、アクティブコマンド (Active: ACT) を意味する。このときBAはアクティブするバンクを示し、ADDRはアクティブするロウアドレスを示す。なお、ここで指定するロウアドレスはプリチャージコマンド (Precharge: PRE, PREA) によってそのバンクがアイドル状態になるまで有効となる。従って、他のロウアドレスを指定する場合、一旦、プリチャージコマンドを入力する。

【0047】

CSn = 0、RASn = 1、CASn = 0、WEn = 1 ならばリードコマンドを意味する。このときBAはリードするバンクを示し、ADDRはリードするカラムアドレスを示す。

【0048】

CSn = 0、RASn = 1、CASn = 0、WEn = 0 ならばライトコマンドを意味する。このときBAはライトするバンクを示し、ADDRはライトするカラムアドレスを示す。

【0049】

なお、メモリコマンドとして周知のSDRAM (DDR1 ~ 4) で規定されているコマンドを含んでいてもよい。

【0050】

図10にメモリアクセスを割り込ませる様子を示す。図10の横軸は経過時間、縦軸はメモリ制御回路が処理する転送を示す。図10の例では、メモリ制御回路は矢印1001のタイミングでオンチップバスから128ビットの転送1 (1MB、書込み、低優先度) を受け、矢印1002のタイミングでオンチップバスから転送2 (128ビット1回分のビット数、書込み、高優先度) を受ける。

【0051】

図10 (a)、(b) は従来のメモリ制御回路によって処理される様子を示す。転送2は転送1よりも優先度が高いので、メモリ制御回路は転送2を転送1に割り込ませようとする。しかし、実際には図10 (b) に示すように、128ビットの1回分 (1単位) の転送は32個のメモリアクセスコマンドによって実現される。従って、従来のメモリ制御回路は転送1について最初の128ビットの1回分の転送単位に相当するメモリアクセスコマンドを複数発行し終えるまで、転送2についてのメモリアクセスコマンドを発行しない。なお、図10 (b) では理解し易い様に転送1の最初の転送だけ分割する様を示しているが、実際にはそれ以降の転送も分割される。

【0052】

図10 (c) は、本実施形態のメモリ制御回路100を用いて転送1と転送2を処理する様子を示す。メモリ制御回路100は転送2を受け付けてから、従来より早く転送2についてのメモリアクセスコマンドを発行することができる。なお、転送2を受けた時点で転送1についてn個目のメモリアクセスを発行中であり、転送2の処理を終えてから残り (32 - n個) のメモリアクセスを再開している。

【0053】

以上説明したように、本実施形態によれば、先行する転送に基づくメモリアクセスを開

10

20

30

40

50

始していても、後続の優先度の高い転送に基づくメモリアクセスを割り込ませて転送させ、優先度の高い転送に関する転送効率を向上させることができる。本来、オンチップバスのプロトコルにおいてはリアルタイム性の保証が必要な転送に高い優先度を割り当てるため、本実施形態によればシステム内のリアルタイム性が向上するともいえる。

【0054】

<<実施形態2>>

本実施形態では、バーストアクセス（バースト転送）を中断する機能が規定されているDDR-SDRAMを利用したメモリ制御回路の構成について説明する。

【0055】

図4は本実施形態のメモリアクセス制御回路200の概略構成である。なお、実施形態1の構成と同様のものについては同一の符号を付すとともに機能的に変わらない場合はその説明を省略する。

10

【0056】

転送振り分け回路101はオンチップバスからの転送指示を受信し、低優先度の転送を転送分割回路202-1へ、高優先度の転送を転送分割回路202-2へ送信する。転送分割回路202-1、202-2は受信した転送指示に基づいてメモリアクセス要求を生成する。メモリコマンド生成回路204は複数の転送分割回路202-1、202-2からのメモリアクセス要求のうち優先度の高いものを選択して、選択したメモリアクセス要求に基づいてメモリデバイスへバーストアクセスを伴うメモリコマンドを発行する。

【0057】

20

転送分割回路202は、転送指示を分割するたびに残りのメモリアクセス要求の生成に必要な情報を転送分割状態バッファ203に保持させる。本実施形態では、転送指示を完了させるための残りのバースト長を記憶しておくものとする。

【0058】

ターミネーション制御回路205はバーストアクセス中に、それよりも優先度の高い転送指示に基づくメモリアクセス要求を検出すると、優先度の低い転送指示に基づくバーストアクセスを中断する。バーストアクセス中断した場合、メモリアクセスを完了させるための残りのバースト長がいくらかを、ターミネーション制御回路205が転送分割状態バッファ203-1に通知する。メモリコマンド生成回路204はメモリアクセスを中断すると転送分割回路202-2からのメモリアクセス要求を受け付け、メモリアクセスをす

30

【0059】

図5は本実施形態のメモリ制御回路200に関する各種信号の動作波形を示すタイミングチャートである。横軸と縦軸に関して、実施形態1と同様な点については説明を省略する。ここでは、オンチップバスから3つの転送指示（転送指示A～C）を受信して処理する例を示す。また、全ての転送指示はリード転送であるものとする。転送指示Aは低優先度でバースト長が16である。転送指示Bは低優先度でバースト長が4である。転送指示Cは高優先度でバースト長が4であるものとする。また、メモリアクセス一回のデータ量はオンチップバスの4ビット分のデータ量と一致し、リードアクセスに4サイクル要するものとする。

40

【0060】

Clk信号、Trans\_\_Req信号、Trans\_\_Ack信号、Trans\_\_Pri信号、Trans\_\_Len信号、Low\_\_Div\_\_Req信号、Low\_\_Div\_\_Ack信号、Low\_\_Div\_\_Len信号、High\_\_Div\_\_Req信号、High\_\_Div\_\_Ack信号およびHigh\_\_Div\_\_Len信号の各々については、信号の定義も遷移の様子も図3とほぼ同様なのでその説明を省略する。

【0061】

Low\_\_Mem\_\_Req信号、Low\_\_Mem\_\_Ack信号、Low\_\_Rem\_\_Len信号、High\_\_Mem\_\_Req信号、High\_\_Mem\_\_Ack信号およびHigh\_\_

50

R e m\_\_L e n 信号の各々については信号の定義は図3と同様であるが、その遷移の様子が図3とは異なる。詳細は後述するが、実施形態2のメモリコマンド生成回路204がバーストアクセスを中断する際に転送分割状態バッファに未転送分のバースト長の値を加算し直すことに起因する。

【0062】

T e r m 信号は、メモリアクセスが中断されたことを示し、ターミネーション制御回路205から転送分割状態バッファ203-1に出力される。T e r m\_\_L e n 信号は、バーストアクセスが中断された際の未処理（未転送）のバースト長を示し、ターミネーション制御回路205から転送分割状態バッファ203-1に出力される。

【0063】

次に、クロックサイクル毎の各種信号の遷移を遷移順に説明する。ただし、T0~T11までは図3に示すタイミングチャートと同様であるので、その説明を省略する。T11の状態は、低優先度の転送指示Aに基づく2つ目のリードコマンドが発行される直前であり、転送指示Bに基づく処理は転送分割回路202-1によって保留され、転送指示Cに基づくメモリアクセス要求がメモリコマンド生成回路204に伝達される直前である。

【0064】

T12で、転送指示Aに関して、L o w\_\_M e m\_\_A c k 信号のアサートに応じて転送分割状態バッファ203-1の保持するL o w\_\_R e m\_\_L e n 信号が4つデクリメントされる。並行して、メモリコマンド生成回路204はメモリデバイスに対して転送指示Aに基づくリードコマンドを発行する。一方で、転送指示Cに関して、転送分割回路202-2はH i g h\_\_M e m\_\_R e q 信号をアサートすることでメモリコマンド生成回路204に対して転送指示Bに基づくメモリアクセス要求を出力する。

【0065】

T13で、転送指示Cに関して、ターミネーション制御回路205はメモリアクセス実行中に転送分割回路202-2からのメモリアクセス要求に応答して、T e r m 信号をアサートする。並行して、ターミネーション制御回路205は転送分割回路202-1に対して転送指示Aに関するバーストアクセスの中断により2ビート分の転送が未処理であることを知らせる。また、メモリコマンド生成回路204は転送指示Aに基づくリードコマンドの完了を待つことなく転送指示Cに基づくメモリアクセス要求を選択する。ここでは、H i g h\_\_M e m\_\_A c k 信号をアサートし、転送分割回路202-2からのメモリアクセス要求を選択する。

【0066】

T14で、転送指示Cに関して、H i g h\_\_M e m\_\_A c k 信号のアサートに応じて転送分割状態バッファ203-2のH i g h\_\_R e m\_\_L e n 信号が4つデクリメントされる。並行して、メモリコマンド生成回路204はメモリデバイスに対して転送指示Cに基づくリードコマンドを発行する。ここで、H i g h\_\_R e m\_\_L e n 信号が0になったことにより、転送指示Cが完了することが分かる。一方で、転送指示Aに関して、転送分割状態バッファ203-1は転送指示Aに基づくバーストアクセスが中断され、2ビート分が未処理である通知を受けて、L o w\_\_R e m\_\_L e n を未処理分加算して更新する。

【0067】

T17~T26では、転送指示Aに関して、転送分割回路202-1はバーストアクセスの中断の通知を考慮した上でメモリアクセス要求をメモリコマンド生成回路204に出力し、転送指示Aに基づくメモリアクセスが再開される。

【0068】

転送指示Aに基づくメモリアクセスが完了した後、T26で、転送分割回路202-1はL o w\_\_D i v\_\_A c k 信号をアサートし、転送指示Bを受信する。そして、T29で、転送指示Bに基づくメモリアクセス要求がメモリコマンド生成回路204に選択され、T30で、メモリデバイスに対して転送指示Bに基づくメモリコマンドが発行される。このとき、L o w\_\_R e m\_\_L e n 信号が0になったことにより、転送指示Bに基づくメモリコマンドの発行が完了することが分かる。

10

20

30

40

50

## 【 0 0 6 9 】

以上説明したように、本実施形態によれば、先行する転送に基づくバーストアクセス中であっても、バーストターミネーションを利用して後続の優先度の高い転送に基づくメモリアクセスを割り込ませることができる。従って、優先度の高い転送に関する転送効率をより向上させることができる。

## 【 0 0 7 0 】

なお、上述の実施形態では説明の簡便のため、優先度に対応する転送分割回路を明示的に別の構成としたが、図6や図7のように転送分割状態バッファを優先度毎に設けておけば、メモリコマンド生成回路への出力系は共通化してもよい。図6や図7のように構成することで、転送分割回路のゲート数を減少させることができる。ここで、図6や図7の構成では転送分割回路を共通化しているため、転送振り分け回路の重要度が下がる。従って、転送分割回路を共通化する際には転送振り分け回路と一体的に構成してもよい。

10

## 【 0 0 7 1 】

なお、上述の実施形態では説明の簡便のため、リード転送を例に説明したが、転送指示はメモリデバイスへのライト転送であってもよいし、リード転送とライト転送の両方を含んでいてもよい。また、低優先度と高優先度の2つに振り分ける例を用いて説明したが、優先度を3つ以上に振り分けてもよい。ただし、優先度を3つ以上に振り分ける場合、優先度に対応する転送分割状態バッファを増やす必要がある。また、メモリコマンド生成回路に複数のメモリアクセス要求の中から優先度の高いものを選択したり、中断したバーストアクセスについて複数の転送分割状態バッファのうち適切なものに通知したりする構成が必要となる。ただし、調停回路として一般的な構成を用いてもよいし、メモリアクセス要求にどの転送分割系（優先度）から伝達されたものを識別するための識別子を付加しターミネーション制御回路やメモリコマンド生成回路が識別子に応じて選択するようにしてもよい。

20

## 【 0 0 7 2 】

上述の実施形態では、転送指示Cの処理が転送指示Aや転送指示Bの処理を追い越して処理する例を示した。このような場合、メモリアクセス領域が同じ領域であるかどうかなどの転送間の依存関係を確認した上で、この依存関係に基づいて追い越しを許可・禁止を制御してもよい。例えば、転送Aのアクセス領域がアドレス0x0~0x7F、転送Bのアクセスが0x80~0x9F、転送Cのアクセス領域がアドレス0x60~0x7Fであったとする。この場合、転送Cのアクセス領域が転送Aのアクセス領域と重なるため、転送Cの追い越しを禁止し、転送Cが転送Aも転送Bも追い越さない様に制御する。

30

## 【 0 0 7 3 】

上述の実施形態では、オンチップバスからの転送に予め優先度に対応する情報が付与された例を用いたが、メモリアクセス制御回路がバスやマスタなどの転送指示の発行元を識別して、バスやマスタに応じて転送の優先度を決定して付与するようにしてもよい。その際には、メモリ制御回路に各マスタの識別子と優先度とを対応づけた情報を格納しておけばよい。

## 【 0 0 7 4 】

また、上述の実施形態では、転送振り分け回路で転送指示を1つだけ保持する構成を用いて説明したが、転送振り分け回路101内にFIFOバッファ（キュー）802を備えて複数の転送を保持できる構成であってもよい。例えば、図8(A)のように優先度ごとにバッファ802を備え、セレクタ801で振り分ける。優先度ごとにバッファを備えた場合、同じ優先度の転送間で順序入れ替えをしてメモリデバイスへのアクセスの効率化を図ってもよい。例えば、異なるバンクへのライトアクセスが連続するように並び替えたり、同じバンクの同じページのアクセスが連続するように並び換えたり、リードとライトの切り替わりが少なくなるように並び換えたりしてもよい。

40

## 【 0 0 7 5 】

また、上述の実施形態では転送分割回路が転送分割状態バッファを備え、メモリコマンド生成回路がターミネーション制御回路を備えているが、転送分割状態バッファやターミ

50

ネーション制御回路は、転送分割回路やメモリコマンド生成回路と通信可能であれば、これらの外に配置されていてもよい。

【0076】

また、図8(B)のように低優先度だけバッファを備えてもよい。順序入れ替えが不要な優先度の転送についてはバッファを備える必要はなく、優先度ごとにバッファを備える図8(A)の構成よりも回路規模を削減可能となる。

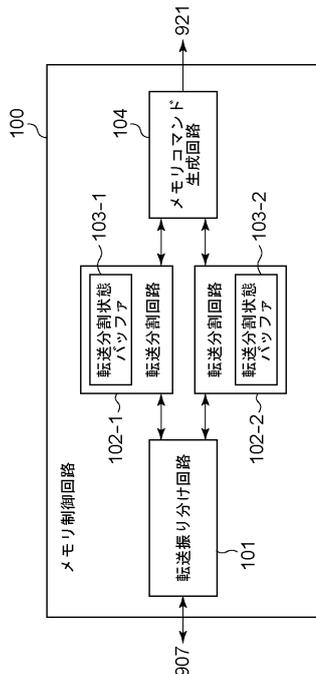
【0077】

また上述の説明では図9のように複写機能付きのプリンタを用いて説明したが、本発明はSDRAMを備えるメモリに適用することができる。

【0078】

上述の各実施形態では説明の簡便のため、実施形態毎の図面を用意して説明したが、複数種類のメモリデバイスを構成し、メモリデバイスの種類に応じた複数のメモリ制御回路を用いる場合などは、複数の実施形態を組み合わせても本発明を実施できる。その場合、各実施形態の効果に対応する個別の課題を解決していることに相当する。

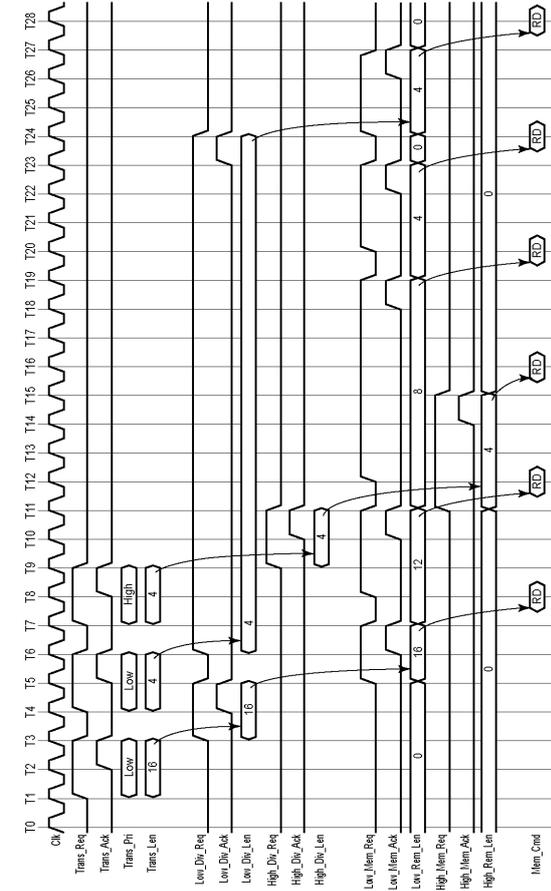
【図1】



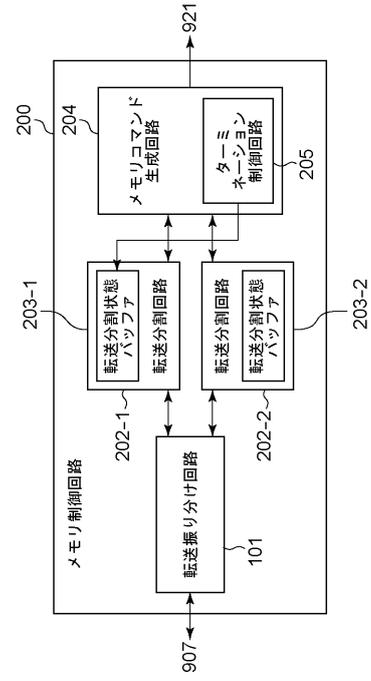
【図2】

転送要求	ADDR	アドレス
	LEN	バースト長
	PRI	優先度
	DIR	リード/ライト
メモリアクセス要求	CS	チップセレクト
	BANK	バンクアドレス
	ROW	ロウアドレス
	COL	カラムアドレス
	DIR	リード/ライト
メモリコマンド	CSn	コマンド
	RASn	
	CASn	
	WEn	
	BA	バンクアドレス
	ADDR	ロウアドレス/カラムアドレス

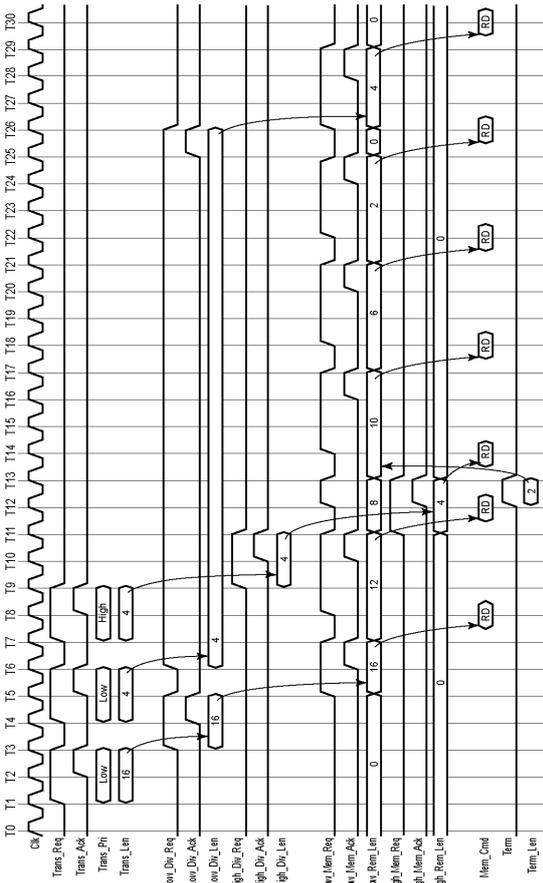
【図 3】



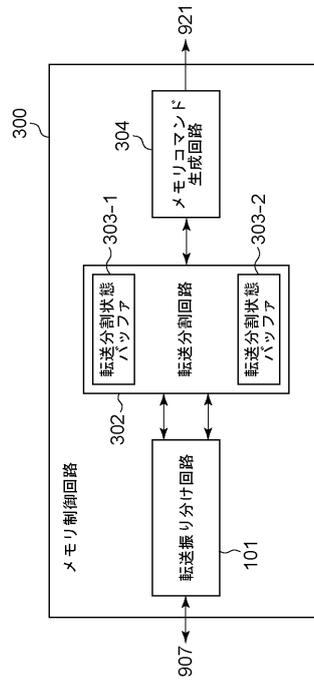
【図 4】



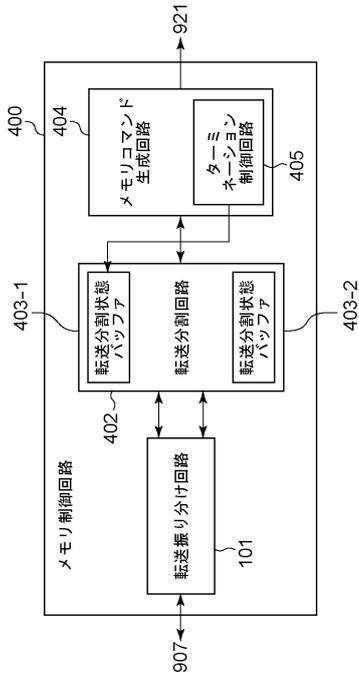
【図 5】



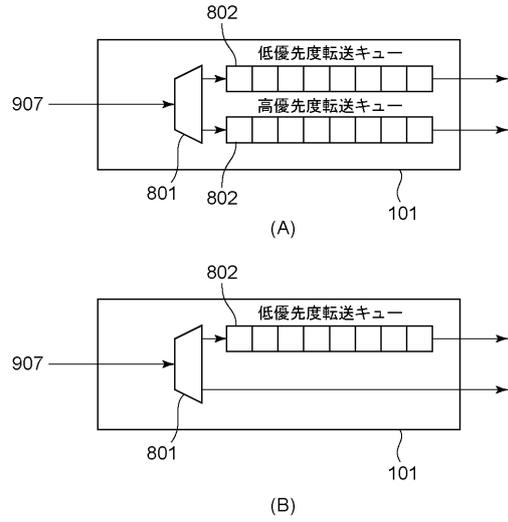
【図 6】



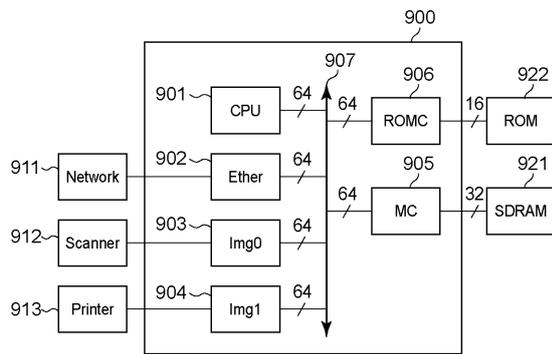
【図7】



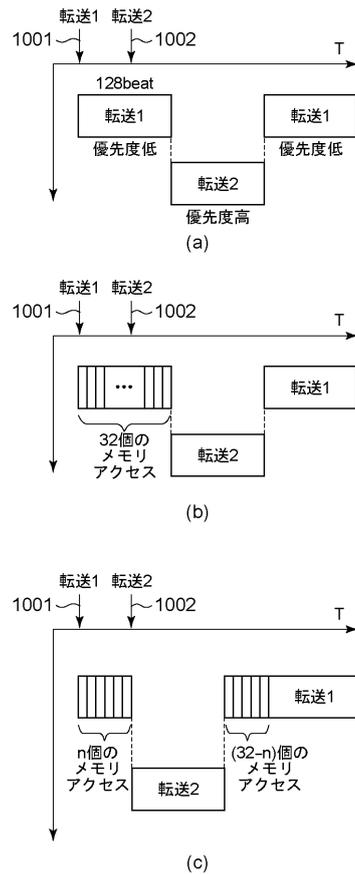
【図8】



【図9】



【図10】



---

フロントページの続き

(56)参考文献 特開2011-034214(JP,A)  
特開平11-345165(JP,A)  
特開2011-085989(JP,A)

(58)調査した分野(Int.Cl., DB名)  
G06F 12/00