

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁷
H01L 21/316

(45) 공고일자 2005년11월08일
(11) 등록번호 10-0526460
(24) 등록일자 2005년10월28일

(21) 출원번호 10-2003-0096920
(22) 출원일자 2003년12월24일

(65) 공개번호 10-2005-0065152
(43) 공개일자 2005년06월29일

(73) 특허권자 주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136-1

(72) 발명자 김용택
서울특별시영등포구신길3동310-32

(74) 대리인 특허법인아주

심사관 : 김희주

(54) 리세스 채널 구조를 갖는 반도체 소자 및 그 제조 방법

요약

본 발명은 반도체 소자의 제조 방법에 관한 것으로, 더욱 상세히는 소자분리막 및 트렌치가 형성된 반도체 기판 내에 게이트 옥사이드층을 형성하는데 있어, 상기 트렌치 측벽의 게이트 옥사이드가 바닥부의 게이트 옥사이드보다 더 두껍게 형성되도록 함으로써 핫 캐리어 디그라데이션이 발생하여 반도체 소자의 열화를 방지할 수 있는 리세스 채널 구조를 갖는 반도체 소자의 제조 방법에 관한 것이다.

상기와 같은 본 발명은 리세스 채널 구조를 갖는 반도체 소자의 제조 방법에 있어서, 소자분리막 및 트렌치가 형성된 반도체 기판 상에 불순물을 주입하는 단계와, 상기 결과물을 게이트 산화하여 상기 반도체 기판 전면의 게이트 옥사이드를 형성하는 단계와, 상기 결과물 상의 전면에서 폴리실리콘을 증착하는 단계를 포함하여 이루어지는 것을 특징으로 한다.

대표도

도 2d

색인어

리세스, 채널, 게이트, 옥사이드, 두께

명세서

도면의 간단한 설명

도 1a 내지 도 1d는 종래기술의 리세스 채널 구조를 갖는 반도체 소자의 제조 방법을 나타낸 공정단면도들.

도 2a 내지 도 2d는 본 발명의 일 실시예에 따른 리세스 채널 구조를 갖는 반도체 소자의 제조 방법을 나타낸 공정단면도들.

도 3a 내지 도 3c는 본 발명의 다른 실시예에 따른 리세스 채널 구조를 갖는 반도체 소자의 제조 방법을 나타낸 공정단면도들.

- 도면의 주요부분에 대한 부호의 설명 -

10, 210, 310 : 실리콘 기판 25, 225, 325 : 게이트 옥사이드

50, 250, 350 : 소오스/드레인 영역 70, 270 : 폴리실리콘층

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 제조 방법에 관한 것으로, 더욱 상세히는 소자분리 막 및 트렌치가 형성된 반도체 기판 내에 게이트 옥사이드를 형성하는데 있어, 상기 트렌치 측벽의 게이트 옥사이드가 상기 트렌치 바닥의 게이트 옥사이드보다 더 두껍게 형성되도록 하는 리세스 채널 구조를 갖는 반도체 소자의 제조 방법에 관한 것이다.

근래에 들어 메모리 소자들의 사이즈가 점점 작아짐에 따라 채널 길이(length)가 작아지고 따라서 많은 쇼트 채널 효과(Short Channel effect)들이 발생하게 되었다.

그러므로 이러한 쇼트 채널 효과를 줄이기 위하여 작은 지오메트리를 가지면서 채널길이를 길게 할 수 있도록 리세스 채널(오목한 구조의 채널) 구조를 갖는 반도체 소자가 생기게 되었다.

이하에서,는 도1a 내지 도1d를 통해 종래의 리세스 채널 구조를 갖는 반도체 소자의 제조공정을 설명하겠다.

먼저 도 1a에서와 같이 실리콘 기판(10)을 식각하여 트렌치를 형성하고 소자분리막(15)을 형성한 후, 도 1b에서와 같이 게이트 산화하여 상기 실리콘 기판(10) 전면에 게이트 옥사이드(25)를 형성한다.

이어서 도 1c에서와 같이 불순물을 이온 주입하여 소오스/드레인 영역(50)을 형성한 후, 도 1d에서와 같이 폴리실리콘층(70)을 증착시킴으로써 리세스 채널 구조를 갖는 반도체 소자를 제조한다.

그런데, 상기와 같은 종래의 리세스 채널 구조를 갖는 반도체 소자의 제조방법에 따르면, 리세스 채널 구조를 갖는 반도체 소자의 게이트 옥사이드 형성 시 트렌치 내의 측벽 게이트 옥사이드와 바닥 게이트 옥사이드의 두께를 동일하게 형성함으로써 유효채널 증가에 따른 tREF 개선은 가능하나, 소오스/드레인(source/drain) 정션(junction)의 게이트 옥사이드 필드가 크며 워드라인 캐패시턴스 증가에 따라 tRCD/tRP 등 반도체 소자의 타이밍 특성에 문제가 생긴다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 상기와 같은 문제점을 해결하기 위해 안출한 것으로서, 리세스 채널 구조를 갖는 반도체 소자의 게이트 제조시, 트렌치 내의 측벽 옥사이드를 바닥 옥사이드보다 두껍게 형성함으로써 핫 캐리어 디그레이션이 일어나 반도체 소자의 열화를 방지함에 따라 반도체 소자의 신뢰성을 증진시킬 수 있으며, 반도체 소자의 수율을 향상시킬 수 있는 리세스 채널 구조를 갖는 반도체 소자의 제조 방법을 제공한다는 데 그 목적이 있다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위한 본 발명은 리세스 채널 구조를 갖는 반도체 소자에 있어서, 소자분리막과 트렌치가 형성된 반도체 기판과; 상기 반도체 기판과 상기 트렌치 상에 형성되는 게이트 옥사이드; 를 포함하여 이루어지되, 상기 게이트 옥사이드는, 상기 트렌치의 바닥부보다 상기 트렌치의 측벽부에서 더 두껍게 형성되는 것을 특징으로 하는 리세스 채널 구조를 갖는 반도체 소자를 제공한다.

또한, 상기와 같은 목적을 달성하기 위한 본 발명은 리세스 채널 구조를 갖는 반도체 소자의 제조 방법에 있어서, 소자분리막 및 트렌치가 형성된 반도체 기판 상에 불순물을 주입하는 단계와, 상기 결과물을 게이트 산화하여 상기 반도체 기판 전면에서 게이트 옥사이드를 형성하는 단계와, 상기 결과물 상의 전면에서 폴리실리콘을 증착하는 단계를 포함하는 것을 특징으로 하는 리세스 채널 구조를 갖는 반도체 소자의 제조 방법을 제공한다.

더불어, 다른 실시예에 따른 본 발명은 리세스 채널 구조를 갖는 반도체 소자의 제조 방법에 있어서, 소자분리막 및 트렌치가 형성된 반도체 기판을 제1차 게이트 산화하여 반도체 기판 전면에서 제1 게이트 옥사이드를 형성하는 단계와, 식각공정을 통해 상기 트렌치 바닥부의 제1 게이트 옥사이드를 제거하는 단계와, 상기 반도체 기판을 제2차 게이트 산화하여 반도체 기판 전면에서 제2 게이트 옥사이드를 형성하는 단계를 포함하는 것을 특징으로 하는 리세스 채널 구조를 갖는 반도체 소자의 제조 방법을 제공한다.

상기와 같은 본 발명에 따르면, 상기 불순물은 질소 이온으로 하는 것을 특징으로 하고, 다른 실시예에 따른 본 발명에 의하면 상기 식각공정은 건식식각으로 하는 것을 특징으로 한다.

이하, 본 발명의 바람직한 일 실시예를 첨부된 도면을 참조하여 설명한다. 또한 본 실시예는 본 발명의 권리범위를 한정하는 것은 아니고, 단지 예시로 제시된 것이며 종래 구성과 동일한 부분은 동일한 부호 및 명칭을 사용한다.

도 2d에서 보는 바와 같이, 본 발명에 의한 리세스 채널 구조를 갖는 반도체 소자는 소자분리막과 트렌치가 형성된 반도체 기판과, 상기 반도체 기판 상에 형성되는 게이트 옥사이드를 포함하여 이루어지되, 상기 게이트 옥사이드가 상기 트렌치의 바닥부보다 상기 트렌치의 측벽부에서 더 두껍게 형성되는 것을 특징으로 한다.

도 2a 내지 도 2d는 본 발명의 일 실시예에 의한 리세스 채널 구조를 갖는 반도체 소자의 제조 방법을 나타낸 공정단면도들이다.

먼저, 일반적인 소자분리막 형성방법과 같이 실리콘 기판(210)을 식각하여 트렌치 형성 후 필드산화막을 매립하여 소자분리막(215)을 형성하고 이를 평탄화한 실리콘 기판(210)을 다시 식각해 트렌치를 형성한다.

이어서, 도 2a와 같이 소자분리막(215) 및 트렌치가 형성된 실리콘 기판(210) 상에, 도 2b에서와 같이 질소이온을 주입한다.

이후, 상기 결과물을 게이트 산화하여 도 2c에 도시된 바와 같이 상기 질소이온이 주입된 실리콘 기판(210) 전면을 게이트 산화하여 게이트 옥사이드(225)를 형성하고, 이어서 불순물을 이온 주입하여 소오스/드레인 영역(250)을 형성한다.

이 때, 상기 트렌치 바닥부와 실리콘 기판(210) 상면에 질소이온(220)이 주입됨으로써 질소이온으로 인해 산화가 잘 이루어지지 않아 상기 트렌치 바닥부와 실리콘 기판(210) 상면의 게이트 옥사이드(225)는 얇게 형성되고, 상기 트렌치 측벽부의 게이트 옥사이드(225)는 두껍게 형성되는 것이다.

이와 같이, 상기 트렌치 측벽부의 게이트 옥사이드(225) 두께를 상기 트렌치 바닥부의 게이트 옥사이드(225) 두께보다 두껍게 함으로써, 핫 캐리어 디그레이데이션(degradation)이 발생하여 반도체 소자의 열화를 방지하고 소자의 신뢰성을 증진시킬 수 있게 된다.

그리고, 도 2d에 도시된 바와 같이 상기 게이트 옥사이드(225)가 형성된 결과물 전면에서 폴리실리콘층(270)을 증착함으로써 리세스 채널 구조를 갖는 반도체 소자를 제조한다.

한편, 도 3a 내지 도 3c는 본 발명의 다른 실시예에 의한 리세스 채널 구조를 갖는 반도체 소자의 제조 방법을 나타낸 공정단면도들이다. 이를 참조하면, 본 발명의 다른 실시예는 상기 게이트 옥사이드(325)를 두번의 산화공정을 통해 형성함으로써, 상기 트렌치 측벽부의 게이트 옥사이드(325) 두께가 상기 트렌치 바닥부의 게이트 옥사이드(325) 두께보다 두껍게 형성되게 하는 것이다.

먼저 도 3a에 도시된 바와 같이, 실리콘 기판(310)을 식각하여 트렌치를 형성하고 소자분리막(315)을 형성한 후, 상기 실리콘 기판(310) 전면을 제 1차 게이트 산화하여 상기 실리콘 기판(310) 전면에 제1 게이트 옥사이드(325)를 형성한다.

이어서, 도 3b에 도시된 바와 같이 버티칼(Vertical) 건식식각 공정을 거쳐 상기 트렌치 바닥부의 게이트 옥사이드(325)를 제거한다.

그런 다음, 도 3c에 도시된 바와 같이 상기 결과물을 제2차 게이트 산화하여 상기 트렌치 바닥부의 게이트 옥사이드(325)가 제거된 실리콘 기판(310) 전면에 제2 게이트 옥사이드(325)를 형성하고, 이어서 불순물을 이온 주입하여 소오스/드레인 영역(350)을 형성한다.

요약하자면, 상기와 같이 두번의 게이트 산화공정을 거치는데 있어, 제1차 산화공정 이후 상기 트렌치 바닥부의 제1 게이트 옥사이드(325)를 제거하고, 제2차 산화공정을 거쳐 실리콘 기판(310) 전면에 즉, 트렌치 바닥부와 트렌치 측벽부 및 실리콘 기판(310)상에, 제2 게이트 옥사이드(325)를 형성함으로써 상기 트렌치의 측벽부에 형성되는 게이트 옥사이드(325)는 상기 트렌치의 바닥부에 형성되는 게이트 옥사이드(325)보다 두껍게 형성되는 것이다.

이로써, 핫 캐리어 디그레이데이션(degradation)이 발생하여 반도체 소자의 열화를 방지하고 소자의 신뢰성을 증진시킬 수 있게 되는 것이다.

이후에 따르는 다른 공정은 본 발명의 일 실시예와 동일하므로 생략한다.

발명의 효과

본 발명에 따르면, 리세스 채널구조를 갖는 반도체 소자의 게이트 옥사이드 형성시에 트렌치의 측벽 게이트 옥사이드와 바닥 게이트 옥사이드의 두께를 다르게 형성함으로써 워드 라인 캐패시턴스를 줄이고, 트랜지스터의 동작상 필드가 크게 걸리는 소오스/드레인(source/drain) 정션(junction)의 게이트 옥사이드를 크게 하여 핫 캐리어 디그레이데이션(degradation)이 일어남으로써 열화를 방지하여 반도체 소자의 신뢰성을 증진시킬 수 있는 이점이 있을 뿐만 아니라, 소오스/드레인 정션(junction) 전계(E-Field)를 작게 함으로써 tREF 특성이 향상되어 반도체 소자의 수율을 증진시킬 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1.

삭제

청구항 2.

리세스 채널 구조를 갖는 반도체 소자의 제조 방법에 있어서,

소자분리막 및 트렌치가 형성된 반도체 기판 상에 불순물을 주입하는 단계와,

상기 결과물을 게이트 산화하여 상기 반도체 기판 전면에 게이트 옥사이드를 형성하는 단계와,

상기 결과물 상의 전면에 폴리실리콘을 증착하는 단계

를 포함하는 것을 특징으로 하는 리세스 채널 구조를 갖는 반도체 소자의 제조 방법.

청구항 3.

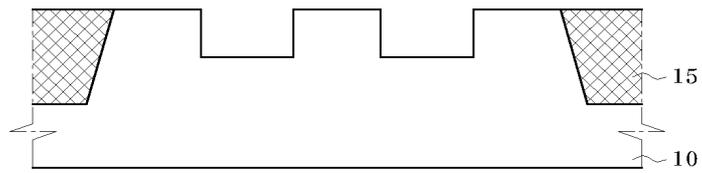
제2항에 있어서, 상기 불순물은 질소이온으로 하는 것을 특징으로 하는 리세스 채널 구조를 갖는 반도체 소자의 제조 방법.

청구항 4.
삭제

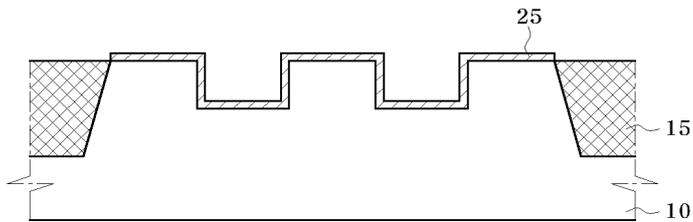
청구항 5.
삭제

도면

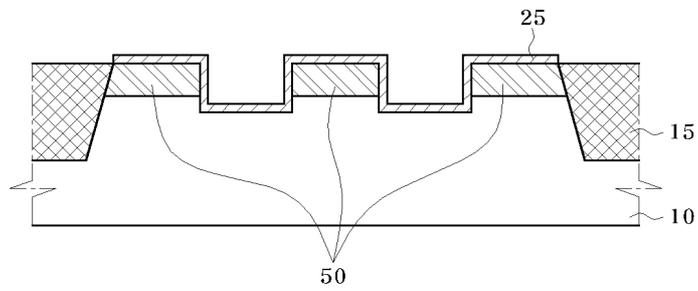
도면1a



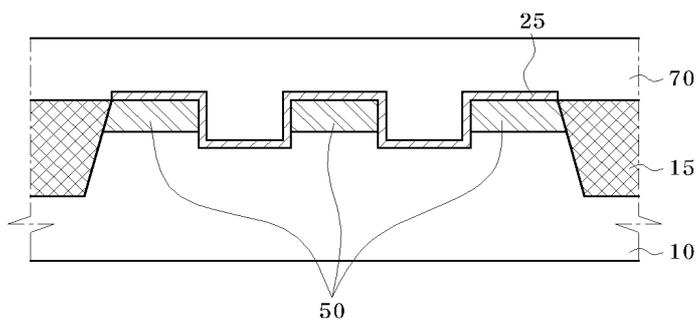
도면1b



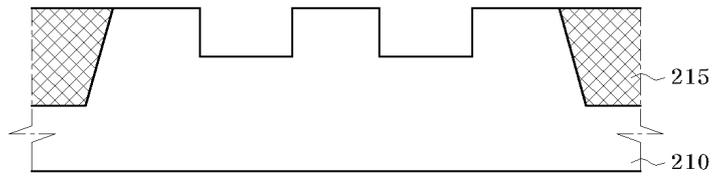
도면1c



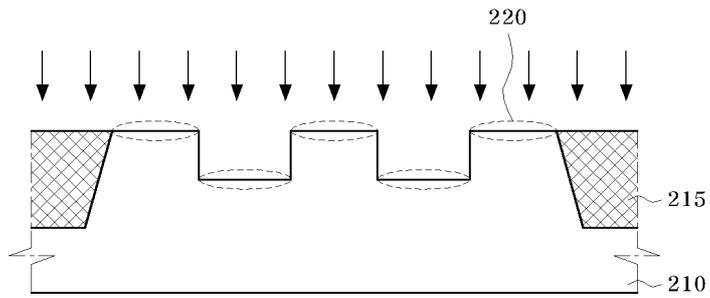
도면1d



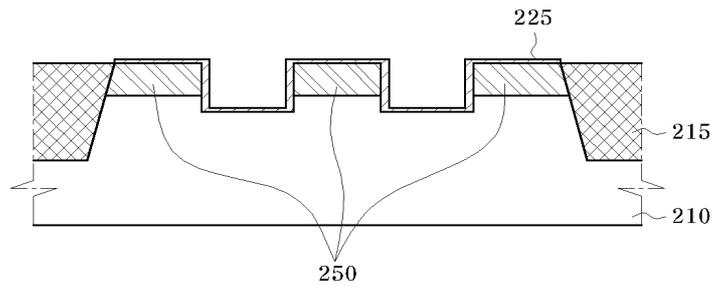
도면2a



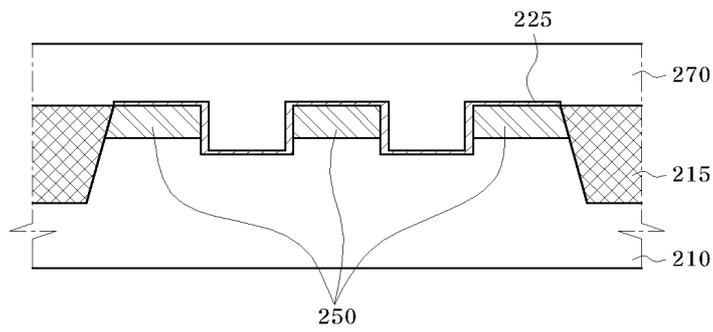
도면2b



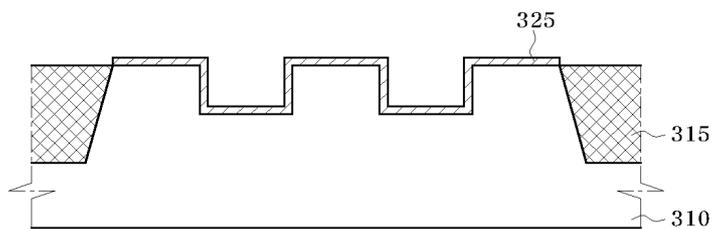
도면2c



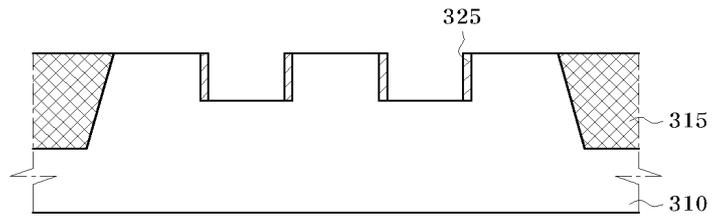
도면2d



도면3a



도면3b



도면3c

