

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2014-515534
(P2014-515534A)

(43) 公表日 平成26年6月30日(2014.6.30)

(51) Int.Cl. F 1 テーマコード(参考)
G 0 6 F 1 2 / 1 6 (2 0 0 6 . 0 1) G 0 6 F 1 2 / 1 6 3 1 0 A 5 B 0 1 8

審査請求 有 予備審査請求 未請求 (全 30 頁)

(21) 出願番号 特願2014-513591 (P2014-513591)
(86) (22) 出願日 平成24年5月24日 (2012.5.24)
(85) 翻訳文提出日 平成25年12月20日 (2013.12.20)
(86) 国際出願番号 PCT/US2012/039412
(87) 国際公開番号 W02012/166537
(87) 国際公開日 平成24年12月6日 (2012.12.6)
(31) 優先権主張番号 13/149, 518
(32) 優先日 平成23年5月31日 (2011.5.31)
(33) 優先権主張国 米国 (US)

(71) 出願人 595168543
マイクロン テクノロジー, インク.
アメリカ合衆国, アイダホ州 83716
-9632, ボイズ, サウス フェデ
ラル ウェイ 8000
(74) 代理人 100106851
弁理士 野村 泰久
(74) 代理人 100074099
弁理士 大菅 義之
(72) 発明者 ポーターフィールド, エー. ケント
アメリカ合衆国, ミネソタ州 55038
, リノ レイクス, クリアウォーター ク
リーク ドライブ 6719
Fターム(参考) 5B018 GA04 HA23 MA23 NA06

最終頁に続く

(54) 【発明の名称】 メモリシステムコントローラを含む装置および関連する方法

(57) 【要約】

メモリコントローラは、スイッチおよび、そのスイッチに結合されたチャネル制御回路を含む不揮発性メモリ制御回路を含み得る。チャネル制御回路は、ブロックを含む論理ユニットに結合できる。揮発性メモリおよび、ローカルメモリを含むメモリ管理回路は、スイッチに結合できる。メモリ管理回路は、ブロックの各々に対する正常性およびステータス情報を揮発性メモリ内のブロックテーブルに格納し、基準に基づき特定の操作に対して候補ブロックを識別する候補ブロックテーブルをローカルメモリに格納し、そのブロックテーブル内の特定のブロックに対する正常性およびステータス情報を更新し、特定のブロックに対する更新された正常性およびステータス情報を基準に従って候補ブロックと比較して、特定のブロックの方がその基準を良く満足することを示す比較にตอบสนองして、特定のブロックを識別するために候補ブロックテーブルを更新するように構成できる。

【選択図】 図4

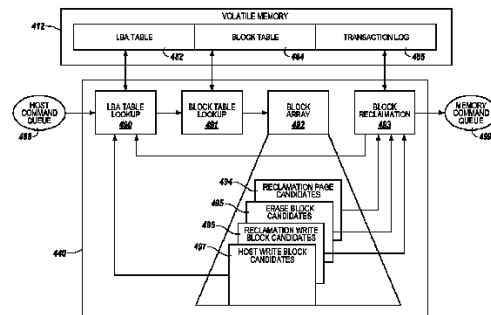


Fig. 4

【特許請求の範囲】

【請求項 1】

スイッチと、

前記スイッチに結合され、かつ、複数のチャネル制御回路を含む、不揮発性メモリ制御回路であって、前記複数のチャネル制御回路の各々が、いくつかの論理ユニット（LUN）に結合されるように構成され、前記いくつかのLUNの各々が複数のブロックを含む、不揮発性メモリ制御回路と、

前記スイッチに結合された揮発性メモリと、

前記スイッチに結合され、かつ、ローカルメモリを含む、メモリ管理回路であって、前記メモリ管理回路が、

10

前記複数のブロックの各々に対する正常性およびステータス情報を前記揮発性メモリ内のブロックテーブルに格納することと、

候補ブロックテーブルを前記ローカルメモリに格納することであって、前記候補ブロックテーブルが、特定の操作に対する候補ブロックを、前記特定の操作に対するいくつかの基準に基づいて識別する、候補ブロックテーブルを格納することと、

前記揮発性メモリ内の前記ブロックテーブル内の前記複数のブロックの特定の 1 つに対する前記正常性およびステータス情報を更新することと、

前記特定のブロックに対する前記更新された正常性およびステータス情報を、前記いくつかの基準に従って前記候補ブロックと比較することと、

前記特定のブロックの方が前記いくつかの基準を良く満足することを示す前記比較に少なくとも一部応答して、前記特定のブロックを識別するために前記候補ブロックテーブルを更新することと

20

を行うように構成されている、メモリ管理回路とを備える装置。

【請求項 2】

前記候補ブロックテーブルが、ホスト書込み、摩耗平滑化読取り、摩耗平滑化書込み、および消去を含む操作のグループから選択された前記特定の操作に対して候補ブロックを識別する、請求項 1 に記載の装置。

【請求項 3】

前記メモリ管理回路が、前記特定のブロックに対する書込み、消去、または誤り事象のうちの 1 つに少なくとも一部応答して、前記揮発性メモリ内の前記ブロックテーブル内の前記特定のブロックに対する前記正常性およびステータス情報を更新するように構成されている、請求項 1 に記載の装置。

30

【請求項 4】

前記メモリ管理回路が、前記特定のブロックに対する前記正常性およびステータス情報が前記揮発性メモリ内で更新される同じクロック周期で、前記特定のブロックを識別するために前記候補ブロックテーブルを更新するように構成されている、請求項 1 に記載の装置。

【請求項 5】

前記メモリ管理回路が、前記揮発性メモリ内の前記ブロックテーブル内の前記複数のブロックの各々に対する前記更新された正常性およびステータス情報を、前記複数のブロックのいずれかに対する、書込み、消去、または誤り事象とは無関係に、前記いくつかの基準に従って、前記候補ブロックと比較するように構成されている、請求項 1 ~ 請求項 4 のいずれか 1 つに記載の装置。

40

【請求項 6】

前記メモリ管理回路が、前記複数のブロックの各々が比較された後に、書込み、消去、または誤り事象とは無関係に、前記正常性およびステータス情報を比較するのをやめるように構成されている、請求項 5 に記載の装置。

【請求項 7】

前記メモリ管理回路が、

50

論理アドレスから物理アドレスへの変換を、前記揮発性メモリ内の論理ブロックアドレス（LBA）テーブル内に格納することと、

前記複数のブロックの特定のブロックに対する論理アドレスに対応する第1の物理アドレスを、前記特定のブロックに関する摩耗平滑化操作中に情報が前記特定のブロックから読み取られる前に、前記ブロックテーブルから取り出すことと、

前記情報が、前記摩耗平滑化操作中に前記複数のブロックの異なる1つに書き込まれた後に、前記論理アドレスに対応する第2の物理アドレスを、前記LBAテーブルから取り出すことと、

前記第2の物理アドレスが前記第1の物理アドレスに等しいことに少なくとも一部応答して、前記LBAテーブルを、前記異なるブロックに対応する第3の物理アドレスで更新することと

を行うように構成されている、請求項1～請求項4のいずれか1つに記載の装置。

【請求項8】

前記メモリ管理制御回路が、前記第2の物理アドレスが前記第1の物理アドレスとは異なることに少なくとも一部応答して、前記摩耗平滑化操作を無効にするように構成されている、請求項7に記載の装置。

【請求項9】

複数のブロックの各々に対する正常性およびステータス情報を揮発性メモリ内のブロックテーブルに格納することと、

候補ブロックテーブルをローカルメモリに格納することであって、前記候補ブロックテーブルが、特定の操作に対する候補ブロックを、前記特定の操作に対するいくつかの基準に基づいて識別する、候補ブロックテーブルを格納することと、

前記揮発性メモリ内の前記ブロックテーブル内の前記複数のブロックの特定の1つに対する前記正常性およびステータス情報を更新することと、

前記特定のブロックに対する前記更新された正常性およびステータス情報を、前記いくつかの基準に従って前記候補ブロックと比較することと、

前記特定のブロックの方が前記いくつかの基準を良く満足することを示す前記比較に少なくとも一部応答して、前記特定のブロックを識別するために前記候補ブロックテーブルを更新することと

を含む、方法。

【請求項10】

前記特定の操作が、ホスト書込み、摩耗平滑化読取り、摩耗平滑化書込み、および消去を含む操作のグループから選択される、請求項9に記載の方法。

【請求項11】

前記揮発性メモリ内の前記ブロックテーブル内の前記特定のブロックに対する前記正常性およびステータス情報を更新することが、前記特定のブロックに対する書込み、消去、または誤り事象のうちの1つに少なくとも一部応答して、更新することを含む、請求項9に記載の方法。

【請求項12】

前記特定のブロックを識別するために前記候補ブロックテーブルを更新することが、前記特定のブロックに対する前記正常性およびステータス情報が前記揮発性メモリ内で更新される同じクロック周期で、前記候補ブロックテーブルを更新することを含む、請求項9に記載の方法。

【請求項13】

前記特定のブロックに対する前記更新された正常性およびステータス情報を、前記いくつかの基準に従って前記候補ブロックと比較することが、前記複数のブロックのいずれかに対する、書込み、消去、または誤り事象とは無関係に比較することを含む、請求項9～請求項12のいずれか1つに記載の方法。

【請求項14】

前記方法が、前記複数のブロックの各々が比較された後に、書込み、消去、または誤り

10

20

30

40

50

事象とは無関係に、前記正常性およびステータス情報を比較するのをやめることを含む、請求項 13 に記載の方法。

【請求項 15】

前記方法が、

論理アドレスから物理アドレスへの変換を、前記揮発性メモリ内の論理ブロックアドレス (LBA) テーブル内に格納することと、

前記複数のブロックの特定のブロックに対する論理アドレスに対応する第 1 の物理アドレスを、前記特定のブロックに関する摩耗平滑化操作中に情報が前記特定のブロックから読み取られる前に、前記ブロックテーブルから取り出すことと、

前記情報が、前記摩耗平滑化操作中に前記複数のブロックの異なる 1 つに書き込まれた後に、前記論理アドレスに対応する第 2 の物理アドレスを、前記 LBA テーブルから取り出すことと、

前記第 2 の物理アドレスが前記第 1 の物理アドレスに等しいことに少なくとも一部応答して、前記 LBA テーブルを前記異なるブロックに対応する第 3 の物理アドレスで更新することと

を含む、請求項 9 ~ 請求項 12 のいずれか 1 つに記載の方法。

【請求項 16】

前記方法が、前記第 2 の物理アドレスが前記第 1 の物理アドレスとは異なることに少なくとも一部応答して、前記摩耗平滑化操作を無効にすることを含む、請求項 15 に記載の方法。

【請求項 17】

論理アドレスから物理アドレスへの変換を、揮発性メモリ内の論理ブロックアドレス (LBA) テーブル内に格納することと、

複数のブロックの特定のブロックに対する論理アドレスに対応する第 1 の物理アドレスを、前記特定のブロックに関する摩耗平滑化操作中に、情報が前記特定のブロックから読み取られる前に、ブロックテーブルから取り出すことと、

前記情報が、前記摩耗平滑化操作中に前記複数のブロックの異なる 1 つに書き込まれた後に、前記論理アドレスに対応する第 2 の物理アドレスを、前記 LBA テーブルから取り出すことと、

前記第 2 の物理アドレスが前記第 1 の物理アドレスとは異なることに少なくとも一部応答して、前記摩耗平滑化操作を無効にすることと

を含む方法。

【請求項 18】

前記方法が、前記第 2 の物理アドレスが前記第 1 の物理アドレスに等しいことに少なくとも一部応答して、前記 LBA テーブルを前記異なるブロックに対応する第 3 の物理アドレスで更新することを含む、請求項 17 に記載の方法。

【請求項 19】

スイッチと、

前記スイッチに結合され、かつ、複数のチャネル制御回路を含む、不揮発性メモリ制御回路であって、前記複数のチャネル制御回路の各々が、いくつかの論理ユニット (LUN) に結合されるように構成され、前記いくつかの LUN の各々が複数のブロックを含む、不揮発性メモリ制御回路と、

前記スイッチに結合された揮発性メモリと、

前記スイッチに結合され、かつ、ローカルメモリを含む、メモリ管理回路であって、前記メモリ管理回路が、

論理アドレスから物理アドレスへの変換を、前記揮発性メモリ内の論理ブロックアドレス (LBA) テーブル内に格納することと、

前記複数のブロックの特定のブロックに対する論理アドレスに対応する第 1 の物理アドレスを、前記特定のブロックに関する摩耗平滑化操作中に情報が前記特定のブロックから読み取られる前に、前記ブロックテーブルから取り出すことと、

10

20

30

40

50

前記情報が、前記摩耗平滑化操作中に前記複数のブロックの異なる1つに書き込まれた後に、前記論理アドレスに対応する第2の物理アドレスを、前記LBAテーブルから取り出すことと、

前記第2の物理アドレスが前記第1の物理アドレスに等しいことに少なくとも一部応答して、前記LBAテーブルを前記異なるブロックに対応する第3の物理アドレスで更新することと

を行うように構成されている、メモリ管理回路とを備える装置。

【請求項20】

前記メモリ管理制御回路が、前記第2の物理アドレスが前記第1の物理アドレスとは異なることに少なくとも一部応答して、前記摩耗平滑化操作を無効にするように構成されている、請求項19に記載の装置。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、一般に、半導体メモリ装置、システム、およびコントローラなどの装置、ならびに関連した方法に関し、より詳細には、例えば、メモリシステムコントローラに関する。

【背景技術】

【0002】

メモリ装置は、通常、コンピュータまたは他の電子装置において、内部回路、半導体回路、集積回路として提供される。揮発性および不揮発性メモリを含む、多数の異なるタイプのメモリがある。揮発性メモリは、例えば、データなどの、その情報を維持するために電力を必要とし得、特に、ランダムアクセスメモリ(RAM)、ダイナミックランダムアクセスメモリ(DRAM)、シンクロナスダイナミックランダムアクセスメモリ(SDRAM)、およびスタティックランダムアクセスメモリ(SRAM)を含む。不揮発性メモリは、電力供給されていないときに、格納された情報を保持することにより、持続的な情報を提供でき、特に、NANDフラッシュメモリ、NORフラッシュメモリ、読取り専用メモリ(ROM)、電氣的消去可能プログラマブルROM(EEPROM)、消去可能プログラマブルROM(EPROM)、および相変化ランダムアクセスメモリ(PCRAM)を含み得る。

【0003】

メモリ装置は、ソリッドステートドライブ(SSD)を形成するために一緒に結合できる。ソリッドステートドライブは、様々な他のタイプの不揮発性メモリおよび揮発性メモリの中で、例えば、NANDフラッシュメモリおよびNORフラッシュメモリなどの、不揮発性メモリを含み得、かつ/または、例えば、DRAMおよびSRAMなどの、揮発性メモリを含み得る。情報を窒化物層内の電荷トラップに格納する、半導体 窒化物 窒化物 窒化物 半導体および金属 窒化物 窒化物 半導体コンデンサ構造を使用する、フローティングゲートフラッシュ装置および電荷トラップフラッシュ(CTF)装置を含め、フラッシュメモリ装置は、多種多様な電子用途に対して不揮発性メモリとして利用され得る。フラッシュメモリ装置は、通常、高記憶密度、高信頼性、および低電力消費を可能にする1トランジスタメモリセルを使用する。

【0004】

ソリッドステートドライブは、性能、サイズ、重量、耐久性、動作温度範囲、および電力消費に関して、ハードドライブに勝る利点を有し得るので、SSDは、コンピューティングシステム用の主記憶装置としてハードディスクドライブを置き換えるために使用できる。例えば、SSDは、それらの可動部品がないことに起因して、磁気ディスクドライブと比較した場合に、優れた性能を有し得るが、そのことは、磁気ディスクドライブに関連した、シーク時間、遅延、および他の電気機械的遅延を回避し得る。SSD製造業者は、内部のバッテリー供給を使用し得ないフラッシュSSDを作成するために不揮発性フラッ

10

20

30

40

50

シュメモリを使用でき、従って、ドライブをより多用途でコンパクトにできる。

【0005】

SSDは、いくつかのメモリ装置、例えば、いくつかのメモリチップ（本明細書では、「いくつかの（a number of）」何かは、1つまたは複数のかかる物を指し得る、例えば、いくつかのメモリ装置は、1つまたは複数のメモリ装置を指し得る）を含み得る。当業者には分かるように、メモリチップはいくつかのダイおよび/または論理ユニット（LUN）を含み得、例えば、LUNは1つまたは複数のダイであり得る。各ダイは、その上にいくつかのメモリアレイおよび周辺回路を含み得る。メモリアレイは、いくつかの物理ページに編成された、いくつかのメモリセルを含むことができ、また、物理ページは、いくつかのブロックに編成できる。フラッシュメモリセルのアレイは、一度に1ページプログラム化でき、一度に1ブロック消去できる。SSDコントローラは、メモリ管理および割当てを実行するために組み込みプロセッサを使用し得る。

10

【図面の簡単な説明】

【0006】

【図1】本開示のいくつかの実施形態に従って、少なくとも1つのメモリシステムを含むコンピューティングシステムの機能ブロック図である。

【図2】本開示のいくつかの実施形態に従った、メモリシステムの機能ブロック図である。

【図3A】本開示のいくつかの実施形態に従った、ホストバスアダプタ（HBA）とシリアルアタッチメント（SA）プログラミング対応装置との間のトランスポート層インタフェースの機能ブロック図である。

20

【図3B】本開示のいくつかの実施形態に従った、HBAおよびSAプログラミング対応装置の機能ブロック図である。

【図4】本開示のいくつかの実施形態に従った、ブロック管理装置の機能ブロック図を示す。

【発明を実施するための形態】

【0007】

本開示は、メモリシステムコントローラを含む。メモリシステムコントローラは、スイッチおよび、そのスイッチに結合されたチャネル制御回路を含む不揮発性メモリ制御回路を含むことができる。チャネル制御回路は、ブロックを含む論理装置に結合できる。揮発性メモリおよび、ローカルメモリを含むメモリ管理回路は、スイッチに結合できる。メモリ管理回路は、ブロックの各々に対する正常性およびステータス情報を揮発性メモリ内のブロックテーブルに格納し、基準に基づき特定の操作に対して候補ブロックを識別する候補ブロックテーブルをローカルメモリに格納し、ブロックテーブル内の特定のブロックに対する正常性およびステータス情報を更新し、特定のブロックに対する更新された正常性およびステータス情報を基準に従って候補ブロックと比較し、特定のブロックの方が良くその基準を満足することを示す比較に応答して、特定のブロックを識別するために候補ブロックテーブルを更新するように構成できる。

30

【0008】

本開示の以下の詳細な記述では、その一部を形成する付随する図への参照が行われ、その中で、本開示のいくつかの実施形態がどのように実施され得るかが実例として示されている。これらの実施形態は、当業者が本開示の実施形態を実施できるように十分に詳細に説明されており、また、他の実施形態が利用され得ること、ならびに、プロセス、電氣的、および/または構造的変更が、本開示の範囲から逸脱することなく行われ得ることが理解されよう。本明細書では、指示子“N”は、特に、図中の参照番号に関して、そのように指定されたいくつかの特定の特徴が、本開示のいくつかの実施形態に含まれ得ることを示す。

40

【0009】

本明細書では、図は、最初の1つまたは複数の数字が図面番号に対応し、残りの数字がその図内の要素またはコンポーネントを識別する、番号付け規約に従う。異なる図の間の

50

同様の要素またはコンポーネントは、同様の数字の使用によって識別され得る。例えば、108は、図1内の要素「08」を参照し得、また、同様の要素は、図2内で208として参照され得る。理解されるように、本明細書では、様々な実施形態で示される要素は、本開示のいくつかの追加の実施形態を提供するために、追加、交換、および/または除外できる。さらに、理解されるように、図で提供される要素の比率および相対的な大きさは、本開示の実施形態を図解することを目的としており、制限的な意味で取られるべきでない。

【0010】

図1は、本開示のいくつかの実施形態に従って、少なくとも1つのメモリシステム104を含むコンピューティングシステム100の機能ブロック図である。図1に示す実施形態では、メモリシステム104（例えば、ソリッドステートドライブ（SSD））は、物理ホストインタフェース106、メモリシステムコントローラ108（例えば、SSDコントローラ）、およびいくつかのソリッドステートメモリ装置110-1、...、110-Nを含み得る。ソリッドステートメモリ装置110-1、...、110-Nは、メモリシステムに対する記憶ボリュームを提供し得る。いくつかの実施形態では、ソリッドステートメモリシステムコントローラ108は、特定用途向け集積回路（ASIC）であり得るが、その場合、コントローラ108は、例えば、ASICの形式で、物理インタフェース106およびソリッドステートメモリ装置110-1、...、110-Nを含むプリント基板に結合されている。

10

【0011】

図1に示すように、メモリシステムコントローラ108（例えば、ソリッドステートメモリシステムコントローラ）は、物理ホストインタフェース106に、およびソリッドステートメモリ装置110-1、...、110-Nに結合できる。物理ホストインタフェース106は、メモリシステム104と、ホスト102などの別の装置との間で情報を伝達するために使用できる。ホスト102は、メモリアクセス装置、例えば、プロセッサを含み得る。当業者であれば、「プロセッサ」は、並列処理システムなどのいくつかのプロセッサ、いくつかのコプロセッサなど、を意味し得ることを理解するであろう。ホスト例には、ラップトップコンピュータ、パーソナルコンピュータ、デジタルカメラ、デジタル録音および再生装置、携帯電話、PDA、メモ리카ードリーダー、インタフェースハブ、および同類のものを含む。いくつかの実施形態に対して、物理ホストインタフェース106は、標準物理インタフェースの形であり得る。例えば、メモリシステム104がコンピューティングシステム100内で情報の記憶用に使用される場合、物理ホストインタフェース106は、他のインタフェースの中で特に、シリアルアドバンスドテクノロジーアタッチメント（SATA）物理インタフェース、PCI Express（PCIe）物理インタフェース、小規模コンピュータシステムインタフェース（SCSI）インタフェース、シリアルアタッチメントSCSI（SAS）インタフェース、またはユニバーサルシリアルバス（USB）物理インタフェースであり得る。しかし、一般に、物理ホストインタフェース106は、メモリシステム104と、その物理ホストインタフェース106に対して互換性のあるレセプタを有するホスト102との間で、制御、アドレス、情報（例えば、データ）、および他の信号を渡すためのインタフェースを提供できる。

20

30

40

【0012】

ソリッドステートメモリシステムコントローラ108は、他の操作の中で特に、情報の読取り、書込み、および消去を行うために、ソリッドステートメモリ装置110-1、...、110-Nと通信できる。ソリッドステートメモリシステムコントローラ108は、いくつかの集積回路および/または個別部品であり得るファームウェアおよび/または回路機構をもつことができる。いくつかの実施形態に対して、ソリッドステートメモリシステムコントローラ108内の回路機構は、ソリッドステートメモリ装置110-1、...、110-Nにわたるアクセスを制御するための制御回路、およびホスト102とメモリシステム104との間に変換層を提供するための回路を含み得る。それ故、メモリコントローラは、ソリッドステートメモリ装置110-1、...、110-Nの入出力接

50

続(図1に示されていない)に選択的に結合して、適切な信号を適切な入出力接続で適切な時に受信し得る。同様に、ホスト102とメモリシステム104との間の通信プロトコルは、ソリッドステートメモリ装置110-1、...、110-Nのアクセスに必要なものとは異なり得る。ソリッドステートメモリシステムコントローラ108は、次いで、ホスト102から受信したコマンドを、適切なコマンドに変換して、ソリッドステートメモリ装置110-1、...、110-Nへの所望のアクセスを獲得し得る。

【0013】

ソリッドステートメモリ装置110-1、...、110-Nは、メモリセル(例えば、不揮発性メモリセル)のいくつかのアレイを含み得る。アレイは、例えば、NANDアーキテクチャをもつフラッシュアレイであり得る。NANDアーキテクチャでは、「行(row)」のメモリセルの制御ゲートが、アクセス(例えば、ワード)線に結合でき、他方、メモリセルは、選択ゲートソーストランジスタと選択ゲートドレイントランジスタとの間の「ストリング(string)」内のソースからドレインに直列に結合できる。ストリングは、選択ゲートドレイントランジスタによって、データ(例えば、ビット)線に結合できる。「行」および「ストリング」という用語の使用は、直線構成のメモリセルおよび直交構成のメモリセルのいずれも示唆するわけではない。当業者には分かるように、メモリセルのビット線およびソース線への接続方法は、アレイが、NANDアーキテクチャ、NORアーキテクチャ、または何らかの他のメモリアレイアーキテクチャがどうかによって決まる。

10

【0014】

ソリッドステートメモリ装置110-1、...、110-Nは、グループ化できるいくつかのメモリセルを含むことができる。本明細書では、グループは、例えば、ページ、ブロック、プレーン(plane)、ダイ、アレイ全体、またはメモリセルの他のグループなどの、いくつかのメモリセルを含み得る。例えば、いくつかのメモリアレイは、メモリセルのブロックを構成する、メモリセルのいくつかのページを含み得る。いくつかのブロックは、メモリセルのプレーンに含まれ得る。メモリセルのいくつかのプレーンは、ダイ上に含まれ得る。一例として、128GBのメモリ装置は、ページあたり4320バイトの情報、ブロックあたり128ページ、プレーンあたり2048ブロック、および装置あたり16プレーンを含み得る。

20

【0015】

メモリシステム104は、ソリッドステートメモリ装置110-1、...、110-N上の摩耗率を制御するために、摩耗平滑化(例えば、ガーベジコレクションおよび/または再生(reclamation))を実装できる。ソリッドステートメモリアレイは、いくつかのプログラムおよび/または消去サイクルの後、誤り(例えば、障害)を経験し得る。摩耗平滑化は、そのサイクルをアレイ全体に対してさらに均等に広げることにより、特定のグループ上で実行されるプログラムおよび/または消去サイクルの数を減らすことができる。摩耗平滑化は、ブロックを再生するために移動された有効なブロックの量を最小限にするための動的摩耗平滑化を含み得る。動的摩耗平滑化は、ガーベジコレクションと呼ばれる技術を含み得る。ガーベジコレクションは、例えば、「貪欲法」に従って、最も多くの無効なページを有するブロックを再生する(例えば、消去して、書込みのために利用可能にする)ことを含み得る。あるいは、ガーベジコレクションは、無効なページが閾値量よりも多いブロックを再生することを含み得る。書込み操作に対して十分な空きブロックが存在する場合、ガーベジコレクション操作は生じ得ない。例えば、無効なページは、異なるページに更新されている情報のページであり得る。静的摩耗平滑化は、ブロックの寿命を延ばすために、静的情報を高消去カウントを有するブロックに書き込むことを含む。

30

40

【0016】

書込み増幅(write amplification)は、情報をソリッドステートメモリ装置110-1、...、110-Nに書き込む際に生じ得るプロセスである。情報をメモリアレイにランダムに書き込む場合、ソリッドステートメモリシステムコントロ

50

ーラ108は、アレイ内で利用可能なスペースを求めてスキャンする。メモリアレイ内の利用可能なスペースは、情報を格納していないか、かつ/または消去されている、個々のセル、ページ、および/またはメモリセルのブロックであり得る。選択された位置に情報を書き込むために十分な利用可能スペースある場合、情報は、メモリアレイの選択された位置に書き込まれる。選択された位置に十分な利用可能スペースがない場合、メモリアレイ内の情報が、その選択された位置に既に存在する情報の読取り、コピー、移動、または他の方法での再書き込み、および消去により、新しい位置に再配置されて、その選択された位置に書き込まれる新しい情報に対して利用可能なスペースを空ける。メモリアレイ内の古い情報の再配置が書き込み増幅と呼ばれるのは、メモリ装置によって実行される書き込みの量が、選択された位置に十分な利用可能スペースがあった場合に生じていたであろう書き込み量に対して増幅されるためである。

【0017】

図1に示されたコンピューティングシステム100は、例示されているもの以上に、追加の回路機構を含むことができる。図1に示されたコンピューティングシステム100の詳細は、本開示の実施形態を曖昧にしないために減らされている。例えば、メモリシステム104は、入出力接続により入出力回路を通じて提供されたアドレス信号をラッチするためのアドレス回路を含むことができる。アドレス信号は、受信され、行デコーダおよび列デコーダによって復号されて、ソリッドステートメモリ装置110-1、...、110-Nにアクセスし得る。アドレス入力接続数は、ソリッドステートメモリ装置110-1、...、110-Nの密度およびアーキテクチャによって決まり得ることが当業者によって理解されるであろう。

【0018】

図2は、本開示のいくつかの実施形態に従った、メモリシステム204の機能ブロック図である。メモリシステム204は、ソリッドステートメモリシステムコントローラ208を含むことができる。ソリッドステートメモリシステムコントローラ208は、いくつかのソリッドステートメモリ装置、例えば、図1に示されたソリッドステートメモリ装置110-1、...、110-Nに結合できる。図2に示された例では、いくつかのメモリ装置は、いくつかの論理ユニット(LUN)250を含む不揮発性メモリを含み、また、コントローラ208は揮発性メモリ212を含む。1つのLUN 250は、独立して制御可能であり得る不揮発性メモリの一部であり得る。メモリシステム204およびソリッドステートメモリシステムコントローラ208は、それぞれ、図1に示されている、メモリシステム104およびソリッドステートメモリシステムコントローラ108に類似し得る。

【0019】

ソリッドステートメモリシステムコントローラ208は、物理ホストインタフェース206を通じて、ホスト(例えば、図1に示されているホスト102)とのインタフェースをとるためのホストインタフェース(I/F)回路214を含むことができる。ソリッドステートメモリシステムコントローラ208は、ホスト・メモリ変換回路216、メモリ管理回路218、スイッチ220、不揮発性メモリ制御回路222、および/または揮発性メモリ制御回路224を含むことができる。本明細書に記載するように、ソリッドステートメモリシステムコントローラ208は、ASICの形式で提供できるが、実施形態は、それに制限されない。

【0020】

ホストI/F回路214は、ホスト・メモリ変換回路216に結合できる。ホストI/F回路214は、物理インタフェース206などの、ホストへの物理インタフェースに結合できるか、かつ/またはそれに組み込むことができる。ホストI/F回路214は、例えば、図1におけるホスト102など、ホストとインタフェースをとることができる。ホストI/F回路214は、例えば、ホストが、PCI Express(PCIe)規格に従って情報を伝送するように構成される場合、物理層、リンク層、およびトランスポート層またはトランザクション層インタフェースを提供するPCI Express(PC

I e) 回路 230 を含むことができる。シリアルアドバンスドテクノロジーアタッチメント (SATA) 規格および/またはシリアルアタッチメント SCSI (SAS) 規格に従ったトランスポート層は、PCIe 規格に従ったトランザクション層に類似し得る。PCIe 回路 230 は、ホストバスアダプタ (HBA) 234、例えば、拡張ホストコントローラインタフェース (AHCI) に準拠した HBA に結合できる。HBA 234 は、SA 対応装置 236 に結合でき、それは、ホスト・メモリ変換回路 216 に結合できる。

【0021】

一般に、ホスト I/F 回路 214 は、ホストから (例えば、PCIe バスから) 受信したコマンドパケットをホスト・メモリ変換回路 216 に対するコマンド命令に変換することに対して、およびホスト・メモリ変換応答を、要求しているホストに伝送するためのホストコマンドに変換することに対して責任を負う。例えば、ホスト I/F 回路 214 は、SA コマンドパケットを PCIe ベースのトランザクション層パケットから構築できる。HBA 234 および SA 対応装置 236 は、図 3A ~ 図 3B に関連して以下でさらに詳細に説明される。

10

【0022】

ホスト・メモリ変換回路 216 は、ホスト I/F 回路 214、メモリ管理回路 218、および/またはスイッチ 220 に結合できる。ホスト・メモリ変換回路 216 は、ホストアドレスをメモリアドレス、例えば、読取りコマンドおよび/または書込みコマンドなどの受信されたコマンドに関連付けられたアドレスに変換するように構成できる。例えば、かかる変換は、メモリへの SATA 回路 238 によって実行され得る。「メモリへの SATA」回路 238 として識別されるが、その回路は、本明細書に記載するように、SAS などの他のシリアルアタッチメントに対して構成できる。ホスト・メモリ変換回路 216 は、例えば、ホストセクター読取りおよび書込み操作を、特定の LUN 250 を対象としたコマンドに変換し得る。ホスト・メモリ変換回路 216 は、RAID 排他的 OR (XOR) 回路 226 などの、誤り検出/訂正回路を含むことができる。RAID XOR 回路 226 は、ホスト I/F 回路 214 から受信した情報に基づいてパリティ情報を計算できる。

20

【0023】

メモリ管理回路 218 は、ホスト・メモリ変換回路 216 およびスイッチ 220 に結合できる。メモリ管理回路 218 は、初期化、摩耗平滑化 (例えば、ガーベジコレクションおよび/または再生)、および/または誤り検出/訂正を含むが、それらに制限されない、いくつかのメモリ操作を制御できる。メモリ管理回路 218 はプロセッサ 228 を含む得るが、本開示のいくつかの実施形態は、プロセッサ 228 による、例えば、ソフトウェアおよび/またはファームウェアなどの、命令の実行に頼ることなく、回路 (例えば、ハードウェア) 内にメモリ操作の制御を提供する。かかる実施形態は、メモリ操作を制御するために、プロセッサにもっと大きく頼るいくつかの以前のアプローチに比較して、より高速なメモリ操作を提供できる。メモリ管理回路 218 は、ブロック管理回路 240 を含むことができるが、それは、図 4 に関連してさらに詳細に説明される。

30

【0024】

スイッチ 220 は、ホスト・メモリ変換回路 216、メモリ管理回路 218、不揮発性メモリ制御回路 222、および/または揮発性メモリ制御回路 224 に結合できる。スイッチ 220 は、クロスバースイッチであり得、いくつかのバッファを含むことができるか、かつ/またはそれに結合できる。例えば、スイッチ 220 は、内部スタティックランダムアクセスメモリ (SRAM) バッファ (ISB) 225 を含むことができる。スイッチは、揮発性メモリ 212 に含まれた複数のダイナミックランダムアクセスメモリ (DRAM) バッファ 227 に結合できる。スイッチは、バッファ割当て管理 (BAM) 回路 221 を含むことができ、それは、バッファタグプール 223 を含む得る。スイッチ 220 は、ソリッドステートメモリシステムコントローラ 208 の様々なコンポーネント間にインタフェースを提供できる。スイッチ 220 は、コンポーネント間に一貫性のあるアクセスおよび実装を提供するために、ソリッドステートメモリシステムコントローラ 208 の異

40

50

なるコンポーネントに関連付けられ得る、定義された信号プロトコルにおける相違を吸収し得る。いくつかの実施形態では、スイッチ 220 は、直接メモリアクセス (DMA) モジュールであり得る。

【0025】

BAM回路 221 内のバッファタグプール 223 内の複数のタグは、各々、複数の DRAM バッファ 227 または複数の ISB 225 のうちのそれぞれ 1 つを識別できる。特定のタグが DRAM バッファ 227 を指し示す場合、揮発性メモリ 212 に対するアドレスを書き込むため、プログラマブル「BAR」アドレスをバッファタグに付加できる。BAM回路 221 は、いくつかのハードウェアマスターのうちの 1 つからの割当て要求に回答して、いくつかのハードウェアマスターのうちの 1 つにタグを割り当てるように構成できる。ハードウェアマスターは、メモリにアクセスできるハードウェアコンポーネントを含み得る。

10

【0026】

BAM回路 221 は、複数の ISB 225 のうちの 1 つを識別するタグの割当てを、複数の DRAM バッファ 227 のうちの 1 つを識別するタグよりも優先するように構成できる。ISB 225 は、DRAM バッファ 227 よりも高速かつ低出力であり得、それ故、それよりも望ましい。従って、BAM回路 221 は、ISB 225 を識別する全てのタグが割り当てられた後に限り、複数の DRAM バッファ 227 のうちの 1 つを識別するタグが割り当てられるように、タグの割当てを優先するように構成できる。いくつかの実施形態では、ソリッドステートメモリシステムコントローラ 208 は、768 個の DRAM バッファ 227 および 256 個の ISB 225 の計 1024 個のバッファを含み得る。かかる実施形態では、バッファタグは、1024 個のバッファのうちの 1 つを識別する 10 ビットのタグであり得る。バッファタグは、ハードウェアマスターに対しては特定の意味を持たないかも知れないが、正しいバッファが参照されるようにするために、例えば、読取りおよび/または書込みコマンドなど、コマンドの処理中に、ハードウェアマスターによって伝えられる。いくつかのハードウェアマスターは、複数の ISB 225 のうちの 1 つまたは複数の DRAM バッファ 227 のうちの 1 つに固有のタグの割当てを要求することなく、一般的にタグの割当てを要求するように構成できる。いくつかの実施形態では、DRAM バッファ 227 および ISB 225 の各々は、最大のサポートされるメモリページのサイズ (例えば、4KB) に等しいサイズであり得る。

20

30

【0027】

BAM回路 221 は、機能していないバッファに関連付けられているタグをバッファプール 223 から除去するように構成できる。プロセッサ 228 は、BAM回路 221 にアクセスして、機能していないバッファに関連付けられているタグをバッファプール 223 から除去するように構成できる。かかる実施形態は、たとえ 1 つまたは複数の ISB 225 が障害を起こしても、ソリッドステートメモリシステムコントローラ 208 が適切に機能するのに役立つ。いくつかの実施形態では、「悪い」バッファを除去する (例えば、「マップアウト (map out) する」) 能力は、製造中に ISB 225 をテストする代わりに使用できる。スイッチ 220 は、いくつかの ISB 225 を失うことが、ソリッドステートメモリシステムコントローラ 208 の操作に著しく影響を及ぼさないように、ISB 225 で「オーバプロビジョニング (over-provisioned)」され得る。

40

【0028】

いくつかのハードウェアマスターは、BAM回路 221 からのタグの割当てを読取りコマンドまたは書込みコマンドと同時に要求し、また、BAM回路 221 からの割り当てられたタグの解除を読取りコマンドまたは書込みコマンドの終了と同時に要求するように構成できる。ハードウェアマスターは、複数のコマンドに対して同じタグを使用せず、従って、各コマンドに対して新しいタグを要求する。ハードウェアマスターは、例えば、十分なバッファ、特に ISB 225 が、複数のハードウェアマスターからの複数のコマンドに対して利用可能であることを確実にするのに役立つように、割当て要求よりも割当て解

50

除要求を優先させるように構成できる。

【0029】

バッファタグの使用は、読取り操作を容易にできる。ハードウェアマスターは、読取りコマンドを割り当てられたタグと一緒に不揮発性メモリ制御回路222に送信するように構成できる。不揮発性メモリ制御回路222は、その読取りコマンドに対応する情報を割り当てられたタグで識別されるバッファに格納し、その読取りコマンドを送信した特定のハードウェアマスターに、情報が準備できていることを通知するように構成できる。

【0030】

バッファタグの使用は、書込み操作を容易にできる。ハードウェアマスターは、書込みコマンドを割り当てられたタグと一緒に不揮発性メモリ制御回路222に送信して、その書込みコマンドに対応する情報をその割り当てられたタグで識別されるバッファに格納するように構成できる。不揮発性メモリ制御回路222は、割り当てられたタグで識別されるバッファから情報を取り出し、その情報を不揮発性メモリに（例えば、適切なLUN 250に）書込み、その書込みコマンドを送信したハードウェアマスターに、情報が書き込まれていることを通知するように構成できる。

10

【0031】

メモリ管理回路218内のプロセッサ228は、ハードウェアマスターであり得る。プロセッサ228は、不揮発性メモリ制御回路222と、揮発性メモリ212空間全体へのアクセスを有する揮発性メモリ制御回路224との間で、複数のタグを考慮することなく、直接メモリアクセス(DMA)操作を可能にするように構成できる。他のハードウェアマスターはDMA機能を可能にしないことがあり、それ故、メモリ空間を直接アクセスするよりも、バッファへのアクセスのためのタグを頼りにし得る。プロセッサ228は、メモリ空間をアクセスするためのバッファの必要性を迂回するコマンドパイプラインを通じて送信されたコマンドとともに使用される、フィールド内の情報を介して、DMA操作を可能にできる。例えば、情報「DMA__En BARSEL」が、コマンドとともに使用されるフィールド内に含まれ得るが、ここで「DMA__En」は、DMA操作が可能にされていることを受信側に示し、また「BARSEL」は、本明細書に記載されているように、バッファタグの代わりにDRAMに対するアドレスが含まれているはずであることを示す。それ故、プロセッサ228は、他のハードウェアマスターに対するバッファベースのアクセスと同じ論理を使用して、揮発性メモリ212とLUN 250との間で情報を移動できる。「DMA__En」は、LUN 250をアクセスする際に、チャンネル制御回路248によってスイッチ220にエコーされ得る。チャンネル制御回路248の観点から見れば、DMAアクセスは、実質的にはバッファベースのアクセスと同一である。「DMA__En」がアサートされると、スイッチ220は、要求を揮発性メモリ212に強制できる。「BARSEL」は、それがDRAMバッファ227を指す場合、バッファタグに付加された「BAR」アドレスに類似した一意の「BAR」をスワップするために、スイッチ220によって使用される。例えば、「BAR」アドレスは、4つの位置のうちの1つを指す2ビットアドレスであり得るが、実施形態はそのように制限されていない。「BAR」アドレスの使用は、異なる同時DMAを許可し得る。

20

30

【0032】

不揮発性メモリ制御回路222は、スイッチ220に結合できる。不揮発性メモリ制御回路222は、不揮発性メモリ装置に結合できる。図2は、いくつかのLUN 250を含む、不揮発性メモリ装置を示す。いくつかのLUN 250は、いくつかのチャンネルによって、不揮発性メモリ制御回路222に結合できる。いくつかの実施形態では、いくつかのチャンネルは、不揮発性メモリ制御回路222によって、全体として制御できる。いくつかの実施形態では、各メモリチャンネルは、図2に示すように、個別のチャンネル制御回路248に結合される。特定のチャンネル制御回路248は、単一のチャンネルによって、複数のLUN 250を制御して結合できる。いくつかの実施形態では、チャンネル制御回路248は、Open NAND Flash Interface (ONFI) 対応バスによって、複数のLUN 250に結合できる。

40

50

【 0 0 3 3 】

不揮発性メモリ制御回路 2 2 2 は、コマンドが、チャンネル制御回路 2 4 8 によって実行されるのを待機している間に存在するコマンドパイプラインの少なくとも一部を含む。L U N 2 5 0 に対する要求を開始する全てのハードウェアマスターは、スイッチ 2 2 0 を通じて同じコマンドパイプラインを共有できる。ホストからの読取りコマンド（ホスト読取り）について、ホストは、1 つまたは複数の L U N 2 5 0 に格納されている、特定の情報を必要とするので、L U N 2 5 0 のアクセスに関して管理されない。同様に、ホストトラフィックの量に関して管理されない。本明細書に記載されるコマンドパイプラインは、L U N 2 5 0 間でのプログラム時間、読取り時間、および消去時間の競合を隠す際に柔軟性を提供できる。例えば、消去時間は、プログラム時間または読取り時間より長い
10

【 0 0 3 4 】

不揮発性メモリ制御回路 2 2 2 は、チャンネル制御回路 2 4 8 の各々に結合されたチャンネル要求キュー（C R Q）2 4 2 を含むことができる。各チャンネル制御回路 2 4 8 は、複数の L U N コマンドキュー（L C Q）2 4 6 に結合された L U N 要求キュー（L R Q）2 4 4 を含むことができる。L R Q 2 4 4 は、L 数 - 深さのキュー回路であり得、ここで、L は、チャンネル制御回路 2 4 8 あたりの L U N 2 5 0 の数に等しい。C R Q 2 4 2 は
20、C 数 - 深さのキュー回路であり得、ここで、C は、例えば、 $x * (\text{複数のチャンネル制御回路 } 2 4 8)$ に等しく、 x は、整数（例えば、4）である。例えば、不揮発性メモリ制御回路 2 2 2 は、チャンネルあたり 1 6 の L U N をもつ 3 2 のチャンネル、チャンネル間で共有されたコマンド記憶に対して最大で 1 2 8 のエントリを格納するように構成された 1 つの 1 2 8 - 深さの C R Q 2 4 2、特定のチャンネル上の L U N 2 5 0 間で最大で 1 6 のコマンドを格納するように構成されたチャンネルあたり 1 つの 1 6 - 深さの L R Q 2 4 4、およびチャンネルあたり 1 つの 2 - 深さの L C Q 2 4 6（ここで、L C Q 2 4 6 は先入れ先出し方式（F I F O）の回路）を含むことができる。例えば、2 - 深さの F I F O は、現在のコマンドおよび、現在のコマンドに続いて実行される次のコマンドをキューに登録するように構成できる。かかる実施形態は、1 0 2 4 のエントリ（5 1 2 の L U N * 2 -
30 深さの L C Q）+ 5 1 2 のエントリ（チャンネルあたり 1 つの 1 6 - 深さの L R Q * 3 2 のチャンネル）+（1 つの 1 2 8 - 深さの C R Q）= 総計 1 6 6 4（1 0 2 4 + 5 1 2 + 1 2 8）のコマンド記憶エントリを提供する。本明細書に記載するように、かかるコマンドパイプライン構造は、5 2 4，2 8 8 コマンド記憶エントリ（チャンネルあたり 3 2 の L U N * 1 6 チャンネル * L U N あたり 1 0 2 4 - 深さの F I F O = 5 2 4，2 8 8）と同じ性能を何分の 1 かのサイズで提供できる。

【 0 0 3 5 】

C R Q 2 4 2 は、コマンドをスイッチ 2 2 0 から受信して、そのコマンドを L R Q 2 4 4 の 1 つ、例えば、そのコマンドが対象とする特定の L U N 2 5 0 に関連付けられているチャンネルに関連した L R Q 2 4 4 に中継するように構成できる。L R Q 2 4 4
40 は、特定の L U N 2 5 0 に対する第 1 の複数のコマンドを、その第 1 の複数のコマンドが L R Q 2 4 4 によって受信された順番で、特定の L U N 2 5 0 に関連した L C Q 2 4 6 に中継するように構成できる。コマンドパイプラインは、同じ L U N 2 5 0 に対するコマンドが順番に、例えば、L R Q 2 4 4 によって受信された順番に、移動するように構築される。L R Q 2 4 4 は、満杯である特定の L U N 2 5 0 に関連した L C Q 2 4 6 に応答して、特定の L U N 2 5 0 に対するコマンドをキューに登録するように構成でき、また、C R Q 2 4 2 は、満杯である特定の L R Q 2 4 4 に応答して、特定の L R Q 2 4 4 に対するコマンドをキューに登録するように構成できる。

【 0 0 3 6 】

L R Q 2 4 4 は、異なる L U N 2 5 0 に対する第 2 の複数のコマンドを、異なる L
50

UN 250に関連したLCQ 246に、異なるLUN 250のステータスに従った順序で中継するように構成できる。例えば、異なるLUN 250のステータスはレディ/ビジーステータスであり得る。コマンドパイプラインは、異なるLUN 250間のコマンドが、順番から外れて、例えば、その時点でメモリ操作全体に対して効率的なものに従って、それらがLRQ 244によって受信された順番とは異なる順番で、移動できるように構築される。例えば、第2の複数のコマンドのうち第1のものが第2の複数のコマンドのうち第2のものよりも時間的に後で受信される場合において、ビジーである第2のLCQ 246に関連した異なるLUN 250のステータスに応答して、LRQ 244は、第2の複数のコマンドのうち第2のものを第2のLCQ 246に中継する前に、第2の複数のコマンドのうち第1のものを第1のLCQ 246に中継するように構成することができる。LRQ 244は、レディである第2のLCQ 246に関連したLUN 250のステータスに応答して、例えば、第2の複数のコマンドのうち第1のものを中継した後に、第2の複数のコマンドのうち第2のものを第2のLCQ 246に中継するように構成できる。

10

【0037】

各チャネルに対する個別の不揮発性メモリチャネル制御回路を含むいくつかの実施形態は、各チャネル制御回路248に結合された個別の誤り検出/訂正回路232（例えば、誤り訂正符号（ECC）回路）、および/または複数のチャネルで使用できるいくつかの誤り検出/訂正回路232を含むことができる。誤り検出/訂正回路232は、当業者には理解されるように、LUN 250に格納された情報に関連した誤りを検出および/または訂正するために、BCH誤り訂正などの誤り訂正を適用するように構成できる。例えば、誤り検出/訂正回路は、1080ビットの符号語に関して29ビットの誤り訂正を提供できる。誤り検出/訂正回路232は、シングルレベルセルおよび/またはマルチレベルセル（SLC/MLC）操作に対して、異なる誤り訂正方式を提供するように構成できる。

20

【0038】

揮発性メモリ制御回路224は、スイッチ220、および揮発性メモリ212（例えば、いくつかの揮発性メモリ装置）に結合できる。他の情報の中で特に、いくつかの揮発性メモリ装置は、図4に関してさらに詳細に説明するように、LBAテーブルおよび/またはブロックテーブルを格納できる。

30

【0039】

図3Aは、本開示のいくつかの実施形態に従った、ホストバスアダプタ（HBA）334とシリアルアタッチメント（SA）プログラミング対応装置336との間のトランスポート層インタフェースの機能ブロック図である。HBA 334は、図2に示されたHBA 234に類似し得る。SAプログラミング対応装置336は、図2に示されたSAプログラミング対応装置236に類似し得る。いくつかの実施形態では、SAプログラム対応装置336は、シリアルアドバンスドテクノロジー（SATA）プログラム対応装置であり得る。いくつかの実施形態では、SAプログラム対応装置336は、シリアルアタッチメントSCSI（SAS）プログラミング対応装置であり得る。

40

【0040】

SAプロトコルは、層を使用して概念的に定義される。SATAに対して、下から上に順番に、これらは、物理層、リンク層、トランスポート層、およびコマンド層を含む。SASに対して、下から上に順番に、これらは、物理層、PHY層、リンク層、ポート層、トランスポート層、およびアプリケーション層を含む。コマンド層および/またはアプリケーション層情報は、コマンドをフレーム情報構造（FIS）に分割することにより、トランスポート層上で伝達できる。いくつかの以前のアプローチによれば、FISは、プリミティブを使用してリンク層上で伝達された。プリミティブは、符号語を使用して物理層上で伝達され、符号語は、8b10b符号化を使用してSATAまたはSASケーブル上で伝送された。ワイヤーの2つの差動ペアから成るSATAまたはSASケーブル上での通信は、ホストの観点から、送信（Tx）および受信（Rx）として参照された。これら

50

のワイヤーは、コマンドまたは情報のいずれかを送信でき、また、制御のために仲裁された。この方式の1つの制約は、通信がケーブル上で仲裁されると、1つの通信だけが生じることである。すなわち、SATAまたはSASが、所与の時に、単一のFISを伝送できるだけである。

【0041】

HBA 334 - SAプログラミング対応装置336インタフェースが、例えば、図2に示されたソリッドステートメモリシステムコントローラ208の事例におけるように、完全にコントローラ内である場合、情報の流れは、ケーブルで接続されたSA物理層の制約に縛られない。本開示のいくつかの実施形態は、物理層およびリンク層の使用を放棄するが、他方、コマンド層352およびトランスポート層354によってサポートされるFISおよびコマンドの使用を維持する。同時実行が、物理通信を4つのセットの入力/出力、例えば、コマンド(Cmd)、応答(Rsp)、書込みデータ(WrData)、および読取りデータ(RdData)として定義することにより達成できる。従って、機能固有の相互接続を採用することにより、コマンド、応答、および情報配信間にもはや競合は存在しない。それらは、パイプライン化されて、同時に動作できる。すなわち、機能固有の相互接続は、コマンド、応答、および情報をHBA 334とSAプログラミング対応装置336との間で同時に伝達するように構成できる。機能固有の相互接続は、SAプログラミング対応装置336上のCmd入力に結合されたHBA 334上のCmd出力、HBA 334上のRsp入力に結合されたSAプログラミング対応装置336上のRsp出力、SAプログラミング対応装置336上のWrData入力に結合されたHBA 334上のWrData出力、およびHBA 334上のRdData入力に結合されたSAプログラミング対応装置336上のRdData出力を含み得る。いくつかの実施形態では、Cmd、Rsp、WrData、およびRdData入力/出力ペアの各々は、一方向であり得、8b10b符号化もプリミティブもどちらも採用できない。

10

20

30

40

50

【0042】

機能固有の相互接続は、コマンドインタフェース(HBA 334上のCmd出力およびSAプログラミング対応装置336上のCmd入力)、応答インタフェース(HBA 334上のRsp入力およびSAプログラミング対応装置336上のRsp出力)、および情報インタフェース(HBA 334上のWrData出力およびSAプログラミング対応装置336上のWrData入力ならびに/またはHBA 334上のRdData入力およびSAプログラミング対応装置336上のRdData出力)を、第1のコマンドプロトコル(例えば、特に、ネイティブコマンドキューイング(NCQ)および/またはタグ付きコマンドキューイング(TCQ))に回答して、同時に動作するように構成できる。機能固有の相互接続は、コマンドインタフェース、応答インタフェース、および情報インタフェースを、第2にコマンドプロトコル(例えば、特に、NonData、プログラム入出力(PIO)、および/または直接メモリアクセス(DMA))に回答して、アトミックに動作するように構成できる。

【0043】

コマンドインタフェースは、ホスト・デバイス(HD)FISをHBA 334からSAプログラミング対応装置336に配信するために使用できる。HBA 334上のWrData出力は、SAプログラミング対応装置336上のWrData入力に、情報を配信するために使用できる。SAプログラミング対応装置336上のRdData出力は、HBA 334上のRdData入力に情報を配信するために使用できる。応答インタフェースは、例えば、PIOSetups、DMAActivates、DMASetupsなどを使用して、情報配信を適格にし、また、例えば、デバイス・ホスト(DH)および/またはセットデバイスビット(SDB)などの終了を伝達するために使用できる。情報配信を適格にすることは、情報が配信される順番を定義することを含み得る。バッファリングの使用は、対応する応答FISの前に、情報の移動を開始できるようにし得る。

【0044】

図3Bは、本開示のいくつかの実施形態に従った、HBA 334およびSAプログラ

ミング対応装置 336 の機能ブロック図である。HBA 334 は、図 3 A に示されている HBA 234 に類似し得、より詳細に示されている。SA プログラミング対応装置 336 は、図 3 A に示されている SA プログラミング対応装置 236 に類似し得、より詳細に示されている。

【0045】

HBA 334 は、Cmd 出力を SA プログラミング対応装置 336 に提供するコマンドフェッチャ (command fetcher) 356 を含むことができる。HBA 334 は、Rsp 入力を SA プログラミング対応装置 336 から受信する応答受信部 358 を含むことができる。HBA 334 は、WrData 出力を SA プログラミング対応装置 336 に提供する、ダウンストリーム DMA 装置 360 を含むことができる。HBA 334 は、RdData 入力を SA プログラミング対応装置 336 から受信する、アップストリーム DMA 装置 362 を含むことができる。Cmd フェッチャ 356、Rsp 受信部 358、ダウンストリーム DMA 360、およびアップストリーム DMA 362 の各々は、互いに独立して動作できるハードウェアコンポーネントであり得るが、いくつかの実施形態では、動作を HBA FSM 372 (例えば、拡張ホストコントローラインタフェース (AHCI) 状態機械) と同期させて、AHCI プロトコルが実施できるようにする。

【0046】

ダウンストリーム DMA 装置 360 および Cmd フェッチャ 356 は、ダウンストリーム書込みおよび / またはアップストリーム読取りのために、バスインタフェース (I/F) 364 に結合できる。バス I/F 364 は、Cmd フェッチャ 356 から要求を受信し、その要求を PCIe I/F (例えば、図 2 に示す PCIe 回路 230 をもつインタフェース) に渡して、適切な時に応答を Cmd フェッチャ 356 に返すように構成できる。バス I/F 364 は、PCIe I/F から情報を受信し、要求 (例えば、書込み情報のフェッチ) をそれに対して送信するように構成できる。ダウンストリーム DMA 装置 360 は、書込み情報を受信するために十分なバッファリングが存在する場合、複数の PCIe 読取り要求をバス I/F 364 を介してパイプライン化するように構成できる。バス I/F 364 を介して PCIe I/F に送信された各要求は、PCIe I/F からの情報をそれぞれの書込みバッファに向ける回転バッファタグの割当てを引き起こし得る。情報は、次いで、SA プログラミング対応装置 336 に送信されるように、書込みバッファから回転方式で除去され得る。Rsp 受信部 358 およびアップストリーム DMA 装置 362 は、ダウンストリーム読取りおよび / またはアップストリーム書込みのために、バス I/F 336 に結合できる。バス I/F 366 は、情報および / または要求を PCIe I/F を介して伝送するように構成できる。

【0047】

HBA 334 アーキテクチャは、単一の AHCI ポートをホストデバイスドライバソフトウェアに提示できるが、ポート内のコマンドスロットの数を、例えば、256 に拡張できる。専用のホストデバイスドライバが、制御レジスタ 370 (例えば、8 個の 32 ビットコマンド発行レジスタ) によってスロットにアクセスできる。制御レジスタ 370 は、書込み制御情報の入力および読取り制御情報の出力のために、制御インタフェース 368 を介して、PCIe I/F に接続され得る。いくつかの実施形態では、Cmd フェッチャ 356 は、コマンドを取り出し、コマンドが発行される順番で、SA プログラミング対応装置 336 に転送できる。いくつかのコマンド (例えば、32 個のコマンド) が、制御レジスタ 370 内で同時に受信され、Cmd フェッチャ 356 に対してキューに加えられる得る。

【0048】

いくつかのコマンドスロットがコマンドスロットグループにグループ分けされ、それに割り当てられたメッセージ信号割込み (MSI) (例えば、MSI-X) ベクトルを有し得る。かかる実施形態は、多重ポートに対するコマンド用に 32 b の AHCI レジスタを含むいくつかの以前のアプローチに対して有益であり得る。本開示のいくつかの実施形態

10

20

30

40

50

は、コマンド用に 256b のレジスタを有する 1 つのポートを含むが、それは、割込み性能がホスト（例えば、図 1 に示されているホスト 102）内で最適化できる可能性を改善するように、MSI ベクトルをもつコマンドグループ分けを有利にできる。

【0049】

HBA 334 は、NCQ 読取りに対してコンテキスト配列を使用して、インターリーブされた方法で返されるようにし得る。特定の読取りコマンド内の情報は順番に処理されるが、複数の未処理の読取りコマンドの一部は互いにインターリーブされ得る。読取りコンテキストが SA プログラミング対応装置 336 によって開始される場合、HBA 334 は、読取りコマンドの現在のステータスのレコードをコンテキスト配列から取り出し、それが最後に中断されたポイントから再開できる。読取りコンテキストが完了すると、HBA 334 は、更新されたコマンド進捗値をコンテキスト配列に格納できる。コンテキスト配列位置は、各考えられる未処理の読取りコマンド（例えば、256 個の未処理の読取りコマンド）に対して存在し得る。類似したコンテキスト配列が書込みに対して使用され得る。

10

【0050】

SA プログラミング対応装置 336 は、Cmd 入力を HBA 334（例えば、HBA 334 のコマンドフェッチャ 356）から受信するコマンド有限状態機械を含み得る。SA プログラミング対応装置 336 は、Rsp 出力を HBA 334（例えば、HBA 334 の応答受信部 358）に提供するデバイス・ホストアービタ（DH ARB）376 を含み得る。SA プログラミング対応装置 336 は、Wr Data 入力を HBA 334（例えば、HBA 334 のダウンストリーム DMA 360）から受信する書込み FSM 378 を含み得る。SA プログラミング対応装置 336 は、Rd Data 出力を HBA 334（例えば、HBA 334 のアップストリーム DMA 362）に提供する読取り FSM 380 を含み得る。Wr FSM 378 は、出力をメモリに提供でき、Rd FSM 380 は、メモリからの入力を、例えば、図 2 に示されているホスト・メモリ変換回路 216 を介して、提供できる。

20

【0051】

DH ARB 376 は、Cmd FSM 374 からの入力を、例えば、DH、SDB などの伝達のために持つことができる。DH ARB 376 は、Wr FSM 378 からの入力を、例えば、書込み DMA Setups のために含み得る。DH ARB 376 は、Rd FSM 380 からの入力を、例えば、読取り DMA Setups のために含み得る。DH ARB 376 は、情報配信の順序を適格にし、Cmd FSM 374、Wr FSM 378、および Rd FSM 380 からの入力に基づいて、完了を HBA 334 に伝達するように構成できる。Wr FSM 378 は、DH ARB 376 が書込み情報配信の順序を適格にする前に、書込み情報をバッファリングするように構成された書込みバッファを含み得る。Rd FSM 380 は、DH ARB 376 が読取り情報配信の順序を適格にする前に、読取り情報をバッファリングするように構成された読取りバッファを含み得る。

30

【0052】

いくつかの実施形態では、Cmd FSM 374 は、デフォルト設定で同時に動作するように構成できる。Cmd FSM 374 は、PIO または DMA などの単一コンテキストコマンドプロトコルの検出に回答して、例えば、「Currency Disabled」モードでアトミックに動作するように構成できる。アトミックに動作する場合、Cmd FSM 374 は、Wr FSM 378 に対して 1 つ、および Rd FSM 380 に対して 1 つの、2 つの「Pass Control」信号のうちの 1 つをアサートするように構成できる。その後、Cmd FSM 374 は、リセットコマンドが受信されるか、または「Return Control」信号が Wr FSM 378 もしくは Rd FSM 380 のいずれかからアサートされるまで、「Wait For Ctl」状態に入り得る。検出されたプロトコルが Non Data である場合、いずれの Pass Control 信号もアサートされない。Cmd FSM 374 は、コマンド自体をサービス

40

50

し、完了するとアイドルに戻る。コマンドタグがリタイアされる準備ができていることを論理が示している場合、C m d F S Mは、適切なS D B F I Sを生成して、アイドルに戻ることができる。

【0053】

いくつかの実施形態では、W r F S M 378およびR d F S M 380は、デフォルト設定で同時に動作するように構成できる。W r F S M 378およびR d F S M 380は、C m d F S M 374からのP a s s C o n t r o l信号を受信するか、かつ/またはP I OもしくはD M Aなどの単一コンテキストコマンドプロトコルを検出すると、アトミックに動作するように構成できる。W r F S M 378および/またはR d F S M 380は、S Aプロトコル(例えば、S A T AプロトコルまたはS A Sプロトコル)に続いて、コマンドカウントが完了するか、または誤り条件が満たされるまで、アトミックに動作できるが、その場合、それぞれのF S MはそのR t n C t l信号をアサートでき、それは、C m d F S M 374をそのW a i t F o r C t l状態から解放できる。逆に、並行動作は各F S Mが情報を独立して移動できるようにする。

10

【0054】

図4は、本開示のいくつかの実施形態に従った、ブロック管理装置440の機能ブロック図を示す。ブロック管理装置440は、図2に示されているブロック管理装置240に類似し得、メモリ管理回路内に含まれ得る。ブロック管理装置440は、揮発性メモリ412(例えば、D R A M)と通信できるが、それは、図2に示されている揮発性メモリ212に類似し得る。従って、例えば、ブロック管理装置440は、スイッチおよび揮発性メモリ制御回路を経由して、揮発性メモリ412と通信できる。揮発性メモリ412は、他の情報の中で特に、論理ブロックアドレス(L B A)テーブル482、ブロックテーブル484、および/またはトランザクションログ486を格納できる。

20

【0055】

T B Aテーブル482は、L U N(例えば、図2に示されているL U N 250)内のページの物理ページアドレスを格納でき、対応する論理アドレスを含むことができる。すなわち、L B Aテーブル482は、論理アドレスから物理アドレスおよび/または物理アドレスから論理アドレスへの変換を含むことができる。従って、L B Aテーブル482は、対応する情報が格納できる、論理ブロックアドレスに対応する物理ページアドレスを検索するために使用できる。L B Aテーブル482は、関連したS Aコマンドに含まれているL B Aによってインデックス付けできる。ブロックテーブル484は、いくつかのL U N内の消去可能なブロックに関する情報を格納できる。ブロックテーブル484内に格納された情報は、有効なページ情報、消去カウント、ならびに他の正常性およびステータス情報を含み得る。ブロックテーブル484からアクセスされた情報は、物理ブロックアドレスによってインデックス付けできる。トランザクションログ486は、L U N内で生じる書込みに関する情報を記録するために使用できる。いくつかの実施形態では、トランザクションログ486は、L U Nへの書込みと同時に更新され得る。トランザクションログ486は、例えば、L B Aテーブル482の不揮発性メモリへの更新の間に突然の電力損失または他の誤りに起因して失い得るL B Aテーブル482の一部の再作成を容易にするため、L B Aテーブル482が不揮発性メモリに最後に保存されてから生じたL U Nへの書込みに関する情報を含み得る。

30

40

【0056】

ブロック管理装置440内に描かれているいくつかのオブジェクトは、ブロック管理装置440によって提供される機能を示す。L B Aテーブルルックアップ機能490は、論理アドレスから物理アドレスへの変換を実行するために、揮発性メモリ412内のL B Aテーブル482を参照できる。L B Aテーブルルックアップ機能490は、論理アドレスに関連した情報が更新されると、L B Aテーブル482をその論理アドレスに対応する新しい物理アドレスで更新できる。ブロックテーブルルックアップ機能491は、例えば、再生および/またはガーベジコレクションなどの摩擦平滑化に対する候補を決定するために、揮発性メモリ412内のブロックテーブル484を参照できる。再生は、消去される

50

ブロックから、そのブロックが消去される前に、新しい場所に全ての有効なページを移動することを伴い得る。ブロック再生機能 4 9 3 は、揮発性メモリ 4 1 2 内のトランザクションログ 4 8 6 を参照できる。

【 0 0 5 7 】

メモリ管理回路（例えば、ブロック管理装置 4 4 0）のローカルメモリ内に格納されたブロック配列 4 9 2 は、再生ページ候補 4 9 4、消去ブロック候補 4 9 5、再生書込みブロック候補 4 9 6、および/またはホスト書込みブロック候補 4 9 7 を、例えば、L B A テーブルルックアップ機能 4 9 0 および/またはブロックテーブルルックアップ機能 4 9 1 によってブロック配列 4 9 2 を参照する際に追跡し得る。かかる候補は、各ブロックが揮発性メモリ 4 1 2（例えば、D R A M）に対して揮発性メモリ速度で読み取られるか、もしくは書き込まれる際に、各ブロックの正常性および/またはステータス情報を分析するための専用ハードウェアを使用して、システム内の各 L U N に対して選択され得る。各 L U N に対する現在の候補が、ブロック配列 4 9 2 内に格納できる。ブロックテーブル 4 8 4 がアクセスされるたびに、パイプライン構造が現在の最善の候補をブロック配列 4 9 2 から取り出して、それを新しいブロックテーブル 4 8 4 アクセスと比較できる。新しいブロックテーブル 4 8 4 アクセス（例えば、書込み、消去、または誤り事象の結果としての）が、ブロック配列 4 9 2 に格納された現在の候補よりも良い候補を明らかにすると、その新しいブロックは、ブロック配列 4 9 2 内のその候補に取って代わることができる。候補選択は、揮発性メモリ 4 1 2 へのアクセスを停止することなく起こり得るが、それは、プロセスが、パイプライン構造を使用して、揮発性メモリ 4 1 2 速度で継続することを

10

20

【 0 0 5 8 】

ブロック管理装置 4 4 0 は、複数のブロックの各々に対する正常性およびステータス情報を、揮発性メモリ 4 1 2 内のブロックテーブル 4 8 4 内に格納するように構成できる。ブロック管理装置 4 4 0 は、候補ブロックテーブル（例えば、再生ページ候補 4 9 4、消去ブロック候補 4 9 5、再生書込みブロック候補 4 9 6、および/またはホスト書込みブロック候補 4 9 7 を含むブロック配列 4 9 2）をローカルメモリに格納するように構成できる。候補ブロックテーブルは、特定の操作に対するいくつかの基準に基づいて、特定の操作（例えば、ホスト書込み、再生読取り、再生書込み、および/または消去）に対する候補ブロックを識別できる。ブロック管理装置 4 4 0 は、ブロックテーブル 4 8 4 内の特定のブロックに対する正常性およびステータス情報を、例えば、特定のブロックに対する書込み、読取り、または誤り事象に応答して、更新するように構成できる。ブロック管理装置 4 4 0 は、特定のブロックに対する更新された正常性およびステータス情報を、いくつかの基準に従って、候補ブロックと比較するように構成できる。ブロック管理装置 4 4 0 は、例えば、特定のブロックに対する正常性およびステータス情報が揮発性メモリ 4 1 2 内で更新される同じクロック周期で、特定のブロックの方がいくつかの基準を良く満足することを示す比較に少なくとも一部応答して、特定のブロックを識別するために候補ブロックテーブルを更新するように構成できる。

30

【 0 0 5 9 】

前述した候補選択プロセスは、例えば、書込み、消去、または誤り事象の結果としての新しいブロックテーブル 4 8 4 アクセスに頼らないテーブルウォーキングプロセスで補完できる。テーブルウォーキングプロセスは、ブロック管理装置 4 4 0 内のブロック配列 4 9 2 内にローカルに格納されていないブロック情報の履歴を回復できる。テーブルウォーキングは、書込み、消去、または誤り事象の結果としてのブロックテーブル 4 8 4 アクセスに比べて、遅いバックグラウンドプロセスであり得る。ブロックテーブル 4 8 4 全体がウォークされると、テーブルウォーキングプロセスは、例えば、揮発性メモリ 4 1 2 の電力消費を削減するために、停止され得る。いくつかの事例では、新しいブロックテーブル 4 8 4 アクセスがテーブルウォーキングプロセスを再開できる。従って、ブロック管理装置 4 4 0 は、揮発性メモリ 4 1 2 内のブロックテーブル 4 8 4 内の複数のブロックの各々に対する更新された正常性およびステータス情報を、任意の複数のブロックに対する書込

40

50

み、消去、または誤り事象とは無関係な、いくつかの基準に従って、候補ブロックと比較するように構成できる。ブロックの比較は、複数のブロックの各々が比較された後、停止され得る。

【0060】

本開示のいくつかの実施形態では、LBAテーブル482を更新するため、コヒーレンシポイントの使用に従った再生プロセス中に、ホスト動作は停止されない。再生プロセス中、例えば、再生ページ候補494からの再生ページ候補が、第1の位置から読み取られて、第2の位置に書き込まれる。この読取りおよび書込み中に、ホストは、再生のために現在処理されているLBAに新しい情報を書き込んで、LBAテーブル482を新しい物理アドレスで更新している。再生がページ読取りおよび書込みを完了すると、再生中のLBAに対するLBAテーブル482エントリが、第1の位置から読み取られた情報と同じ物理アドレスを有する場合（例えば、ホストがLBAテーブル482内のエントリを更新していない場合）に限り、LBAテーブル482は、新しい物理アドレスで更新できる。再生読取りに対応するページは、ブロックテーブル484内に、例えば、陳腐(stale)情報を格納するなど、無効としてマークされ得る。物理アドレスが、再生読取りに対応するアドレスとは異なる場合、それは、ホストが更新を行ったことを示し、LBAテーブルはその再生書込みによって新しい物理アドレスで更新されない。その再生書込みは、その再生書込みに対応する物理位置が無効な情報を格納していることを示すために、ブロックテーブル484内で無効にされ得る。

10

【0061】

メモリ管理回路（例えば、ブロック管理装置440）は、特定のブロックに関する再生操作中に情報が特定のブロックから読み取られる前、特定のブロックに対する論理アドレスに対応する第1の物理アドレスを、ブロックテーブル484から取り出すように構成できる。ブロック管理装置440は、再生操作中にその情報が異なるブロックに書き込まれた後、その論理アドレスに対応する第2の物理アドレスを、LBAテーブル482から取り出すように構成できる。ブロック管理装置440は、第2の物理アドレスが第1の物理アドレスに等しいことに少なくとも一部応答して、異なるブロックに対応する第3の物理アドレスでLBAテーブル482を更新するように構成できる。ブロック管理装置440は、第2の物理アドレスが第1の物理アドレスとは異なることに少なくとも一部応答して、再生操作を無効にするように構成できる。

20

30

【0062】

ブロック管理装置440は、ホストコマンドキュー498とメモリコマンドキュー499との間に結合できる。ホストコマンドキュー498は、図1に示されているホスト102などの、ホスト、図2に示されているようなメモリへのSA回路238、および/または図2に示されているホストインタフェース214のいくつかのコンポーネントに関連付けられ得る。メモリコマンドキュー499は、図2に示されているCRQ 242、LRQ 244、およびLCQ 246のうちの1つまたは複数、ならびに/または他のコンポーネントに類似し得る。

【0063】

メモリ管理回路（例えば、ブロック管理装置440）は、不揮発性メモリ制御回路（例えば、図に示されている不揮発性メモリ制御回路222）にスイッチ（例えば、図2に示されているスイッチ220）を介して結合できる。メモリ管理回路は、ホストバスの情報幅およびそのホストバスのプロトコルに基づいて、ホスト書込みに対して書込みブロッククラスを割り当てるように構成できる。書込みブロッククラスは、いくつかのLUN 250からのいくつかのブロックを含み得る。ホストバスは、ホスト（例えば、図1に示されているホスト102）の一部であり得る。例えば、ホストバスは、バス幅がx1、x2、x4、x8、x16、x32などのPCIEバス、および特に、PCIE第1～第3世代のプロトコルであり得る。書込みブロッククラスは、不揮発性メモリ制御回路内の複数のチャネル制御回路に結合されている全てのLUNよりも少ない中からの1つのブロックを含み得る。いくつかの実施形態では、メモリ管理回路は、書込みブロッククラス

40

50

タのサイズを、ホストバスの情報幅およびホストバスのプロトコルに従って、最大ホストバス帯域幅をサポートするために使用されるLUNの最小数に制限するように構成できる。

【0064】

メモリシステムコントローラの書込み帯域幅は、ホストバスによってサポートされる最大帯域幅、システム内のメモリチャネル数、およびチャネルごとのLUN数の関数であり得る。ホストバスがサポートできるよりも多くのLUNを割り当てることは、そうでなければ再生操作に使用できた資源の無駄であり得る。従って、本開示のいくつかの実施形態によれば、ホスト書込みブロッククラスタのサイズは、メモリシステム内のLUNの総数未満に制限できる。

10

【0065】

LUNからのブロックの残り（例えば、書込みブロッククラスタに割り当てられていないもの）が、再生操作に割り当てられ得る。メモリ管理回路は、いくつかの割り当てられたLUNを再生操作から一時的に割当て解除するように構成できる。書込みブロッククラスタは、書込みブロッククラスタのブロックがLUNの特定のシーケンス内に書き込まれるように、ホスト書込みに対して割り当てられ得る。再生帯域幅は、近い将来、書込み用に使用され得るLUNに対する再生操作を中断することにより、メモリシステムコントローラの書込み帯域幅を改善するために制限され得る。ホスト書込みに対するLUNの特定のシーケンス内で順番が次であるLUNが、LUNの閾値数内であることを示す、LUNの特定のシーケンスに少なくとも一部応答して、割り当てられたLUNのうちの少なくとも1つが、再生操作から割当てが解除され得る。閾値数は、再生読取り操作、再生書込み操作、および再生消去操作の各々に対して異なり得る。閾値数は、書込み操作に先だって、再生操作が生じ得ない、LUNの数である「除外ゾーン (exclusion zone)」を表し得る。

20

【0066】

チャネルあたり複数のLUNを使用することは、特定のチャネルが処理できるよりも多くのコマンドが発行される状況をもたらし得、例えば、図2のCRQ 242、LRQ 244、およびLCQ 246に関して説明されたように、メモリチャネルに関してキュー登録されているコマンドとなり得る。メモリ管理回路は、特定のLUNに対する再生操作に対して発行されたいくつかのコマンドを、満杯である閾値内にある、特定のLUNに関連したキューの数に少なくとも一部応答して、制限するように構成できる。チャネルあたりのコマンドの最大数は、所望の電力エンベロープ内に収まるようにも制限され得る。再生操作に対して発行されるコマンド数は、電力の閾値を超えるメモリシステムコントローラによって使用される電力量に少なくとも一部応答して、制限され得る。チャネルあたりのコマンドの最大数は、例えば、同じチャネルおよび/またはLUNに対する連続的なコマンドが、効率的な操作のために十分に離間されていることを確実にするのに役立つためにも、制限され得る。メモリ管理回路は、再生操作のための第1のコマンドと第2のコマンドの発行の間に、少なくとも最短の時間（例えば、いくつかのクロック）を強制するように構成できる。例えば、再生帯域幅は、消去されたブロック数が減少するにつれて増加し得るので、最短の時間は、LUN内の消去されたブロックの総数に基づき得る。

30

40

【0067】

最大ホスト書込み帯域幅は、利用可能な消去されたブロックの十分な供給がある場合、短期的に維持され得る。消去されたブロックの供給がほぼ消費されると、書込み帯域幅は、増大された再生操作に起因して、減少し得る。メモリ管理回路は、例えば、ブロックテーブル484に関連して、LUNの範囲に対していくつかの消去されたブロックを追跡するように構成できる。メモリ管理回路は、例えば、閾値数を下回る、再生閾値数を超える特定のLUN内の消去されたブロック数に少なくとも一部応答して、特定のLUNに関する再生操作に関与するように構成できる。メモリ管理回路は、特定のLUNに対する再生操作を、例えば、閾値数をオーバーする、再生閾値数を超える特定のLUN内の消去されたブロック数に少なくとも一部応答して、中断するように構成できる。ホスト書込みは、

50

ホスト書込み閾値数を下回る特定のLUN内の消去されたブロック数に少なくとも一部応答して、特定のLUNに対して中断され得る。メモリ管理回路は、例えば、閾値数を下回る、書込み閾値数を超える特定のLUN内の消去されたブロック数に少なくとも一部応答して、特定のLUNに対する書込みを中断するように構成できる。メモリ管理回路は、例えば、閾値数をオーバーする、再生閾値数を超える特定のLUN内の消去されたブロック数に少なくとも一部応答して、特定のLUNに対する書込みに再度関与するように構成できる。かかる実施形態は、再生操作と書込み操作との間に平衡、例えば、動的負荷分散を提供する役に立ち得る。

【0068】

いくつかのメモリ操作は、長い持続時間を有する。チャンネル制御回路（例えば、図2に示されている、チャンネル制御回路248）は、例えば、特定のメモリ操作がいつ完了するかを判断するために、LUNに対するステータス読取りを発行するように構成されたポーリング論理を含み得る。いくつかの事例では、かかるポーリングは、ポーリングされているLUNと同じチャンネルを使用する他のコマンドを妨げ得る。本開示のいくつかの実施形態によれば、ポーリング論理は、LUNに対して発行されたコマンドによって示された操作のタイプに従って、特定の間、アイドルにされ得る。アイドル時間は、例えば、特に、読取り、書込み、および/または消去操作などの、特定の操作にかかると予期される時間に従って、特定の操作に対して設定され得る。

【0069】

〔結論〕

本開示は、メモリシステムコントローラを含む、様々な装置の例を含む。1つのかかるメモリシステムコントローラは、スイッチおよび、そのスイッチに結合されたチャンネル制御回路を含む揮発性メモリ制御回路を含み得る。チャンネル制御回路は、ブロックを含む論理ユニットに結合できる。揮発性メモリおよび、ローカルメモリを含むメモリ管理回路は、スイッチに結合できる。メモリ管理回路は、ブロックの各々に対する正常性およびステータス情報を揮発性メモリ内のブロックテーブルに格納し、基準に基づき特定の操作に対して候補ブロックを識別する候補ブロックテーブルをローカルメモリに格納し、そのブロックテーブル内の特定のブロックに対する正常性およびステータス情報を更新し、特定のブロックに対する更新された正常性およびステータス情報を基準に従って候補ブロックと比較して、特定のブロックの方がその基準を良く満足することを示す比較に回答して、特定のブロックを識別するために候補ブロックテーブルを更新するように構成できる。

【0070】

要素が、別の要素「の上にある（on）」、「に接続されている（connected to）」、または「に結合されている（coupled with）」として参照されている場合、それは直接他の要素の上にあるか、それに接続されているか、もしくは、それに結合されているか、または介在する要素が存在し得ることが理解されよう。その一方、要素が、別の要素「の直接上にある（directly on）」、「に直接接続されている（directly connected to）」、または「に直接結合されている（directly coupled with）」として参照されている場合、介在する要素または存在する層はない。本明細書では、「および/または（and/or）」という用語は、いくつかの関連するリストされた項目の任意および全ての組合せを含む。

【0071】

本明細書では、「および/または（and/or）」という用語は、いくつかの関連するリストされた項目の任意および全ての組合せを含む。本明細書では、「または（or）」という用語は、特に指定のない限り、論理的に包括的ORを意味する。すなわち、「AまたはB」は、（Aのみ）、（Bのみ）、または（AおよびBの両方）を含み得る。言い換えれば、「AまたはB」は、「Aおよび/またはB」または「AおよびBの1つまたは複数」を意味し得る。

【0072】

10

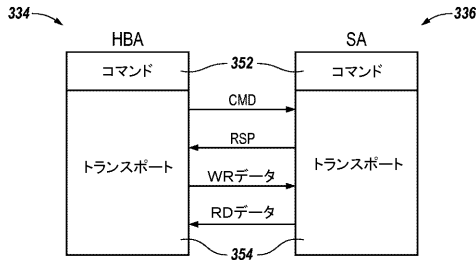
20

30

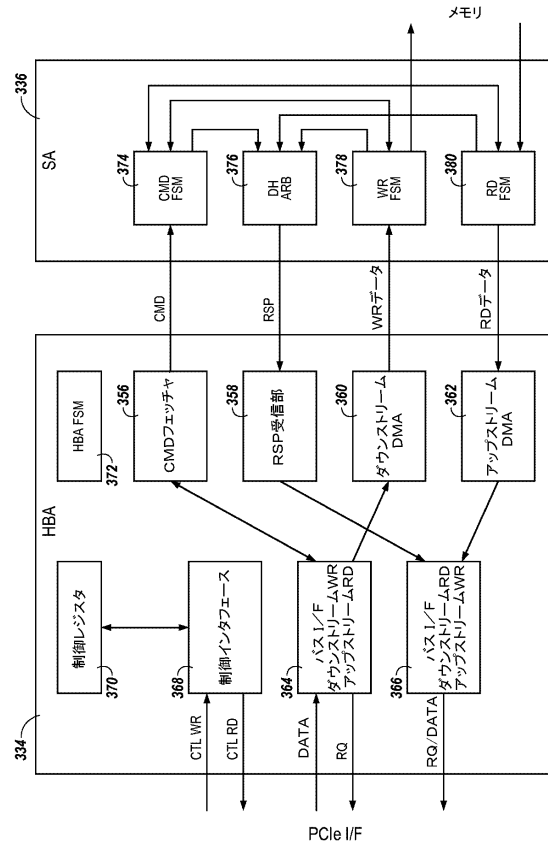
40

50

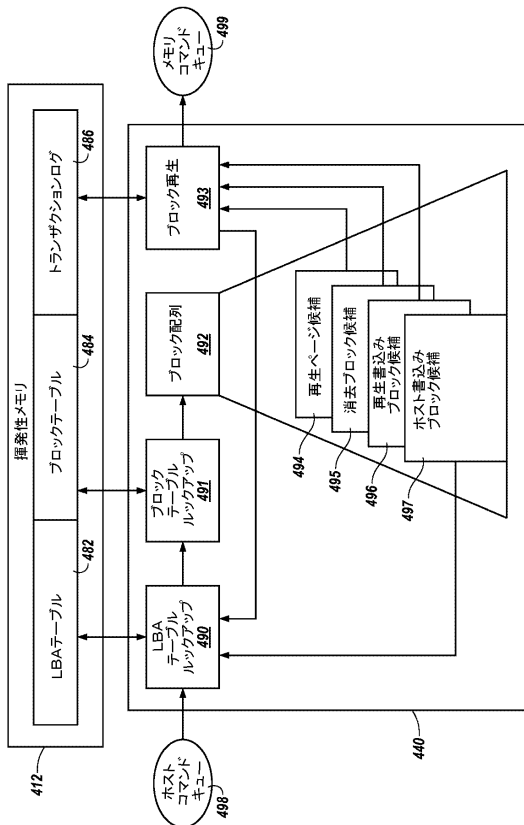
【図 3 A】



【図 3 B】



【図 4】



【手続補正書】

【提出日】平成25年12月20日(2013.12.20)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

スイッチと、

前記スイッチに結合され、かつ、複数のチャネル制御回路を含む、不揮発性メモリ制御回路であって、前記複数のチャネル制御回路の各々が、いくつかの論理ユニット(LUN)に結合されるように構成され、前記いくつかのLUNの各々が複数のブロックを含む、不揮発性メモリ制御回路と、

前記スイッチに結合された揮発性メモリと、

前記スイッチに結合され、かつ、ローカルメモリを含む、メモリ管理回路であって、前記メモリ管理回路が、

前記複数のブロックの各々に対する正常性およびステータス情報を前記揮発性メモリ内のブロックテーブルに格納することと、

候補ブロックテーブルを前記ローカルメモリに格納することであって、前記候補ブロックテーブルが、特定の操作に対するLUNあたり1つの候補ブロックを、前記特定の操作に対するいくつかの基準に基づいて識別する、候補ブロックテーブルを格納することと、

前記揮発性メモリ内の前記ブロックテーブル内の前記複数のブロックの特定の1つに対する前記正常性およびステータス情報を更新することと、

前記特定のブロックに対する前記更新された正常性およびステータス情報を、前記いくつかの基準に従って前記候補ブロックと比較することと、

前記特定のブロックの方が前記いくつかの基準を良く満足することを示す前記比較に少なくとも一部応答して、前記特定のブロックを識別するために前記候補ブロックテーブルを更新することと

を行うように構成されている、メモリ管理回路とを備える装置。

【請求項2】

前記候補ブロックテーブルが、ホスト書込み、摩耗平滑化読取り、摩耗平滑化書込み、および消去を含む操作のグループから選択された前記特定の操作に対して候補ブロックを識別する、請求項1に記載の装置。

【請求項3】

前記メモリ管理回路が、前記特定のブロックに対する書込み、消去、または誤り事象のうちの1つに少なくとも一部応答して、前記揮発性メモリ内の前記ブロックテーブル内の前記特定のブロックに対する前記正常性およびステータス情報を更新するように構成されている、請求項1に記載の装置。

【請求項4】

前記メモリ管理回路が、前記特定のブロックに対する前記正常性およびステータス情報が前記揮発性メモリ内で更新される同じクロック周期で、前記特定のブロックを識別するために前記候補ブロックテーブルを更新するように構成されている、請求項1に記載の装置。

【請求項5】

前記メモリ管理回路が、前記揮発性メモリ内の前記ブロックテーブル内の前記複数のブロックの各々に対する前記更新された正常性およびステータス情報を、前記複数のブロックのいずれかに対する、書込み、消去、または誤り事象とは無関係に、前記いくつかの基

準に従って、前記候補ブロックと比較するように構成されている、請求項 1 ~ 請求項 4 のいずれか 1 つに記載の装置。

【請求項 6】

前記メモリ管理回路が、前記複数のブロックの各々が比較された後に、書込み、消去、または誤り事象とは無関係に、前記正常性およびステータス情報を比較するのをやめるように構成されている、請求項 5 に記載の装置。

【請求項 7】

前記メモリ管理回路が、論理アドレスから物理アドレスへの変換を、前記揮発性メモリ内の論理ブロックアドレス (LBA) テーブル内に格納することと、前記複数のブロックの特定のブロックに対する論理アドレスに対応する第 1 の物理アドレスを、前記特定のブロックに関する摩耗平滑化操作中に情報が前記特定のブロックから読み取られる前に、前記ブロックテーブルから取り出すことと、前記情報が、前記摩耗平滑化操作中に前記複数のブロックの異なる 1 つに書き込まれた後に、前記論理アドレスに対応する第 2 の物理アドレスを、前記 LBA テーブルから取り出すことと、前記第 2 の物理アドレスが前記第 1 の物理アドレスに等しいことに少なくとも一部応答して、前記 LBA テーブルを、前記異なるブロックに対応する第 3 の物理アドレスで更新することとを行うように構成されている、請求項 1 ~ 請求項 4 のいずれか 1 つに記載の装置。

【請求項 8】

前記メモリ管理制御回路が、前記第 2 の物理アドレスが前記第 1 の物理アドレスとは異なることに少なくとも一部応答して、前記摩耗平滑化操作を無効にするように構成されている、請求項 7 に記載の装置。

【請求項 9】

複数のブロックの各々に対する正常性およびステータス情報を揮発性メモリ内のブロックテーブルに格納することと、候補ブロックテーブルをローカルメモリに格納することとであって、前記候補ブロックテーブルが、特定の操作に対する論理ユニットあたり 1 つの候補ブロックを、前記特定の操作に対するいくつかの基準に基づいて識別する、候補ブロックテーブルを格納することと、前記揮発性メモリ内の前記ブロックテーブル内の前記複数のブロックの特定の 1 つに対する前記正常性およびステータス情報を更新することと、前記特定のブロックに対する前記更新された正常性およびステータス情報を、前記いくつかの基準に従って前記候補ブロックと比較することと、前記特定のブロックの方が前記いくつかの基準を良く満足することを示す前記比較に少なくとも一部応答して、前記特定のブロックを識別するために前記候補ブロックテーブルを更新することとを含む、方法。

【請求項 10】

前記特定の操作が、ホスト書込み、摩耗平滑化読取り、摩耗平滑化書込み、および消去を含む操作のグループから選択される、請求項 9 に記載の方法。

【請求項 11】

前記揮発性メモリ内の前記ブロックテーブル内の前記特定のブロックに対する前記正常性およびステータス情報を更新することが、前記特定のブロックに対する書込み、消去、または誤り事象のうちの 1 つに少なくとも一部応答して、更新することを含む、請求項 9 に記載の方法。

【請求項 12】

前記特定のブロックを識別するために前記候補ブロックテーブルを更新することが、前記特定のブロックに対する前記正常性およびステータス情報が前記揮発性メモリ内で更新

される同じクロック周期で、前記候補ブロックテーブルを更新することを含む、請求項 9 に記載の方法。

【請求項 13】

前記特定のブロックに対する前記更新された正常性およびステータス情報を、前記いくつかの基準に従って前記候補ブロックと比較することが、前記複数のブロックのいずれかに対する、書込み、消去、または誤り事象とは無関係に比較することを含む、請求項 9 ~ 請求項 12 のいずれか 1 つに記載の方法。

【請求項 14】

前記方法が、前記複数のブロックの各々が比較された後に、書込み、消去、または誤り事象とは無関係に、前記正常性およびステータス情報を比較するのをやめることを含む、請求項 13 に記載の方法。

【請求項 15】

前記方法が、

論理アドレスから物理アドレスへの変換を、前記揮発性メモリ内の論理ブロックアドレス (LBA) テーブル内に格納することと、



前記複数のブロックの特定のブロックに対する論理アドレスに対応する第 1 の物理アドレスを、前記特定のブロックに関する摩耗平滑化操作中に情報が前記特定のブロックから読み取られる前に、前記ブロックテーブルから取り出すことと、

前記情報が、前記摩耗平滑化操作中に前記複数のブロックの異なる 1 つに書き込まれた後に、前記論理アドレスに対応する第 2 の物理アドレスを、前記 LBA テーブルから取り出すことと、

前記第 2 の物理アドレスが前記第 1 の物理アドレスに等しいことに少なくとも一部応答して、前記 LBA テーブルを前記異なるブロックに対応する第 3 の物理アドレスで更新することと、

前記第 2 の物理アドレスが前記第 1 の物理アドレスとは異なることに少なくとも一部応答して、前記摩耗平滑化操作を無効にすることとを含む、請求項 9 ~ 請求項 12 のいずれか 1 つに記載の方法。

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US2012/039412
A. CLASSIFICATION OF SUBJECT MATTER		
<i>G11C 7/10(2006.01)i, G11C 16/06(2006.01)i, G06F 12/00(2006.01)i</i>		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) G11C 7/10, G06F 12/02, G11C 16/04, G06F 12/00, G06F 11/16		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Korean utility models and applications for utility models Japanese utility models and applications for utility models		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) eKOMPASS(KIPO internal) & Keywords: SSD, status, health, update, memory, switch, channel		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2011-0078496 A1 (JEDDELOH) 31 March 2011 See abstract, paragraphs [0029],[0033],[0034], claims 1,7, and figures 1-3.	1-20
A	US 2009-0175075 A1 (YEH et al.) 09 July 2009 See abstract, paragraphs [0051]-[00054],[0064],[0065], claims 1-3, and figures 1-4.	1-20
A	US 2010-0088482 A1 (HINZ) 08 April 2010 See abstract, paragraphs [0011],[0020],[0021],[0031], claims 1,5,6, and figures 1-3.	1-20
A	US 2009-0198947 A1 (KHMELNITSKY et al.) 06 August 2009 See abstract, paragraphs [0007],[0008],[0056], claims 1-8, and figures 1,5-7.	1-20
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed		"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
Date of the actual completion of the international search 07 DECEMBER 2012 (07.12.2012)		Date of mailing of the international search report 10 DECEMBER 2012 (10.12.2012)
Name and mailing address of the ISA/KR  Korean Intellectual Property Office 189 Cheongsu-ro, Seo-gu, Daejeon Metropolitan City, 302-701, Republic of Korea Facsimile No. 82-42-472-7140		Authorized officer YOON, Nan Young Telephone No. 82-42-481-8188 

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/US2012/039412

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2011-0078486 A1	31.03.2011	EP 2483785 A2	08.08.2012
		US 8266501 B2	11.09.2012
		WO 2011-043791 A2	14.04.2011
		WO 2011-043791 A3	14.04.2011
US 2009-0175075 A1	09.07.2009	US 2011-0022786 A1	27.01.2011
		US 7864572 B2	04.01.2011
		US 8054686 B2	08.11.2011
US 2010-0088482 A1	08.04.2010	US 8046530 B2	25.10.2011
US 2009-0198947 A1	06.08.2009	EP 2255288 A1	01.12.2010
		EP 2423819 A1	29.02.2012
		JP 2011-511388 A	07.04.2011
		JP 2011-511388 T	07.04.2011
		KR 10-1173775 B1	16.08.2012
		KR 10-2010-0114535 A	25.10.2010
		KR 10-2012-0008079 A	25.01.2012
		US 2009-0198902 A1	06.08.2009
		US 2009-0198952 A1	06.08.2009
		WO 2009-100031 A1	13.08.2009

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA