

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6060051号
(P6060051)

(45) 発行日 平成29年1月11日(2017.1.11)

(24) 登録日 平成28年12月16日(2016.12.16)

(51) Int.Cl.		F I			
HO4L 12/70	(2013.01)	HO4L 12/70	100Z		
HO4L 12/947	(2013.01)	HO4L 12/947			
HO4L 12/741	(2013.01)	HO4L 12/741			

請求項の数 10 (全 17 頁)

(21) 出願番号	特願2013-164795 (P2013-164795)	(73) 特許権者	504411166 アラクサラネットワークス株式会社 神奈川県川崎市幸区鹿島田一丁目1番2号
(22) 出願日	平成25年8月8日(2013.8.8)	(74) 代理人	110001678 特許業務法人藤央特許事務所
(65) 公開番号	特開2015-35677 (P2015-35677A)	(72) 発明者	菅原 健太郎 神奈川県川崎市幸区鹿島田一丁目1番2号 アラクサラネットワークス株式会社内
(43) 公開日	平成27年2月19日(2015.2.19)	(72) 発明者	石川 有一 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内
審査請求日	平成27年8月10日(2015.8.10)	(72) 発明者	高木 豊 神奈川県横浜市西区みなとみらい二丁目3番3号 株式会社日立情報通信エンジニアリング内

最終頁に続く

(54) 【発明の名称】 パケット中継装置及びパケット中継方法

(57) 【特許請求の範囲】

【請求項1】

一つ以上の入力回線及び一つ以上の出力回線と接続され、パケットを受信し、当該パケットを他の装置に転送するパケット中継装置であって、

前記パケット中継装置は、

前記パケットを受信するパケット受信部と、

前記出力回線からパケットを送信するパケット送信部と、

所定の操作を指示するパケットである自装置発パケットを生成し、前記パケット受信部
に出力するパケット生成部と、

受信した前記パケットに対するフロー制御の内容を決定し、前記受信したパケットを出力する出力回線を検索するパケット検索部と、

前記フロー制御の内容及び前記パケットを出力する出力回線を特定するための情報を格納する検索用メモリと、

前記受信したパケットのスイッチング処理を実行するパケット中継処理部と、を有し、

前記パケット受信部は、

前記受信したパケットが前記自装置発パケットであるか否かを判定し、

前記判定の結果を示す自発フラグ及び前記受信したパケットのヘッダ情報を前記パケット検索部に出力し、

前記パケット検索部は、前記自発フラグ及び前記ヘッダ情報に基づいて前記検索用メモリを参照することによって、前記受信したパケットに対するフロー制御の内容を決定する

10

20

ことを特徴とするパケット中継装置。

【請求項 2】

請求項 1 に記載のパケット中継装置であって、

前記パケット検索部は、前記パケットに対するフロー制御の内容を決定するフロー検索部と、前記パケットを出力する出力回線を検索する経路検索部と、を含み、

前記検索用メモリは、前記パケットに対応するフローを特定し、当該フローに関するアドレスを出力するフロー検索用の第 1 のメモリと、前記フロー制御の内容を格納するフロー検索用の第 2 のメモリと、前記パケットを出力する出力回線を特定するための情報を格納する経路検索用のメモリと、を含み、

前記フロー検索用の第 1 のメモリは、一つ以上のビットから構成され、前記パケットに対応するフローを特定するための情報を含むエントリを一つ以上格納し、

前記エントリは、前記自発フラグに関するビットを含み、

前記フロー検索部は、

前記自発フラグ及び前記ヘッダ情報に基づいて、第 1 の検索キーを生成し、

前記フロー検索用の第 1 のメモリから前記第 1 の検索キーと一致するエントリを検索することによって、前記受信したパケットに対応するフローを特定し、

前記検索されたエントリから前記パケットに対するフロー制御の内容を特定するためのアドレスを取得し、

前記取得したアドレスに基づいて、前記フロー検索用の第 2 のメモリから前記パケットに対するフロー制御の内容を示す情報を取得し、

前記経路検索部は、前記ヘッダ情報に基づいて前記経路検索用のメモリを参照することによって、前記パケットを出力する出力回線を特定することを特徴とするパケット中継装置。

【請求項 3】

請求項 2 に記載のパケット中継装置であって、

前記パケット検索部は、

新規のフロー制御の追加指示を受け付けた場合、前記新規のフロー制御の追加指示に基づいて、前記フロー検索用の第 1 のメモリを検索するための第 2 の検索キーを生成し、

前記生成された第 2 の検索キーに基づいて、前記フロー検索用の第 1 のメモリに重複するエントリが設定されているか否かを判定し、

前記フロー検索用の第 1 のメモリに重複するエントリが設定されていると判定された場合、前記フロー検索用の第 1 のメモリに重複するエントリが設定される旨を通知するための警告メッセージを生成し、

前記生成された警告メッセージを出力することを特徴とするパケット中継装置。

【請求項 4】

請求項 3 に記載のパケット中継装置であって、

前記フロー制御の追加指示は、前記パケットに対応するフローを特定するための複数の設定情報の値を含み、

前記パケット検索部は、

前記設定情報が任意の数値である場合、当該設定情報に設定される数値を設定し、

前記設定情報が当該設定情報を参照しない旨の値である場合、当該設定情報の値をマスクすることによって前記第 2 の検索キーを生成することを特徴とするパケット中継装置。

【請求項 5】

請求項 2 に記載のパケット中継装置であって、

前記自装置発パケット以外のパケットに対するフロー制御の内容の追加指示を受け付けた場合、前記フロー検索部は、前記自発フラグに前記自装置発パケット以外のパケットを示す情報が設定されたエントリを前記フロー検索用の第 1 のメモリに追加することを特徴とするパケット中継装置。

【請求項 6】

請求項 2 に記載のパケット中継装置であって、

前記パケットに対するフロー制御の内容は、所定の条件を満たすパケットを通過させ、若しくは、破棄するフィルタ処理、又は、通信品質を維持するQoS処理の少なくともいずれかであることを特徴とするパケット中継装置。

【請求項7】

一つ以上の入力回線及び一つ以上の出力回線と接続され、パケットを受信し、当該パケットを他の装置に転送するパケット中継装置におけるパケット中継方法であって、

前記パケット中継装置は、パケット受信部と、自装置発パケットを生成するパケット生成部と、前記パケットに対するフロー制御の内容を決定し、前記パケットを出力する出力回線を検索するパケット検索部と、検索用メモリと、を有し、

前記方法は、

前記パケット受信部が、受信した前記パケットが前記自装置発パケットであるか否かを判定する第1のステップと、

前記パケット受信部が、前記判定の結果を示す自発フラグ及び前記受信したパケットのヘッダ情報を前記パケット検索部に出力する第2のステップと、

前記パケット検索部が、前記自発フラグ及び前記ヘッダ情報に基づいて前記検索用メモリを参照することによって、前記受信したパケットに対するフロー制御の内容を決定する第3のステップと、を含むことを特徴とするパケット中継方法。

【請求項8】

請求項7に記載のパケット中継方法であって、

前記パケット検索部は、フロー検索部と、経路検索部とを含み、

前記検索用メモリは、前記パケットに対応するフローを特定し、当該フローに関するアドレスを出力するフロー検索用の第1のメモリと、前記フロー制御の内容を格納するフロー検索用の第2のメモリと、前記パケットを出力する出力回線を特定するための情報を格納する経路検索用のメモリと、を含み、

前記フロー検索用の第1のメモリは、一つ以上のビットから構成され、前記パケットに対応するフローを特定するための情報を含むエントリを一つ以上格納し、

前記エントリは、前記自発フラグに関するビットを含み、

前記第2のステップは、前記フロー検索部が、前記自発フラグ及び前記ヘッダ情報に基づいて、第1の検索キーを生成するステップを含み、

前記第3のステップは、

前記フロー検索部が、前記フロー検索用の第1のメモリから前記第1の検索キーと一致するエントリを検索することによって、前記受信したパケットに対応するフローを特定するステップと、

前記フロー検索部が、前記検索されたエントリから前記パケットに対するフロー制御の内容を特定するためのアドレスを取得するステップと、

前記フロー検索部が、前記取得したアドレスに基づいて、前記フロー検索用の第2のメモリから前記パケットに対するフロー制御の内容を示す情報を取得するステップと、を含み、

前記方法は、さらに、

前記経路検索部が、前記ヘッダ情報に基づいて前記経路検索用のメモリを参照することによって、前記パケットを出力する出力回線を特定するステップを含むことを特徴とするパケット中継方法。

【請求項9】

請求項8に記載のパケット中継方法であって、

前記パケット検索部が、新規のフロー制御の追加指示を受け付けた場合、前記新規のフロー制御の追加指示に基づいて、前記フロー検索用の第1のメモリを検索するための第2の検索キーを生成するステップと、

前記パケット検索部が、前記生成された第2の検索キーに基づいて、前記フロー検索用の第1のメモリに重複するエントリが設定されているか否かを判定するステップと、

前記パケット検索部が、前記フロー検索用の第1のメモリに重複するエントリが設定さ

10

20

30

40

50

れていると判定された場合、前記フロー検索用の第1のメモリに重複するエントリが設定される旨を通知するための警告メッセージを生成するステップと、

前記パケット検索部が、前記生成された警告メッセージを出力するステップと、を含むことを特徴とするパケット中継方法。

【請求項10】

請求項8に記載のパケット中継方法であって、

前記フロー検索部が、前記自装置発パケット以外のパケットに対するフロー制御の内容の追加指示を受け付けた場合、前記自装置発フラグに前記自装置発パケット以外のパケットを示す情報が設定されたエントリを前記フロー検索用の第1のメモリに追加するステップを含むことを特徴とするパケット中継方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、パケットを受信し、受信したパケットを他の装置に転送するパケット中継装置に関する。

【背景技術】

【0002】

従来のパケット中継装置では、ACL (Access Control List) を適用したフロー制御を行っている。従来技術として、CAM (Content Addressable memory) を用いたACL適用のフロー制御の実現方法が知られている (例えば、特許文献1参照)。

20

【0003】

特許文献1には、CAMが、送信元IPアドレス等のIPパケットヘッダの情報に基づいて、フローエントリを特定することが記載されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2009-231890号公報

【発明の概要】

【発明が解決しようとする課題】

30

【0005】

一般的に、パケット中継装置自身から出力されるパケットは、ネットワーク制御に関する情報を含むものが多いため、他のパケットと区別して扱う必要がある。以下の説明では、パケット中継装置自身から出力されるパケットを自装置発パケットとも記載する。

【0006】

しかし、自装置発パケットを転送するパスとしてHW転送パスと同一パスが割り当てられるアーキテクチャでは、ACLの送信元IPアドレス(SIP)が「d.c.」と設定された場合、自装置発パケットと、その他のパケットとを区別できない。ここで、「d.c.」は、特定の情報(ビット)を気にしないことを示す「don't care」に対応する。

40

【0007】

上記課題を解決するために、ACLにパケット中継装置のIPアドレスをSIPとして設定することによって、自装置発パケットを識別することが可能となる。しかし、悪意のある攻撃者から、SIPが偽装されたパケットが送信された場合、パケット中継装置は、当該偽装パケットを識別できないという問題がある。

【0008】

また、ACLのフィルタ制御を設定するCAMのエントリにおいて、自装置発パケットのみを通過させる場合、自装置発パケットを除外するためには多数のエントリを設定する必要があるという問題がある。例えば、IPアドレス「0」から「7」の中から、パケット中継装置のIPアドレス「5」を除外しようとする、「0xx」、「100」、及び

50

「11x」の三つのエントリが必要となる。なお、「x」は「don't care」を示す。

【0009】

本発明は、上記問題を解決するためになされた発明である。

【課題を解決するための手段】

【0010】

本願において開示される発明の代表的な一例を示せば以下の通りである。すなわち、一つ以上の入力回線及び一つ以上の出力回線と接続され、パケットを受信し、当該パケットを他の装置に転送するパケット中継装置であって、前記パケット中継装置は、前記パケットを受信するパケット受信部と、前記出力回線からパケットを送信するパケット送信部と、所定の操作を指示するパケットである自装置発パケットを生成し、前記パケット受信部に出力するパケット生成部と、受信した前記パケットに対するフロー制御の内容を決定し、前記受信したパケットを出力する出力回線を検索するパケット検索部と、前記フロー制御の内容及び前記パケットを出力する出力回線を特定するための情報を格納する検索用メモリと、前記受信したパケットのスイッチング処理を実行するパケット中継処理部と、を有し、前記パケット受信部は、前記受信したパケットが前記自装置発パケットであるか否かを判定し、前記判定の結果を示す自発フラグ及び前記受信したパケットのヘッダ情報を前記パケット検索部に出力し、前記パケット検索部は、前記自発フラグ及び前記ヘッダ情報に基づいて前記検索用メモリを参照することによって、前記受信したパケットに対するフロー制御の内容を決定することを特徴とする。

【発明の効果】

【0011】

本発明によれば、自発フラグに基づいて、自装置発パケットとそれ以外のパケットとを区別することができ、それぞれのパケットに対してフロー制御を適用することができる。

【0012】

上記した以外の課題、構成及び効果は、以下の実施形態の説明により明らかにされる。

【図面の簡単な説明】

【0013】

【図1】本発明の実施例のパケット中継装置の構成を説明するブロック図である。

【図2】本発明の実施例におけるフロー検索CAMに格納されるフローエントリの一例を示す説明図である。

【図3A】本発明の実施例におけるフロー検索RAMの一例を示す説明図である。

【図3B】本発明の実施例におけるフロー検索RAMの一例を示す説明図である。

【図4】本発明の実施例におけるパケット中継装置が扱うデータの一例を示す説明図である。

【図5】本発明の実施例におけるパケットの受信処理の一部を説明するフローチャートである。

【図6】本発明の実施例におけるフローエントリの追加処理の一例を説明するフローチャートである。

【図7】本発明の実施例における新規追加予定のフローエントリの一例を示す説明図である。

【図8】本発明の実施例におけるフロー検索CAMに対するエントリの追加例を示す説明図である。

【図9】本発明の実施例におけるフロー検索RAMに対するエントリの追加例を示す説明図である。

【発明を実施するための形態】

【0014】

以下、図面を用いて実施例について説明する。

【実施例1】

【0015】

10

20

30

40

50

図1は、本発明の実施例の packets 中継装置 1000 の構成を説明するブロック図である。

【0016】

packets 中継装置 1000 は、入力された packets を、当該 packets のヘッダ情報に基づいて他の装置に転送する。本実施例の packets 中継装置 1000 は、一つ以上の入力回線 1001、一つ以上の出力回線 1002、及び管理端末 1003 と接続される。

【0017】

入力回線 1001 は、他の装置から packets が入力される通信回線であり、出力回線 1002 は、他の装置へ packets が出力される通信回線である。管理端末 1003 は、packets 中継装置 1000 に対する各種設定を行うための計算機である。

10

【0018】

packets 中継装置 1000 は、packets 受信回路 1100、制御用プロセッサ 1200、プロセッサ送信 packets 生成部 1300、受信側 packets 検索部 1400、レジスタ 1500、packets 中継処理部 1600、送信側 packets 検索部 1700、及び packets 送信回路 1800 を備える。

【0019】

制御用プロセッサ 1200 は、packets 中継装置 1000 全体を制御する演算装置である。具体的には、制御用プロセッサ 1200 は、packets の生成を指示し、レジスタ 1500 に格納された設定情報に基づいて、フロー検索 CAM 1440、及びフロー検索 RAM 1450 等に対する設定を指示する。

20

【0020】

プロセッサ送信 packets 生成部 1300 は、制御用プロセッサ 1200 からの packets の生成指示に基づいて、packets 中継装置 1000 を制御するための packets 等を生成する。

【0021】

packets 受信回路 1100 は、packets の受信処理を実行する回路である。packets 受信回路 1100 には、一つ以上の入力回線 1001 が接続される。また、本実施例の packets 受信回路 1100 は、自発 packets 判定部 1110 を備える。自発 packets 判定部 1110 は、受信した packets が自装置発 packets であるか否かを判定する。

【0022】

packets 受信回路 1100 は、受信側 packets 検索部 1400 のフロー検索キー生成部 1411 及び経路検索部 1430 に、自発 packets 判定部 1110 の判定結果を含む装置内情報、及び受信した packets の packets ヘッダ情報を出力する。また、packets 受信回路 1100 は、受信側 packets 検索部 1400 から出力された処理結果とともに、受信した packets を packets 中継処理部 1600 に出力する。

30

【0023】

受信側 packets 検索部 1400 は、packets に関する受信側の判定処理を実行する。例えば、受信側 packets 検索部 1400 は、受信した packets に対するフィルタ処理又は QoS 処理等のフロー制御を実行する。受信側 packets 検索部 1400 は、フロー検索部 1410、フロー統計採取部 1420、及び経路検索部 1430 を備える。また、受信側 packets 検索部 1400 には、フロー検索 CAM 1440 及びフロー検索 RAM 1450 が接続される。

40

【0024】

フロー検索部 1410 は、packets に対応するフローを特定し、当該フローに対するフロー制御に必要な情報を検索し、また、フロー制御の内容を決定する。フロー検索部 1410 は、フロー検索キー生成部 1411、アドレス生成部 1412、及びアクション判定部 1413 を含む。

【0025】

フロー検索キー生成部 1411 は、packets 受信回路 1100 から入力された情報に基づいて、フロー検索 CAM 1440 がフローエントリを検索するためのフロー検索キーを

50

生成する。また、フロー検索キー生成部 1 4 1 1 は、生成されたフロー検索キーをフロー検索 CAM 1 4 4 0 に出力する。

【 0 0 2 6 】

フロー検索 CAM 1 4 4 0 は、フロー検索キー生成部 1 4 1 1 から出力されたフロー検索キーに一致するフローエントリを検索し、検索されたフローエントリのアドレスをアドレス生成部 1 4 1 2 に出力する。本実施例では、フロー検索 CAM 1 4 4 0 は、「 0 」、 「 1 」、及び「 d . c . 」が設定可能な 3 値 CAM (Ternary CAM) を用いるものとする。

【 0 0 2 7 】

アドレス生成部 1 4 1 2 は、フロー検索 CAM 1 4 4 0 から出力されたアドレスに基づいて、検索されたフローエントリに対応するフロー検索 RAM 1 4 5 0 の RAM エントリのアドレスを生成する。また、アドレス生成部 1 4 1 2 は、生成されたアドレスをフロー検索 RAM 1 4 5 0 に出力する。

10

【 0 0 2 8 】

フロー検索 RAM 1 4 5 0 は、アドレス生成部 1 4 1 2 から出力されたアドレスに基づいて、当該アドレスに一致する RAM エントリを検索する。フロー検索 RAM 1 4 5 0 は、検索された RAM エントリのフロー制御の内容をアクション判定部 1 4 1 3 に出力する。

【 0 0 2 9 】

アクション判定部 1 4 1 3 は、フロー検索 RAM 1 4 5 0 から出力されたフロー制御の内容をフロー統計採取部 1 4 2 0 に出力する。また、アクション判定部 1 4 1 3 は、フロー制御の内容を一時的に保持する。

20

【 0 0 3 0 】

フロー統計採取部 1 4 2 0 は、受信側のパケットに対するフロー制御に関する統計情報を取得する。具体的には、フロー統計採取部 1 4 2 0 は、フロー制御の内容、及びパケットヘッダ情報に基づいて、フロー毎に、パケット数、バイト数等の統計情報を取得する。フロー統計採取部 1 4 2 0 は、取得された統計情報をメモリ (図示省略) に格納する。

【 0 0 3 1 】

経路検索部 1 4 3 0 は、パケット受信回路 1 1 0 0 から出力されたパケットヘッダ情報に基づいて、経路検索用のメモリ (図示省略) を参照し、パケットを出力するための出力回線 1 0 0 2 を特定する。

30

【 0 0 3 2 】

受信側パケット検索部 1 4 0 0 は、フロー制御の内容、出力回線 1 0 0 2 の情報、及びフローの統計情報等の処理結果をパケット受信回路 1 1 0 0 に出力する。

【 0 0 3 3 】

パケット中継処理部 1 6 0 0 は、出力回線 1 0 0 2 の情報に基づいて、所定のスイッチングを行い、パケット本体、パケットヘッダ情報、及び出力回線 1 0 0 2 等の情報をパケット送信回路 1 8 0 0 に出力する。

【 0 0 3 4 】

パケット送信回路 1 8 0 0 は、スイッチングされたパケットを一時的に蓄積する送信バッファ (図示省略) を備え、パケットの送信処理を実行する。また、パケット送信回路 1 8 0 0 は、送信側パケット検索部 1 7 0 0 のフロー検索部 1 7 1 0 及び経路検索部 1 7 3 0 に、パケットヘッダ情報等を出力する。

40

【 0 0 3 5 】

送信側パケット検索部 1 7 0 0 は、パケットに関する送信側の判定処理を実行する。なお、送信側パケット検索部 1 7 0 0 は、受信側パケット検索部 1 4 0 0 と同様の処理を実行する。送信側パケット検索部 1 7 0 0 は、フロー検索部 1 7 1 0 、フロー統計採取部 1 7 2 0 、及び経路検索部 1 7 3 0 を備える。また、送信側パケット検索部 1 7 0 0 には、フロー検索 CAM 1 7 4 0 及びフロー検索 RAM 1 7 5 0 が接続される。

【 0 0 3 6 】

50

なお、フロー検索部 1710、フロー統計採取部 1720、及び経路検索部 1730、フロー検索CAM 1740、及びフロー検索RAM 1750は、フロー検索部 1410、フロー統計採取部 1420、及び経路検索部 1430、フロー検索CAM 1440、及びフロー検索RAM 1450と同様のものであるため説明を省略する。

【0037】

送信側パケット検索部 1700は、処理結果をパケット送信回路 1800に出力する。

【0038】

レジスタ 1500は、管理端末 1003から出力された各種設定情報を格納する。レジスタ 1500に格納される各種設定情報は、制御用プロセッサ 1200、フロー検索部 1410、フロー統計採取部 1420、経路検索部 1430、フロー検索部 1710、フロー統計採取部 1720、及び経路検索部 1730に出力される。

10

【0039】

フロー検索部 1410、フロー統計採取部 1420、経路検索部 1430、フロー検索部 1710、フロー統計採取部 1720、経路検索部 1730は、それぞれ、設定情報に基づいて、メモリに格納される情報等を更新する。例えば、フロー検索部 1410は、フロー検索CAM 1440若しくはフロー検索RAM 1450にエントリを追加し、又は、フロー検索CAM 1440若しくはフロー検索RAM 1450からエントリを削除等する。

【0040】

次に、パケット中継装置 1000が処理する情報、及び格納する情報等について説明する。

20

【0041】

図2は、本発明の実施例におけるフロー検索CAM 1440に格納されるフローエントリの一例を示す説明図である。

【0042】

フロー検索CAM 1440には、エントリデータ 200及びエントリマスク 210から構成されるフローエントリ 220が一つ以上格納される。図2では、二つのフローエントリ 220 - 1、220 - 2の一例を示している。

【0043】

エントリデータ 200は、パケットに対応するフローを特定するための情報の値を格納する。具体的には、エントリデータ 200は、一つ以上のビットから構成される情報を複数含む。

30

【0044】

本実施例では、エントリデータ 200の情報に「自発フラグ」が含まれる点に特徴がある。「自発フラグ」には、パケットが自装置発パケットであるか否かを識別するためのビットが格納される。本実施例では、「自発フラグ」のビットが「0」の場合、自装置発パケット以外のパケットであることを示し、「自発フラグ」のビットが「1」の場合、自装置発パケットであることを示す。

【0045】

なお、出力回線、送信元MACアドレス、宛先ポート番号、及び自発フラグ等の各情報を構成するビットには、「0」、「1」、又は「d.c.」のいずれかが格納される。

40

【0046】

エントリマスク 210は、フローエントリの検索時に参照される情報を特定するためのビットを格納する。

【0047】

具体的には、エントリマスク 210のうち、「1」が設定される情報は、当該情報に対応するエントリデータ 200の値が参照されないことを示す。すなわち、「1」が設定された情報は、フローエントリの検索時にマスクされる。この場合、エントリデータ 200の当該情報の値は「d.c.」となる。また、エントリマスク 210のうち、「0」が設定される情報は、当該情報に対応するエントリデータの 200の値が参照されることを示

50

す。

【0048】

以下の説明では、情報を構成するビット全てをマスクすることをグローバルマスクと記載する。なお、情報を構成する個々のビット毎をマスクするローカルマスクを用いてもよい。例えば、「0xx」又は「11x」は、ローカルマスクに対応する。

【0049】

図3A及び図3Bは、本発明の実施例におけるフロー検索RAM1450の一例を示す説明図である。

【0050】

図3Aは、フィルタ処理に用いられるフロー検索RAM1450の一例を示す。図3Bは、QoS処理に用いられるフロー検索RAM1450の一例を示す。

10

【0051】

フロー検索RAM1450には、RAMエントリが一つ以上格納される。RAMエントリは、フローエントリ220と一対一に対応し、複数の情報から構成される。

【0052】

図3Aのフロー検索RAM1450の場合、フローエントリ220-1はRAMエントリ300-1と対応づけられ、フローエントリ220-2はRAMエントリ300-2と対応づけられる。図3Bのフロー検索RAM1450の場合、フローエントリ220-1はRAMエントリ310-1と対応づけられ、フローエントリ220-2はRAMエントリ310-2と対応づけられる。

20

【0053】

なお、フロー検索RAM1450には、フィルタ処理のためのRAMエントリとQoS処理のためのRAMエントリとが混在してもよい。

【0054】

図4は、本発明の実施例におけるパケット中継装置1000が扱うデータ400の一例を示す説明図である。

【0055】

図4に示すデータ400は、パケットヘッダ情報410及び装置内情報420から構成される。

【0056】

パケットヘッダ情報410は、各Layerの情報を格納する。例えば、Layer2情報には、宛先MACアドレス、送信元MACアドレス、及びEther Typeが含まれ、Layer3情報にはVersion、送信元IPアドレス、及び受信元IPアドレス等が含まれる。

30

【0057】

なお、Ether Typeは、パケットの転送時に用いられる通信プロトコルの種類を示す。また、自装置発パケットに用いられる通信プロトコルとしては、LACP(Link Aggregation Control Protocol)、ARP(Address Resolution Protocol)、OSPF(Open Shortest Path First)、又はRIP(Routing Information Protocol)等が考えられる。自発フラグとEther Typeとを組み合わせることによって、自装置発パケットをより詳細に制御することが可能となる。

40

【0058】

なお、各Layerに含まれる情報は、公知のものであるため詳細な説明は省略する。

【0059】

装置内情報420は、パケット中継装置1000内で付与される情報である。装置内情報420には、入力回線、自発フラグ、シーケンス番号、その他装置内情報が含まれる。本発明では、装置内情報420に自発フラグが含まれる点に特徴がある。

【0060】

なお、パケットヘッダ情報410及び装置内情報420は別々の情報として扱われても

50

よい。

【 0 0 6 1 】

図 5 は、本発明の実施例におけるパケットの受信処理の一部を説明するフローチャートである。

【 0 0 6 2 】

パケット中継装置 1 0 0 0 のパケット受信回路 1 1 0 0 は、パケットを受信すると（ステップ S 5 0 0）、パケットの受信処理を開始する。なお、パケット受信回路 1 1 0 0 は、入力回線 1 0 0 1 又はプロセッサ送信パケット生成部 1 3 0 0 からパケットを受信する。

【 0 0 6 3 】

パケット受信回路 1 1 0 0 の自発パケット判定部 1 1 1 0 は、受信したパケットがプロセッサ送信パケット生成部 1 3 0 0 から受信したパケットであるか否かを判定する（ステップ S 5 0 1）。すなわち、受信したパケットが自装置発パケットであるか否かが判定される。

【 0 0 6 4 】

自発パケット判定部 1 1 1 0 は、例えば、パケットを受信したポートの識別番号等に基づいて、受信したパケットが自装置発パケットであるか否かを判定する。なお、本発明は自装置発パケットの判定方法に限定されず、他の判定方法を用いてもよい。

【 0 0 6 5 】

受信したパケットがプロセッサ送信パケット生成部 1 3 0 0 から受信したパケットであると判定された場合、自発パケット判定部 1 1 1 0 は、自発フラグを「 1 」に設定し（ステップ S 5 0 2）、その後、ステップ S 5 0 4 に進む。

【 0 0 6 6 】

受信したパケットがプロセッサ送信パケット生成部 1 3 0 0 から受信したパケットでないと判定された場合、自発パケット判定部 1 1 1 0 は、自発フラグを「 0 」に設定し（ステップ S 5 0 3）、その後、ステップ S 5 0 4 に進む。

【 0 0 6 7 】

パケット受信回路 1 1 0 0 は、自発フラグが設定された後、受信したパケットからパケットヘッダ情報 4 1 0 を取得し、また、設定された自発フラグ等の装置内情報 4 2 0 を取得し、取得されたパケットヘッダ情報 4 1 0 及び装置内情報 4 2 0 をフロー検索キー生成部 1 4 1 1 に入力する（ステップ S 5 0 4）。このとき、パケット受信回路 1 1 0 0 は、経路検索部 1 4 3 0 にも、取得されたパケットヘッダ情報 4 1 0 を入力する。

【 0 0 6 8 】

フロー検索キー生成部 1 4 1 1 は、パケットヘッダ情報 4 1 0 及び装置内情報 4 2 0 を用いてフロー検索キーを生成し、生成されたフロー検索キーをフロー検索 CAM 1 4 4 0 に入力する（ステップ S 5 0 5）。

【 0 0 6 9 】

フロー検索キーの生成方法は公知の技術を用いればよい。ため詳細な説明を省略するが、例えば、一つ以上のビットから構成される複数の情報を含むフロー検索キーが生成される。なお、本実施例では、フロー検索キーに自発フラグのビットが含まれる点に特徴がある。

【 0 0 7 0 】

フロー検索 CAM 1 4 4 0 は、入力されたフロー検索キーに一致する フローエントリ 2 2 0 を検索する（ステップ S 5 0 6）。すなわち、受信したパケットに対応するフローが特定される。

【 0 0 7 1 】

具体的には、フロー検索 CAM 1 4 4 0 は、エントリデータ 2 0 0 の値が「 d . c . 」である情報は参照せず、それ以外の情報の値を比較することによって、フロー検索キーに一致するフローエントリ 2 2 0 を検索する。なお、フロー検索キーに基づく、フローエントリ 2 2 0 の検索方法は公知の技術を用いればよい。ため詳細な説明を省略する。

10

20

30

40

50

【 0 0 7 2 】

フロー検索CAM1440は、検索されたフローエントリ220のアドレスをフローの検索結果として、アドレス生成部1412に入力し(ステップS507)、処理を終了する。

【 0 0 7 3 】

ステップS507の処理が実行された後、パケット中継装置1000は、以下のような処理が実行される。

【 0 0 7 4 】

アドレス生成部1412は、検索されたフローエントリ220のアドレスに基づいて、フロー検索RAM1450を参照するためのアドレスを生成し、生成されたアドレスをフロー検索RAM1450に入力する。

10

【 0 0 7 5 】

フロー検索RAM1450は、入力されたアドレスに基づいて、RAMエントリを検索し、検索されたRAMエントリに格納されるフロー制御の内容をパケット受信回路1100及びフロー統計採取部1420に出力する。

【 0 0 7 6 】

以上の処理によって、受信したパケットに対するフロー制御の内容が決定される。

【 0 0 7 7 】

なお、フロー統計採取部1420、経路検索部1430、パケット中継処理部1600、送信側パケット検索部1700が実行する処理は公知のものと同様の処理であるため説明を省略する。

20

【 0 0 7 8 】

図6は、本発明の実施例におけるフローエントリの追加処理の一例を説明するフローチャートである。

【 0 0 7 9 】

パケット中継装置1000は、管理端末1003からフローエントリの追加指示を受け付けると(ステップS600)、レジスタ1500を経由して、制御用プロセッサ1200にチェック用フロー検索パケット生成を指示する(ステップS601)。なお、フローエントリの追加指示には、自装置発パケットに適用する旨の自発条件、又は自装置発パケットを除外する旨の非自発条件のいずれかが含まれる。また、フローエントリの追加指示には、フローエントリの各種設定情報の値が含まれる。

30

【 0 0 8 0 】

制御用プロセッサ1200は、フロー検索キー生成部1411にチェック用フロー検索キーの生成を指示する(ステップS602)。

【 0 0 8 1 】

フロー検索キー生成部1411は、チェック用フロー検索キーを生成し(ステップS603)、生成されたチェック用フロー検索キーが含まれる検索指示をフロー検索CAM1440に入力する(ステップS604)。ここで、チェック用フロー検索キーは、以下のように生成される。

【 0 0 8 2 】

フローエントリの追加指示に含まれる各情報のうち、「d.c.」が設定される情報の場合、フロー検索キー生成部1411は、当該情報に対応するビットをマスクする。すなわち、フロー検索キー生成部1411は、検索キーにおける当該情報をグローバルマスクとして設定する。また、「0」又は「1」が設定される情報の場合、フロー検索キー生成部1411は、設定された値を当該情報のビットとして設定する。

40

【 0 0 8 3 】

次に、フロー検索CAM1440は、チェック用フロー検索キーに基づいて、フローエントリを検索し、一致するフローエントリが存在するか否かを判定する(ステップS605)。

【 0 0 8 4 】

50

一致するフローエントリが存在する場合、フロー検索CAM1440は、フロー検索部1410を經由して、その旨を制御用プロセッサ1200に通知する。

【0085】

一致するフローエントリが存在すると判定された場合、制御用プロセッサ1200は、管理端末に1003に、警告メッセージを通知する(ステップS606)。具体的には、制御用プロセッサ1200は、重複するフローエントリがすでに存在する旨を通知する警告メッセージを生成し、生成された警告メッセージを管理端末1003に送信する。

【0086】

パケット中継装置1000は、警告メッセージを通知した後、管理端末1003を操作するユーザの応答を待つ。

【0087】

パケット中継装置1000は、管理端末1003から警告メッセージに対する応答を受け付けた場合、フロー検索CAM1440にフローエントリを追加するか否かを判定する(ステップS607)。すなわち、ユーザがフローエントリの追加を指示したか否かが判定される。

【0088】

フロー検索CAM1440にフローエントリを追加しないと判定された場合、パケット中継装置1000は、フロー検索CAM1440へのフローエントリの追加を中止し(ステップS608)、処理を終了する。

【0089】

ステップS605において一致するフローエントリが存在しないと判定された場合、又は、ステップS607においてフロー検索CAM1440にフローエントリを追加すると判定された場合、フロー検索部1410は、フローエントリの追加指示にしたがって、フロー検索CAM1440へのフローエントリの追加処理を実行し(ステップS609)、処理を終了する。なお、フローエントリの追加処理は公知のものを用いればよいため詳細な説明は省略する。

【0090】

なお、追加されたフローエントリに対応するRAMエントリがフロー検索RAM1450に追加されてもよい。

【0091】

図7は、本発明の実施例における新規追加予定のフローエントリの一例を示す説明図である。

【0092】

新規追加予定フローエントリ1(220-i)の追加指示を受け付けた場合、フロー検索キー生成部1411は、新規追加予定フローエントリ1(220-i)の全ての値を検索キーの値として、チェック用フロー検索キーを生成する。

【0093】

この場合、新規追加予定フローエントリ1(220-i)は、図2に示すフローエントリ220-1の「d.c.」が設定される送信元MACアドレス及び自発フラグ以外の情報の値と一致するため、警告メッセージが通知される。

【0094】

新規追加予定フローエントリ2(220-j)の追加指示を受け付けた場合、フロー検索キー生成部1411は、新規追加予定フローエントリ2(220-j)の全ての値を検索キーの値として、チェック用フロー検索キーを生成する。

【0095】

この場合、新規追加予定フローエントリ2(220-j)の出力回線の値は、フローエントリ220-1の出力回線の値と異なる。また、新規追加予定フローエントリ2(220-j)の送信元MACアドレスの値は、フローエントリ220-2の送信元MACアドレスの値と異なる。したがって、新規追加予定フローエントリ2(220-j)に対しては、警告メッセージは通知されない。

10

20

30

40

50

【0096】

図8は、本発明の実施例におけるフロー検索CAM1440に対するエントリの追加例を示す説明図である。図9は、本発明の実施例におけるフロー検索RAM1450に対するエントリの追加例を示す説明図である。

【0097】

管理者等が、管理端末1003によって提供されるユーザインタフェースを用いて、「#list k qos mac any any action priority-class 8 self」と入力した場合、フロー検索CAM1440には図8に示すようなフローエントリ220-kが追加され、フロー検索RAM1450には図9に示すようなRAMエントリ300-kが追加される。

10

【0098】

ここで、「self」は、自装置発パケットに適用することを示す文字列である。したがって、フローエントリ220-kの自発フラグには「1」が設定される。一方、「noself」の文字列は、自装置発パケット以外のパケットに適用することを示す文字列である。この場合、フローエントリの自発フラグには「0」が設定される。

【0099】

本実施例によれば、自発フラグを設けることによって、以下のような効果がある。

【0100】

第一に、パケット中継装置1000は、自発フラグに基づいて自装置発パケットと他のパケットとを区別することができるという効果がある。

20

【0101】

従来、自装置発パケットと他のパケットを区別する場合、フロー検索CAM1440には、パケット中継装置1000のIPアドレスに関するフローエントリを追加する必要があった。

【0102】

ここで、送信元IPアドレスが、自装置発パケット以外のパケットに対するフロー制御を設定する場合を例に、従来技術と本実施例における発明との差異について説明する。従来では、前述のようなフロー制御を実現するためには、フロー検索CAM1440に、パケット中継装置1000のIPアドレスを除外するためのフローエントリを二つ以上追加する必要があった。これは、フロー検索CAM1440のフローエントリにはIPアドレスが含まれるためである。

30

【0103】

したがって、フローエントリの増加に伴って、フロー検索RAM1450にも二つ以上のRAMエントリを追加する必要がある。そのため、エントリ数の増大によるメモリ領域の非効率化、及び、設定の煩雑さが問題であった。また、エントリ数の増大によるCAMの消費電力が増加するという問題があった。

【0104】

一方、本実施例の発明では、自発フラグが「0」のフローエントリを追加するだけでよい。したがって、エントリ数の増大を抑止し、及び設定の煩雑さを解消することが可能となる。また、エントリ数の増加を抑止することによって、CAMの消費電力を低減することが可能となる。さらに、IPアドレス等に基づく設定が必要ないため、パケット中継装置1000のIPアドレスが変更されても同一の設定を流用することができる。

40

【0105】

また、自装置発パケットに対するフロー制御を設定する場合には、自発フラグが「1」のフローエントリを追加すればよい。

【0106】

第二に、パケット中継装置1000は、偽装パケットを特定することができる。従来、パケット中継装置1000は、uRPF(unicast reverse path forwarding)によって、偽装パケットを判別することができる。しかし、uRPFによっても偽装パケットが破棄されなかった場合、本実施例のパケット中継装置10

50

00は、自発フラグに基づいて、偽装パケットを特定し、破棄することが可能となる。これは、自装置発パケットの場合には自発フラグの値に「1」が設定され、それ以外のパケットの場合には自発フラグの値に「0」が設定されるためである。

【0107】

第三に、新規フローエントリの追加時に、自発フラグをマスクし、他の情報の値が重複するフローエントリの有無を調査することによって、ユーザにフローエントリの重複及び誤り等を通知することができる。本実施例では、自発フラグを用いることによってIPアドレス等の値を「d.c.」に設定することができるため、重複するエントリ又は誤ったエントリを追加する可能性が高くなる。そのため、新規フローエントリの追加時に、図6に示すような処理を実行することによって、無駄なフローエントリ又は誤ったフローエントリの追加を抑止することが可能となる。

10

【0108】

実施例では、ハードウェアによる制御を用いた例について説明したが、その一部をソフトウェアによって実現することも可能である。

【0109】

以上、本発明を添付の図面を参照して詳細に説明したが、本発明はこのような具体的構成に限定されるものではなく、添付した請求の範囲の趣旨内における様々な変更及び同等の構成を含むものである。

【符号の説明】

【0110】

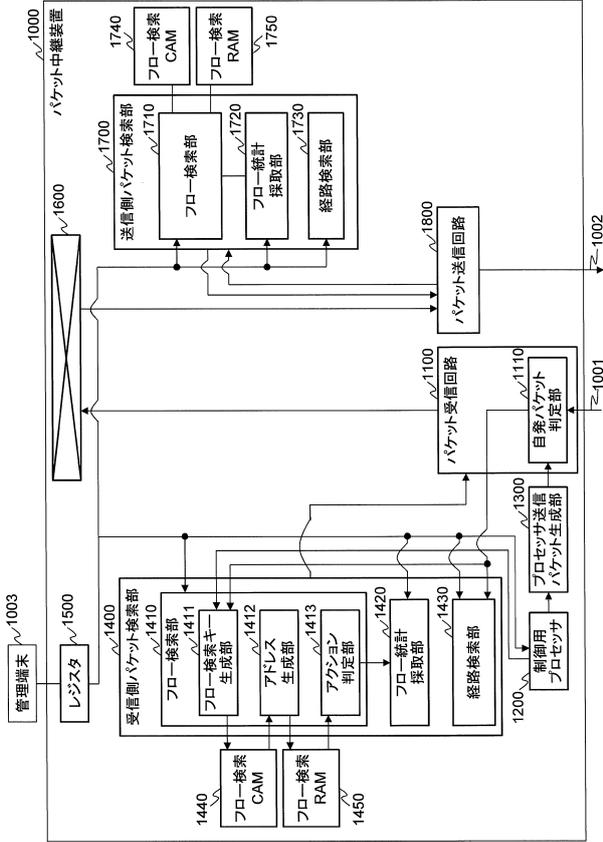
- 1000 パケット中継装置
- 1001 入力回線
- 1002 出力回線
- 1003 管理端末
- 1100 パケット受信回路
- 1110 自発パケット判定部
- 1200 制御用プロセッサ
- 1300 プロセッサ送信パケット生成部
- 1400 受信側パケット検索部
- 1410 フロー検索部
- 1411 フロー検索キー生成部
- 1412 アドレス生成部
- 1413 アクション判定部
- 1420 フロー統計採取部
- 1430 経路検索部
- 1440 フロー検索CAM
- 1450 フロー検索RAM
- 1500 レジスタ
- 1600 パケット中継処理部
- 1700 送信側パケット検索部
- 1710 フロー検索部
- 1720 フロー統計採取部
- 1730 経路検索部
- 1740 フロー検索CAM
- 1750 フロー検索RAM
- 1800 パケット送信回路

20

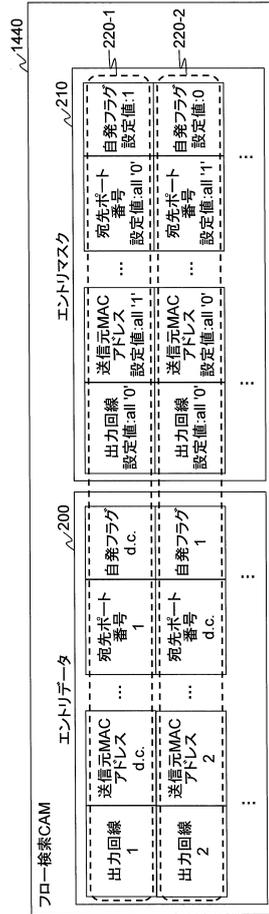
30

40

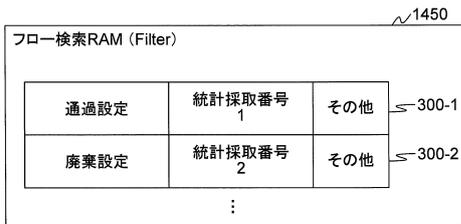
【図 1】



【図 2】



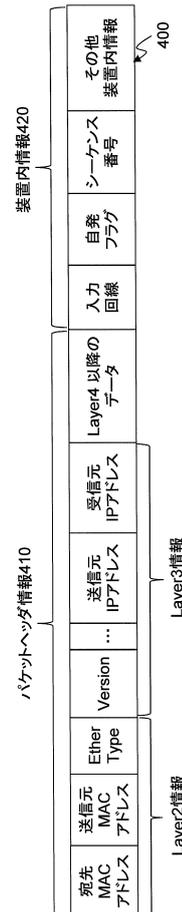
【図 3 A】



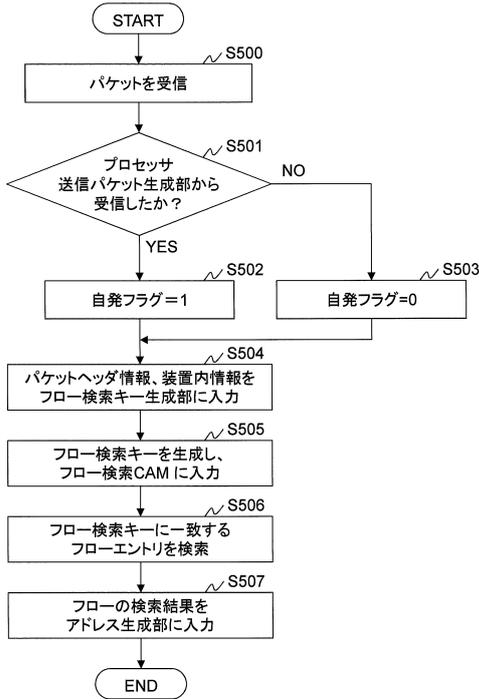
【図 3 B】



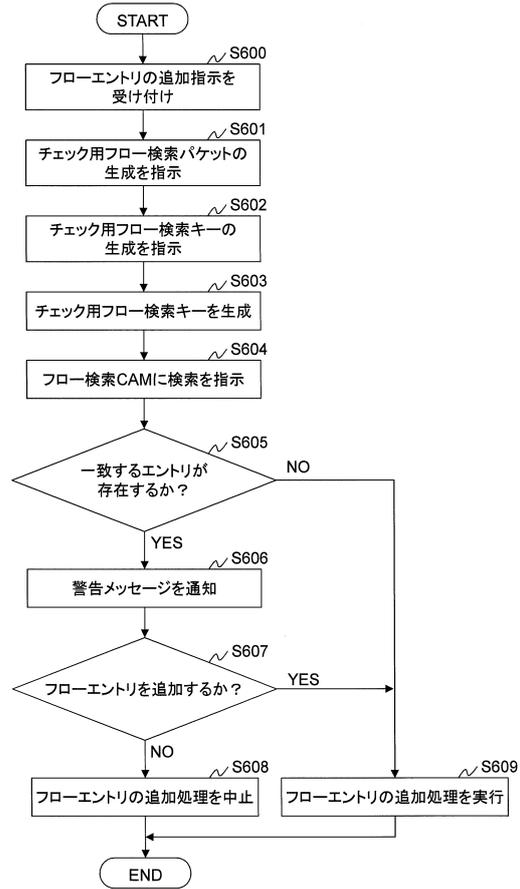
【図 4】



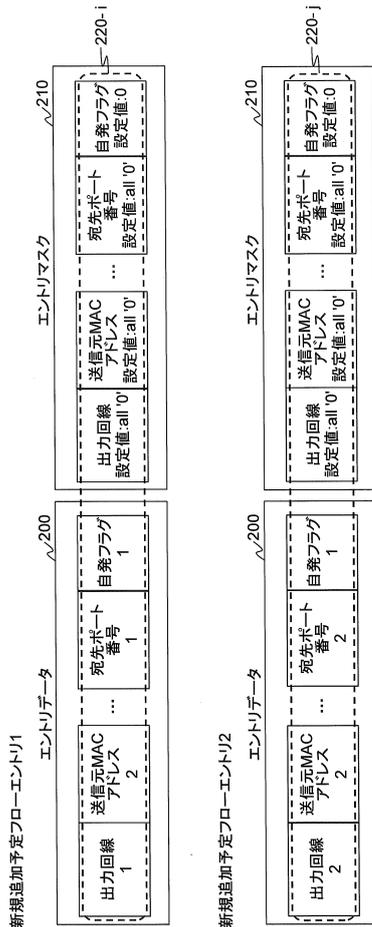
【図5】



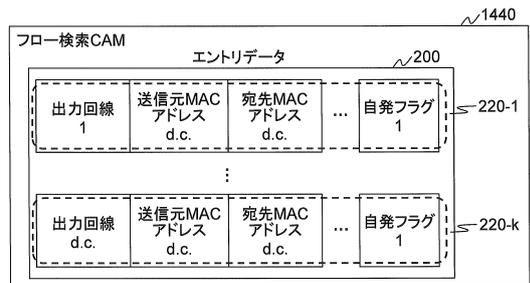
【図6】



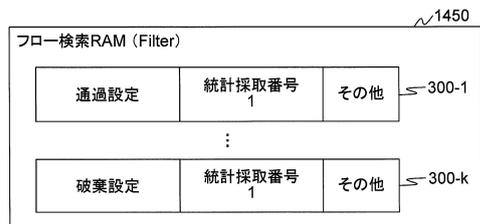
【図7】



【図8】



【図9】



フロントページの続き

(72)発明者 奈良 孝生

神奈川県横浜市西区みなとみらい二丁目3番3号 株式会社日立情報通信エンジニアリング内

審査官 衣鳩 文彦

(56)参考文献 特開2006-157760(JP,A)

特開2001-053771(JP,A)

特開2005-012707(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04L 12/00~12/955