



(12) 发明专利

(10) 授权公告号 CN 103258495 B

(45) 授权公告日 2015. 08. 05

(21) 申请号 201310163879. 7

CN 102682692 A, 2012. 09. 19, 全文.

(22) 申请日 2013. 05. 07

US 6345085 B1, 2002. 02. 05, 全文.

(73) 专利权人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路 10 号
专利权人 成都京东方光电科技有限公司

审查员 张景美

(72) 发明人 青海刚 祁小敬

(74) 专利代理机构 北京天昊联合知识产权代理
有限公司 11112

代理人 彭瑞欣 陈源

(51) Int. Cl.

G09G 3/20(2006. 01)

G11C 19/28(2006. 01)

(56) 对比文件

CN 101877202 A, 2010. 11. 03, 全文.

CN 202771779 U, 2013. 03. 06, 全文.

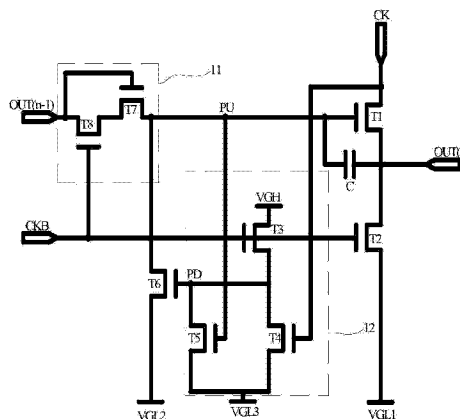
权利要求书2页 说明书8页 附图4页

(54) 发明名称

移位寄存单元、移位寄存器和显示装置

(57) 摘要

本发明提供一种移位寄存单元, 该移位寄存单元包括驱动信号输入端、驱动信号输出端、第一时钟信号输入端、第二时钟信号输入端、驱动晶体管和输出下拉晶体管, 其中, 所述输出下拉晶体管的栅极与所述第二时钟信号输入端相连, 所述驱动信号输入端输入的低电平为第一低电平, 所述输出下拉晶体管的源极与第一低电平输出端连接, 所述第一时钟信号输入端和所述第二时钟信号输入端输入的低电平均为第二低电平, 所述第一低电平与所述第二低电平的差值大于所述输出下拉晶体管的临界电压的绝对值, 使得所述输出下拉晶体管能够在求值阶段关闭。本发明还提供一种移位寄存器和一种显示装置。在本发明所提供的移位寄存单元中可以使用耗尽型薄膜晶体管。



1. 一种移位寄存单元,该移位寄存单元包括驱动信号输入端、驱动信号输出端、第一时钟信号输入端、第二时钟信号输入端、驱动晶体管和输出下拉晶体管,其特征在于,所述输出下拉晶体管的栅极与所述第二时钟信号输入端相连,所述驱动信号输入端输入的低电平为第一低电平,所述输出下拉晶体管的源极与第一低电平输出端连接,所述第一时钟信号输入端和所述第二时钟信号输入端输入的低电平均为第二低电平,所述第一低电平与所述第二低电平的差值大于所述输出下拉晶体管的临界电压的绝对值,使得所述下拉晶体管能够在求值阶段关闭。

2. 根据权利要求 1 所述的移位寄存单元,其特征在于,所述驱动晶体管的栅极形成为上拉节点,所述移位寄存单元还包括与所述上拉节点连接的开关单元,所述开关单元能够在预充电阶段将所述上拉节点与所述驱动信号输入端导通,以对与所述驱动晶体管并联的电容器充电,并且所述开关单元能够在求值阶段将所述上拉节点与所述驱动信号输入端断开,以防止所述上拉节点漏电。

3. 根据权利要求 2 所述的移位寄存单元,其特征在于,所述开关单元包括第一开关晶体管和第二开关晶体管,所述第一开关晶体管的栅极与所述第二时钟信号输入端相连,所述第一开关晶体管的漏极与所述驱动信号输入端相连,所述第一开关晶体管的源极与所述第二开关晶体管的漏极相连,所述第二开关晶体管的栅极与所述驱动信号输入端相连,所述第二开关晶体管的源极与所述上拉节点相连。

4. 根据权利要求 3 所述的移位寄存单元,其特征在于,所述移位寄存单元包括下拉单元和下拉晶体管,所述下拉晶体管的栅极与所述下拉单元相连,所述下拉晶体管的源极与第二低电平输出端相连,所述下拉单元能够在求值阶段将所述下拉晶体管关闭,并且在复位阶段和非工作阶段将所述下拉晶体管开启,使得所述下拉晶体管能够在所述复位阶段和所述非工作阶段将所述上拉节点的电平拉低至所述第二低电平。

5. 根据权利要求 4 所述的移位寄存单元,其特征在于,所述下拉单元包括第一下拉控制晶体管和第二下拉控制晶体管,所述第一下拉控制晶体管的栅极与所述上拉节点相连,所述第一下拉控制晶体管的源极与第三低电平输出端连接,所述第一下拉控制晶体管的漏极与所述下拉晶体管的栅极连接,所述第二下拉控制晶体管的栅极与所述第二时钟信号输入端相连,所述第二下拉控制晶体管的漏极与高电平输出端连接,所述第二下拉控制晶体管的源极与所述下拉晶体管的栅极连接,所述第二低电平与所述第三低电平的差值大于所述下拉晶体管的临界电压。

6. 根据权利要求 5 所述的移位寄存单元,其特征在于,所述下拉单元还包括第三下拉控制晶体管,该第三下拉控制晶体管的栅极与所述第一时钟信号输入端相连,所述第三下拉控制晶体管的源极与所述第三低电平输出端相连,所述第三下拉控制晶体管的漏极与所述第二下拉控制晶体管的源极相连。

7. 根据权利要求 6 所述的移位寄存单元,其特征在于,所述驱动晶体管、所述输出下拉晶体管、所述第一开关晶体管、所述第二开关晶体管、所述下拉晶体管、所述第一下拉控制晶体管、所述第二下拉控制晶体管和所述第三下拉控制晶体管中的至少一者为耗尽型晶体管。

8. 根据权利要求 2 所述的移位寄存单元,其特征在于,所述移位寄存单元包括下拉单元和下拉晶体管,所述下拉晶体管的栅极与所述下拉单元相连,所述下拉晶体管的源极与

第二低电平输出端相连,所述下拉单元能够在求值阶段将所述下拉晶体管关闭,并且在复位阶段和非工作阶段将所述下拉晶体管开启,使得所述下拉晶体管能够在所述复位阶段和所述非工作阶段将所述上拉节点的电平拉低至所述第二低电平。

9. 根据权利要求 8 所述的移位寄存单元,其特征在于,所述下拉单元包括第一下拉控制晶体管和第二下拉控制晶体管,所述第一下拉控制晶体管的栅极与所述上拉节点相连,所述第一下拉控制晶体管的源极与第三低电平输出端连接,所述第一下拉控制晶体管的漏极与所述下拉晶体管的栅极连接,所述第二下拉控制晶体管的栅极与所述第二时钟信号输入端相连,所述第二下拉控制晶体管的漏极与高电平输出端连接,所述第二下拉控制晶体管的源极与所述下拉晶体管的栅极连接,所述第二低电平与所述第三低电平的差值大于所述下拉晶体管的临界电压。

10. 根据权利要求 9 所述的移位寄存单元,其特征在于,所述下拉单元还包括第三下拉控制晶体管,该第三下拉控制晶体管的栅极与所述第一时钟信号输入端相连,所述第三下拉控制晶体管的源极与所述第三低电平输出端相连,所述第三下拉控制晶体管的漏极与所述第二下拉控制晶体管的源极相连。

11. 根据权利要求 10 所述的移位寄存单元,其特征在于,所述驱动晶体管、所述输出下拉晶体管、所述下拉晶体管、所述第一下拉控制晶体管、所述第二下拉控制晶体管和所述第三下拉控制晶体管中的至少一者为耗尽型晶体管。

12. 一种移位寄存器,该移位寄存器包括多级移位寄存单元,其特征在于,所述移位寄存单元为权利要求 1 至 11 中任意一项所述的移位寄存单元,下一级所述移位寄存单元的驱动信号输入端与上一级所述移位寄存单元的驱动信号输出端相连。

13. 一种显示装置,其特征在于,该显示装置包括权利要求 12 所述的移位寄存器。

移位寄存单元、移位寄存器和显示装置

技术领域

[0001] 本发明涉及有机发光显示领域,具体地,涉及一种移位寄存单元、一种包括该移位寄存单元的移位寄存器和一种包括该移位寄存器的显示装置。

背景技术

[0002] 随着平板显示的发展,高分辨率、窄边框成为发展的潮流,而在显示面板上集成栅极驱动电路是实现高分辨率、窄边框显示最重要的解决办法。

[0003] 图 1 中所示的是现有的基本的移位寄存单元的电路图,如图 1 所示,该基本的移位寄存单元包括驱动晶体管 T1、输出下拉晶体管 T2、复位晶体管 T9、自举电容 20、存储电容 30、第一时钟信号输入端 CK、第二时钟信号输入端 CKB、驱动信号输入端 OUT(n-1)、复位端 Reset 和驱动信号输出端 OUT(n)。

[0004] 在图 1 中,上拉节点 PU 点为与驱动晶体管 T1 的栅极连接的节点,下拉节点 PD 为与输出下拉晶体管 T2 的栅极连接的节点。从驱动信号输入端 OUT(n-1) 输入起始信号 STV, VGL 为低电平。图 2 中所示的是图 1 中的移位寄存单元在工作时各信号的时序图, VGH 为高电平。

[0005] a-si(非晶硅)和 p-si(多晶硅)制成的薄膜晶体管为增强型薄膜晶体管,当使用增强型 TFT 技术制作该基本的移位寄存单元电路时,图 1 中所示的移位寄存单元可以正常工作(如图 2 的实线部分所示)。

[0006] 近年来,氧化物薄膜晶体管作为一种非常有潜力的半导体技术,相比于 p-si 工艺更简单,成本更低,相比于 a-si 迁移率更高,因而越来越受到重视,未来很可能是 OLED,柔性显示的主流背板驱动技术。然而氧化物薄膜晶体管具有耗尽型的特点(与增强型薄膜晶体管的差别见图 3 和图 4,图 3 为增强型薄膜晶体管的特性曲线图)纵轴为薄膜晶体管漏极的电流,横轴为栅源极的电压,从图 3 中所示的增强型薄膜晶体管的特性曲线图中可以看出,当 V_{gs} (栅源电压)电压为零时, i_d (漏极电流)为零,说明 V_{gs} 为零时,增强型薄膜晶体管完全关闭;从图 4 中耗尽型薄膜晶体管的特性曲线图中可以看出,同样纵轴为漏极电流,横轴为栅源电压,但该图显示的却是 V_{gs} 为零时, i_d 远大于零,而只有在栅源电压为一定的负电压时, i_d 才为零。

[0007] 如图 2 中虚线部分所示,将耗尽型薄膜晶体管应用于图 1 中所示的电路时,并不能正常工作。

发明内容

[0008] 本发明的目的在于提供一种移位寄存单元、一种包括该移位寄存单元的移位寄存器和一种包括该移位寄存器的显示装置,所述移位寄存单元中可以使用耗尽型薄膜晶体管。

[0009] 为了实现上述目的,作为本发明的一个方面,提供一种移位寄存单元,该移位寄存单元包括驱动信号输入端、驱动信号输出端、第一时钟信号输入端、第二时钟信号输入端、

驱动晶体管和输出下拉晶体管,其中,所述输出下拉晶体管的栅极与所述第二时钟信号输入端相连,所述驱动信号输入端输入的低电平为第一低电平,所述输出下拉晶体管的源极与第一低电平输出端连接,所述第一时钟信号输入端和所述第二时钟信号输入端输入的低电平均为第二低电平,所述第一低电平与所述第二低电平的差值大于所述下拉晶体管的临界电压的绝对值,使得所述下拉晶体管能够在求值阶段关闭。

[0010] 优选地,所述驱动晶体管的栅极形成为上拉节点,所述移位寄存单元还包括与所述上拉节点连接的开关单元,所述开关单元能够在预充电阶段将所述上拉节点与所述驱动信号输入端导通,以对与所述驱动晶体管并联的电容充电,并且所述开关单元能够在求值阶段将所述上拉节点与所述驱动信号输入端断开,以防止所述上拉节点漏电。

[0011] 优选地,所述开关单元包括第一开关晶体管和第二开关晶体管,所述第一开关晶体管的栅极与所述第二时钟信号输入端相连,所述第一开关晶体管的漏极与所述驱动信号输入端相连,所述第一开关晶体管的源极与所述第二开关晶体管的漏极相连,所述第二开关晶体管的栅极与所述驱动信号输入端相连,所述第二开关晶体管的源极与所述上拉节点相连。

[0012] 优选地,所述移位寄存单元包括下拉单元和下拉晶体管,所述下拉晶体管的栅极与所述下拉单元相连,所述下拉晶体管的源极与第二低电平输出端相连,所述下拉单元能够在求值阶段将所述下拉晶体管关闭,并且在复位阶段和非工作阶段将所述下拉晶体管开启,使得所述下拉晶体管能够在所述复位阶段和所述非工作阶段将所述上拉节点的电平拉低至所述第二低电平。

[0013] 优选地,所述下拉单元包括第一下拉控制晶体管和第二下拉控制晶体管,所述第一下拉控制晶体管的栅极与所述上拉节点相连,所述第一下拉控制晶体管的源极与第三低电平输出端连接,所述第二下拉控制晶体管的栅极与所述第二时钟信号输入端相连,所述第一下拉控制晶体管的漏极与所述下拉晶体管的栅极连接,所述第二下拉控制晶体管的漏极与高电平输出端连接,所述第二下拉控制晶体管的源极与所述下拉晶体管的栅极连接,所述第二低电平与所述第三低电平的差值大于所述下拉晶体管的临界电压。

[0014] 优选地,所述下拉单元还包括第三下拉控制晶体管,该第三下拉控制晶体管的栅极与所述第一时钟信号输入端相连,所述第三下拉控制晶体管的源极与所述第三低电平输出端相连,所述第三下拉控制晶体管的漏极与所述第二下拉控制晶体管的源极相连。

[0015] 优选地,所述驱动晶体管、所述输出下拉晶体管、所述第一开关晶体管、所述第二开关晶体管、所述下拉晶体管、所述第一下拉控制晶体管、所述第二下拉控制晶体管和所述第三下拉控制晶体管中的至少一者为耗尽型晶体管。

[0016] 作为本发明的另一个方面,提供一种移位寄存器,该移位寄存器包括多级移位寄存单元,其中,所述移位寄存单元为本发明所提供的上述移位寄存单元,下一级所述移位寄存单元的驱动信号输入端与上一级所述移位寄存单元的驱动信号输出端相连。

[0017] 作为本发明的还一个方面,提供一种显示装置,其中,该显示装置包括本发明所提供的上述移位寄存器。

[0018] 在本发明所提供的移位寄存单元中,利用第二时钟信号输入端与输出下拉晶体管的栅极相连,输出下拉晶体管的源极与可以输出第一低电平的第一低电平输入端相连。由于第二时钟信号输入端在求值阶段输入的低电平为第二低电平,且第二低电平与第一低电

平的差值大于下拉晶体管的临界电压,因此,可以利用第二时钟信号输入端直接控制下拉晶体管在求值阶段时完全关闭。由于,第二低电平与第一低电平的差值大于下拉晶体管的临界电压,因此,即便下拉晶体管为耗尽型晶体管,在求值阶段,所述下拉晶体管仍能完全关闭。

附图说明

[0019] 附图是用来提供对本发明的进一步理解,并且构成说明书的一部分,与下面的具体实施方式一起用于解释本发明,但并不构成对本发明的限制。在附图中:

[0020] 图 1 是现有基本的移位寄存单元的电路图;

[0021] 图 2 是图 1 中所示的移位寄存单元在工作时各信号的时序图;

[0022] 图 3 是增强型晶体管的特性曲线图;

[0023] 图 4 是耗尽型晶体管的特性曲线图;

[0024] 图 5 是本发明所提供的移位寄存单元一种实施方式的电路图;

[0025] 图 6 是本发明所提供的移位寄存单元的另一种实施方式的电路图;

[0026] 图 7 是图 6 中所示的移位寄存单元的工作时各信号的时序图。

[0027] 附图标记说明

[0028] T1 :驱动晶体管	T2 :输出下拉晶体管
[0029] T3 :第二下拉控制晶体管	T4 :第三下拉控制晶体管
[0030] T5 :第一下拉控制晶体管	T6 :下拉晶体管
[0031] T7 :第二开关晶体管	T8 :第一开关晶体管
[0032] CK :第一时钟信号输入端	PU :上拉节点
[0033] PD :下拉节点	11 :开关单元
[0034] 12 :下拉单元	20 :自举电容
[0035] 30 :存储电容	CKB :第二时钟信号输入端
[0036] VGH :高电平	VGL :低电平
[0037] VGL1 :第一低电平	VGL2 :第二低电平
[0038] VGL3 :第三低电平	T9 :复位晶体管
[0039] OUT(n-1) :驱动信号输入端	
[0040] OUT(n) :驱动信号输出端	

具体实施方式

[0041] 以下结合附图对本发明的具体实施方式进行详细说明。应当理解的是,此处所描述的具体实施方式仅用于说明和解释本发明,并不用于限制本发明。

[0042] 如图 5 和图 6 所示,作为本发明的一个方面,提供一种移位寄存单元,该移位寄存单元包括驱动信号输入端 OUT(n-1)、驱动信号输出端 OUT(n)、第一时钟信号输入端 CK、第二时钟信号输入端 CKB、驱动晶体管 T1 和输出下拉晶体管 T2,其中,输出下拉晶体管 T2 的栅极与第二时钟信号输入端 CKB 相连,驱动信号输入端 OUT(n-1) 输入的低电平为第一低电平 VGL1,输出下拉晶体管 T2 的源极与第一低电平输出端(第一低电平输出端可以向输出下拉晶体管 T2 的源极输出第一低电平 VGL1) 连接,第一时钟信号输入端 CK 和第二时钟

信号输入端 CKB 输入的低电平均为第二低电平 VGL2, 第一低电平 VGL1 与第二低电平 VGL2 的差值大于输出下拉晶体管 T2 的临界电压 (即, 阈值电压) 的绝对值 (即, $VGL1 - VGL2 > |V_{th2}|$), 使得输出下拉晶体管 T2 能够在求值阶段关闭。

[0043] 应当理解的是, 在本发明中, 如图 7 所示, 从驱动信号输入端 OUT(n-1) 输入的高电平信号为高电平 VGH, 从驱动信号输入端 OUT(n-1) 输入的低电平信号为第一低电平 VGL1; 从第一时钟信号输入端 CK 输入的高电平第一时钟信号为高电平 VGH, 从第一时钟信号输入端 CK 输入的低电平为第二低电平 VGL2; 从第二时钟信号输入端 CKB 输入的高电平为 VGH, 从第二时钟信号输入端 CKB 输入的低电平为第二低电平 VGL2。

[0044] 在本发明中, 由于第二时钟信号输入端 CKB 直接与输出下拉晶体管 T2 的栅极相连, 因此可以利用从第二时钟信号输入端 CKB 输入的第二时钟信号直接控制输出下拉晶体管 T2 的开启和关闭。

[0045] 在移位寄存单元的求值阶段 (即, 图 7 中的阶段②), 第一时钟信号输入端 CK 输入第一时钟信号为高电平 VGH, 第二时钟信号输入端 CKB 输入第二时钟信号为第二低电平 VGL2, 驱动信号输入端 OUT(n-1) 输入的信号为第一低电平 VGL1, 输出下拉晶体管 T2 的栅极电平为第二低电平 VGL2, 输出下拉晶体管 T2 的源极电平为第一低电平 VGL1, 由于 $VGL1 - VGL2 > |V_{th2}|$, 因此, 在求值阶段, 即便输出下拉晶体管 T2 为耗尽型晶体管, 该输出下拉晶体管 T2 仍然可以正常关闭, 不会发生漏电。

[0046] 通常地, 将与驱动晶体管 T1 的栅极相连的节点称之为上拉节点 (即驱动晶体管 T1 的栅极形成上拉节点 PU), 上拉节点 PU 的电位与驱动晶体管 T1 的栅极的电位相一致。

[0047] 为了保证本发明所提供的移位寄存单元可以输出具有足够脉宽的方波, 优选地, 如图 5 和图 6 所示, 所述移位寄存单元还可以包括与上拉节点 PU 连接的开关单元 11, 开关单元 11 可以在预充电阶段 (即, 图 7 中的阶段①) 将上拉节点 PU 与驱动信号输入端 OUT(n-1) 导通, 以对与驱动晶体管 T1 并联的电容 C 充电, 并且开关单元 11 可以在求值阶段 (即, 图 7 中的阶段②) 将上拉节点 PU 与驱动信号输入端 OUT(n-1) 断开, 以防止上拉节点 PU 漏电。

[0048] 在预充电阶段, 开关单元 11 将上拉节点 PU 与驱动信号输入端 OUT(n-1) 导通, 使得驱动信号输入端 OUT(n-1) 可以对电容 C 进行正常充电, 使上拉节点 PU 的电压迅速升起; 而在求值阶段, 第二时钟信号输入端 CKB 输入第二低电平 VGL2 将输出下拉晶体管 T2 关闭, 第一时钟信号输入端 CK 输入高电平 VGH, 该高电平 VGH 通过驱动晶体管 T1, 将上拉节点 PU 通过电容 C 耦合到较高的电位, 开关单元 11 将上拉节点 PU 与驱动信号输入端 OUT(n-1) 断开可以防止上拉节点 PU 漏电, 从而可以在驱动信号输出端 OUT(n) 获得具有足够脉宽的输出信号。

[0049] 在本发明中, 开关单元 11 可以具有多种形式, 只要可以满足在预充电阶段将上拉节点 PU 与驱动信号输入端 OUT(n-1) 导通, 以对与驱动晶体管 T1 并联的电容 C 充电, 并且开关单元 11 可以在求值阶段将上拉节点 PU 与驱动信号输入端 OUT(n-1) 断开, 以防止上拉节点 PU 漏电即可。

[0050] 作为本发明的一种优选实施方式, 如图 5 和图 6 所示, 开关单元 11 可以包括第一开关晶体管 T8 和第二开关晶体管 T7, 第一开关晶体管 T8 的栅极与第二时钟信号输入端 CKB 相连, 第一开关晶体管 T8 的漏极与驱动信号输入端 OUT(n-1) 相连, 第一开关晶体管

T8 的源极与第二开关晶体管 T7 的漏极相连,第二开关晶体管 T7 的栅极与驱动信号输入端 OUT(n-1) 相连,第二开关晶体管 T7 的源极与所述上拉节点 PU 相连。

[0051] 在预充电阶段(即,图 7 中的阶段①),驱动信号输入端 OUT(n-1) 输入的信号为高电平 VGH,第一时钟信号输入端 CK 输入的第一时钟信号为第二低电平 VGL2,第二时钟信号输入端 CKB 输入的第二时钟信号为高电平 VGH。由于第一开关晶体管 T8 的栅极与第二时钟信号输入端 CKB 相连,第二开关晶体管 T7 的栅极与驱动信号输入端 OUT(n-1) 相连,因此,第一开关晶体管 T8 和第二开关晶体管 T7 都是开启的,驱动信号输入端 OUT(n-1) 可以通过第一开关晶体管 T8 和第二开关晶体管 T7 对电容 C 充电,上拉节点 PU 处的电压将迅速升起。

[0052] 在求值阶段(即,图 7 中的阶段②),驱动信号输入端 OUT(n-1) 输入的信号为第一低电平 VGL1,第二时钟信号输入端 CKB 输入的第二时钟信号为第二低电平 VGL2,因此,第一开关晶体管 T8 和第二开关晶体管 T7 都是关闭的。由于第一开关晶体管 T8 和第二开关晶体管 T7 是关闭的,所以,第一时钟信号输入端 CK 输入的第一时钟信号为高电平 VGH,此时第一时钟信号可以将上拉节点 PU 的电位通过电容 C 耦合到较高的电位,而不会漏电。

[0053] 应当注意的是,如果第一开关晶体管 T8 和第二开关晶体管 T7 为耗尽型晶体管,那么第一低电平 VGL1 与第二低电平 VGL2 的差值大于第一开关晶体管 T8 的临界电压的绝对值(即, $VGL1-VGL2 > |V_{th8}|$),以确保第一开关晶体管 T8 可以在求值阶段正常关闭。

[0054] 为了使所述移位寄存单元输出的信号更加稳定,优选地,所述移位控制单元还可以包括下拉单元 12 和下拉晶体管 T6,下拉晶体管 T6 的栅极与下拉单元 12 相连,下拉晶体管 T6 的源极与第二低电平输出端(第二低电平输出端可以向下拉晶体管 T6 的源极输出第二低电平 VGL2)相连,下拉单元 12 可以在求值阶段(即,图 7 中的阶段②)将下拉晶体管 T6 关闭,并且在复位阶段(即,图 7 中的阶段③)和非工作阶段(即,图 7 中阶段③右侧的部分)将下拉晶体管 T6 开启,使得下拉晶体管 T6 能够在所述复位阶段和所述非工作阶段将上拉节点 PU 的电平拉低至所述第二低电平。

[0055] 在求值阶段,下拉晶体管 T6 断开,可以防止上拉节点 PU 漏电。在复位阶段和非工作阶段,下拉晶体管 T6 开启,可以对上拉节点 PU 进行放电,从而可以确保驱动信号输出端 OUT(n) 在复位阶段和非工作阶段输出低电平。

[0056] 在本发明中,对下拉单元 12 的具体结构并没有特殊要求,只要可以在求值阶段将下拉晶体管 T6 关闭,并且在复位阶段和非工作阶段将下拉晶体管 T6 开启即可。

[0057] 作为本发明的优选实施方式,如图 6 所示,下拉单元 12 包括第一下拉控制晶体管 T5 和第二下拉控制晶体管 T3,第一下拉控制晶体管 T5 的栅极与上拉节点 PU 相连,第一下拉控制晶体管 T5 的源极与第三低电平输出端(第三低电平输出端可以向第一下拉控制晶体管 T5 的源极输出第三低电平 VGL3)连接,第一下拉晶体管 T5 的漏极与下拉晶体管 T6 的栅极连接,第二下拉控制晶体管 T3 的栅极与第二时钟信号输入端 CKB 相连,第二下拉控制晶体管 T3 的漏极与高电平输出端(高电平输出端可以向第二下拉控制晶体管 T3 的漏极输出高电平 VGH)连接,第二下拉控制晶体管 T3 的源极与下拉晶体管 T6 的栅极连接,第二低电平 VGL2 与第三低电平 VGL3 的差值大于所述下拉晶体管 T6 的临界电压(即, $VGL2-VGL3 > |V_{th6}|$)。

[0058] 在求值阶段,驱动信号输入端 OUT(n-1) 输入的信号为第一低电平 VGL1,第二时钟

信号输入端 CKB 输入的第二时钟信号跳变为第二低电平 VGL2, 第一时钟信号输入端 CK 输入的第一时钟信号跳变为高电平 VGH。输出下拉晶体管 T2 关闭。由于上拉节点 PU 被耦合到较高的电平, 因此第一下拉控制晶体管 T5 开启, 第二下拉控制晶体管 T3 关闭, 从而将下拉晶体管 T6 的栅极电压下拉到第三低电平 VGL3, 使下拉晶体管 T6 完全关闭。

[0059] 在本发明中, 可以将下拉晶体管 T6 的栅极称之为下拉节点 PD。在本发明中, 第二时钟信号输入端 CKB 直接控制输出下拉晶体管 T2, 所以下拉节点 PD 对驱动信号输出端 OUT(n) 并没有影响。

[0060] 在复位阶段, 第二时钟信号输入端 CKB 输入的第二时钟信号跳变为高电平 VGH, 驱动信号输入端 OUT(n-1) 保持第一低电平 VGL1, 第一时钟信号输入端 CK 输入的第一时钟信号跳变为第二低电平 VGL2。输出下拉晶体管 T2 开启, 驱动信号输出端 OUT(n) 被下拉为第一低电平 VGL1, 驱动信号输出端 OUT(n) 的电压跳变通过电容 C 的耦合作用将上拉节点 PU 的电位迅速下拉到较求值阶段低的电位, 当然该电位还是足以使得驱动晶体管 T1 开启, 只是此时第一时钟信号输入端 CK 输入的第一时钟信号为第二低电平 VGL2, 对驱动信号输出端 OUT(n) 没有上拉作用。由于上拉节点 PU 电位降低, 第一下拉控制晶体管 T5 的栅极电位也降低, 但仍然处于一定的开启状态, 只是这种开启通过的电流较小, 对下拉节点 PD 点的下拉作用较弱。第二下拉控制晶体管 T3 的栅极为第二时钟信号输入端 CKB 输入的高电平 VGH, 因此第二下拉控制晶体管 T3 完全开启, 虽然第一下拉控制晶体管 T5 并未关闭, 但由于下拉作用减弱, 因此, 下拉节点 PD 仍然会被通过第二下拉控制晶体管 T3 的高电平上拉到开启, 因此下拉晶体管 T6 开启, 使上拉节点 PU 的电位被迅速拉低, 下拉节点 PD 电位的迅速下拉又会进一步关闭第一下拉控制晶体管 T5, 这种相互作用会使得上拉节点 PU 的电位下降更快, 使得驱动晶体管 T1 在第一时钟信号输入端 CK 的下一个高电平输入之前, 使得上拉节点 PU 的电位下降到第二低电平 VGL2, 从而彻底的关闭驱动晶体管 T1。

[0061] 在非工作阶段, 对于下拉节点 PD, 除了第二时钟信号输入端 CKB 控制的上拉电平外, 还有第一时钟信号输入端 CK 控制的下拉电平。仅从功能上来说, 在移位寄存单元的非工作阶段, 下拉节点 PD 的下拉没有任何意义, 此处采用下拉电平除了在工作阶段增加下拉能力快速关闭下拉晶体管 T6 外, 另一个功能在于, 使得下拉晶体管 T6 的栅极, 即下拉节点 PD 可以处在交变电压状态, 避免长时间的直流偏压导致下拉晶体管 T6 的传输曲线向右偏移老化失效, 进而提高整个移位寄存单元的使用寿命。

[0062] 为了在求值阶段确保下拉晶体管 T6 可以更加迅速的关闭, 优选地, 下拉单元 12 还可以包括第三下拉控制晶体管 T4, 该第三下拉控制晶体管 T4 的栅极与第一时钟信号输入端 CK 相连, 第三下拉控制晶体管 T4 的源极与第三低电平输出端相连, 第三下拉控制晶体管 T4 的漏极与第二下拉控制晶体管 T3 的源极相连。

[0063] 在本发明所述的移位寄存单元中, 驱动晶体管 T1、输出下拉晶体管 T2、所述第一开关晶体管 T8、所述第二开关晶体管 T7、所述下拉晶体管 T6、所述第一下拉控制晶体管 T5、第二下拉控制晶体管 T3 和第三下拉控制晶体管 T4 中的至少一者为耗尽型晶体管。

[0064] 下面将参考图 6 中的具体实施方式介绍当驱动晶体管 T1、输出下拉晶体管 T2、所述第一开关晶体管 T8、所述第二开关晶体管 T7、所述下拉晶体管 T6、所述第一下拉控制晶体管 T5、第二下拉控制晶体管 T3 和第三下拉控制晶体管 T4 全部为耗尽型晶体管, 且上述晶体管的临界电压相等时, 上述各个晶体管的工作原理。优选地, 驱动晶体管 T1、输出下拉

晶体管 T2、所述第一开关晶体管 T8、所述第二开关晶体管 T7、所述下拉晶体管 T6、所述第一下拉控制晶体管 T5、第二下拉控制晶体管 T3 和第三下拉控制晶体管 T4 全部为氧化物晶体管。

[0065] 预充电阶段（即，图 7 中的阶段①）：第二时钟信号输入端 CKB 输入的第二时钟信号和驱动信号输入端 OUT(n-1) 输入的信号为高电平 VGH，第一时钟信号输入端 CK 输入的第一时钟信号为第二低电平 VGL2，因此输出下拉晶体管 T2、第二下拉控制晶体管 T3、第二开关晶体管 T7 和第一开关晶体管 T8 开启。

[0066] 由于第三下拉控制晶体管 T4 的源极电压为第三低电平 VGL3，而第三下拉控制晶体管 T4 的栅极电压为第一时钟信号输入端 CK 输入的第二低电平 VGL2，因此第三下拉控制晶体管 T4 并没有完全关闭而是有一定的漏电存在。

[0067] 第二开关晶体管 T7 和第一开关晶体管 T8 开启，驱动信号输入端 OUT(n-1) 通过第二开关晶体管 T7 和第一开关晶体管 T8 对电容 C 充电，上拉节点 PU 的电压将迅速升起，使第一下拉控制晶体管 T5 开启，虽然第二下拉控制晶体管 T3 也开启，使得高电平输入端输入的高电平 VGH 对下拉节点 PD 有一定的上拉作用，但是由于第三下拉控制晶体管 T4 的漏电和第一下拉控制晶体管 T5 的开启将会迅速的使下拉节点 PD 的电位被第三低电平 VGL3 下拉下去。

[0068] 虽然下拉晶体管 T6 的栅极电位由于第二下拉控制晶体管 T3 和第三下拉控制晶体管 T4、第二下拉控制晶体管 T5 的共同作用不会完全下降到第三低电平 VGL3 而完全关闭，但会使得下拉晶体管 T6 的漏电流大大减小，从而使得上拉节点 PU 的电位不至于被过度下拉，因此预充电阶段驱动晶体管 T1 仍然能够获得足够的开启电位。因此在预充电阶段，驱动信号输出端 OUT(n) 将会被第一时钟信号输入端 CK 输入的第一时钟信号的低电平下拉，同时输出下拉晶体管 T2 的开启也会将输出端 OUT(n) 的电位下拉。

[0069] 求值阶段（即，图 7 中的阶段②）：驱动信号输入端 OUT(n-1) 输入的信号为第一低电平 VGL1，第二时钟信号输入端 CKB 输入的第二时钟信号跳变为第二低电平 VGL2，第一时钟信号输入端 CK 输入的第一时钟信号跳变为高电平 VGH。

[0070] 输出下拉晶体管 T2 的源极为第一低电平 VGL1，输出下拉晶体管 T2 的栅极为第二时钟信号输入端 CKB 输入的第二低电平 VGL2，因此输出下拉晶体管 T2 关闭。第一开关晶体管 T8 的源极电位为驱动信号输入端 OUT(n-1) 输入的第一低电平 VGL1，而第一开关晶体管 T8 的栅极电位为第二时钟信号输入端 CKB 的第二时钟信号（即，第二低电平 VGL2），因此第一开关晶体管 T8 关闭。虽然第二时钟信号输入端 CKB 输入的第二时钟信号为第二低电平 VGL2，但第二下拉控制晶体管 T3 并未完全关闭，而是有较小的漏电流通过。

[0071] 由于第一时钟信号输入端 CK 输出的第一时钟信号（高电平 VGH）通过驱动晶体管 T1 后，将上拉节点 PU 的电位通过电容 C 耦合到较高的电位，因此第一下拉控制晶体管 T5 充分开启，同时第三下拉控制晶体管 T4 也开启，虽然第二下拉控制晶体管 T3 未完全关闭，但下拉节点 PD 的电位仍将被下拉到第三低电平 VGL3，因此下拉晶体管 T6 完全关闭，这为上拉节点 PU 保存高电位进一步创造了条件，驱动晶体管 T1 的充分开启使得驱动信号输出端 OUT(n) 端输出高电平 VGH。

[0072] 复位阶段：第二时钟信号输入端 CKB 输入的第二时钟信号跳变为高电平 VGH，驱动信号输入端 OUT(n-1) 输入的信号保持第一低电平 VGL1。第一时钟信号输入端 CK 输入的第

一时钟信号为第二低电平 VGL2。因此输出下拉晶体管 T2、第二下拉控制晶体管 T3、第二开关晶体管 T7 和第一开关晶体管 T8 开启。

[0073] 由于第三下拉控制晶体管 T4 的源极电平为第三低电平 VGL3, 而第三下拉控制晶体管 T4 的栅极为第一时钟信号输入端 CK 输入的第一时钟信号 (即, 第二低电平 VGL2), 因此第三下拉控制晶体管 T4 并没有完全关闭而是有一定的漏电存在。由于输出下拉晶体管 T2 的开启, 驱动信号输出端 OUT(n) 被下拉为第一低电平 VGL1, 驱动信号输出端 OUT(n) 的电压跳变通过电容 C 的耦合作用将上拉节点 PU 的电位迅速下拉到较求值阶段低的电位, 当然该电位还是足以使得驱动晶体管 T1 开启, 只是此时第一时钟信号输入端 CK 也为低电位, 对驱动信号输出端 OUT(n) 没有上拉作用。

[0074] 由于上拉节点 PU 电位的降低, 第一下拉控制晶体管 T5 的栅极电位也跟着下降, 但仍然处于一定的开启状态, 只是这种开启通过的电流较小, 对下拉节点 PD 的下拉作用减弱。由于第二时钟信号输入端 CKB 的高电平 VGH, 第二下拉控制晶体管 T3 完全打开。虽然第一下拉控制晶体管 T5 并未关闭, 但由于下拉作用减弱, 因此下拉节点 PD 仍然会被通过第二下拉控制晶体管 T3 的高电平上拉到开启, 使得下拉晶体管 T6 开启, 上拉节点 PU 的电位被迅速下拉, 而上拉节点 PU 的迅速下拉又会进一步关闭第一下拉控制晶体管 T5, 这种相互作用会使得上拉节点 PU 的电位更快下降, 使得驱动晶体管 T1 在第一时钟信号输入端 CK 的下一个高电平来之前, 使得上拉节点 PU 的电位下降到第二低电平 VGL2, 从而彻底的关闭驱动晶体管 T1。

[0075] 在图 6 中所示的移位寄存单元中使用了三种不同的低电平 (第一低电平 VGL1、第二低电平 VGL2 和第三低电平 VGL3), 可以使输出下拉晶体管 T2 的栅源电压为负值, 从而可以在求值阶段将输出下拉晶体管 T2 完全关闭。并且所述移位寄存单元还可以很好的保持上拉节点 PU 的电位, 使得驱动晶体管 T1 在非工作阶段完全关闭, 因此可以输出具有所需脉宽和所需电压的信号。

[0076] 作为本发明的另外一个方面, 提供一种移位寄存器, 该移位寄存器包括多级移位寄存单元, 其中, 所述移位寄存单元为本发明所提供的上述移位寄存单元, 下一级所述移位寄存单元的驱动信号输入端与上一级所述移位寄存单元的驱动信号输出端相连。在本发明中, n 为正整数。

[0077] 作为本发明的再一个方面, 还提供一种显示装置, 其中, 该显示装置包括本发明所提供的上述移位寄存器。所述显示装置可以包括液晶显示装置, 例如, 液晶面板、液晶电视、手机、液晶显示器等。出了液晶显示装置外, 所述显示装置还可以包括有机发光显示器或者其他类型的显示装置, 例如电子阅读器等。所述移位寄存器可以作为显示装置的扫描电路或者栅极驱动电路等, 以提供逐行扫描功能, 将扫描信号传送至显示区域。

[0078] 可以理解的是, 以上实施方式仅仅是为了说明本发明的原理而采用的示例性实施方式, 然而本发明并不局限于此。对于本领域内的普通技术人员而言, 在不脱离本发明的精神和实质的情况下, 可以做出各种变型和改进, 这些变型和改进也视为本发明的保护范围。

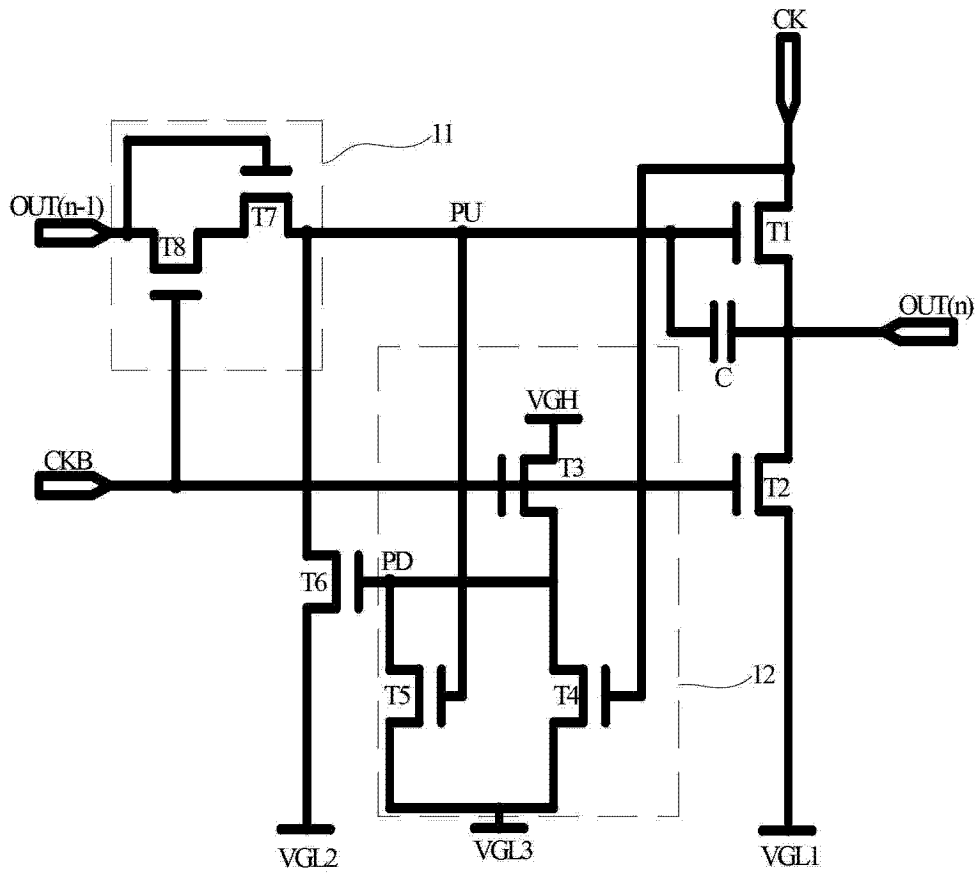


图 6

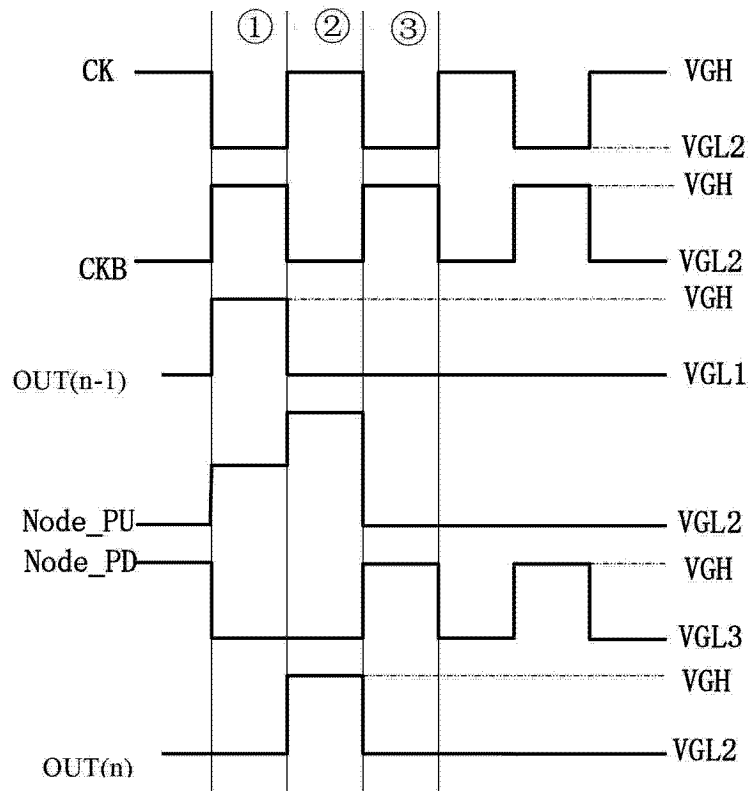


图 7