

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-205933

(P2007-205933A)

(43) 公開日 平成19年8月16日(2007.8.16)

(51) Int. Cl.		F I		テーマコード (参考)
<b>GO 1 R 31/28 (2006.01)</b>		GO 1 R 31/28	G	2 G 1 3 2
<b>HO 1 L 21/822 (2006.01)</b>		GO 1 R 31/28	V	5 F 0 3 8
<b>HO 1 L 27/04 (2006.01)</b>		HO 1 L 27/04	T	

審査請求 未請求 請求項の数 11 O L (全 10 頁)

(21) 出願番号 特願2006-26024 (P2006-26024)  
 (22) 出願日 平成18年2月2日(2006.2.2)

(71) 出願人 302062931  
 NECエレクトロニクス株式会社  
 神奈川県川崎市中原区下沼部1753番地  
 (74) 代理人 100102864  
 弁理士 工藤 実  
 (72) 発明者 日高 逸雄  
 神奈川県川崎市中原区下沼部1753番地  
 NECエレクトロニクス株式会社内  
 Fターム(参考) 2G132 AA00 AA01 AA08 AB03 AB04  
 AK07 AK23 AK29 AL09 AL11  
 5F038 DF05 DT06 DT07 DT08 DT11  
 EZ20

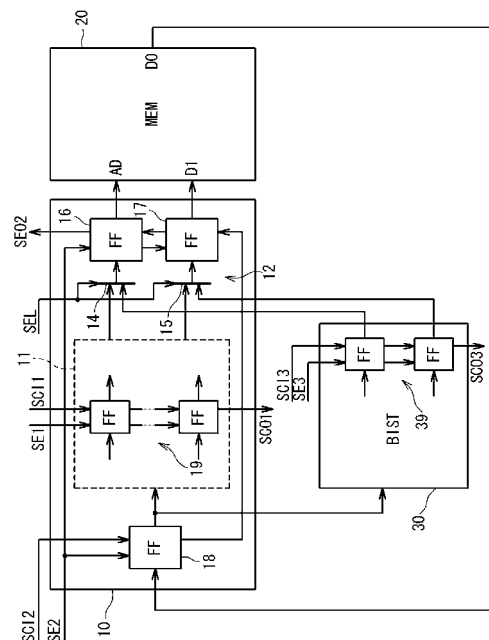
(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【課題】 十分なストレスを印加するバーンインテストを実施することができない。

【解決手段】 半導体集積回路は、第1回路と、第2回路と、第3回路とを具備する。第1回路は、スキャンパステスト時に、内蔵されるフリップフロップがシフトレジスタとして動作する複数のスキャンチェーンを備える。第2回路は、第1回路の入出力信号が接続される。第3回路は、第1回路を介して第2回路に接続される。複数のスキャンチェーンは、第1スキャンチェーンと、第2スキャンチェーンとを有する。この第1スキャンチェーンは、第2回路に入出力信号が接続されるフリップフロップを含み、第2スキャンチェーンは、第2回路に入出力信号が接続されるフリップフロップを含まない。第3回路が、第1スキャンチェーンに属するフリップフロップを介して第2回路と信号を授受しているときに、第1回路の第2スキャンチェーンは、シフトレジスタとして動作する。

【選択図】 図2



**【特許請求の範囲】****【請求項 1】**

スキャンパステスト時に、内蔵されるフリップフロップがシフトレジスタとして動作する複数のスキャンチェーンを備える第 1 回路と、

前記第 1 回路の入出力信号が接続される第 2 回路と、

前記第 1 回路を介して前記第 2 回路に接続される第 3 回路と

を具備し、

前記複数のスキャンチェーンは、前記第 2 回路に入出力信号が接続されるフリップフロップを含む第 1 スキャンチェーンと、前記第 2 回路に入出力信号が接続されるフリップフロップを含まない第 2 スキャンチェーンとを有し、

前記第 3 回路が前記第 1 スキャンチェーンに属するフリップフロップを介して前記第 2 回路と信号を授受しているときに、

前記第 1 回路の第 2 スキャンチェーンは、シフトレジスタとして動作する

半導体集積回路。

10

**【請求項 2】**

前記第 1 回路は、前記第 3 回路が前記第 2 回路に対して出力する信号と、前記第 1 回路が前記第 2 回路に対して出力する信号とを入力し、制御信号に基づいて一方を選択して出力する選択回路をさらに備え、

前記第 1 スキャンチェーンは、前記選択回路から出力される信号を保持して前記第 2 回路に出力するフリップフロップを含む

請求項 1 に記載の半導体集積回路。

20

**【請求項 3】**

前記第 3 回路は、前記第 2 回路の正常性を試験する BIST (Built-In Self-Test) 回路である

請求項 1 または請求項 2 に記載の半導体集積回路。

**【請求項 4】**

前記第 3 回路は、第 3 スキャンチェーンを有し、

前記第 3 スキャンチェーンと前記第 1 スキャンチェーンとは連続するスキャンチェーンを形成する

請求項 1 から請求項 3 のいずれかに記載の半導体集積回路。

30

**【請求項 5】**

前記第 2 回路は、前記第 1 回路がデータを格納するメモリである

請求項 1 から請求項 4 のいずれかに記載の半導体集積回路。

**【請求項 6】**

前記第 2 回路は、与えられた入力信号のパターンに対する出力信号のパターンが判明しているマクロ回路である

請求項 1 から請求項 4 のいずれかに記載の半導体集積回路。

**【請求項 7】**

フリップフロップ群を備える第 1 マクロ回路と、

前記第 1 マクロ回路から前記フリップフロップ群を介して信号が入力される第 2 マクロ回路と、

前記第 2 マクロ回路をテストするとき、前記フリップフロップ群を介してテスト信号を入力するテスト回路と

を具備する半導体集積回路。

40

**【請求項 8】**

前記フリップフロップ群は、通常動作時、前記第 1 マクロ回路から前記第 2 マクロ回路に供給される信号を出力する最終段の回路である

請求項 7 に記載の半導体集積回路。

**【請求項 9】**

前記第 1 マクロ回路は、スキャンパステスト時に、内蔵されるフリップフロップがシフ

50

トレジスタとして動作する複数のスキャンチェーンを備え、

前記複数のスキャンチェーンのうち少なくとも1つのスキャンチェーンは、前記フリップフロップ群を含む

請求項7または請求項8に記載の半導体集積回路。

【請求項10】

前記テスト回路が、前記第2マクロ回路をテストするとき、前記第1マクロ回路は、前記フリップフロップ群を除く前記複数のスキャンチェーンによるスキャンパステストを同時に行う

請求項9に記載の半導体集積回路。

【請求項11】

前記第2マクロ回路は、メモリ回路であり、前記テスト回路は、前記第2マクロ回路の正常性を試験するBIST回路である

請求項7から請求項10のいずれかに記載の半導体集積回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体集積回路に関し、特に、半導体集積回路のテスト回路に関する。

【背景技術】

【0002】

半導体集積回路は、その初期不良の発生を早期に検出するためにストレス印加試験等を行い、不良品選別が行われる。そのストレス印加試験用回路に関して、例えば、特開2003-121509号公報によれば、半導体集積回路のバーンイン回路は、論理回路と、1または2以上の機能マクロと、ビルトインセルフテスト回路とを有する。論理回路は、内部の回路にスキャンチェーンを施されている。ビルトインセルフテスト回路は、機能マクロ毎に備えられた機能マクロの試験を自律的に実施する。この半導体集積回路のバーンイン回路において、バーンイン試験時に、論理回路はスキャンチェーンを用いてバーンイン試験を行い、同時に、機能マクロはビルトインセルフテスト回路の試験動作によりバーンイン試験を行う。また、さらに、ビルトインセルフテスト回路のバーンイン試験動作とスキャン試験動作を制御するバーンイン・スキャン制御回路を備える。この場合、スキャン試験時には論理回路およびビルトインセルフテスト回路のスキャン試験を行う。

【0003】

また、特開2004-251684号公報によれば、半導体装置は、メモリとBIST（ビルトインセルフテスト）回路とデジタル回路と複数のフリップフロップとを備え、BIST回路と複数のフリップフロップとは互いに並行して動作が可能である。このBIST回路は、メモリを自動検査し、デジタル回路は、メモリからの出力を受ける。複数のフリップフロップは、デジタル回路からの複数の出力を受けるとともに、受けた出力をスキャンシフト動作により順次出力するスキャンチェーンを構成し得るように互いに接続されている。BIST回路は、バーンイン時にメモリにストレスを印加し、複数のフリップフロップは、バーンイン時にスキャンシフト動作をすることによりデジタル回路にストレスを印加する。

【0004】

図1は、この半導体装置の構成を示すブロック図である。この半導体装置は、メモリ120と、メモリ120をアクセスする論理回路110と、論理回路110のメモリアクセスの最終段であるフリップフロップ116、117と、メモリ120をテストするBIST回路130と、BIST回路130のメモリアクセスの最終段であるフリップフロップ136、137と、選択回路124、125とを備える。フリップフロップ116、117は、通常動作時、論理回路110の出力回路として信号161、162を選択回路124、125に出力する。また、フリップフロップ116、117は、制御信号141にตอบสนองしてスキャンチェーンをなし、スキャンパステスト時にシリアル入力信号151を入力し、シリアル出力信号152を出力する。フリップフロップ136、137は、BIST

10

20

30

40

50

回路動作時、BIST回路の出力回路として信号163、164を選択回路124、125に出力する。また、フリップフロップ136、137は、制御信号142にตอบสนองして、他のスキャンチェーンをなし、スキャンパステスト時にシリアル入力信号153を入力し、シリアル出力信号154を出力する。選択回路124、125は、選択信号143にตอบสนองして、フリップフロップ116、117から出力される信号161、162、または、フリップフロップ136、137から出力される信号163、164のいずれかを選択して出力信号165、166としてメモリ120に出力する。メモリ120は、出力信号167を論理回路110とBIST回路130とに出力する。

#### 【0005】

この半導体装置は、バーンインテスト時、論理回路110、フリップフロップ116、117は、スキャンチェーンが動作する。一方、BIST回路130から出力される信号は、BIST回路の後段のフリップフロップ136、137を経由してメモリ120に入力される。BIST回路130の後段フリップフロップ136、137が接続されているスキャンチェーンは、論理回路110の後段フリップフロップ116、117が接続されているスキャンチェーンと分離されている。それにより、バーンインテスト時には、BIST回路130の後段フリップフロップ136、137は、スキャンシフトせずに動作させることができる。従って、論理回路110がスキャンシフト動作をしている時、BIST回路130からメモリ120へのパスは動作可能となり、BIST回路130からメモリ120を活性化できる。即ち、BIST回路130が動作してメモリ120を活性化し、制御信号141によりスキャンチェーンが動作して論理回路110及びフリップフロップ116、117を活性化する。

#### 【0006】

【特許文献1】特開2004-251684号公報

【特許文献2】特開2003-121509号公報

【発明の開示】

【発明が解決しようとする課題】

#### 【0007】

BIST回路130の後段のフリップフロップ136、137から出力される信号163、164は、選択回路124、125を経由してメモリ120を活性化する。即ち、BIST回路130のメモリ120をアクセスするパスは、フリップフロップ116、117を経由せず、論理回路110がメモリ120をアクセスするパスと異なる。そのため、BIST回路130は、論理回路110とは異なるタイミングでメモリ120をアクセスすることになる。従って、メモリに対する十分なストレスを印加するバーンインテストを実施することができない。

【課題を解決するための手段】

#### 【0008】

以下に、[発明を実施するための最良の形態]で使用される番号・符号を用いて、課題を解決するための手段を説明する。これらの番号・符号は、[特許請求の範囲]の記載と[発明を実施するための最良の形態]との対応関係を明らかにするために付加されたものである。ただし、それらの番号・符号を、[特許請求の範囲]に記載されている発明の技術的範囲の解釈に用いてはならない。

#### 【0009】

本発明の観点では、半導体集積回路は、第1回路(10)と、第2回路(20)と、第3回路(30)とを具備する。第1回路(10)は、スキャンパステスト時に、内蔵されるフリップフロップがシフトレジスタとして動作する複数のスキャンチェーン(19、16~18)を備える。第2回路(20)は、第1回路(10)の入出力信号が接続される。第3回路(30)は、第1回路を介して第2回路(20)に接続される。複数のスキャンチェーン(19、16~18)は、第1スキャンチェーン(16~18)と、第2スキャンチェーン(19)とを有する。この第1スキャンチェーン(16~18)は、第2回路(20)に入出力信号が接続されるフリップフロップを含み、第2スキャンチェーン(

19)は、第2回路(20)に入出力信号が接続されるフリップフロップを含まない。第3回路(30)が、第1スキランチェーンに属するフリップフロップ(16~18)を介して第2回路(20)と信号を授受しているときに、第1回路(10)の第2スキランチェーン(19)は、シフトレジスタとして動作する。

【発明の効果】

【0010】

本発明によれば、通常動作時のメモリアクセスの速度を低下させることなく、バーンインテスト時にメモリに十分なストレスを印加する半導体集積回路を提供することができる。

【発明を実施するための最良の形態】

10

【0011】

図を参照して本発明の実施の形態が説明される。図2は、本発明の実施の形態に係る半導体集積回路の構成を示すブロック図である。この半導体集積回路は、内部論理をテストするスキランチェーンを備えるとともに、メモリをテストするBIST(Built-In Self-Test)回路を備える。

【0012】

半導体集積回路は、主回路10とメモリ回路20とBIST回路30とを具備する。主回路10は、内部論理部11とメモリインタフェース部12とを備え、メモリ回路20をアクセスする。BIST回路30は、メモリ回路20に供給するテストパターンの生成と、メモリ回路20からの出力と期待値との比較を行い、メモリ回路20をテストする。主回路10、BIST回路30は、内部のフリップフロップにテスト用のパス(スキランパス、或いは、スキランチェーンと称される)を通して制御し、シフトレジスタとして動作させるスキランパステストの対象回路である。主回路10及びメモリ回路20は、マクロブロックである。

20

【0013】

主回路10の内部論理部11は、スキランパステスト用のスキランチェーン19を備える。スキランチェーン19を構成するフリップフロップは、通常動作時、内部論理部11内の信号を取り込んで保持し、出力する。スキランチェーン19は、制御信号SE1にตอบสนองしてシフトレジスタとして動作し、シリアル入力信号SCI1を入力し、シリアル出力信号SCO1を出力する。

30

【0014】

主回路10のメモリインタフェース部12は、選択回路14、15と、フリップフロップ16~18とを備える。フリップフロップ16、17は、通常動作時、選択回路14、15の出力を取り込み、メモリ回路20に出力する。フリップフロップ18は、メモリ回路20の出力を取り込み、内部論理部11とBIST回路30とに出力する。また、フリップフロップ16~18は、スキランパステスト時、スキランチェーンをなす。フリップフロップ16~18によるスキランチェーンは、制御信号SE2にตอบสนองしてシフトレジスタとしてシリアル入力信号SCI2を入力し、シリアル出力信号SCO2を出力する。

【0015】

内部論理部11は、メモリ回路20をアクセスする信号を選択回路14、15を介してフリップフロップ16、17に出力する。選択回路14、15は、内部論理部11から出力される信号と、メモリ回路20に向けてBIST回路30から出力される信号とを入力し、選択信号SELに基づいてその一方を選択して出力する。選択回路14、15の出力がフリップフロップ16、17に接続されるため、選択回路14、15はスキランパステストの対象となる。フリップフロップ16、17は、選択回路14、15から出力される信号をアクセスタイミングにしたがってメモリ回路20に出力する。フリップフロップ18は、メモリ回路20から出力される信号を取り込んで保持し、内部論理部11とBIST回路30とに出力する。

40

【0016】

BIST回路30は、スキランパステスト用のスキランチェーン39を備える。スキャ

50

ンチェーン39を構成するフリップフロップは、BIST回路30が本来の自己テスト回路として動作するとき、BIST回路30内の信号を取り込んで保持し、出力する。スキャンチェーン39は、制御回路SE3に応答してシフトレジスタとして動作し、シリアル入力信号SCI3を入力し、シリアル出力信号SCO3を出力する。スキャンチェーン19、39にはシフトタイミングを与えるクロック信号、データの入出力信号等も有するが、ここでは説明を省略する。

**【0017】**

図3を参照して、通常動作時の半導体集積回路の動作状態が説明される。半導体集積回路の本来の機能動作が実行されるため、主回路10とメモリ回路20との間で信号が授受される。

10

**【0018】**

選択信号SELは、内部論理部11から出力される信号を選択して出力するように設定される。制御信号SE1は、内部論理部11内のフリップフロップがスキャンチェーン19をなさず、内部論理部11内の信号を入出力するように設定される。同じように、制御信号SE2は、フリップフロップ16～18がスキャンチェーンをなさず、内部論理部11及びメモリ回路20の出力信号を取り込み、メモリ回路20及び内部論理部11に出力するように設定される。BIST回路30は、使用されないため、休止状態であってもよい。

**【0019】**

従って、図3において太線により示されるように、内部論理部11の出力信号は、選択回路14、15を介してフリップフロップ16、17に取り込まれる。フリップフロップ16、17は、メモリ回路20に対してアドレス信号AD、データ入力信号DIを供給する。メモリ回路20から出力されるデータ出力信号DOは、フリップフロップ18に取り込まれ、内部論理部11に供給される。このように、通常動作時、内部論理部11は、メモリ回路20に格納されるデータと内部状態とに基づいて動作し、メモリ回路20にデータを格納する。

20

**【0020】**

次に図4を参照して、スキャンパステスト時の半導体集積回路の動作状態が説明される。半導体集積回路の正常動作を確認するテスト動作状態であり、主回路10、BIST回路30は、スキャンパステストが行われる。

30

**【0021】**

制御信号SE1は、内部論理部11内のフリップフロップがスキャンチェーン19をなすように設定される。制御信号SE2は、フリップフロップ16～18がスキャンチェーンをなすように設定される。制御信号SE3は、BIST回路30内のフリップフロップがスキャンチェーン39をなすように設定される。

**【0022】**

従って、図4において太線により示されるように、主回路10の内部論理部11は、スキャンチェーン19にシリアル入力信号SCI1が与えられてテストされ、テスト結果がシリアル出力信号SCO1として出力される。主回路10のインタフェース部12は、スキャンチェーンをなすフリップフロップ16～18にシリアル入力信号SCI2が与えられてテストされ、テスト結果がシリアル出力信号SCO2として出力される。この内部論理部11とインタフェース部12とのスキャンパステストは、同時に実施されることが好ましい。また、BIST回路30は、スキャンチェーン39にシリアル入力信号SCI3が与えられてテストされ、テスト結果がシリアル出力信号SCO3として出力される。このように、主回路10とBIST回路30とは、スキャンパステストが行われる。

40

**【0023】**

次に図5を参照して、バーンインテスト時の半導体集積回路の動作状態が説明される。バーンインテストは、初期不良の発生を早期に検出する等のために行われるストレスを印加する試験である。従って、主回路10、メモリ回路20、BIST回路30は全てストレスを印加するように所定の動作をする。

50

## 【0024】

選択信号SELは、BIST回路30の出力を選択してフリップフロップ16、17に供給するように設定される。制御信号SE1は、内部論理部11内のフリップフロップがスキャンチェーン19をなすように設定される。制御信号SE2は、フリップフロップ16～18がスキャンチェーンとして機能せず、選択回路14、15の出力信号を取り込み、メモリ回路20に出力するように設定される。制御信号SE3は、BIST回路30内のフリップフロップがスキャンチェーン39をなさないように設定される。

## 【0025】

従って、図5において太線により示されるように、主回路10の内部論理部11は、スキャンチェーン19にシリアル入力信号SCI1が与えられてテストされ、テスト結果がシリアル出力信号SCO1として出力される。また、メモリインタフェース部12のフリップフロップ16、17は、選択回路14、15の出力信号を取り込み、メモリ回路20に供給する。フリップフロップ18は、メモリ回路20の出力信号を取り込み、BIST回路30に供給する。即ち、BIST回路30は、テストパターンを生成してメモリ回路20に供給し、メモリ回路20からの出力信号をフリップフロップ18を介して取り込み、期待値との比較を行って、メモリ回路20をテストする。

10

## 【0026】

このように、主回路10は、メモリインタフェース部12のフリップフロップ16、17、18によるスキャンチェーンと、内部論理部11のスキャンチェーン19とを分離して構成されている。そのため、スキャンチェーン19をシフト動作させつつ、フリップフロップ16、17、18及びBIST回路30のスキャンチェーン39に属するフリップフロップをシフト動作させず、通常動作させることが可能となる。従って、バーンインテスト時、BIST回路30によるメモリ20の活性化と、スキャンチェーン19による内部論理部11のロジック活性化とを同時に行うことができるようになる。このとき、BIST回路の出力信号は、メモリインタフェース部12の選択回路14、15及びフリップフロップ16、17を介してメモリ回路20に到達する。また、メモリ回路20の出力信号は、フリップフロップ18を介してBIST回路30に入力される。

20

## 【0027】

スキャンパステスト時、この半導体集積回路は、制御信号SE1、SE2、SE3を制御し、スキャンチェーン19、39、及びフリップフロップ16～18を含むスキャンチェーンをスキャンシフト動作させることにより、通常のスキャンパステストができる。このとき、スキャンチェーン39と、フリップフロップ16～18を含むスキャンチェーンとは接続されていてもよい。これらのスキャンチェーンは、内部論理部11のスキャンチェーン19とは分離されている。そのため、スキャンパステスト時、全てのスキャンチェーンはシフト動作を行い、バーンインテスト時には、スキャンチェーン19のみスキャンパステスト動作を行い、スキャンチェーン39に含まれるフリップフロップとフリップフロップ16～18とはシフト動作をせず、通常のスキャンチェーンとして動作することができる。

30

## 【0028】

このように、BIST回路30からメモリ回路20への信号経路は、内部論理部11からメモリ回路20への信号の経路と同じように、選択回路14、15及びフリップフロップ16、17を介することになり、メモリ回路20への経路の活性化を実際に動作する経路により活性化できる。

40

## 【0029】

従って、バーンインテスト時のBIST回路30によるメモリ20の活性化が、実際に動作するパスにより、実際に動作する速度で行うことが可能となる。そのため、メモリ活性化の動作は、実動作状態に近くなり、メモリ回路20、内部論理部11へのストレス印加の効果を向上させることができる。即ち、バーンインテストの効果の向上が見込める。また、従来技術に示されるように、メモリとフリップフロップとの間に選択回路を設けて信号を選択すると、メモリをアクセスする速度が低下する。本発明によると、選択回路に

50

より選択された信号がフリップフロップに入力され、フリップフロップから直接メモリに接続されるため、アクセス速度の低下はない。さらに、メモリアクセスの最終段がフリップフロップとなることにより、選択回路を含んだスキャンパステストを実施することができるようになる。

#### 【0030】

ここでは、回路及びその説明を簡略化するためにフリップフロップ16～18は、1回路として説明したが、これらの信号はバス形式で接続されることが多く、複数のフリップフロップ回路を含む。その場合、この複数のフリップフロップを含むスキャンチェーンは、それぞれのフリップフロップを縦続接続して形成される。また、そのスキャンチェーンは複数であってもよく、内部論理部11のスキャンチェーン19と異なる制御を受けることになる。さらに、内部論理部11はスキャンチェーン19を備え、BIST回路30はスキャンチェーン39を備えるとして説明されたが、それぞれ複数のスキャンチェーンを備えてもよいことは言うまでもない。また、本実施の形態では、BIST回路30のテスト対象は、メモリ回路20として説明された。しかし、対象回路はメモリに限定されることはなく、回路構成が明確でない所謂ブラックボックス回路が対象となってもよい。このブラックボックス回路は、例えば、ユーザのマクロ回路など、入力信号のパターンに対する出力信号のパターンが判明しているため、BIST回路30によるテストが回路の正常性を確認する手段となる。

10

#### 【図面の簡単な説明】

#### 【0031】

20

【図1】従来の半導体装置のテスト用回路の構成を示すブロック図である。

【図2】本発明の実施の形態に係る半導体集積回路の構成を示すブロック図である。

【図3】同通常動作時の信号の流れを示す図である。

【図4】同スキャンパステスト時の信号の流れを示す図である。

【図5】同バーンインテスト時の信号の流れを示す図である。

#### 【符号の説明】

#### 【0032】

30

10 主回路

11 内部論理部

12 メモリインタフェース部

14、15 選択回路

16～18 フリップフロップ

19 スキャンチェーン

20 メモリ

30 BIST回路

39 スキャンチェーン

110 論理回路

116、117 フリップフロップ

120 メモリ

124、125 選択回路

40

130 BIST回路

136、137 フリップフロップ





【 図 5 】

