

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl. <sup>6</sup> H04N 7/015	(45) 공고일자 1999년05월01일	(11) 등록번호 특0186532	(24) 등록일자 1998년12월29일
(21) 출원번호 10-1996-0002625	(65) 공개번호 특1997-0064217	(43) 공개일자 1997년09월12일	
(22) 출원일자 1996년02월03일			
(73) 특허권자 엘지전자주식회사 구자홍			
(72) 발명자 서울특별시 영등포구 여의도동 20번지 곽흥식			
(74) 대리인 경기도 성남시 분당구 서현동 우성아파트 228동 1703호 김용인, 심창섭			

심사관 : 이수찬

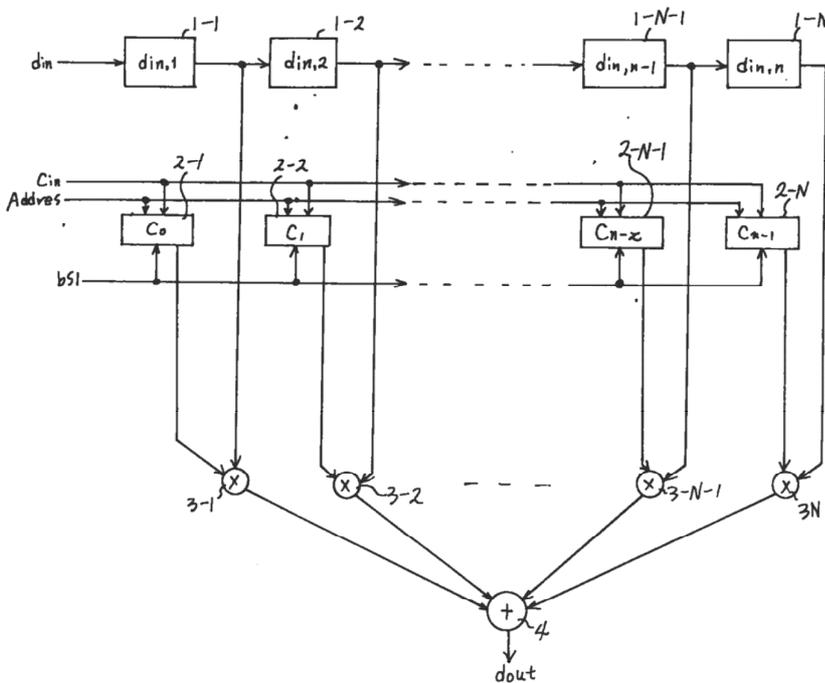
(54) 에이치디티비이용 고속 채널 등화기

요약

본 발명은 수신된 심볼주기로 채널 등화기의 탭 계수를 갱신할 수 있도록 한 HDTV용 고속 채널 등화기에 관한 것이다.

본 발명은 종래의 채널 등화기는 등화기의 탭수보다 작은 계수 갱신회로를 사용하고, 갱신된 계수를 필터로 다운 로드할 때 1개의 출입구로만 하였기 때문에 채널 등화기가 입력되는 데이터와 같은 처리속도로 동작을 하지 못하고, 이 때문에 채널 등화기의 수렴 또는 매우 늦게 되는 단점이 있었던 것을 감안하여 입력신호에 포함된 노이즈를 제거하는 채널 등화기에 있어서, 일정단위별로 쉬프트되면서 딜레이된 입력데이터를 저장하는 제1저장부, 기계산된 계수와 상기 제1저장부에 저장된 데이터를 근거로 에러를 계산하는 에러계산부, 상기 에러계산부에서 에러를 계산하는 동안 상기 입력데이터를 에러계산시간에 상응하여 저장하는 제2저장부, 상기 제2저장부에 저장된 데이터와 상기 에러계산부에서 계산된 에러값을 이용하여 새로운 계수를 갱신하는 계수 갱신부, 상기 갱신된 계수와 제1저장부에 저장된 데이터를 곱하는 곱셈부, 상기 곱셈부의 연산결과를 각각 더하는 가산부를 특징으로 한 것이다.

대표도



명세서

[발명의 명칭]

에이치디티비(HDTV)용 고속 채널 등화기

[도면의 간단한 설명]

- 제1도는 일반적인 디지털 필터의 구성도.
- 제2도는 제1도의 계수 저장부의 구성도.
- 제3도는 제1도의 필터를 이용한 종래의 채널 등화기의 구성도.
- 제4도는 HDTV의 신호 전송 포맷.
- 제5도는 본 발명에 따른 HDTV용 고속 채널 등화기의 구성도.
- 제6도는 제5도의 필터의 구성도.
- 제7도는 제5도의 수렴/발산 체크부의 구성도.
- 제8도는 제5도의 에러 처리부의 구성도.
- 제9도는 (a)-(c)는 본 발명에서의 각 상태에 따른 에러의 범위를 나타낸 도면.

\* 도면의 주요부분에 대한 부호의 설명

- 11 : 필터
- 11a : 데이터용 메모리
- 11b : 딜레이용 메모리
- 11c : 계수 갱신부
- 11d : 곱셈기
- 11e, 12b : 가산기
- 12 : 에러 검출부
- 12a : 디시전부
- 13 : 수렴/발산 체크부
- 13a : 제곱부
- 13b : 평균값 출력부
- 13c, 13d : 비교부
- 14 : 에러 처리부
- 14a : 쉬프트

[발명의 상세한 설명]

본 발명은 HDTV용 채널 등화기에 관한 것으로, 특히 수신된 심볼주기로 채널 등화기의 탭계수를 갱신할 수 있도록 한 HDTV용 고속 채널 등화기에 관한 것이다.

일반적으로 많이 사용되고 있는 디지털 필터는 제1도에 나타낸 바와 같이 리니어 시스템으로 모델링하여 사용하고 있다.

그리고 이와 같이 모델링 된 디지털 필터는 데이터를 8비트, 필터계수를 10비트로 할 때 288탭에 이르는 거대한 크기가 1칩으로 구현되고 있다.

그리고 제1도는 대표적인 디지털 필터인 FIR(Finite Impulse Response) 필터를 나타낸 것으로, 입력데이터(din)는 연속된 플립플롭으로 이루어진 데이터용 메모리(1-1 ~ 1-N)에 입력되어 시스템 클럭이 전이(Transition)될 때마다 계속 오른쪽의 화살표 방향으로 쉬프트된다.

그리고 상기 데이터용 메모리(1-1 ~ 1-N)에 1)에 저장되어 있는 데이터(din<sub>1</sub>, din<sub>2</sub>, ..... din<sub>n</sub>)와 계수용 메모리(2-1 ~ 2-N)에 저장되어 있는 필터계수(C<sub>0</sub>, C<sub>1</sub>, ..... C<sub>n-1</sub>)는 곱셈기(3-1 ~ 3-N)에서 곱해진 후, 전체 n개의 필터탭에 대해 가산기(4)에서 더해진 후 출력되어진다.

이때, 상기 계수용 메모리(2-1 ~ 2-N)에 필터 계수(Cin)의 값을 로딩하기 위해 외부에서 계수용 메모리(2-1 ~ 2-N) 중에서 몇번째 탭인가를 나타내는 어드레스 신호(Address)와 계수(Cin)값을 입력하도록 되어 있다.

즉, 디지털 필터는 계수(Cin)와 어드레스를 사용하여 외부에서 입력한 각 탭별의 필터계수(C<sub>0</sub>, C<sub>1</sub>, ..... C<sub>n-1</sub>)와 각 탭별로 쉬프트되어져 있는 데이터(din<sub>1</sub>, din<sub>2</sub>, ..... din<sub>n</sub>)를 곱한 후, 전체 탭의 결과를 가산하는 동작을 수행한다.

한편, 적응필터링을 위해서는 상기 계수용 메모리(2-1 ~ 2-N)를 제2도와 같이 2개로 병렬로 구성한 후, 뱅크선택신호(Bank Select Signal)(bs1)를 사용하여 워킹 뱅크(Working Bank)와 섀도우 뱅크(Shadow Bank)로 나누어 처리하고 있다.

즉, 현재 메모리(2a)에 저장된 계수(Ck1)가 뱅크선택신호(bs1)에 의해 멀티플렉서(MUX1)를 통해 출력되고 있으면 메모리(2b)는 섀도우 뱅크로 정의되어 어드레스와 계수(Cin)에 의해 외부에서 업데이트 가능하며, 이때 상기 메모리(2a), (2b)는 어드레스 디코더(2c)를 통하여 어드레스를 입력받는다. 그리고 전체 n탭에 대하여 (C<sub>1,2</sub>, C<sub>2,2</sub>, ..... C<sub>n-1,2</sub>)의 계수가 새로운 계수로 바뀌었으면 뱅크선택신호(bs1)를 반전시켜 워킹 뱅크와 섀도우 뱅크를 바꾸어 준다.

즉, 이번에는 메모리(2b)가 워킹 뱅크가 되어 메모리(2b)에 저장된 계수(Ck, 2)가 뱅크선택신호(bs1)에 의해 멀티플렉서(MUX1)를 통해 출력되고, 메모리(2a)는 섀도우 뱅크가 되어 외부에서 새로운 계수(C<sub>1,2</sub>, C<sub>2,2</sub>, ..... C<sub>n-1,2</sub>)로 업데이트가 가능해진다.

이와 같이 하여 현재의 필터동작에 영향을 주지 않고 필터계수를 업데이트할 수 있고, 업데이트가 완료 되면 계수 뱅크를 바꾸어 새로운 계수를 이용하여 필터를 동작시킨다.

한편, 제3도는 상기 제1도의 필터를 이용한 LMS(Least Mean Square) 알고리즘에 따른 채널 등화기를 나타낸 것으로, 채널 등화기에서는 이론상으로는 입력되는 데이터와 같은 주기로 채널 등화기의 계수가 갱

신되고 또한 등화된 데이터가 동시에 출력되어야 한다.

그러나 실제의 하드웨어 설계에는 계수 계산 및 갱신을 위한 계수 갱신부(5)와, 상기 계수 갱신부(5)에서 넘겨 받은 계수를 이용하여 실제 입력 데이터를 등화시키는 채널 등화용 필터(6)가 있어야 하며, 상기 채널 등화용 필터(6)와 계수 갱신부(5)의 동작 및 계수 갱신부(5) 내의 데이터 및 계수용 메모리(5a), (5b) 등을 제어하는 제어부(7)가 있게 된다.

그리고 상기에서 계수 갱신부(5)는 계수계산 및 갱신을 데이터의 입력되는 속도만큼 빠르게 할 수 없다.

왜냐하면, 다음의 (1)식과 같이 채널 등화기는 모든 필터 탭에 대해서 계수를 갱신하여야 하는데, 실제 회로에서는 계수 갱신부(5)의 계수갱신을 위한 계수 계산부(5c)가 1셋트밖에 없기 때문이다.

$$C_{k-1}^{j-1} = C_{k-1}^j + \Delta \times \text{error} \times \text{din}_{,k} \dots \dots (1\text{식})$$

여기서,  $C_k$ 는 필터의 k번째 탭의 계수이고,  $\Delta$ 는 필터 계수를 갱신할 때 사용하는 인자(Factor)인 스텝 사이즈이고, error은 외부에서 입력한 에러신호이며,  $\text{din}_{,k}$ 는 k번째 탭에 저장되어 있는 데이터이다.

즉, 상기 (1)식을 만족하기 위해서는 계수 갱신부(5)가 채널 등화기의 탭수만큼 있어야 하나 하드웨어 디자인에서 그렇게 하기는 어렵다.

그러므로 계수 갱신부(5)에서는 등화기의 입력 데이터 중 필요한 구간을 데이터 저장용 메모리(5a)에 저장한 후, 채널 등화용 필터(6)와는 달리 등화기의 탭수만큼 느린 속도로 데이터를 출력하여 필터(5d)에 입력하여 준다.

그러면 나머지 계수 갱신부(5)는 필터(5d)의 출력을 이용하여 계수를 갱신하고 갱신된 계수로 필터(5d)를 동작시킨다.

즉, (1)식의 조건을 만족하기 위해 데이터를 느린 속도로 처리하게 되는 것이다.

이와 같이 하여 계산된 채널 등화기의 전체 탭 계수는 제2도에 나타난뱅크선택개념에 의해 채널 등화용 필터(6)의 새도우 뱅크에 다운로드되고, 모든 탭에 걸쳐서 새로운 계수로 바뀌었으면 뱅크선택신호를 반전시켜 채널등화용 필터(6)의 필터의 워킹 뱅크와 새도우 뱅크를 바꾸게 된다.

이에 따라 채널 등화용 필터(6)는 갱신된 계수로 동작을 하게 된다.

한편, GA(Grand Alliance)의 HDTV 표준안에 따르면 HDTV전송 시스템에서는 VSB(Vestigial Sideband) 방식을 사용하는데, 이 방식에서는 제4도와 같은 포맷으로 전송한다.

그리고 종래의 채널 등화기는 제3도와 같은 개념으로 동작을 하게 되므로 1심볼당 1개의 탭의 채널 등화기 계수를 갱신하므로 채널 등화기의 동작속도의 한계 때문에 제4도의 313라인의 1프레임 데이터 중에서 실제 등화기의 계수 갱신에 사용된 데이터용 전체 데이터(260416 심볼)를 채널 등화기의 탭수(n)로 나눈 데이터(260416/n)를 초과할 수 없다.

즉, n=256 탭이라면 한 프레임의 데이터 중에 채널 등화기의 계수 갱신에 사용된 데이터는 1017개가 된다.

상기와 같이 종래의 채널 등화기에서는 등화기의 탭수보다 작은 계수 갱신회로를 사용하고, 또한 갱신된 계수를 필터로 다운로드할 때 1개의 출입구로만 하였기 때문에 채널 등화기가 입력되는 데이터와 같은 처리속도로 동작을 하지 못하고, 이 때문에 채널 등화기의 수렴 또는 매우 늦게 되는 단점이 있었다.

본 발명은 이러한 문제점을 해결하기 위한 것으로, 본 발명의 목적은 계수 갱신기능이 내장된 필터를 이용하여 등화기의 전체 탭에 대해 계수갱신이 데이터와 같은 처리속도로 되어지도록 함으로써 고속으로 수렴할 수 있도록 한 HDTV용 고속 채널 등화기를 제공함에 있다.

이러한 목적을 달성하기 위한 본 발명의 특징은 입력되는 데이터와 에러신호를 자체적으로 계수를 갱신하는 계수 갱신기능을 내장한 필터와, 상기 필터의 출력으로 부터 에러신호를 얻는 에러 검출부와, 상기 에러 검출부의 에러신호 출력으로부터 수렴 및 발산여부를 체크하여 수렴 또는 발산 신호를 출력하는 수렴/발산 체크부와, 상기 수렴/발산체크부의 수렴신호 출력에 따라 상기 에러 검출부의 에러신호를 일정 비트 쉬프트 다운하여 입력되는 에러신호보다 작은 크기의 에러신호를 상기 필터로 출력하는 에러처리부로 구성되는 HDTV용 고속 채널 등화기에 있다.

이하, 본 발명의 실시예를 첨부도면을 참조로 하여 상세히 설명한다.

제5도는 본 발명에 따른 HDTV용 고속 채널 등화기의 구성도를 도시한 것으로, 계수갱신 기능을 갖는 필터(11)와, 상기 필터(11)의 출력으로 부터 에러신호를 얻는 에러검출부(12)와, 상기 에러 검출부(12)의 에러신호출력으로 부터 수렴 및 발산여부를 체크하여 수렴 또는 발산신호를 출력하는 수렴/발산 체크부(13)와, 상기 수렴/발산체크부(13)의 수렴신호 출력에 따라 상기 에러 검출부(12)의 에러신호를 일정 비트쉬프트 다운하여 입력되는 에러신호보다 작은 크기의 에러신호를 상기 필터(11)로 출력하는 에러 처리부(14)로 구성된다.

그리고 상기 필터(11)는 제6도에 도시한 바와 같이 입력 데이터가 순차적으로 저장되는 데이터용 메모리(11a)와, 상기 입력 데이터를 에러신호 계산시의 지연 클럭만큼 지연시켜 사용하기 위한 딜레이용 메모리(11b)와, 상기 딜레이용 메모리(11b)의 데이터 출력과 입력되는 에러신호(error)를 이용하여 계수 갱신을 행하는 계수갱신부(11c)와, 상기 계수 갱신부(11c)에 의해 갱신된 계수와 상기 데이터용 메모리(11a)의 해당 출력 데이터를 곱하는 곱셈기(11d)와, 상기 각 곱셈기(11d)의 출력을 가산하는 가산

기(11e)로 구성된다.

또한, 상기 에러 검출부(12)는 상기 필터(11)의 출력으로 부터 디시전된 데이터를 출력하는 디시전부(12a)와, 상기 필터(11)의 출력과 상기 디시전부(12a)의 디시전된 데이터 출력을 가산하여 에러 신호를 출력하는 가산기(12b)로 구성된다.

그리고 상기 수렴/발산체킹부(13)는 제7도에 도시한 바와 같이 상기 에러검출부(12)로부터 입력되는 에러신호의 제곱을 구하는 제곱부(13a)와, 상기 제곱부(13a)의 출력을 누적하여 평균값(Mean Square Error)을 출력하는 가산기(13b)와 메모리(13c)로 된 평균값 출력부(13d)와, 상기 평균값 출력부(13d)의 출력을 설정되어 있는 기준값과 비교하여 상기 평균값 출력부(13d)의 출력이 기준값보다 작으면 수렴신호를 출력하는 비교부(13e)와, 상기 비교부(13e)의 최초 수렴신호 출력에 의해 출력이 인에이블되며 상기 평균값 출력부(13d)의 출력을 설정되어 있는 기준값과 비교하여 기준값보다 크면 발산신호를 상기 필터(11)의 초기화(Initialize)신호로 출력하는 비교부(13f)로 구성된다.

또한, 상기 에러 처리부(14)는 제8도에 도시한 바와 같이 상기 수렴/발산 체킹부(13)에서 수렴신호 입력에 따라 입력되는 에러신호를 쉬프트 다운시키는 1비트의 쉬프트(14a)로 구성된다.

상기와 같이 구성된 본 발명에서 상기 필터(11)의 계수 갱신부(11c)는 필터의 에러신호와 필터외부에서의 에러신호계산과정에 따른 딜레이만큼 지연된 데이터 즉, 입력데이터가 데이터용 메모리(11a)를 거쳐 딜레이용 메모리(11b)에 저장된 데이터를 이용하여 새로운 필터계수를 계산한다.

그리고 상기 계수 갱신부(11c)의 출력은 곱셈기(11d)에서 데이터용 메모리(11a)의 해당 데이터 출력과 곱해진 후, 가산기(11e)에서 가산되어 최종적으로 등화된 데이터를 출력한다.

한편, 상기 에러 검출부(12)는 상기 필터(11)의 출력과 디시전부(12a)의 디시전된 데이터 출력을 가산기(12b)에서 가산하여 에러신호를 얻는다.

그리고 이 에러신호는 수렴/발산체킹부(13)에 입력되어 수렴 및 발산여부의 체킹에 이용된다.

즉, 상기 수렴/발산 체킹부(13)는 제곱부(13a)에서 상기 에러신호의 제곱을 취하여 평균값 출력부(13d)로 입력한다.

이에 따라 상기 평균값 출력부(13d)는 상기 제곱부(13a)의 출력을 가산기(13b)를 통하여 메모리(13c)에 누적한 후, 평균값을 취하여 비교부(13e), (13f)로 출력한다.

이에 따라 상기 비교부(13e)는 설정되어 있는 기준값과 상기 평균값 출력부(13d)의 출력을 비교하여 기준값보다 평균값 출력부(13d)의 출력이 작으면 수렴신호를 출력한다.

수렴신호가 출력되면 에러 처리부(14)는 1비트의 쉬프트(14a)에 의해 에러 검출부(12)에서 입력되는 에러신호를 쉬프트 다운하여 출력하게 된다.

이와 같이 쉬프트 다운할 때는 제9도의 (c)와 같이 에러신호가 작은 크기로 변하고, (b)의 원래의 에러신호에서 하위 1-1개의 비트는 무시된다.

그리고 제9도 (a)는 필터(11)에서 입력받는 에러신호의 범위를 나타낸 것이며, (b)는 정상상태에서 필터(11)로 입력할 에러신호의 범위를 나타낸 것이고, (c)는 수렴상태에서 필터(11)로 입력할 에러신호의 범위를 나타낸 것이다.

그리고 이 부분은 원래 종래의 설명에 나타난 (1)식을 다음의 (2)식과 같이 구현하여야만 채널 등화기가 보다 정확히 동작하게 되므로 기존의 채널 등화기에서는 이 방식을 사용하였다.

그러나 본 발명의 채널 등화기는 기존의 채널 등화기보다 매우 고속으로 동작하게 되므로 수렴상태에서는 계수 갱신과정에서 다음의 (3)식과 같이 스텝사이즈( $\Delta$ )를  $\Delta/2^1$ 로 하여 처리하여야 하나 필터(11)의 외부에 있는 에러 처리부(14)에서  $\Delta/2^1$ 로 에러를 1비트 쉬프트 다운하여 다음의 (4)식과 같이 등화기의 계수를 갱신하게 된다.

이와 같이 하면 필터(11) 내부의 계산량과 회로의 크기를 증가시키지 않고 채널 등화기가 수렴했을 상황에서  $\Delta/2^1$ 의 효과를 가져올 수 있다.

$$C_{k-1}^{j+1} = C_{k-1}^j + \Delta \times (\text{error} \times \text{din}_{k,k}) \dots \dots (2\text{식})$$

$$C_{k-1}^{j+1} = C_{k-1}^j + \Delta/2^1 \times (\text{error} \times \text{din}_{k,k}) \dots \dots (3\text{식})$$

$$C_{k-1}^{j+1} = C_{k-1}^j + \Delta \times (\text{error}/2^1 \times \text{din}_{k,k}) \dots \dots (4\text{식})$$

그리고 상기 (3)식과 (4)식의 구현방법에 따른 성능저하는 본 발명의 채널 등화기가 기존의 채널 등화기보다 매우 고속으로 동작하므로 보상되어 지게 된다.

한편, 상기 비교부(13f)는 설정되어 있는 기준값과 상기 평균값 출력부(13d)의 출력을 비교하여 기준값

보다 평균값 출력부(13d)의 출력이 크면 발산신호를 출력한다.

이때, 상기 비교부(13f)는 상기 비교부(13e)의 수렴신호가 한 번이라도 출력된 후에만 발산신호를 출력하도록 상기 비교부(13e)의 최초 수렴신호 출력에 의해 인에이블되어 발산신호를 출력하게 된다.

즉, 채널 등화기가 동작을 시작하여 수렴상태가 된 후, HDTV 수신채널에 원인모를 변화가 있어 채널 등화기가 순간적으로 수렴상태에서 빠져나왔을 경우 예를 들면 근처에 비행기가 지나갈 경우에 상기 (3)식에서 (4)식으로 바뀐 동작의 역과정인 (4)식에서 (3)식으로 동작방식이 바뀌어 다시 빠른 속도로 수렴하게 되나 예기치 못한 상황이 발생할 경우에 대비하여 수렴/발산 체크부(13)에서 발산신호를 출력하게 된다.

그리고 일단 채널 등화기가 발산상태에 있음이 검출되면 이 신호는 상기 필터(11)의 초기화신호로 입력되어 필터(11) 내부의 계수 갱신부(11c)의 동작에 의해 센터 탭의 계수는 1.0으로 되고, 나머지 탭의 계수는 0.0으로 초기화된 후, 다시 등화동작을 수행하게 된다.

그리고 상기 수렴/발산 체크부(13)는 제4도의 HDTV 전송 프레임 중에서 필드 싱크 구간에만 동작을 하게 된다.

왜냐하면 이 구간은 트레이닝 시퀀스 구간으로 수신기에서 어떤 데이터가 수신되는지가 미리 정해져 있으므로 정확한 평균값을 계산해 낼 수 있기 때문이다.

이상에서 살펴본 바와같이 본 발명은 기존의 채널 등화기에 비해 작은 크기로 입력데이터와 같은 주기로 채널 등화기의 전체 탭의 계수가 한꺼번에 모두 갱신되므로 수렴속도가 빠르며, 수신채널 변화시에도 안정적으로 동작하게 된다.

## (57) 청구의 범위

### 청구항 1

입력신호에 포함된 노이즈를 제거하는 채널 등화기에 있어서, 일정단위별로 쉬프트되면서 딜레이된 입력 데이터를 저장하는 제1저장부, 기계산된 계수와 상기 제1저장부에 저장된 데이터를 근거로 에러를 계산하는 에러계산부, 상기 에러계산부에서 에러를 계산하는 동안 상기 입력데이터를 에러계산시간에 상응하여 저장하는 제2저장부, 상기 제2저장부에 저장된 데이터와 상기 에러계산부에서 계산된 에러값을 이용하여 새로운 계수를 갱신하는 계수갱신부, 상기 갱신된 계수와 제1저장부에 저장된 데이터를 곱셈부, 상기 곱셈부의 연산결과를 각각 더하는 가산부를 특징으로 하는 HDTV용 고속 채널 등화기.

### 청구항 2

제1항에 있어서, 상기 에러계산부는 일정비트씩 쉬프트 다운하는 쉬프트로 구성됨을 특징으로 하는 HDTV용 고속 채널 등화기.

### 청구항 3

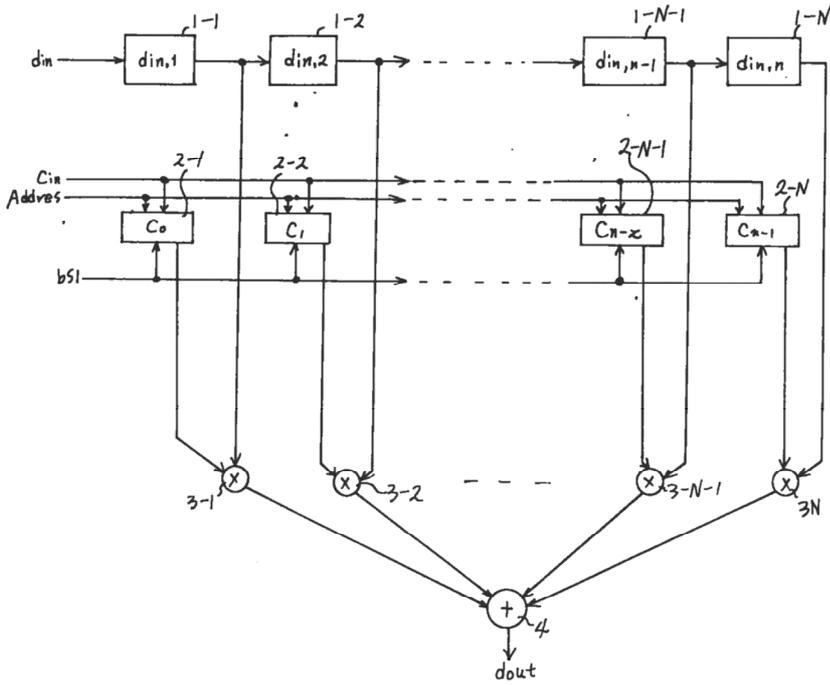
제1항에 있어서, 상기 채널 등화기는 가산부의 출력상태가 발산상태인지 수렴상태인지를 판단하는 상태체크부를 더 포함함을 특징으로 하는 HDTV용 고속 채널 등화기.

### 청구항 4

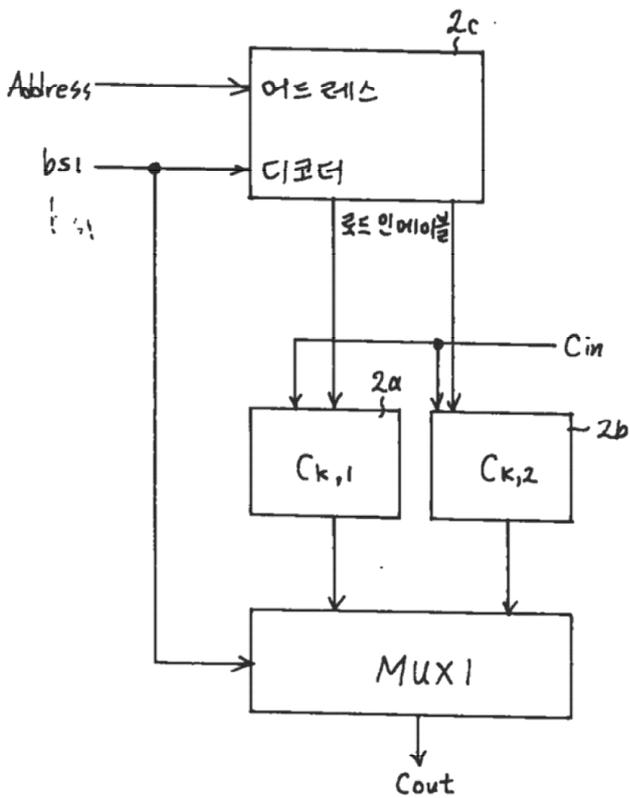
일정단위별로 입력되는 입력데이터를 다수개의 메모리를 구비한 제1저장부에 쉬프트되면서 딜레이된 입력데이터를 저장하는 단계, 기계산된 계수와 상기 제1저장부에 저장된 데이터를 근거로 에러를 계산하는 단계, 에러를 계산하는 시간에 상응하여 상기 입력데이터를 제2저장부에 저장하는 단계, 상기 제2저장부에 저장된 데이터와 상기 에러계산부에서 계산된 에러값을 이용하여 계수를 갱신하는 단계, 상기 갱신된 계수와 제1저장부에 저장된 데이터를 각각 곱하는 단계, 상기 곱해진 값들을 더하는 단계로 구비함을 특징으로 하는 HDTV용 고속 채널 등화기의 채널등화방법.

## 도면

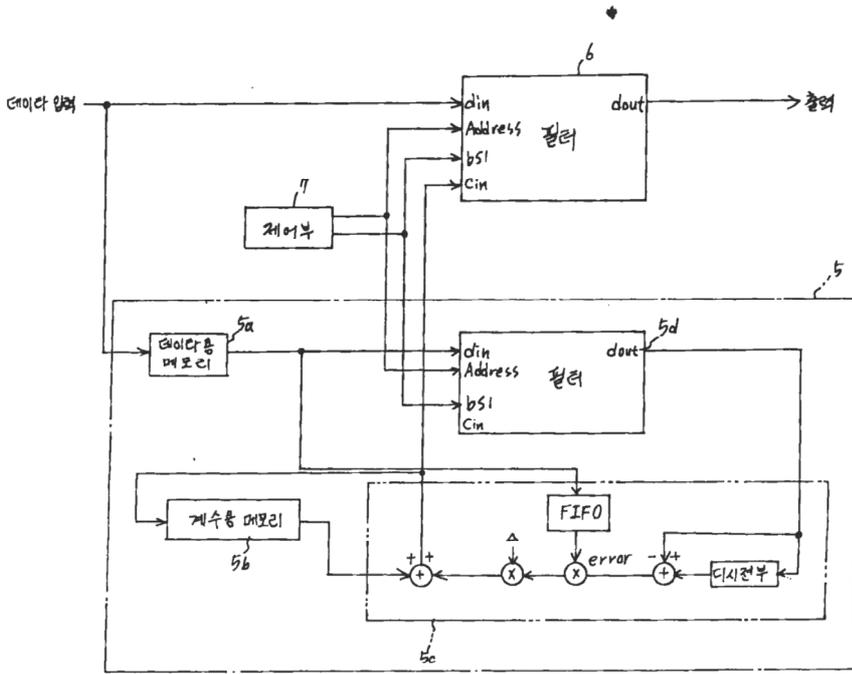
도면1



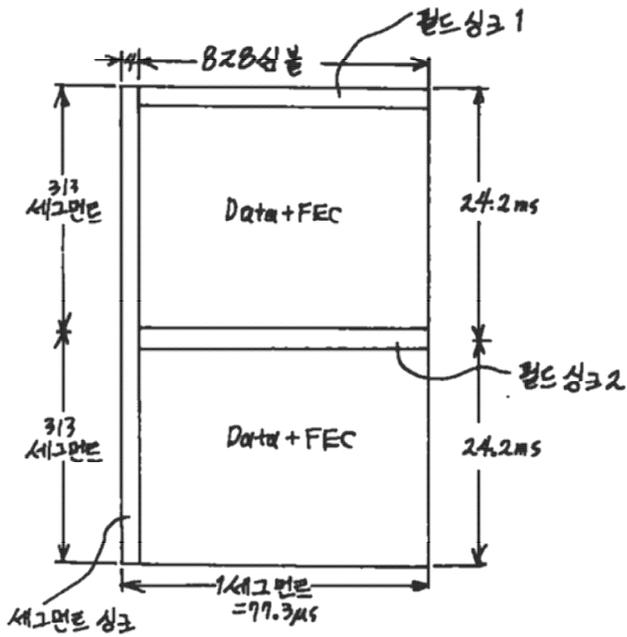
도면2



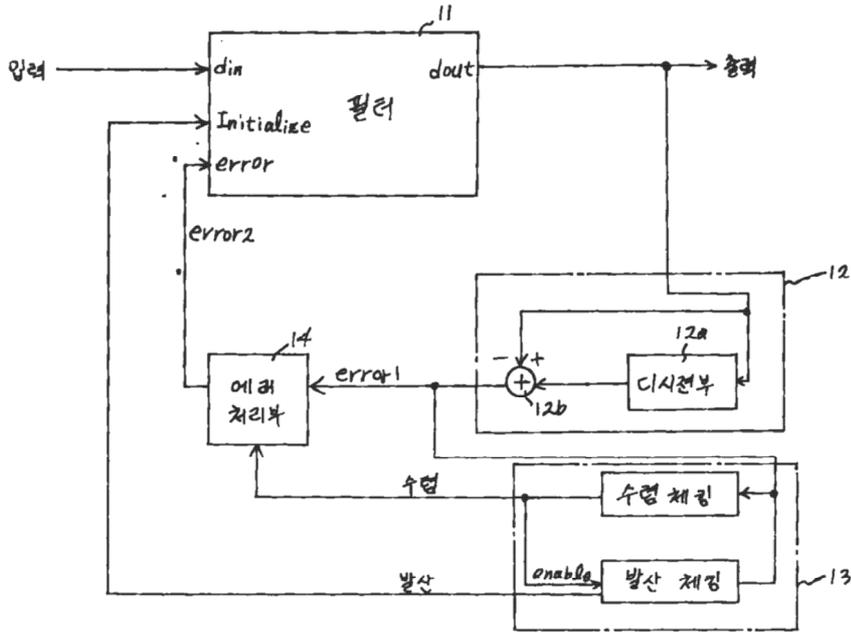
도면3



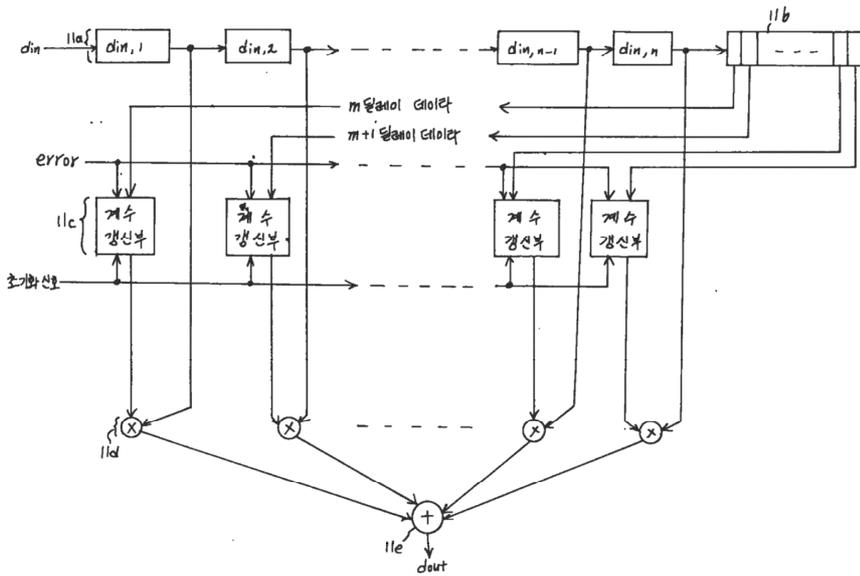
도면4



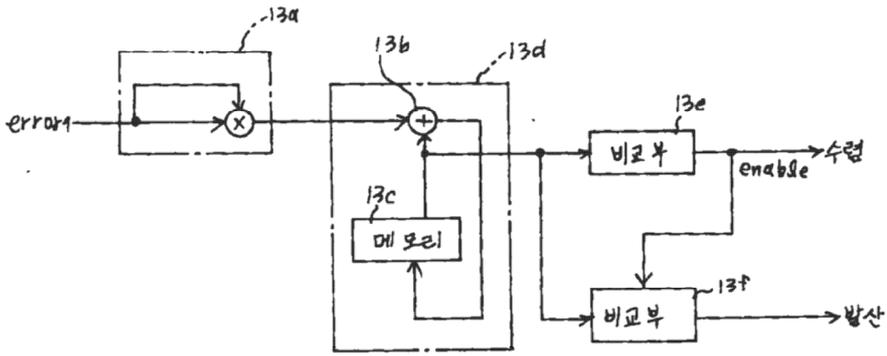
도면5



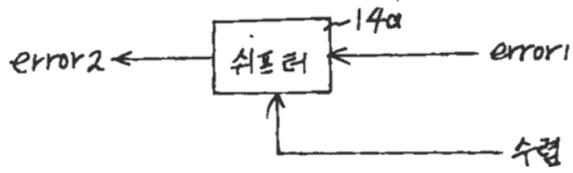
도면6



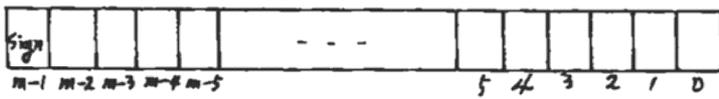
도면7



도면8



도면9a



도면9b



도면9c

