

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2021年6月10日 (10.06.2021)



(10) 国际公布号
WO 2021/108965 A1

- (51) 国际专利分类号:
H01L 23/00 (2006.01) *H01F 27/255* (2006.01)
- (21) 国际申请号: PCT/CN2019/122479
- (22) 国际申请日: 2019年12月2日 (02.12.2019)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (71) 申请人: 华为技术有限公司 (HUAWEI TECHNOLOGIES CO., LTD.) [CN/CN]; 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。
- (72) 发明人: 刘宁 (LIU, Ning); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。 刘铁军 (LIU, Tiejun); 中国广东省深圳

市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。 路鹏 (LU, Peng); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。 朱靖华 (ZHU, Jinghua); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。

(74) 代理人: 北京中博世达专利商标代理有限公司 (BEIJING ZBSD PATENT&TRADEMARK AGENT LTD.); 中国北京市海淀区交大东路31号11号楼8层, Beijing 100044 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB,

(54) Title: ENCAPSULATION SUBSTRATE INTEGRATED WITH INDUCTOR, AND ELECTRONIC DEVICE

(54) 发明名称: 一种集成有电感的封装基板及电子设备

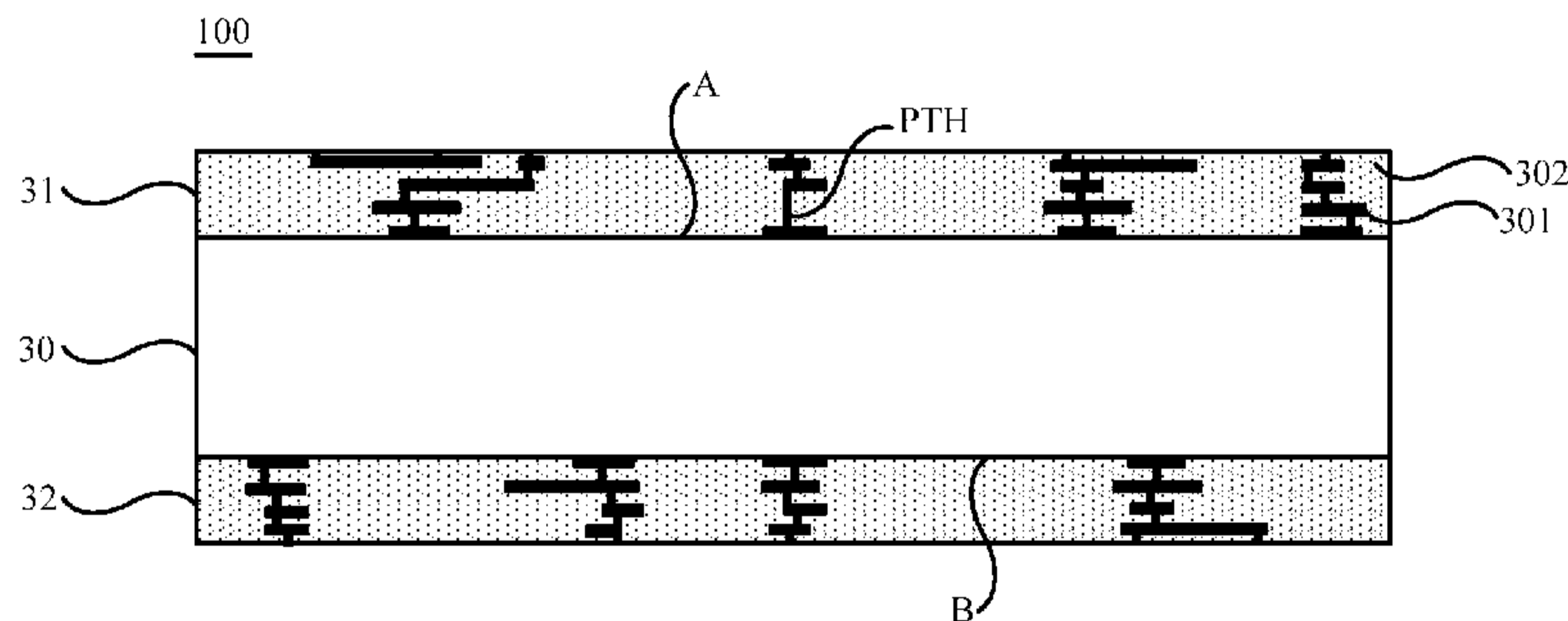


图 5

(57) Abstract: Provided are an encapsulation substrate integrated with an inductor, and an electronic device, wherein same relate to the technical field of electronics and are used to reduce the number of chip power pins. The encapsulation substrate comprises a core layer and an inductor. The core layer has a cavity. The cavity passes through the upper surface and the lower surface of the core layer. The inductor is located in the cavity. The inductor comprises a magnetic core and a coil. The magnetic core is filled in the cavity. In addition, the coil comprises at least one conductor segment. The at least one conductor segment comprises a first metal trace, and a first via hole and a second via hole which pass through the magnetic core. The first metal trace is arranged on the lower surface of the core layer. A first end of the first metal trace is coupled to the end of the first via hole located on the lower surface of the core layer. A second end of the first metal trace is coupled to the end of the second via hole located on the lower surface of the core layer.

(57) 摘要: 本申请实施例提供一种集成有电感的封装基板及电子设备, 涉及电子技术领域, 用于减小芯片电源管脚的数量。该封装基板包括芯层以及电感。其中, 芯层具有空腔。该空腔贯穿芯层的上表面和下表面。电感位于空腔内。电感包括磁芯以及线圈。磁芯填充于空腔内。此外, 线圈包括至少一个导线段。至少一个导线段包括第一金属走线, 以及贯穿磁芯的第一导通孔和第二导通孔。第一金属走线设置于芯层的下表面。第一金属走线的第一端与第一导通孔位于芯层下表面的一端相耦接。第一金属走线的第二端与第二导通孔位于芯层下表面的一端相耦接。

GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

一种集成有电感的封装基板及电子设备

5 技术领域

本申请涉及电子技术领域，尤其涉及一种集成有电感的封装基板及电子设备。

背景技术

电子产品内设置有用于向该电子设备中的芯片进行供电的电源转换模块（voltage regulator module, VRM）。VRM 包括直流（direct current, DC）转直流电路，即 DC-DC 降压电路。DC-DC 降压电路包括开关管和电感。通过控制开关管的导通、关断状态，可以对电感进行充电和放电，从而可以将电池提供的电压转换成芯片的供电电压。

在上述 DC-DC 降压电路中，当开关管的开关频率较低，例如为几十 KHz~几百 KHz 时，电感需要具有非常大的电感量，例如几十 μH ~几百 nH，来减小降压电路输出电流的纹波。这样一来，由于上述芯片的功耗越来越高，芯片所需要的电流也逐渐增大，例如可以高达 600~1000A。由于芯片的电源管脚的通流能力有限，因此芯片需要的电源管脚的数量会急剧增加，从而导致芯片的面积进一步增大，不利于电子产品的小型化。

发明内容

本申请实施例提供一种集成有电感的封装基板及电子设备，用于减小芯片电源管脚的数量。

为达到上述目的，本申请采用如下技术方案：

本申请的第一方面，提供一种集成有电感的封装基板。该封装基板包括芯层以及电感。其中，芯层具有空腔。该空腔贯穿芯层的上表面和下表面。电感位于空腔内。电感包括磁芯以及线圈。磁芯填充于空腔内。此外，线圈包括至少一个导线段。至少一个导线段包括第一金属走线，以及贯穿磁芯的第一导通孔和第二导通孔。第一金属走线设置于芯层的下表面。第一金属走线的第一端与第一导通孔位于芯层下表面的一端相耦接。第一金属走线的第二端与第二导通孔位于芯层下表面的一端相耦接。

这样一来，一方面，通过在封装基板的芯层中形成的空腔。上述构成电感的磁芯的磁性材料填充于上述空腔内。此外，在该磁芯内设置有第一导通孔和第二导通孔。该电感中的线圈包括第一导通孔、第二导通孔以及用于将第一导通孔、第二导通孔耦接的第一金属走线。从而达到将电感集成于封装基板中的目的。在此情况下，当采用全集成式电压调节技术，将电压转换电路中除了电感以外电子元件，例如开关管、二极管等集成于芯片时，电源提供的较高的电源电压可以直接传输至芯片，以通过上述电压转换电路将该电源电压进行降压处理生成供电电压。因此，芯片接收到的电压较大，电流较小，在芯片的管脚流通能力恒定的情况下，可以减小芯片中用于与封装基板耦接的管脚的数量。

另一方面，在将电感集成于封装基板中时，可以将电感设置于靠近芯片的电源管脚的位置。从而能够减小电池向芯片提供供电电压的供电路径，减小该供电路径上的

寄生电阻的影响，降低上述供电路径上的电流损耗，提高供电效率。

5 可选的，线圈包括第一导线段、第二导线段，以及第二金属走线。第一导线段、第二导线段的任意一个导线段同上所述，包括贯穿磁芯的第一导通孔和第二导通孔，以及用于将第一导通孔和第二导通孔耦接的第一金属走线。此外，第二金属走线设置于芯层的上表面。第二金属走线的第一端与第一导线段的第二导通孔位于芯层上表面的一端相耦。第二金属走线的第二端与第二导线段的第一导通孔位于芯层上表面的一端相耦接。这样一来，可以通过增加线圈中导线段的数量，达到增加线圈圈数的目的。从而提高电感的电感量。

10 可选的，磁芯具有与芯层的上表面或下表面垂直的至少一个侧面。磁芯包括在磁芯的至少一个侧面上，设置的向磁芯内部凹陷的凹陷部。凹陷部位于相邻两个导通孔之间。由于，相对于每个导通孔周边的磁场而言，相邻两个导通孔之间的磁场较小。所以可以通过在磁芯的侧面，且位于任意相邻两个导通孔之间的部分制作上述凹陷部，以减小构成磁芯的磁性材料，达到降低制作成本的目的。

15 可选的，磁芯具有第一侧面和第二侧面。第一侧面与第一导线段的第一导通孔和第二导通孔的轴线所在的平面平行。第二侧面与第一导线段的第一导通孔和第二导线段的第一导通孔所在的平面平行。第一侧面上设置有第一凹陷部，第二侧面上设置有第二凹陷部。第一凹陷部的横截面的面积小于第二凹陷部的横截面的面积。横截面与芯层的上表面或下表面平行。在此情况下，由于第一导线段的第一导通孔和第二导线段的第一导通孔之间的磁场强度，小于第一导线段的第一导通孔和第一导线段的第二导通孔之间的磁场强度，因此在磁场强度较小的位置，可以设置横截面较大的第二凹陷部。在磁场强度较大的位置，可以设置横截面较小的第一凹陷部。从而可以在保证电感的电感量不会大幅下降的基础上，可以根据需要分别去除第一凹陷部和第二凹陷部位置处的磁性材料。

20 可选的，第一金属走线在芯层上的垂直投影位于磁芯所在的范围内。这样一来，减小第一金属走线的长度，达到减小电感直流电阻的目的。

可选的，第二金属走线在芯层上的垂直投影位于磁芯所在的范围内。这样一来，减小第二金属走线的长度，达到减小电感直流电阻的目的。

30 可选的，构成磁芯的材料包括软磁复合材料。该软磁复合材料包括磁性颗粒和树脂材料。构成磁性颗粒的材料包括铁硅铬合金、羰基铁、或者铁基非晶材料中的至少一种。

35 可选的，电感还包括一端电极和另一端电极。第一导通孔位于芯层上表面的一端与一端电极相耦接。第二导通孔位于芯层上表面的一端与另一端电极相耦接。上述电感的另一端电极可以与电压转换电路中的其余电子元件，例如开关管、二极管相耦接。电感的另一端电极可以作为电压转换电路的输出端。从而使得电压转换电路中的其余电子元件，例如开关管、二极管能够与集成于封装基板内的电感相耦接。

可选的，电感还包括一端电极和另一端电极。第一导线段的第一导通孔位于芯层上表面的一端与一端电极相耦接。第二导线段的第二导通孔位于芯层上表面的一端与另一端电极相耦接。当电感中线圈的圈数增加后，即该线圈包括第一导线段和第二导线段时，通过将第一导线段的第一导通孔位于芯层上表面的一端与一端电极相

耦接，可以使得该线圈的第一端能够通过上述第一端电极与上述电感的第二端电极可以与电压转换电路中的其余电子元件，例如开关管、二极管相耦接。此外，通过将第二导线段的第二导通孔位于芯层上表面的一端与第二端电极相耦接，可以使得线圈的另一端通过第二端电极可以作为电压转换电路的输出端。

5 可选的，封装基板还包括第一积层。该第一积层位于芯层上表面；第一积层包括第一互连结构、第二互连结构、第一焊盘以及第二焊盘。第一互连结构靠近芯层的一端与第一导通孔位于芯层上表面的一端相耦接，第一互连结构远离芯层的一端与第一焊盘相耦接，上述第一焊盘作为电感的第二端电极。第二互连结构靠近芯层的一端与第二导通孔位于芯层上表面的一端相耦接，第二互连结构远离芯层的一端与第二焊盘相耦接，上述第二焊盘作为电感的第二端电极。这样一来，可以通过第一积层中的第一互连结构将电感的第二端电极与线圈的一端相耦接，并通过第一积层中第二互连结构将电感的第二端电极与线圈的另一端相耦接。

15 可选的，封装基板还包括第二积层和第三互连结构。该第二积层位于芯层下表面。第二积层包括远离芯层一侧的第三焊盘。其中，第三互连结构，贯穿芯层、第一积层以及第二积层。第一积层还包括远离芯层一侧的第四焊盘，第三互连结构的第一端与第三焊盘耦接，第二端与第四焊盘耦接。第三焊盘作为封装基板的电源输入端子，第四焊盘作为封装基板的电源输出端子。这样一来，电池提供的电源电压可以通过第四焊盘、第三互连结构以及第三焊盘传输至芯片中。

20 本申请的另一方面，提供一种电子设备，包括芯片，以及至少一个上所述的任意一种集成有电感的封装基板。芯片于封装基板上。芯片包括电压调节模块和处理模块。封装基板具有电源输出端子。其中，封装基板包括电感。封装基板的电源输出端子与电压调节模块耦接，电压调节模块还与电感的第二端电极相耦接，电感的第二端电极还与处理模块耦接。电压调节模块和电感构成电压转换电路，用于向处理模块提供供电电压。上述电子设备具有与前述实施例提供的封装基板相同的技术效果，此处不再赘述。

附图说明

- 图 1 为本申请实施例提供的一种电子设备的结构示意图；
 图 2 为与图 1 所示的 PCB 耦接的封装基板和芯片的结构示意图；
 图 3 为本申请实施例提供的一种电压转换电路的结构示意图；
 30 图 4a 为本申请实施例提供的一种封装基板和芯片耦接的结构示意图；
 图 4b 为本申请实施例提供的电子设备中部分元器件的连接结构示意图；
 图 5 为本申请实施例提供的一种封装基板的结构示意图；
 图 6a 为本申请实施例提供的封装基板中芯层的部分结构示意图；
 图 6b 为在图 6a 所示的芯层的空腔内集成电感部分结构的结构示意图；
 35 图 7a 为本申请实施例提供的一种电感的结构示意图；
 图 7b 为将图 7a 所示的电感集成与封装基板中的结构示意图；
 图 7c 为沿图 7a 中的虚线 O-O 进行剖切得到的剖视图；
 图 8 为本申请实施例提供的另一种封装基板和芯片耦接的结构示意图；
 图 9a 为本申请实施例提供的另一种电感的结构示意图；

图 9b 为本申请实施例提供的另一种电感的结构示意图；

图 10 为沿图 9a 所示的 C 向得到的俯视图；

图 11 为本申请实施例提供的一种电感的电场分布图；

图 12 为本申请实施例提供的一种电感磁芯的结构示意图；

5 图 13 为本申请实施例提供的另一种电感磁芯的结构示意图；

图 14 为本申请实施例提供的另一种电感的结构示意图。

附图标记：

01-电子设备； 10-显示模组； 11-中框； 12-壳体； 100-封装基板； 101-芯片； 111-管脚； 102-电压转换电路； 20-电感； 120-电压调节模块； 121-处理模块； 13-电源输入
10 端子； 14-电源输出端子； 15-第一端电极； 16-第二端电极； 30-芯层； 31-第一积层；
32-第二积层； 301-金属走线； 302-绝缘层； 303-空腔； 230-磁芯； 231-线圈； 41-第一
金属走线； 51-第一导通孔； 52-第二导通孔； 40-导电层； 311-第一互连结构； 312-第
二互连结构； 313-第一焊盘； 314-第二焊盘； 315-第三焊盘； 316-第四焊盘； 317-第三
互连结构； 300a-第一导线段； 300b-第二导线段； 42-第二金属走线； 400-凹陷部； 400a-
15 第一凹陷部； 400b-第二凹陷部； 300c-第三导线段； 43-第三金属走线。

具体实施方式

下面将结合本申请实施例中的附图，对本申请实施例中的技术方案进行描述，显然，所描述的实施例仅仅是本申请一部分实施例，而不是全部的实施例。

20 以下，术语“第一”、“第二”等仅用于描述目的，而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此，限定有“第一”、“第二”等的特征可以明示或者隐含地包括一个或者更多个该特征。

此外，本申请中，“上”、“下”等方位术语是相对于附图中的部件示意置放的方位来定义的，应当理解到，这些方向性术语是相对的概念，它们用于相对于的描述和澄清，其可以根据附图中部件所放置的方位的变化而相应地发生变化。

25 在本申请中，除非另有明确的规定和限定，术语“连接”应做广义理解，例如，“连接”可以是固定连接，也可以是可拆卸连接，或成一体；可以是直接相连，也可以通过中间媒介间接相连。此外，术语“耦接”可以是实现信号传输的电性连接的方式，“耦接”可以是直接的电性连接，也可以通过中间媒介间接的电性连接。

30 本申请实施例提供一种电子设备，该电子设备包括例如手机、平板电脑、车载电脑、智能穿戴产品等。本申请实施例对上述电子设备的具体形式不做特殊限制。以下为了方便说明，是以电子设备为手机为例进行的说明。如图 1 所示，电子设备 01 包括显示模组 10、中框 11 以及壳体 12。

35 显示模组 10 用于显示图像。在本申请的一些实施例中，显示模组 10 包括液晶显示（liquid crystal display, LCD）模组和背光模组（back light unit, BLU）。或者，在本申请的另一些实施例中，显示模组 10 可以为有机发光二极管（organic light emitting diode, OLED）显示屏。

中框 11 位于显示模组 10 和壳体 12 之间，中框 11 朝向显示模组 10 的一侧用于承载显示模组 10。此外，上述电子设备 01 还包括印刷电路板（printed circuit board, PCB）。中框 11 朝向壳体 12 的一侧表面用于承载 PCB、摄像头、电池等电子器件。其中，摄

像头和电池图中未示出。壳体 12 与中框 11 相连接形成用于容纳上述 PCB、摄像头以及电池等电子器件的容纳腔。从而可以防止外界的水汽和尘土侵入该容纳腔内，对上述电子器件的性能造成影响。

此外，上述电子设备 01 还包括如图 2 所示的封装基板 100 以及芯片 101。芯片 101 通过多个管脚 111，例如微型焊垫 (micro bump) 或者铜柱 (Cu-pillars)，倒装于封装基板 100 的上方。封装基板 100 的下方可以通过焊球阵列 (ball grid array, BGA) 与上述 PCB 耦接。这样一来，芯片 101 可以通过封装基板 100 与 PCB 实现信号传输。

需要说明的是，上述是以将芯片 101 倒装于封装基板 100 的上方为例，对芯片 101 与封装基板 100 相耦接的方式进行的举例说明。在本申请的另一些实施例中，上述芯片 101 还可以通过引线键合的工艺与封装基板 100 相耦接。

在本申请的一些实施例中，上述芯片 101 可以为系统级芯片 (system on chip, SoC)、中央处理器 (central processing unit, CPU)、图形处理器 (graphics processing unit, GPU)，或者是电源管理芯片 (power management integrated circuits, PMIC) 等。

为了向上述芯片 101 进行供电，电子设备 01 可以包括如图 3 所示的电压转换电路 102。该电压转换电路 102 包括电感 20、开关管 Q、二极管 D 以及电容 Co。电感 20 具有储能、滤波的作用。开关管 Q 可以为晶体管。

该开关管 Q 的第一极，例如源极 (source, s) 与电压转换电路 102 的输入端 Ui 耦接，该电压转换电路 102 的输入端 Ui 可以与电源，例如电池的正极相耦接，用于接收电源，例如电池提供的电源电压 (例如 1.8V)。开关管 Q 的第二极，例如漏极 (drain, d) 与电感 20 的第一端 (即如图 4a 所示的第一端电极 15) 相耦接。电感 20 的第二端 (即如图 4a 所述的第二端电极 16) 与电压转换电路 102 的输出端 Uo 相耦接。开关管 Q 的栅极 (gate, g) 用于接收控制信号，该控制信号可以控制开关管 Q 的导通和截止。

此外，二极管 D 的阴极 (cathode, c) 与电感 20 的第一端相耦接，阳极 (anode, a) 与电源，例如上述电池的负极相耦接。电容 Co 的第一端与电压转换电路 102 的输出端 Uo 相耦接，第二端与电源，例如上述电池的负极相耦接。当开关管 Q 导通时，电感 20 充电。当开关管 Q 截止时，电感 20 放电，并通过电容 Co 持续向各个芯片提供稳定的供电电压。

需要说明的是，图 3 是以电压转换电路 102 包括一个电感 20 为例进行的说明。在本申请的另一些实施例中，上述电压转换电路 102 可以包括至少两个电感 20。

基于此，可以提高上述开关管 Q 的开关频率，例如提高到 100MHz 左右，以减小电感 20 的尺寸。此时，上述电压转换电路 102 中只需要几 nH 的电感 20 即可输出纹波很小的电流。这样一来，电感 20 的尺寸可以减小至 1 平方毫米以下。

在此情况下，可以如图 4a 所示，将电感 20 集成于封装基板 100 中，该封装基板 100 为集成有电感 20 的封装基板。此时，可以采用全集成式电压调节 (fully integrated voltage regulator, FIVR) 技术，在芯片 101 内部设置如图 4a 所示的电压调节模块 120。其中，上述该电压转换电路 102 中的开关管 Q、二极管 D 可以集成于电压调节模块 120 中。此外，上述芯片 101 还包括用于实现该芯片 101 主要功能的处理模块 121。

这样一来，如图 4a 所示，封装基板 100 具有电源输入端子 13 和电源输出端子 14。该电源输入端子 13 可以通过采用焊球形成的管脚 VDD 与图 2 所示的 PCB 相耦接，从

而可以通过 PCB 接收电池提供的电源电压（例如 1.8V）。上述电源电压（例如 1.8V）经过该封装基板 100 的电源输入端子 13，以及与该电源输出端子 14 耦接的管脚 Vdd（可以采用焊垫或铜柱形成）后，传输至电压调节模块 120 内。

5 由于电压调节模块 120 通过管脚 Lx 与电感 20 的第一端电极 15 相耦接，因此由电压调节模块 120 和电感 20 构成的电压转换电路 102 可以对上述电源电压（例如 1.8V）进行电压转换，例如降压处理，以将电源电压（例如 1.8V）降低至芯片 101 的供电电压（例如 0.9V）。此外，由于电感 20 的第二端电极 16 通过电源管脚 Ot（为芯片 101 的多个管脚 111 中用于向该芯片 101 提供供电电压的管脚）与芯片 101 中的处理模块 121 耦接，因此当处理模块 121 接收到电源管脚 Ot 提供的供电电压（例如 0.9V）后，
10 可以使得芯片 101 的处理模块 121 开始工作，执行该芯片 101 的主要功能。

例如，在本申请的一些实施例中，在上述芯片 101 为上述 SoC、CPU 或者 CPU 的情况下，如图 4b 所示，芯片 101 的处理模块 121 的开始工作时，该处理模块 121 可以通过数据总线（Data bus）向该电子设备 01 中的其余部件，例如，射频收发器（radio frequency module）、内存（memory）、硬盘、相机（Camera）与图像处理器（imaging processing module）、输入/输出（I/O）接口、人机交互设备（human interactive device）
15 等提供数据。

又例如，在本申请的另一些实施例中，在上述芯片 101 为上述 PMIC 的情况下，如图 4b 所示，芯片 101 的处理模块 121 的开始工作时，该处理模块 121 可以通过电源总线（power supply bus）或电源供电网络向电子设备 01 中的其余部件，例如，上述射频收发器、内存、硬盘、相机与图像处理器、输入/输出接口、人机交互设备等提供供电电压。
20

这样一来，一方面，由上述可知，封装基板 100 通过管脚 Vdd 向芯片 101 的电压调节模块 120 提供的电压为电源电压（例如 1.8V）。此时，以芯片 101 所需的电流为 50A，每个管脚 Vdd 的流通能力为 1A 为例，芯片 101 与封装基板 100 之间需要 50 个
25 管脚 Vdd。接下来，在电压转换电路 102（包括电压调节模块 120 和集成于封装基板 100 内部的电感 20）的降压作用后，生成用于向芯片 101 的处理模块 121 提供的供电电压（例如 0.9V）。

相对于本申请实施例提供该的电子设备 01 而言，如果将电压转换电路设置于外部，那么电源电压（例如 1.8V）需要先经过外部的电压转换电路降压后，将生成的供电电压（例如 0.9V）通过管脚 Vdd 提供至芯片 101。此时，芯片 101 接收到的电压相比于本申请而言降低一半，因此电流提升一倍（例如为 100A），管脚 Vdd 的数量也会提升一倍（例如为 100 个）。而本申请实施例提供的电子设备中，芯片 101 的管脚 Vdd 较少（例如 50 个），所以能够有效减小芯片 101 的面积，有利于减小电子设备 01 的尺寸。
30

另一方面，如图 4a 所示，在将电感 20 集成于封装基板 100 中时，可以将电感 20 设置于靠近芯片 101 的电源管脚 Ot 的位置。从而当电压转换电路 102 将电源电压（例如 1.8V）降压至供电电压（例如 0.9V）后，电感 20 的第二端电极 16 可以将供电电压（例如 0.9V）传输至与上述与该电感 20 距离很近的电源管脚 Ot，从而向芯片 101 的处理模块 121 进行供电。这样一来，能够减小电池向芯片 101 提供的供电电压（例如
35

0.9V) 的供电路径, 进而减小该供电路径上的寄生电阻的影响降低, 上述供电路径上的电流损耗, 提高供电效率。

以下对集成有电感 20 的封装基板 100 的结构进行详细的举例说明。

5 在本申请的一些实施例中, 上述封装基板 100 可以包括如图 5 所示的芯层 (core) 30、第一积层 (build-up) 31 以及第二积层 32。其中, 构成该芯层 30 的材料可以为树脂材料。该芯层 30 的厚度较大, 从而能够为封装基板 100 提供足够的强度。其中, 上述芯层 30 具有上表面 A 和下表面 B。上表面 A 靠近如图 2 所示的芯片 101, 下表面 B 靠近如图 2 所示的 PCB。

10 此外, 第一积层 31 位于芯层 30 的上表面 A, 第二积层 32 位于芯层 30 的下表面 B。第一积层 31、第二积层 32 中的任意一个积层可以包括多层金属走线 301, 以及位于相邻两层金属走线 301 之间的绝缘层 302。该绝缘层 302 上可以设置导通孔 (plating through hole, PTH), 从而可以将不同层的金属走线 301 电连接, 形成用于传输信号的互连结构。

15 在此基础上, 如图 6a 所示, 上述芯层 30 上设置有贯穿芯层 30 的上表面 A 和下表面 B 的空腔 303。如图 6b 所示, 集成于封装基板 100 中的电感 20, 可以设置于空腔 303 内。该电感 20 包括磁芯 230 和线圈 231。磁芯 230 填充于上述空腔 303 内。

20 在本申请的一些实施例中, 构成磁芯 230 的材料可以包括软磁复合 (Soft Magnetic Composite, SMC) 材料。该 SMC 材料包括磁性颗粒和树脂材料。通过将上述磁性颗粒和树脂材料复合在一起可以形成 SMC 材料。其中, 上述磁性颗粒可以为铁硅铬合金颗粒、羰基铁颗粒、或者铁基非晶颗粒。上述 SMC 材料的相对磁导率通常可以为 5~10。

此外, 如图 7a 所示, 上述线圈 231 包括至少一个导线段。上述至少一个导线段包括第一金属走线 41, 以及贯穿磁芯 230 的第一导通孔 51 和第二导通孔 52。如图 7b 所示, 第一金属走线 41 设置于芯层 30 的下表面 B。

25 芯层 30 的纵向截面图如图 7c (沿图 7a 中的虚线 O-O 进行剖切得到的剖视图) 所示, 第一导通孔 51 和第二导通孔 52 中任意一个导通孔 (vias) 可以贯穿芯层 30 的上表面 A 和下表面 B。该第一导通孔 51 和第二导通孔 52 的孔壁上覆盖有金属材质的导电层 40。在本申请的一些实施例中, 还可以在孔壁上覆盖有导电层的第一导通孔 51 和第二导通孔 52 内填充树脂材料。

30 此外, 第一金属走线 41 的第一端与第一导通孔 51 位于芯层 30 下表面 B 的一端相耦接。第一金属走线 41 的第二端与第二导通孔 52 位于芯层 30 下表面 B 的一端相耦接, 从而构成上述线圈 231。

35 综上所述, 为了将电感 20 集成于封装基板 100 中, 可以在该封装基板 100 的芯层 30 内先制作如图 6a 所示的, 贯穿该芯层 30 的上表面 A 和下表面 B 的空腔 303。接下来, 在该空腔 303 内埋入磁芯材料, 以形成填充于该空腔 303 中的磁芯 230 (如图 6b 所示)。然后, 在该磁芯 230 上通过钻孔工艺形成贯穿磁芯 230 的孔, 并采用电镀工艺在对孔的内壁进行金属化处理, 形成如图 7c 所示的导电层 40, 从而完成第一导通孔 51 和第二导通孔 52 的制备。接下来, 在芯层 30 的下表面 B, 制作第一金属走线 41, 以将第一导通孔 51 和第二导通孔 52 相耦接。

在此情况下, 由上述可知, 为了使得电感 20 与芯片 101 中的电压调节模块 120

以及芯片 101 中的处理模块 121 相耦接，该电感 20 可以包括如图 4a 所示的第一端电极 15 和第二端电极 16。

5 为了形成上述电感 20 的第一端电极 15 和第二端电极 16，如图 8 所示，芯层 30 上表面 A 的第一积层 31 包括第一互连结构 311、第二互连结构 312、第一焊盘 313 以及第二焊盘 314。上述第一互连结构 311 或第二互连结构 312 中的任意一种互连结构，主要由该第一积层 31 中的 PTH 以及多层金属走线 301（如图 5 所示）构成。

10 基于此，第一互连结构 311 靠近芯层 30 的一端，与第一导通孔 51 位于芯层 30 上表面 A 的一端相耦接。第一互连结构 311 远离芯层 30 的一端与第一焊盘 313 相耦接。在此情况下，上述第一焊盘 313 可以作为电感 20 的第一端电极 15（如图 4a 所示）。该第一端电极 15 可以通过管脚 Lx 与芯片 101 中的电压调节模块 120 相耦接。该电压调节模块 120 中集成有电压转换电路 102 中除了电感 20 以外的其他元件（例如，如图 3 所示的发光二极管 D）。

15 此外，第二互连结构 312 靠近芯层 30 的一端，与第二导通孔 52 位于芯层 30 上表面 A 的一端相耦接。第二互连结构 312 远离芯层 30 的一端与第二焊盘 314 相耦接。在此情况下，上述第二焊盘 314 可以作为电感 20 的第二端电极 16（如图 4a 所示）。该第二端电极 16 可以通过电源管脚 Ot 与芯片 101 中的处理模块 121 相耦接。在此情况下，上述第二端电极 16 可以为图 3 或图 6b 中电压转换电路 102 的输出端 Uo。

20 在此基础上，由上述可知，电子设备 01 中的电池提供的电源电压（例如 1.8V），可以经过该封装基板 100 的电源输入端子 13（如图 4a），以及与该电源输出端子 14 耦接的管脚 Vdd 后，传输至电压调节模块 120 内。

为了形成上述电源输入端子 13 和电源输出端子 14，如图 8 所示，芯层 30 下表面 B 的第二积层 32 包括远离芯层 30 第三焊盘 315。芯层 30 上表面 A 的第一积层 31 还包括远离芯层 30 一侧的第四焊盘 316。此外，上述封装基板 100 还包括贯穿芯层 30、第一积层 31 以及第二积层 32 内的第三互连结构 317。

25 基于此，第三互连结构 317 的第一端与第三焊盘 315 耦接，第二端与第四焊盘 316 耦接。在此情况下，第三焊盘 315 可以作为封装基板 100 的电源输入端子 13（如图 4a 所示），第三焊盘 315 与封装基板 100 下方的管脚 VDD 相耦接。此外，上述第四焊盘 316 可以作为封装基板 100 的电源输出端子 14（如图 4a 所示）。该第四焊盘 316 与芯片 101 下方的管脚 Vdd 相耦接。

30 这样一来，PCB 可以将电池提供的电源电压（例如 1.8V），通过封装基板 100 下方的管脚 VDD 以及电源输入端子 13 传输至第三互连结构 317。该第三互连结构 317 将上述电源电压（例如 1.8V）通过电源输出端子 14、管脚 Vdd 传输至芯片 101 中的电压调节模块 120。接下来，由于电压调节模块 120 通过管脚 Lx 与电感 20 的第一端电极 15 相耦接，因此由电压调节模块 120 和电感 20 构成的电压转换电路 102 可以对上述电源电压（例如 1.8V）进行电压转换，例如降压处理，以将电源电压（例如 1.8V）降低至芯片 101 的供电电压（例如 0.9V）。电感 20 的第二端电极 16 作为上述电压转换电路 102 的输出端 Uo，向芯片 101 中的处理模块 121 提供供电电压，处理模块 121 开始工作。

由上述可知，为了将电感 20 集成于封装基板 100 中，封装基板 100 的芯层 30 中

形成的空腔 303 填充有由磁性材料构成的磁芯 230，该磁芯 230 内设置有第一导通孔 51 和第二导通孔 52。该电感 20 中的线圈 231 包括第一导通孔 51、第二导通孔 52 以及用于将第一导通孔 51、第二导通孔 52 耦接的第一金属走线 41。因此该线圈 231 的绝大部分均被磁芯 230 包裹。这样一来，当电感 20 中的线圈 231 通过电流时，第一导通孔 51、第二导通孔 52 周围的磁性材料可以增强该第一导通孔 51、第二导通孔 52 周围的磁场，从而可以提升该电感 20 的电感量。

在此基础上，为了进一步增加上述电感 20 的电感量，可以增加线圈 231 的圈数。示例的，上述线圈 231 包括如图 9a 所示的第一导线段 300a 和第二导线段 300b。该第一导线段 300a 和第二导线段 300b 中任意一个导线段的结构同上所述，可以包括第一导通孔 51、第二导通孔 52 以及用于将第一导通孔 51、第二导通孔 52 耦接的第一金属走线 41。

基于此，为了减小电感的直流电阻，如图 10（由图 9a 中的 C 向得到的视图）所示，第一导线段 300a 和第二导线段 300b 中任意一个导线段的第一金属走线 41 在芯层 30 上的垂直投影，位于磁芯 230 所在的范围内。从而可以减小第一金属走线 41 的长度。

此外，如图 9a 所示，上述线圈 231 还包括第二金属走线 42。将图 9a 的结构进行翻转后，如图 9b 所示，第二金属走线 42 设置于芯层 30 的上表面 A。第二金属走线 42 的第一端与第一导线段 300a 的第二导通孔 52 位于芯层 30 上表面的 A 一端相耦接。第二金属走线 42 的第二端与第二导线段 300b 的第一导通孔 51 位于芯层 30 上表面 A 的一端相耦接。

同理，为了减小电感的直流电阻，如图 10（由图 9a 中的 C 向得到的视图）所示，第二金属走线 42 在芯层 30 上的垂直投影，可以位于磁芯 230 所在的范围内。从而可以减小第二金属走线 42 的长度。

基于此，为了使得图 9b 所示的电感 20 与芯片 101 中的电压调节模块 120 以及芯片 101 中的处理模块 121 相耦接，同理可得，图 8 中第一积层 31 中的第一焊盘 313 可以与图 9b 所示的第一导线段 300a 的第一导通孔 51 相耦接。当第一焊盘 313 作为电感 20 的第一端电极 15 时，可以通过第一端电极 15 将电压调节模块 120 输出的电信号（例如电压和电流）传输至第一导线段 300a 的第一导通孔 51，朝向芯层 30 上表面 A（图 10 中未示出）的一端。从而可以使得电感 20 进行储能和滤波。

基于此，当电压调节模块 120 输出的电流流入如图 10（图 10 中，采用“×”表示电流垂直于纸面向里；“·”表示电流垂直于纸面向外）所示的第一导线段 300a 的第一导通孔 51，朝向芯层 30 上表面 A（图 10 中未示出）的一端时，上述电流由第一导线段 300a 的第一导通孔 51，朝向芯层 30 下表面 B 的一端流出，并通过第一导线段 300a 的第一金属走线 41（位于芯层 30 的下表面 B），流入第一导线段 300a 的第二导通孔 52，朝向芯层 30 下表面 B 的一端。接下来，再由第一导线段 300a 的第二导通孔 52，朝向芯层 30 上表面 A 的一端流向位于芯层 30 上表面 A 的第二金属走线 42。

接下来，上述电流通过第二金属走线 42 流入第二导线段 300b 的第一导通孔 51，朝向芯层 30 上表面 A 的一端。然后，第二导线段 300b 的第一导通孔 51，朝向芯层 30 下表面 B 的一端流出，并流入第二导线段 300b 的第一金属走线 41（位于芯层 30

的下表面 B)，在由该第二导线段 300b 的第一金属走线 41 流向第二导线段 300b 的第二导通孔 52，朝向芯层 30 下表面 B 的一端。接下来，上述电流经过第二导线段 300b 的第二导通孔 52，流向该第二导线段 300b 的第二导通孔 52，朝向芯层 30 上表面 A 的一端。

5 此外，图 8 中第一积层 31 中的第二焊盘 314 可以与图 9b 所示的第二导线段 300b 的第二导通孔 52，朝向芯层 30 上表面 A 的一端相耦接。当第二焊盘 314 作为电感 20 的第二端电极 16 时，可以将经过电感 20 滤波处理后的电信号，通过上述第二端电极 16 传输至芯片 101 中的处理模块 121，以向该处理模块 121 提供上述供电电压。

10 综上所述，电感 20 中的线圈 231，如图 9b 所示包括通过第二金属走线 42 相耦接的第一导线段 300a 和第二导线段 300b。因此通过增加该线圈 231 的导线段的数量，可以达到增加电感 20 电感量的目的。

15 示例的，当本申请实施例提供该的电子设备 01 采用如图 9b 所示的电感 20 时，当上述电子设备 01 的电压转换电路 102 中，开关管 Q（如图 3 所示）的开关频率达到 100MHz 时，该电感 20 的电感量可以达到 7.58nH 左右。相对于现有的集成与基板中的空气电感（电感量 2.1nH），以及在基板的通孔内埋入磁性材料构成的电感（电感量 5.69nH）而言，本申请实施例提供的电感 20 的电感量有较大的提升。

20 以下，对上述电感 20 中的磁芯 230 的结构进行说明。在本申请的一些实施例中，如图 10 所示，上述磁芯 230 的横截面可以矩形或者近似矩形。在此情况下，上述制作于芯层 30 中的空腔 303 的横截面可以为矩形或者近似矩形的规则形状。这样一来，可以简化制作空腔 303 的工艺。其中，磁芯 230 的横截面可以与芯层 30 的上表面 A 或下表面 B 平行。

25 此外，由上述可知，第一导线段 300a、第二导线段 300b 中任意一个导线段中的第一导通孔 51 和第二导通孔 52 上均有电流流过，因此，如图 11 所示，上述任意一个导线段中的第一导通孔 51 和第二导通孔 52 周边具有较强的磁场。图 11 中，该磁场所存在的区域采用位于上述任意一个导通孔周边的虚线圈①表示。

在此基础上，磁芯 230 中距离上述任意一个导通孔越远的区域，该区域的磁场强度越小。例如，图 11 中虚线圈②所在范围的磁场强度，大于虚线圈③所在范围的磁场强度。

30 此外，如图 10 所示，第一导线段 300a 的第一导通孔 51 和第一导线段 300a 的第二导通孔 52 上电流传输的方向相反。根据右手定则，第一导线段 300a 的第一导通孔 51 周围的磁感应线呈逆时针，而第一导线段 300a 的第二导通孔 52 周围的磁感应线呈顺时针。这样一来，在第一导线段 300a 的第一导通孔 51 和第一导线段 300a 的第二导通孔 52 之间的部分，由上述第一导通孔 51 和第二导通孔 52 产生的磁感应线的方向相同。

35 因此，第一导线段 300a 的第一导通孔 51 和第一导线段 300a 的第二导通孔 52 之间的磁场强度，小于第一导通孔 51 或第二导通孔 52 周边部分的磁场。同理，第二导线段 300b 的第一导通孔 51 和第二导线段 300b 的第二导通孔 52 之间的磁场强度，小于第一导通孔 51 或第二导通孔 52 周边部分的磁场。

另外，由于第一导线段 300a 的第一导通孔 51 和第二导线段 300b 的第一导通孔

51 上电流传输的方向相同。根据右手定则，第一导线段 300a 的第一导通孔 51 和第二导线段 300b 的第一导通孔 51 周围的磁感应线均呈逆时针。因此，第一导线段 300a 的第一导通孔 51 和第二导线段 300b 的第一导通孔 51 之间的部分，由第一导线段 300a 的第一导通孔 51 和第二导线段 300b 的第一导通孔 51 产生的磁感应线的方向相反。

5 因此，第一导线段 300a 的第一导通孔 51 和第二导线段 300b 的第一导通孔 51 之间的磁场强度，小于第一导线段 300a 的第一导通孔 51 和第一导线段 300a 的第二导通孔 52 之间的磁场强度。如图 11 所示，虚线圈②和虚线圈③在第一导线段 300a 的第一导通孔 51 和第二导线段 300b 的第一导通孔 51 之间的位置向内凹陷程度，大于圈②和虚线圈③在第一导线段 300a 的第一导通孔 51 和第一导线段 300a 的第二导通孔 52 之间的位置向内凹陷程度。

10 同理，第一导线段 300a 的第二导通孔 52 和第二导线段 300b 的第二导通孔 52 之间的磁场强度，也小于第一导线段 300a 的第一导通孔 51 和第一导线段 300a 的第二导通孔 52 之间的磁场强度。如图 11 所示，虚线圈②和虚线圈③在第一导线段 300a 的第二导通孔 52 和第二导线段 300b 的第二导通孔 52 之间的位置向内凹陷程度，大于圈②和虚线圈③在第一导线段 300a 的第一导通孔 51 和第一导线段 300a 的第二导通孔 52 之间的位置向内凹陷程度。

基于此，为了节省构成磁芯 230 的材料，在本申请的另一些实施例中，在磁场强度小于上述任意一个导通孔周边部分磁场的位置，不再设置磁性材料。例如，图 11 中第一导线段 300a 的第一导通孔 51 和第一导线段 300a 的第二导通孔 52 之间的部分。

20 又例如，第二导线段 300b 的第一导通孔 51 和第二导线段 300b 的第二导通孔 52 之间的部分。再例如，第一导线段 300a 的第一导通孔 51 和第二导线段 300b 的第一导通孔 51 之间的部分。或者，再例如，第一导线段 300a 的第二导通孔 52 和第二导线段 300b 的第二导通孔 52 之间的部分，不再设置磁性材料。

在此情况下，磁芯 230 的结构如图 12 所示，磁芯 230 具有与芯层 30 的上表面 A 或下表面 B 垂直的至少一个侧面 S。上述磁芯 230 包括在磁芯 230 的至少一个侧面 S 上，设置的向磁芯 230 内部凹陷的凹陷部 400。该凹陷部 400 位于任意相邻两个导通孔之间。这样一来，通过在磁芯 230 上设置上述凹陷部 400，能够在保证电感 20 的电感量不会大幅下降的基础上，减少制作磁芯 230 的材料，达到降低制作成本的目的。

在本申请的另一些实施例中，如图 13 所示，上述磁芯 230 可以具有第一侧面 S1 和第二侧面 S2。其中，第一侧面 S1 与第一导线段 300a 的第一导通孔 51 和第二导通孔 52 的轴线所在的平面（即 E1-E2 的连线所在的平面）平行。第二侧面 S2 与第一导线段 300a 的第一导通孔 51 和第二导线段 300b 的第一导通孔 51 的轴线所在的平面（即 E1-E3 的连线所在的平面）平行。

35 基于此，如图 13 所示，上述第一侧面 S1 上设置有第一凹陷部 400a，第二侧面 S2 上设置有第二凹陷部 400b。由上述可知，如图 11 所示，由于虚线圈②和虚线圈③在第一导线段 300a 的第一导通孔 51 和第二导线段 300b 的第一导通孔 51 之间的位置向内凹陷程度，大于圈②和虚线圈③在第一导线段 300a 的第一导通孔 51 和第一导线段 300a 的第二导通孔 52 之间的位置向内凹陷程度。所以设置于第二侧面 S2 上的第二凹陷部 400b 的横截面积可以大于设置于第一侧面上的第一凹陷部 400a 的横截面积。从

而可以在保证电感 20 的电感量不会大幅下降的基础上,能够根据需要分别去除第一凹陷部 400a 和第二凹陷部 400b 位置处的磁性材料。

其中,上述第一凹陷部 400a 和第二凹陷部 400b 的横截面,可以与芯层 30 的上表面 A 或下表面 B 平行。

5 需要说明的是,为了进一步增加上述电感 20 的电感量,上述是以线圈 231 可以包括如图 9a 所示的第一导线段 300a 和第二导线段 300b 为例,对增加线圈 231 的圈数进行的举例说明。在本申请的另一些实施例中,如图 14 所示,为了增加线圈 231 的圈数,该线圈 231 可以包括第一导线段 300a、第二导线段 300b 以及第三导线段 300c。第一导线段 300a、第二导线段 300b 以及第三导线段 300c 中任意一个导线段的结构同上所述,可以包括第一导通孔 51、第二导通孔 52 以及用于将第一导通孔 51、第二导通孔 10 52 耦接的第一金属走线 41。

此外,上述线圈 231 还包括第二金属走线 42 和第三金属走线 43。第二金属走线 42 的设置方式同上所述,此处不再赘述。第三金属走线 43 与第二金属走线 42 均设置于芯层 30 的上表面 A。第三金属走线 43 的第一端与第二导线段 300b 的第二导通孔 15 52 位于芯层 30 上表面的 A 一端相耦接。第三金属走线 43 的第二端与第三导线段 300c 的第一导通孔 51 位于芯层 30 上表面 A 的一端相耦接。当线圈 231 包括三个以上的导线段时,该线圈 231 中各个导通孔以及金属走线的设置方式同上所述,此处不再赘述。

以上所述,仅为本申请的具体实施方式,但本申请的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本申请揭露的技术范围内,可轻易想到变化或替换,20 都应涵盖在本申请的保护范围之内。因此,本申请的保护范围应以所述权利要求的保护范围为准。

权 利 要 求 书

- 1、一种集成有电感的封装基板，其特征在于，包括：
芯层，具有空腔；所述空腔贯穿所述芯层的上表面和下表面；
电感，位于所述空腔内；所述电感包括磁芯以及线圈；所述磁芯填充于所述空腔
5 内；
其中，所述线圈包括至少一个导线段；所述至少一个导线段包括第一金属走线，
以及贯穿所述磁芯的第一导通孔和第二导通孔；
所述第一金属走线设置于所述芯层的下表面；所述第一金属走线的第一端与所述
第一导通孔位于所述芯层下表面的一端相耦接；所述第一金属走线的第二端与所述第
10 二导通孔位于所述芯层下表面的一端相耦接。
2、根据权利要求1所述的集成有电感的封装基板，其特征在于，所述线圈包括第
一导线段、第二导线段，以及第二金属走线；
所述第二金属走线设置于所述芯层的上表面；所述第二金属走线的第一端与所述
第一导线段的第二导通孔位于所述芯层上表面的一端相耦接；所述第二金属走线的第
15 二端与所述第二导线段的第一导通孔位于所述芯层上表面的一端相耦接。
3、根据权利要求1或2所述的集成有电感的封装基板，其特征在于，所述磁芯具
有与所述芯层的上表面或下表面垂直的至少一个侧面；所述磁芯包括在所述磁芯的至
少一个侧面上，设置的向所述磁芯内部凹陷的凹陷部；所述凹陷部位于任意相邻两个
导通孔之间。
20 4、根据权利要求3所述的集成有电感的封装基板，其特征在于，
所述磁芯具有第一侧面和第二侧面；所述第一侧面与第一导线段的第一导通孔和
第二导通孔的轴线所在的平面平行；所述第二侧面与所述第一导线段的第一导通孔和
第二导线段的第一导通孔所在的平面平行；
所述第一侧面上设置有第一凹陷部，所述第二侧面上设置有第二凹陷部；所述第
25 一凹陷部的横截面的面积小于所述第二凹陷部的横截面的面积；所述横截面与所述芯
层的上表面或下表面平行。
5、根据权利要求1-4任一项所述的集成有电感的封装基板，其特征在于，所述第
一金属走线在所述芯层上的垂直投影位于所述磁芯所在的范围内。
6、根据权利要求2所述的集成有电感的封装基板，其特征在于，所述第二金属走
30 线在所述芯层上的垂直投影位于所述磁芯所在的范围内。
7、根据权利要求1-6任一项所述的集成有电感的封装基板，其特征在于，构成所
述磁芯的材料包括软磁复合材料；所述软磁复合材料包括磁性颗粒和树脂材料；构成
所述磁性颗粒的材料包括铁硅铬合金、羰基铁、或者铁基非晶材料中的至少一种。
8、根据权利要求1所述的集成有电感的封装基板，其特征在于，所述电感还包括
35 第一端电极和第二端电极；
所述第一导通孔位于所述芯层上表面的一端与所述第一端电极相耦接；所述第二
导通孔位于所述芯层上表面的一端与所述第二端电极相耦接。
9、根据权利要求2所述的集成有电感的封装基板，其特征在于，所述电感还包括
第一端电极和第二端电极；

所述第一导线段的第一导通孔位于所述芯层上表面的一端与所述第一端电极相耦接；所述第二导线段的第二导通孔位于所述芯层上表面的一端与所述第二端电极相耦接。

5 10、根据权利要求 8 或 9 所述的集成有电感的封装基板，其特征在于，所述封装基板还包括：

第一积层，位于所述芯层上表面；所述第一积层包括第一互连结构、第二互连结构、第一焊盘以及第二焊盘；

10 所述第一互连结构靠近所述芯层的一端与所述第一导通孔位于所述芯层上表面的一端相耦接，所述第一互连结构远离所述芯层的一端与所述第一焊盘相耦接；所述第一焊盘作为所述电感的所述第一端电极；

所述第二互连结构靠近所述芯层的一端与所述第二导通孔位于所述芯层上表面的一端相耦接，所述第二互连结构远离所述芯层的一端与所述第二焊盘相耦接；所述第二焊盘作为所述电感的所述第二端电极。

15 11、根据权利要求 10 所述的集成有电感的封装基板，其特征在于，所述封装基板还包括：

第二积层，位于所述芯层下表面；所述第二积层包括远离所述芯层一侧的第三焊盘；

第三互连结构，贯穿所述芯层、所述第一积层以及所述第二积层；

20 所述第一积层还包括远离所述芯层一侧的第四焊盘，所述第三互连结构的第一端与所述第三焊盘耦接，第二端与所述第四焊盘耦接；所述第三焊盘作为所述封装基板的电源输入端子，所述第四焊盘作为所述封装基板的电源输出端子。

12、一种电子设备，其特征在于，包括芯片，以及至少一个如权利要求 1-11 任一项所述的集成有电感的封装基板；所述芯片于所述封装基板上；所述芯片包括电压调节模块和处理模块；所述封装基板具有电源输出端子；

25 所述封装基板包括电感；所述封装基板的电源输出端子与所述电压调节模块耦接，所述电压调节模块还与所述电感的所述第一端电极相耦接；所述电感的第二端电极还与所述处理模块耦接；

所述电压调节模块和所述电感构成电压转换电路，用于向所述处理模块提供供电电压。

30

35

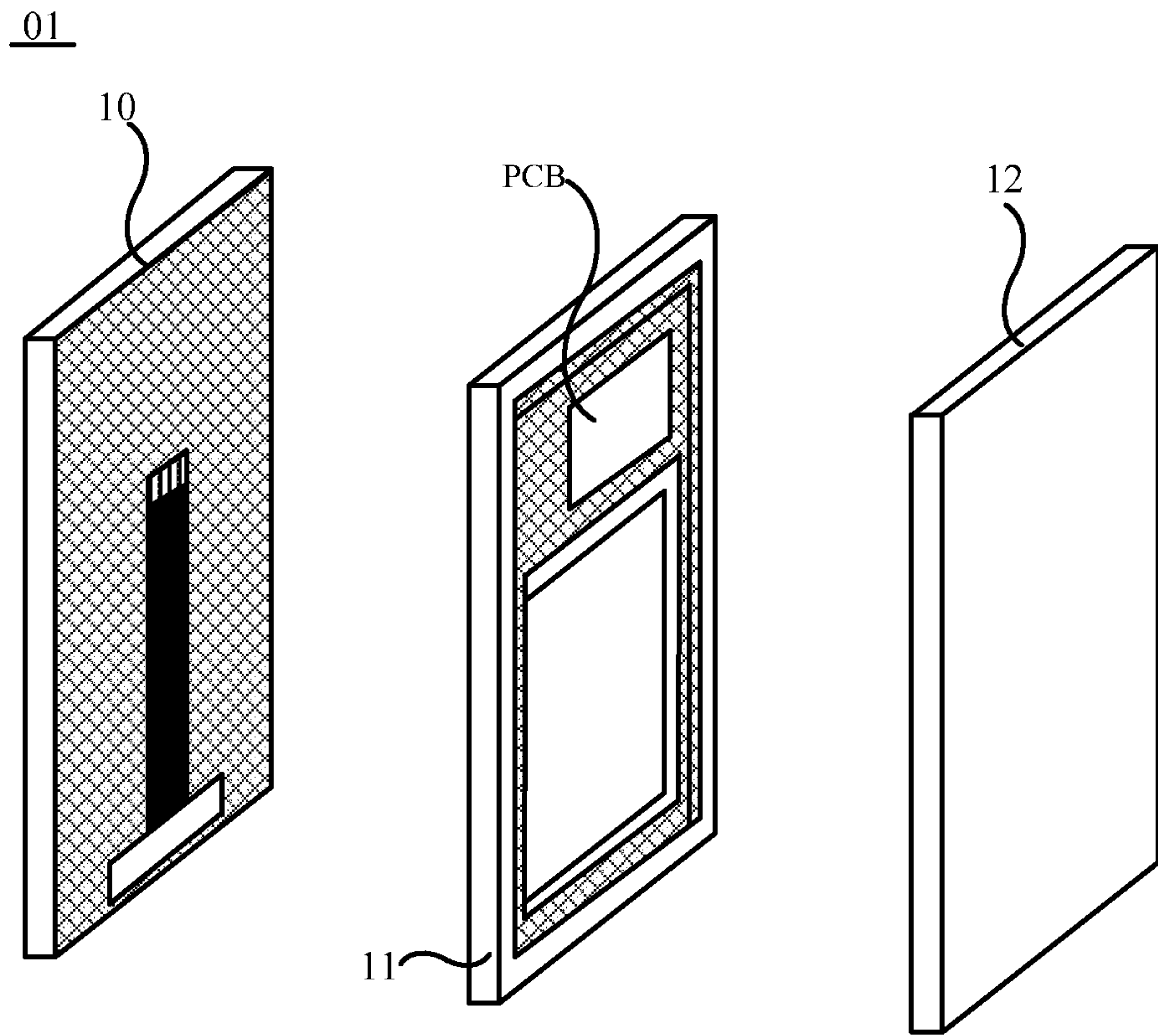


图 1

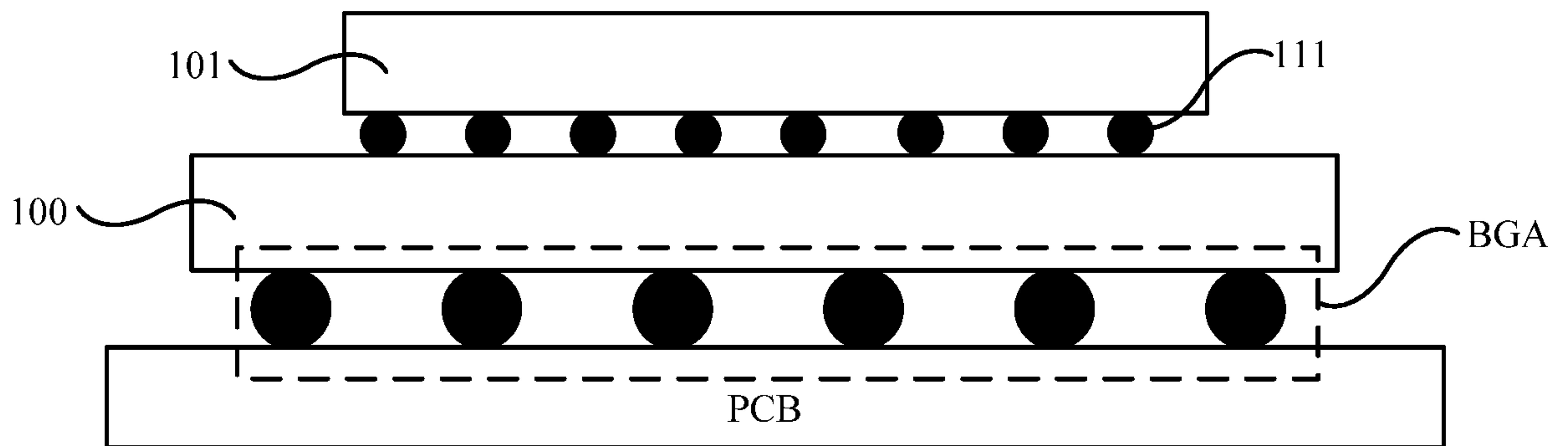


图 2

102

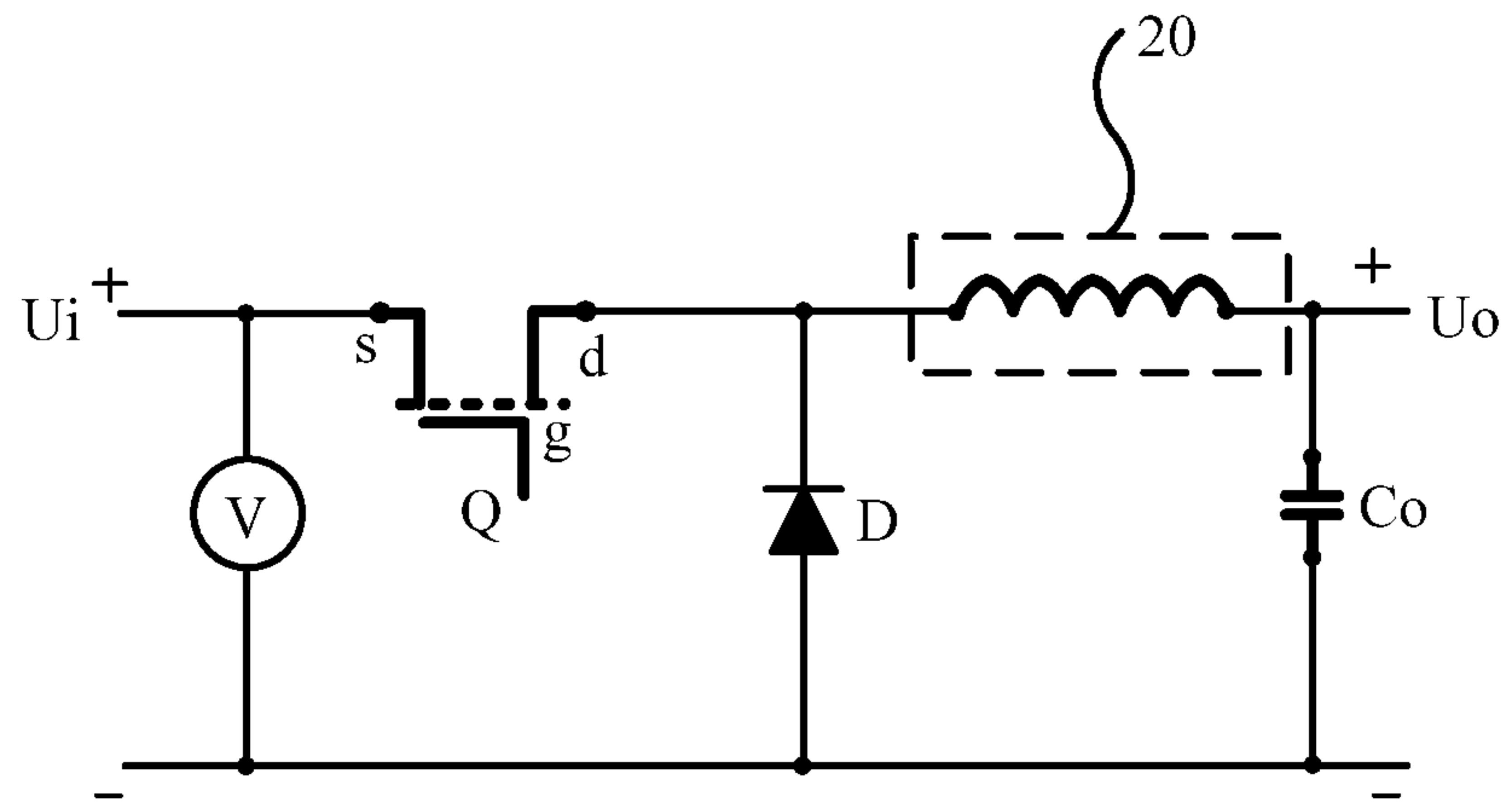


图 3

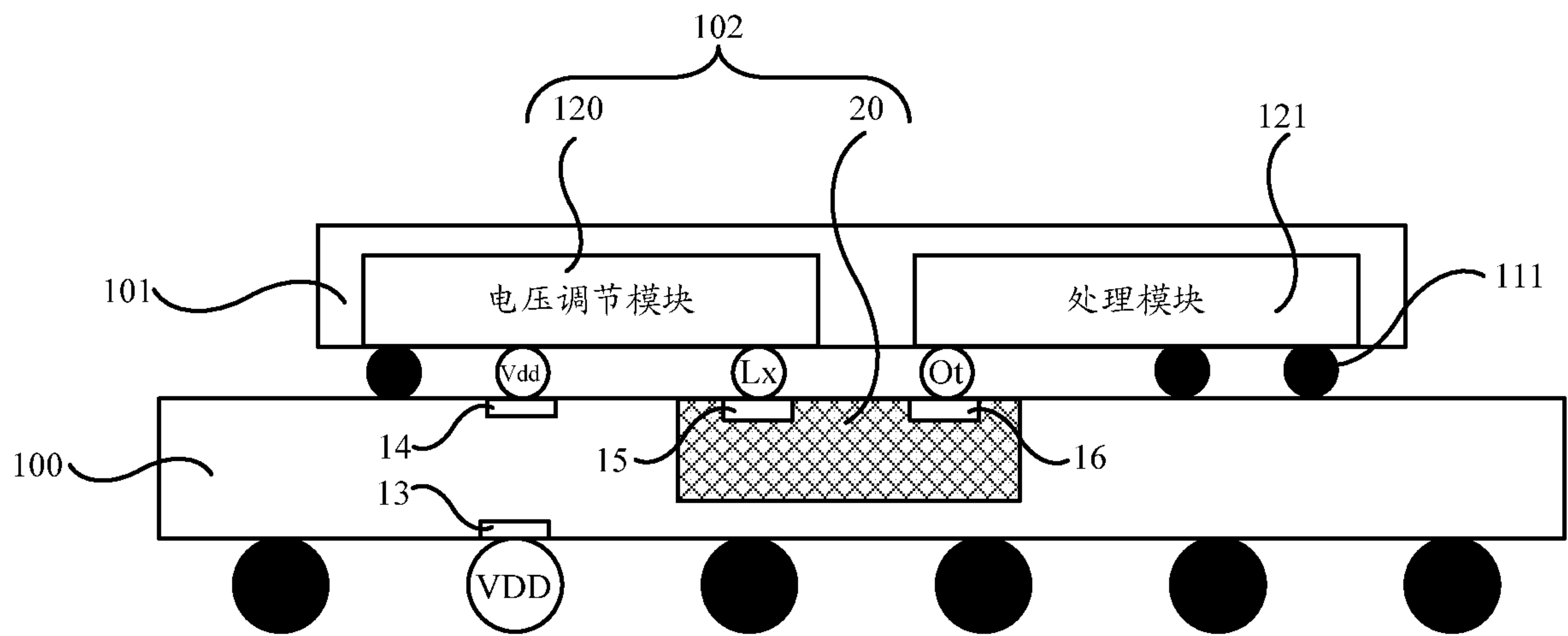


图 4a

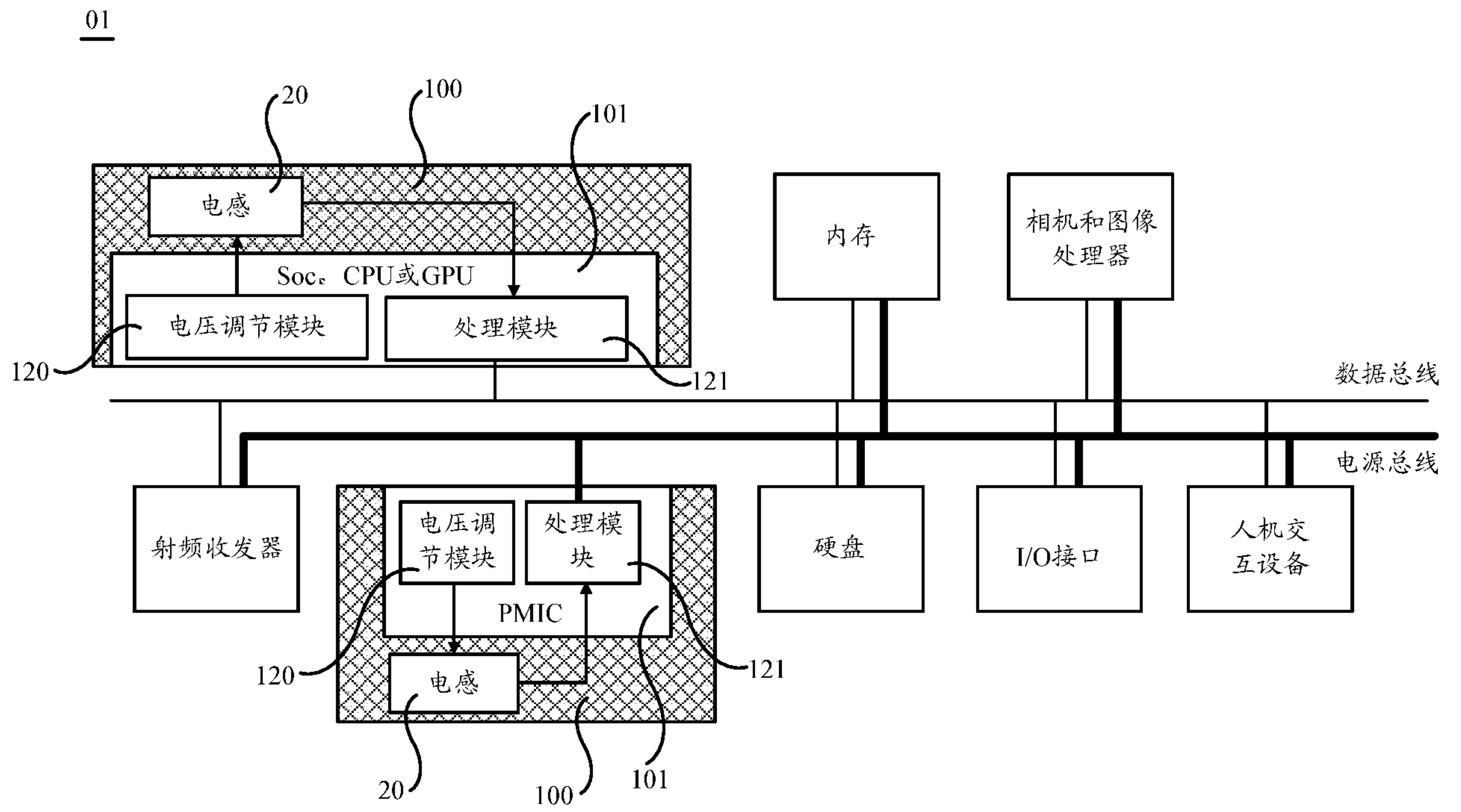


图 4b

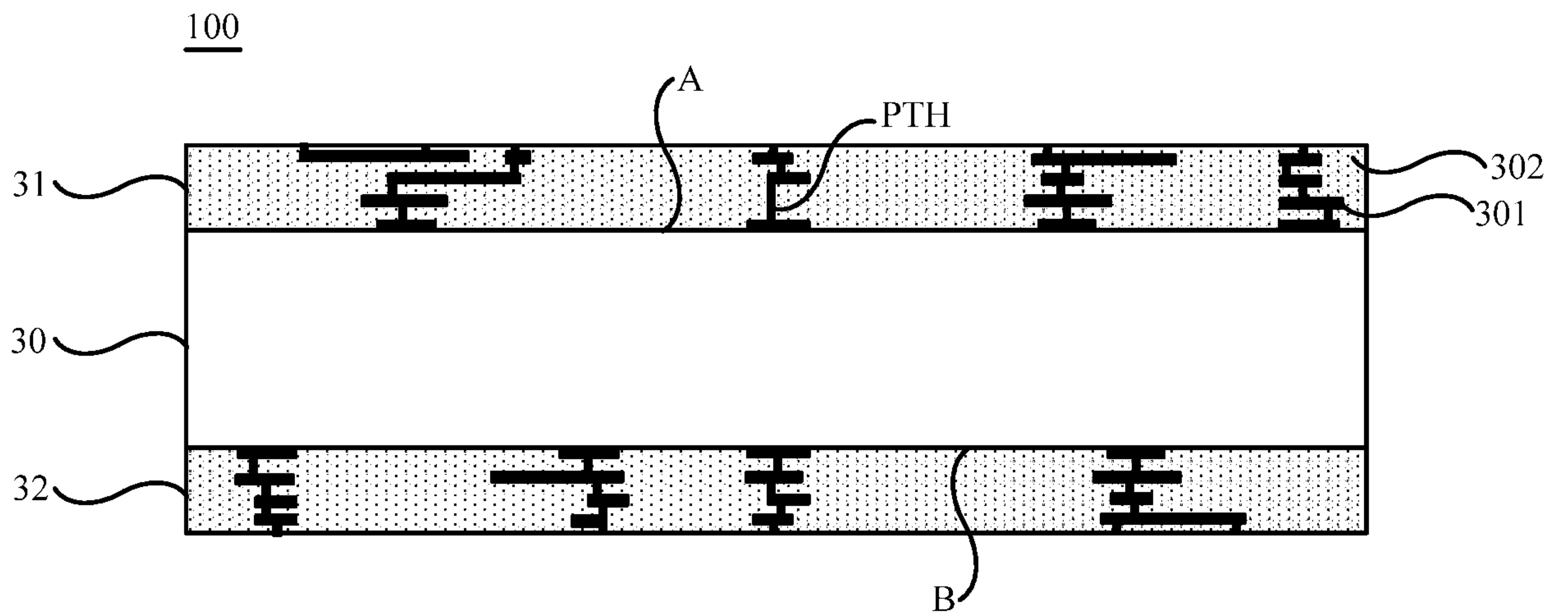


图 5

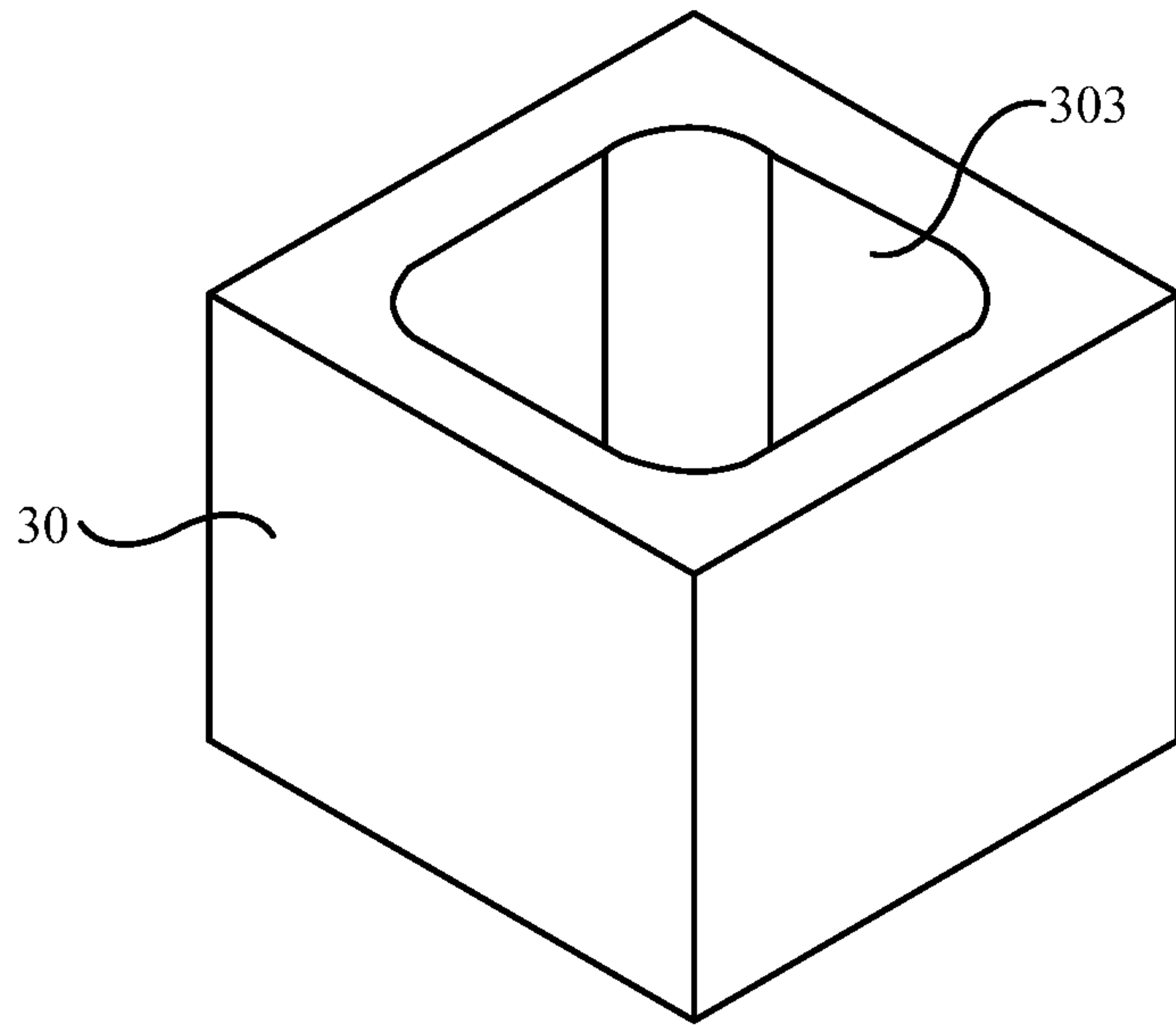


图 6a

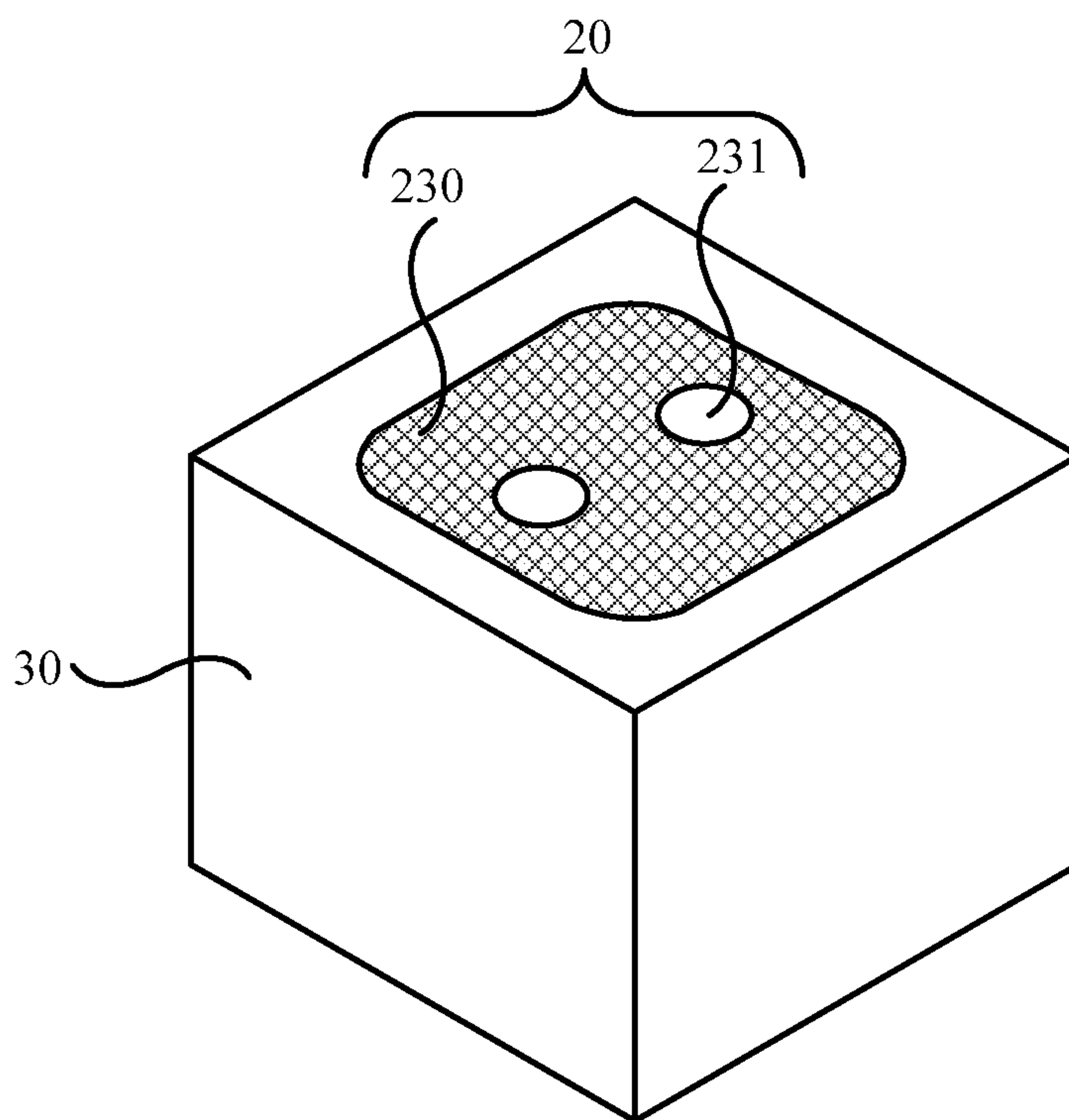


图 6b

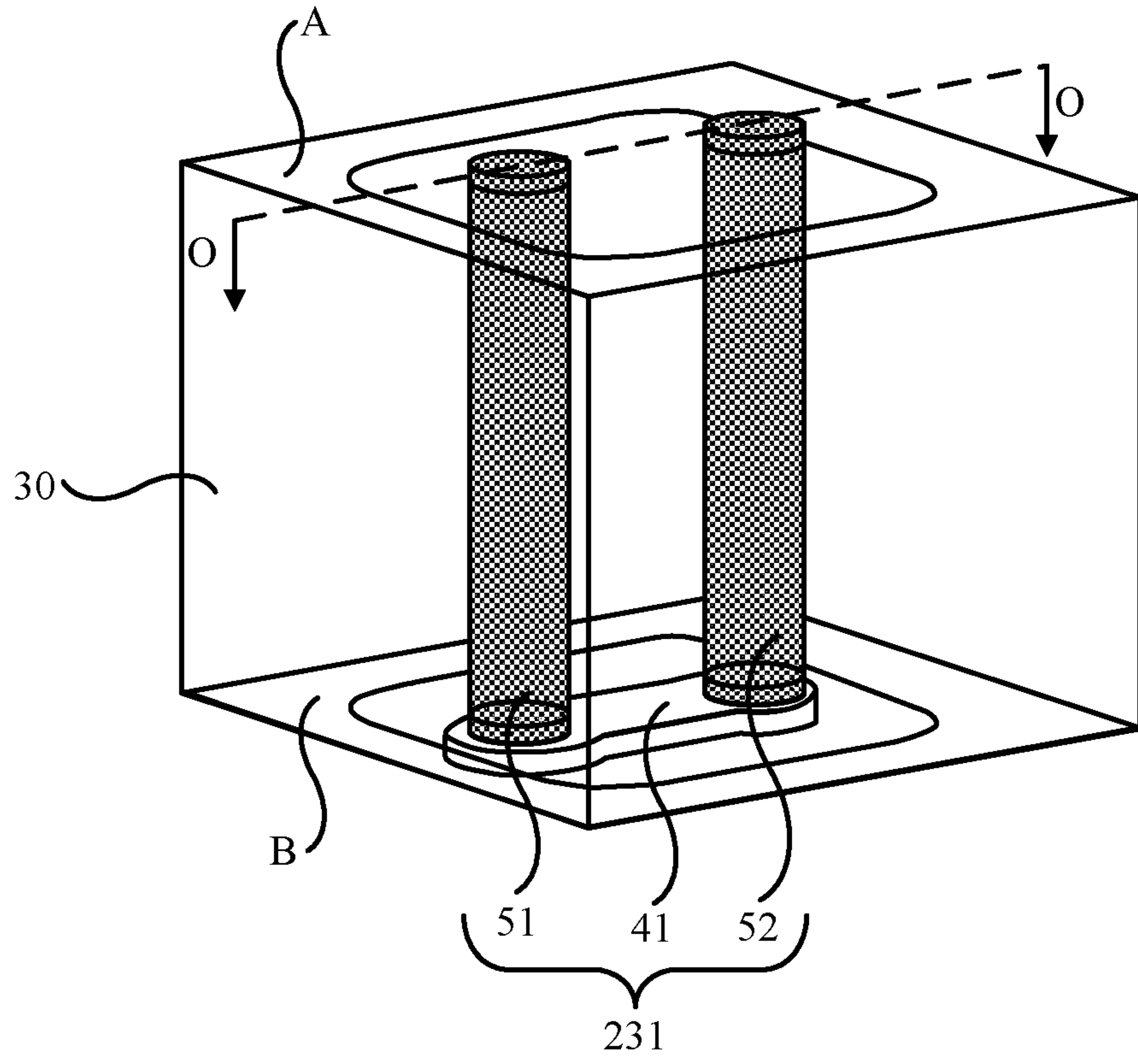


图 7a

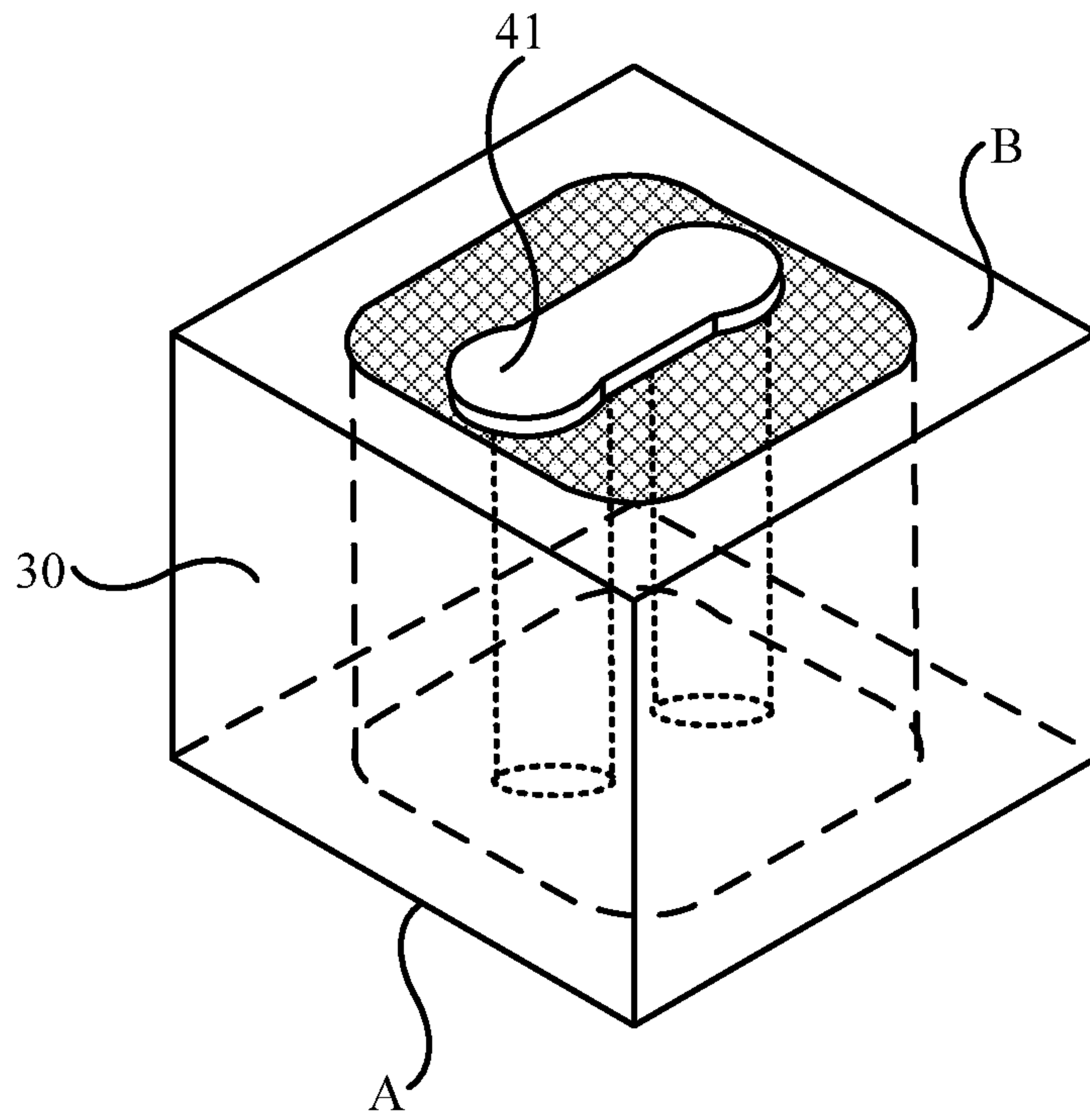


图 7b

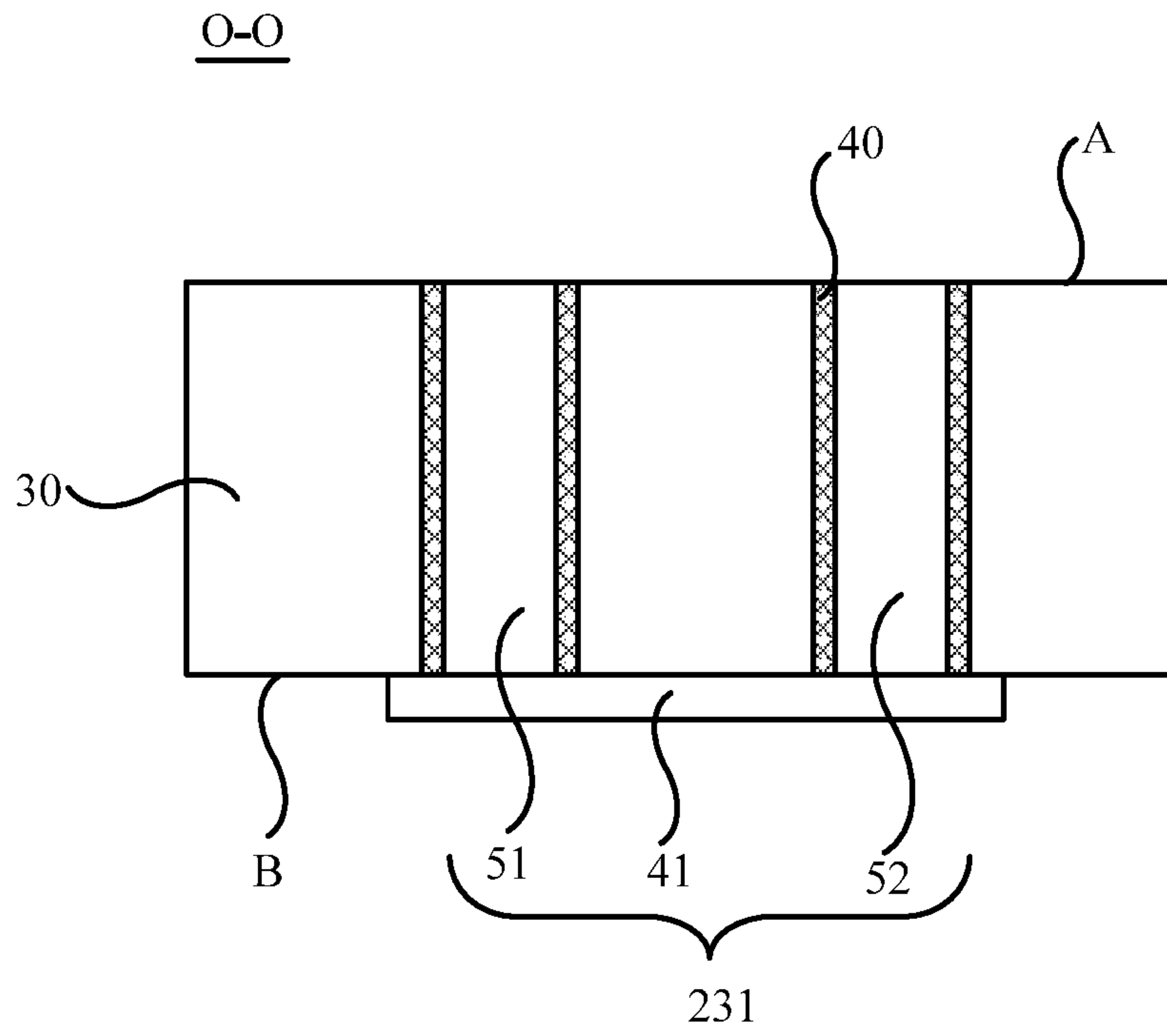


图 7c

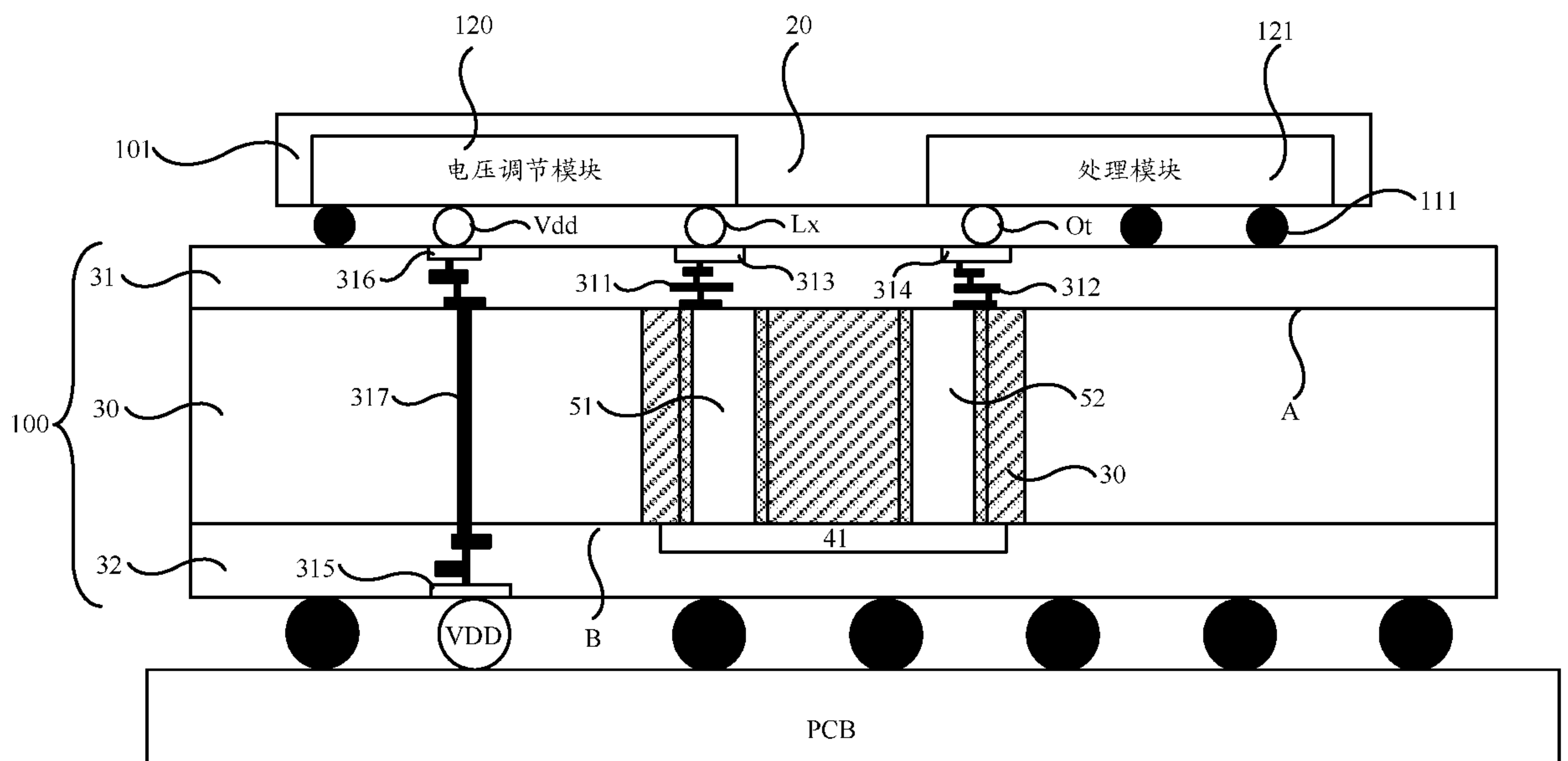


图 8

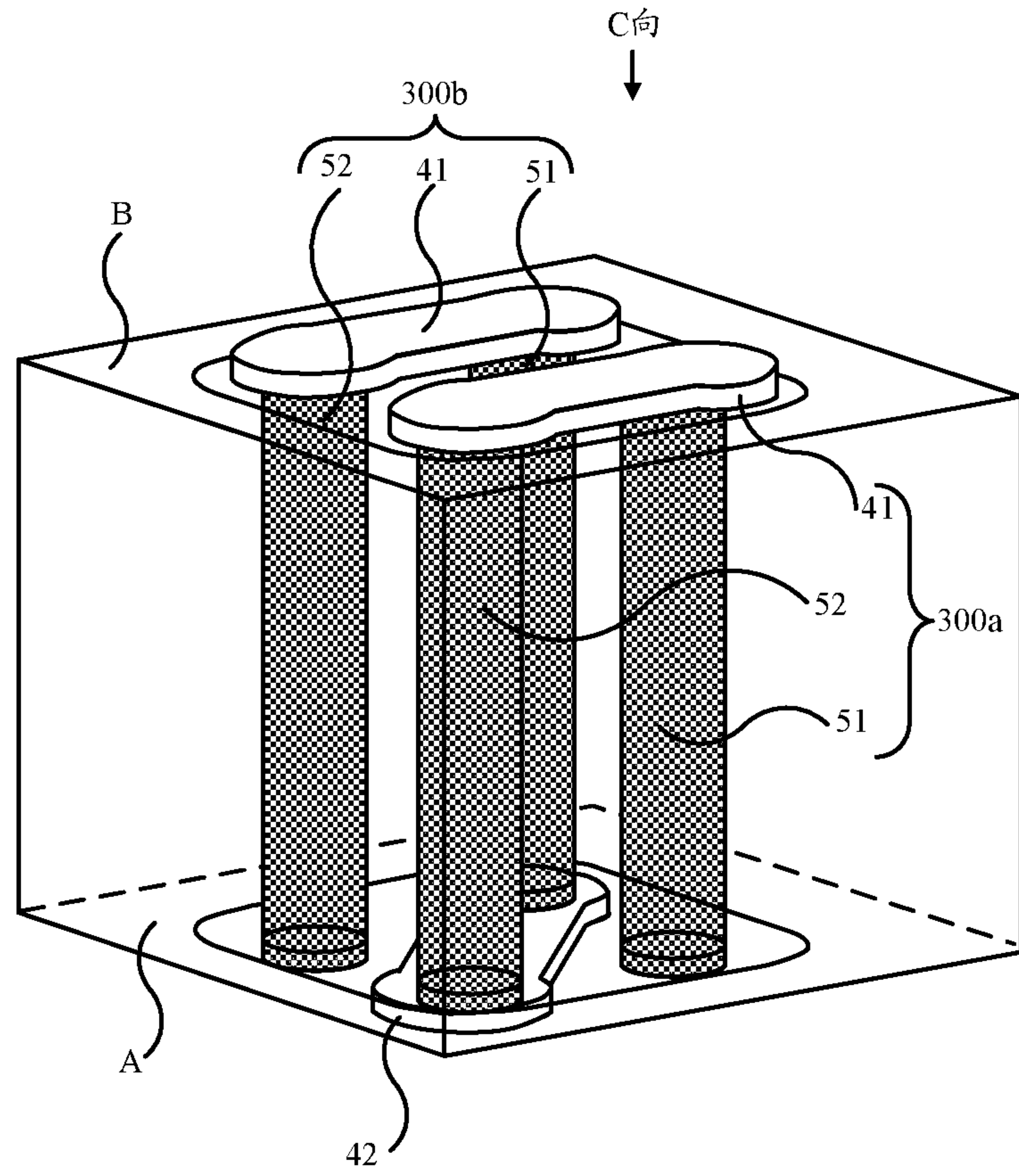


图 9a

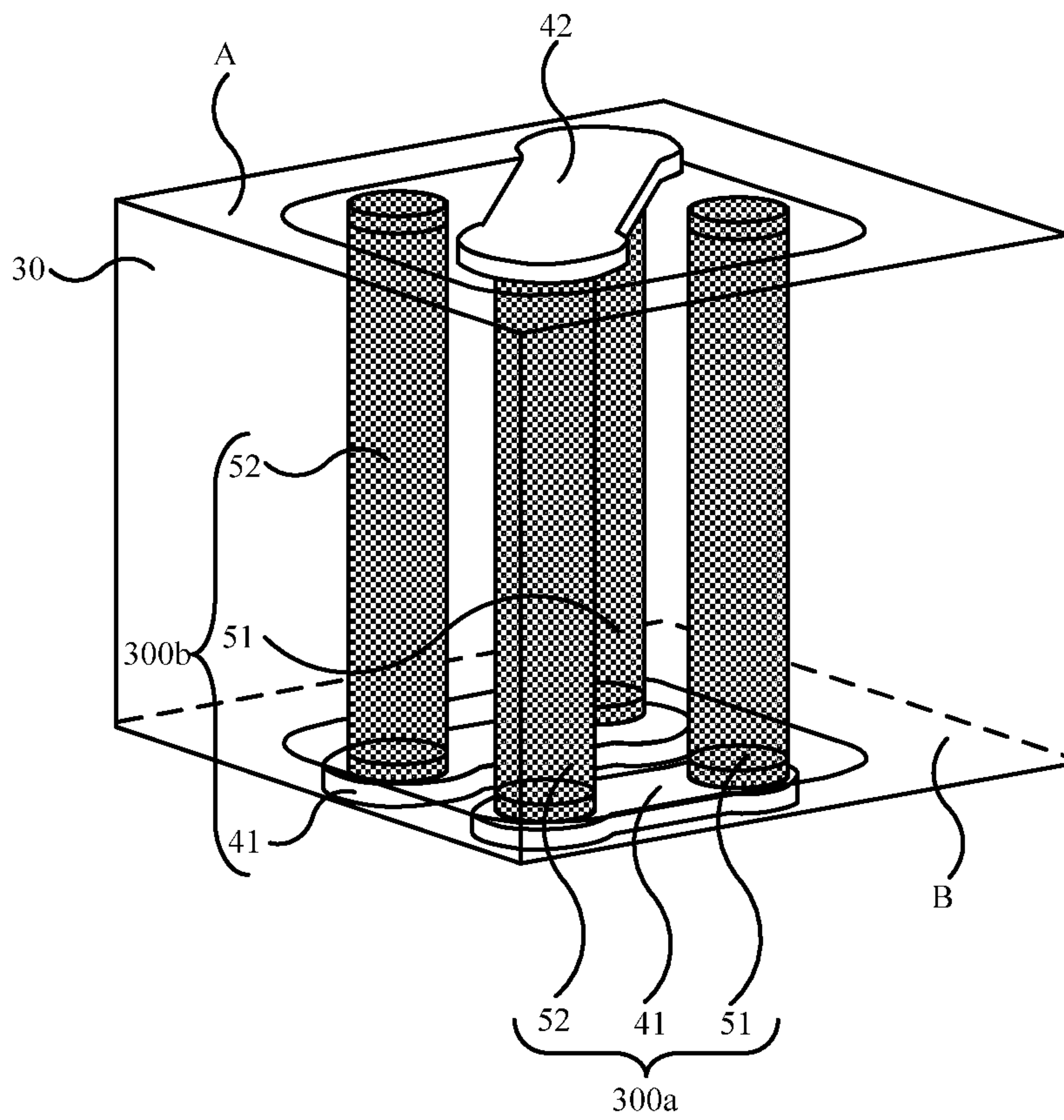


图 9b

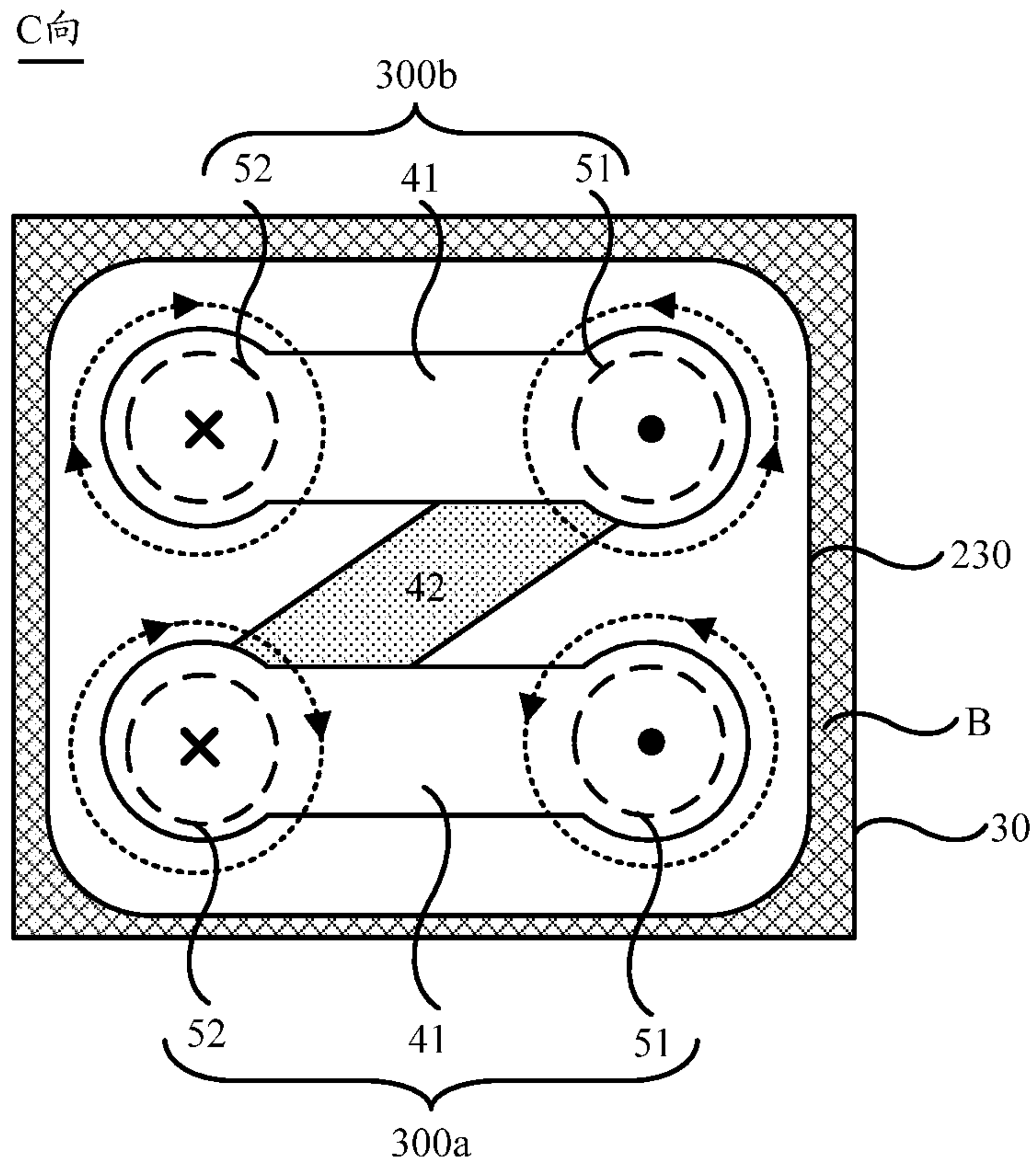


图 10

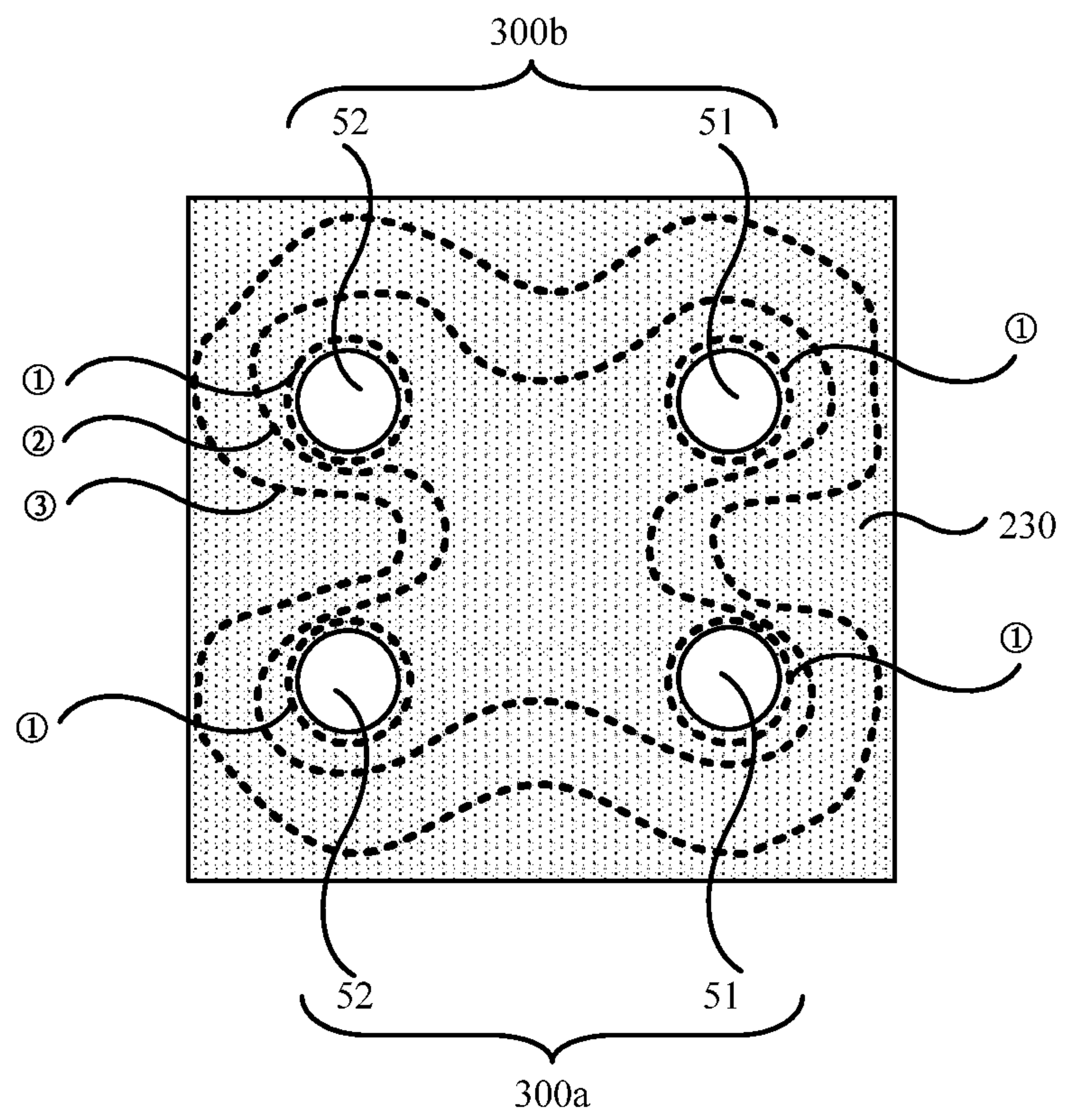


图 11

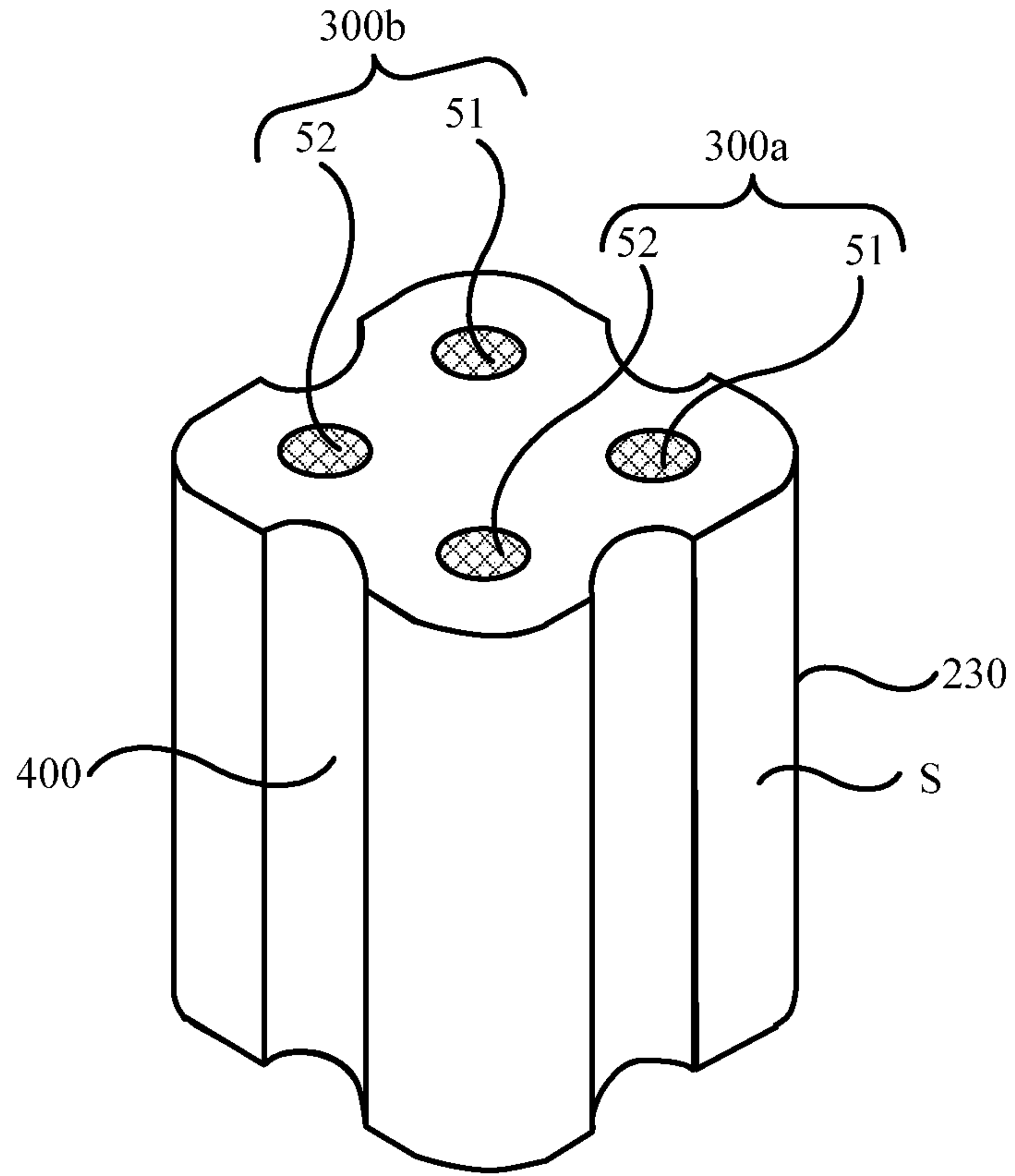


图 12

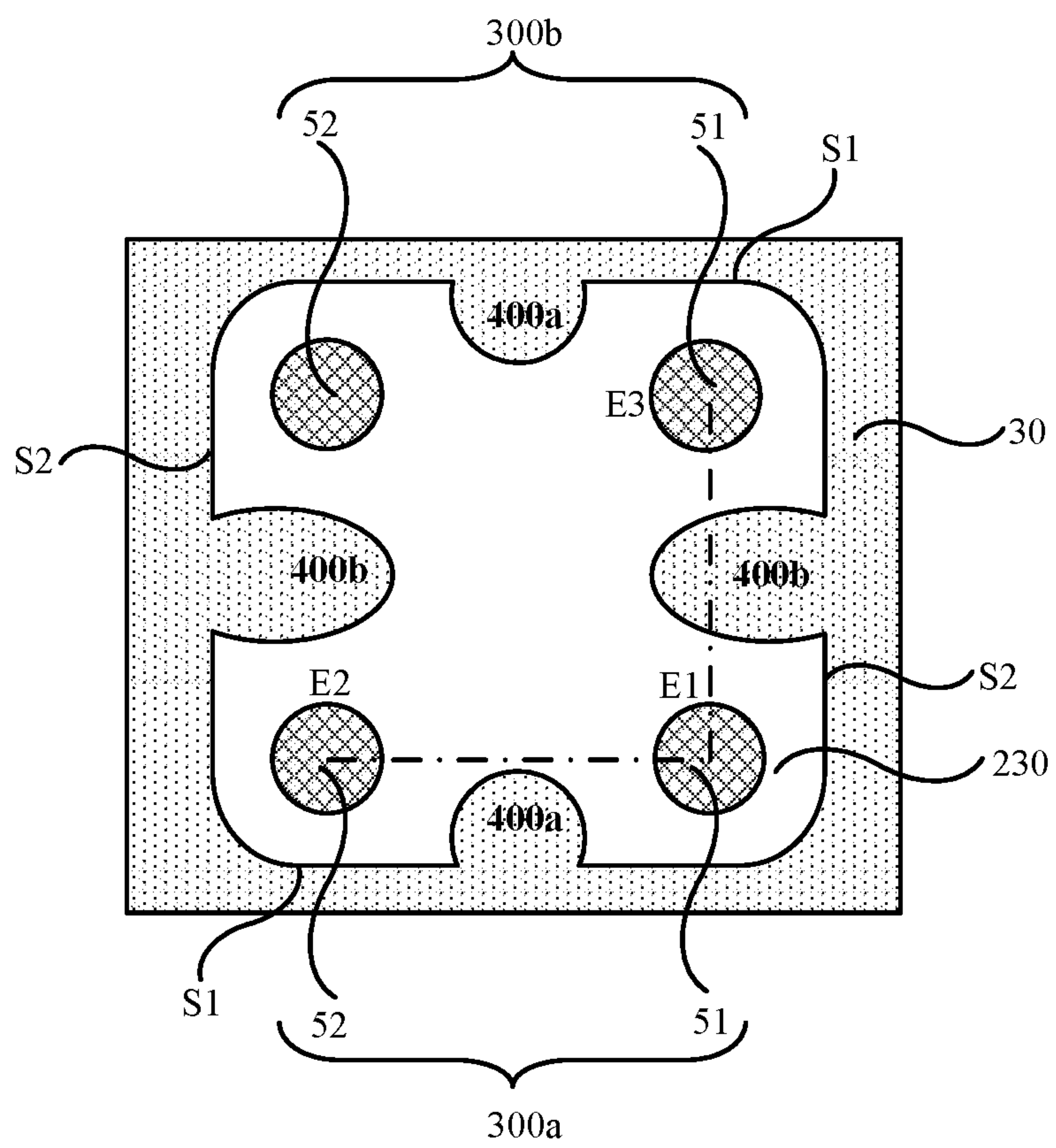


图 13

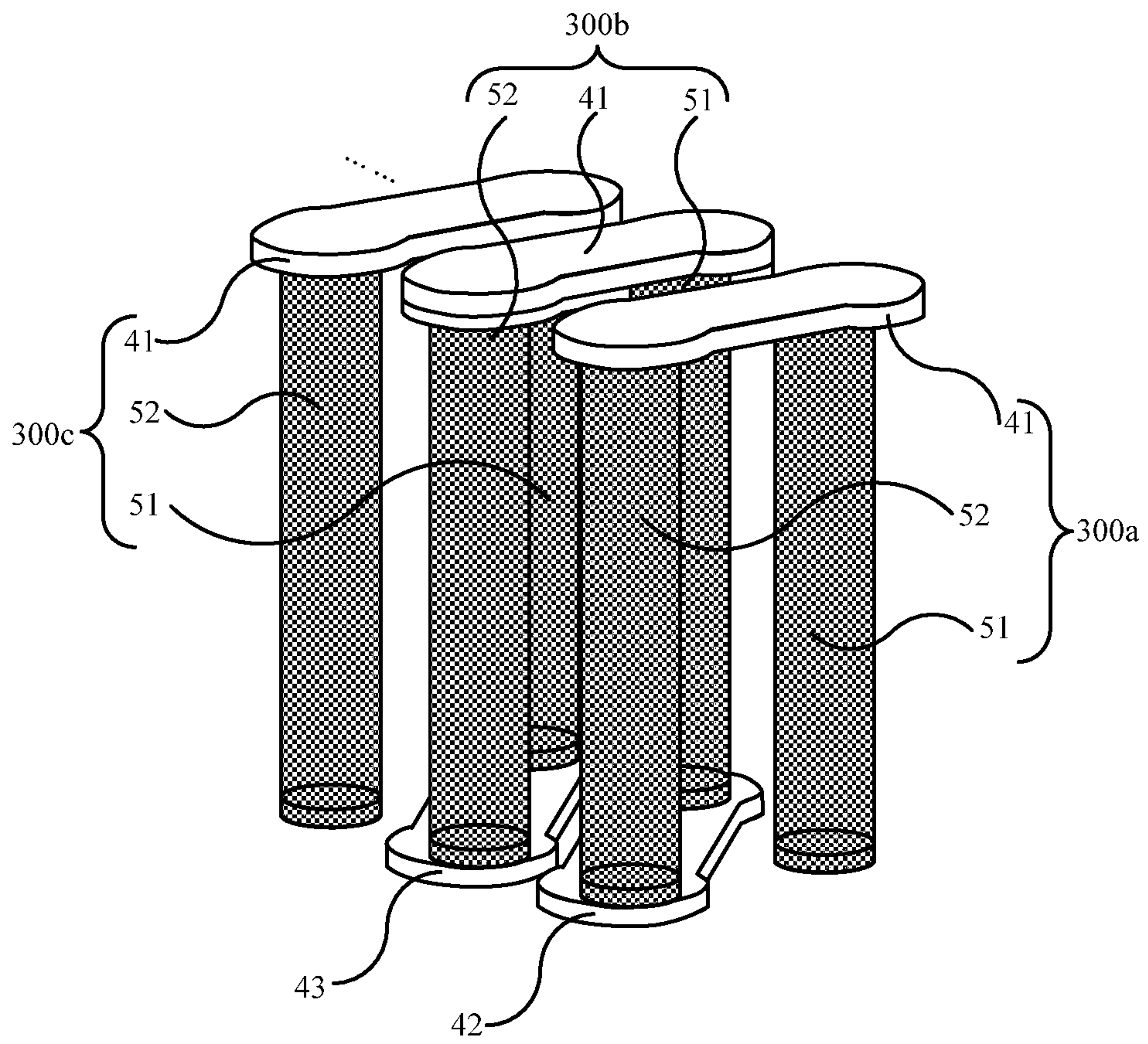


图 14

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2019/122479

A. CLASSIFICATION OF SUBJECT MATTER H01L 23/00(2006.01)i; H01F 27/255(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L; H01F		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) CNPAT, EPODOC, WPI, CNKI, IEEE: 基板, 封装, 集成, 嵌入, 电感, 磁芯, 线圈, 孔, 芯片, 调压, 电压 3w 调, 降压, 转换, 直流-直流, 开关, 电容, substrate, packag+, integrat+, embed, induct+, magnetic, core, via, hole, chip, voltage, regulator, drop, DC 1w DC, switch, capacit+		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 109545518 A (NEC TOKIN CORP.) 29 March 2019 (2019-03-29) description paragraphs [0104]-[0130], paragraphs [0147]-[0165], figures 1-4, 9-10	1-11
Y	CN 109545518 A (NEC TOKIN CORP.) 29 March 2019 (2019-03-29) description paragraphs [0104]-[0130], paragraphs [0147]-[0165], figures 1-4, 9-10	12
Y	CN 107408534 A (ENDURA TECH LLC) 28 November 2017 (2017-11-28) description, paragraphs [0019]-[0039], and figures 1-3	12
A	CN 109671701 A (TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY LIMITED) 23 April 2019 (2019-04-23) entire document	1-12
A	CN 107408513 A (QUALCOMM INC.) 28 November 2017 (2017-11-28) entire document	1-12
A	WO 2019130746 A1 (MURATA MANUFACTURING CO., LTD.) 04 July 2019 (2019-07-04) entire document	1-12
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 07 August 2020		Date of mailing of the international search report 26 August 2020
Name and mailing address of the ISA/CN China National Intellectual Property Administration (ISA/CN) No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088 China		Authorized officer
Facsimile No. (86-10)62019451		Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2019/122479

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	109545518	A	29 March 2019	WO	2014038706	A1	13 March 2014
				JP	6062691	B2	18 January 2017
				CN	104603889	B	30 November 2018
				US	2015235753	A1	20 August 2015
				CN	104603889	A	06 May 2015
				JP	2013243330	A	05 December 2013
				US	2019043654	A1	07 February 2019
				KR	20150053900	A	19 May 2015
CN	107408534	A	28 November 2017	US	9576900	B2	21 February 2017
				US	2018019201	A1	18 January 2018
				EP	3257079	A4	21 November 2018
				US	2016233192	A1	11 August 2016
				WO	2016130859	A1	18 August 2016
				EP	3257079	A1	20 December 2017
				CN	107408534	B	29 November 2019
				US	10256189	B2	09 April 2019
CN	109671701	A	23 April 2019	US	2019115317	A1	18 April 2019
				US	10522509	B2	31 December 2019
				US	2019348396	A1	14 November 2019
				US	10403600	B2	03 September 2019
				TW	201916319	A	16 April 2019
				US	2019115318	A1	18 April 2019
				TW	I668836	B	11 August 2019
				CN	107408513	A	28 November 2017
EP	3254309	A1	13 December 2017				
US	9496213	B2	15 November 2016				
KR	20170096200	A	23 August 2017				
JP	2018508989	A	29 March 2018				
KR	101880409	B1	19 July 2018				
BR	112017016758	A2	10 April 2018				
US	2016233153	A1	11 August 2016				
WO	2016126881	A1	11 August 2016				
JP	6285617	B1	28 February 2018				
CN	107408513	B	14 June 2019				
IN	201727022590	A	18 August 2017				
WO	2019130746	A1	04 July 2019	TW	201939711	A	01 October 2019

<p>A. 主题的分类</p> <p>H01L 23/00(2006.01)i; H01F 27/255(2006.01)i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																							
<p>B. 检索领域</p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>H01L; H01F</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))</p> <p>CNPAT, EPODOC, WPI, CNKI, IEEE: 基板, 封装, 集成, 嵌入, 电感, 磁芯, 线圈, 孔, 芯片, 调压, 电压 3w 调, 降压, 转换, 直流-直流, 开关, 电容, substrate, packag+, integrat+, embed, induct+, magnetic, core, via, hole, chip, voltage, regulator, drop, DC 1w DC, switch, capacit+</p>																							
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>CN 109545518 A (株式会社东金) 2019年 3月 29日 (2019 - 03 - 29) 说明书第[0104]-[0130]段、第[0147]-[0165]段, 图1-4、9-10</td> <td>1-11</td> </tr> <tr> <td>Y</td> <td>CN 109545518 A (株式会社东金) 2019年 3月 29日 (2019 - 03 - 29) 说明书第[0104]-[0130]段、第[0147]-[0165]段, 图1-4、9-10</td> <td>12</td> </tr> <tr> <td>Y</td> <td>CN 107408534 A (恩都冉科技) 2017年 11月 28日 (2017 - 11 - 28) 说明书第[0019]-[0039]段, 图1-3</td> <td>12</td> </tr> <tr> <td>A</td> <td>CN 109671701 A (台湾积体电路制造股份有限公司) 2019年 4月 23日 (2019 - 04 - 23) 全文</td> <td>1-12</td> </tr> <tr> <td>A</td> <td>CN 107408513 A (高通股份有限公司) 2017年 11月 28日 (2017 - 11 - 28) 全文</td> <td>1-12</td> </tr> <tr> <td>A</td> <td>WO 2019130746 A1 (MURATA MANUFACTURING CO., LTD.) 2019年 7月 4日 (2019 - 07 - 04) 全文</td> <td>1-12</td> </tr> </tbody> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	CN 109545518 A (株式会社东金) 2019年 3月 29日 (2019 - 03 - 29) 说明书第[0104]-[0130]段、第[0147]-[0165]段, 图1-4、9-10	1-11	Y	CN 109545518 A (株式会社东金) 2019年 3月 29日 (2019 - 03 - 29) 说明书第[0104]-[0130]段、第[0147]-[0165]段, 图1-4、9-10	12	Y	CN 107408534 A (恩都冉科技) 2017年 11月 28日 (2017 - 11 - 28) 说明书第[0019]-[0039]段, 图1-3	12	A	CN 109671701 A (台湾积体电路制造股份有限公司) 2019年 4月 23日 (2019 - 04 - 23) 全文	1-12	A	CN 107408513 A (高通股份有限公司) 2017年 11月 28日 (2017 - 11 - 28) 全文	1-12	A	WO 2019130746 A1 (MURATA MANUFACTURING CO., LTD.) 2019年 7月 4日 (2019 - 07 - 04) 全文	1-12
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求																					
X	CN 109545518 A (株式会社东金) 2019年 3月 29日 (2019 - 03 - 29) 说明书第[0104]-[0130]段、第[0147]-[0165]段, 图1-4、9-10	1-11																					
Y	CN 109545518 A (株式会社东金) 2019年 3月 29日 (2019 - 03 - 29) 说明书第[0104]-[0130]段、第[0147]-[0165]段, 图1-4、9-10	12																					
Y	CN 107408534 A (恩都冉科技) 2017年 11月 28日 (2017 - 11 - 28) 说明书第[0019]-[0039]段, 图1-3	12																					
A	CN 109671701 A (台湾积体电路制造股份有限公司) 2019年 4月 23日 (2019 - 04 - 23) 全文	1-12																					
A	CN 107408513 A (高通股份有限公司) 2017年 11月 28日 (2017 - 11 - 28) 全文	1-12																					
A	WO 2019130746 A1 (MURATA MANUFACTURING CO., LTD.) 2019年 7月 4日 (2019 - 07 - 04) 全文	1-12																					
<p><input type="checkbox"/> 其余文件在C栏的续页中列出。</p> <p><input checked="" type="checkbox"/> 见同族专利附件。</p>																							
<p>* 引用文件的具体类型:</p> <p>“A” 认为不特别相关的表示了现有技术一般状态的文件</p> <p>“E” 在国际申请日的当天或之后公布的在先申请或专利</p> <p>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)</p> <p>“O” 涉及口头公开、使用、展览或其他方式公开的文件</p> <p>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件</p> <p>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了解发明之理论或原理的在后文件</p> <p>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</p> <p>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</p> <p>“&” 同族专利的文件</p>																							
<p>国际检索实际完成的日期</p> <p>2020年 8月 7日</p>		<p>国际检索报告邮寄日期</p> <p>2020年 8月 26日</p>																					
<p>ISA/CN的名称和邮寄地址</p> <p>中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088</p> <p>传真号 (86-10)62019451</p>		<p>授权官员</p> <p>马泽宇</p> <p>电话号码 86-(10)-53961229</p>																					

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2019/122479

检索报告引用的专利文件	公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN 109545518 A	2019年 3月 29日	WO 2014038706 A1 JP 6062691 B2 CN 104603889 B US 2015235753 A1 CN 104603889 A JP 2013243330 A US 2019043654 A1 KR 20150053900 A	2014年 3月 13日 2017年 1月 18日 2018年 11月 30日 2015年 8月 20日 2015年 5月 6日 2013年 12月 5日 2019年 2月 7日 2015年 5月 19日
CN 107408534 A	2017年 11月 28日	US 9576900 B2 US 2018019201 A1 EP 3257079 A4 US 2016233192 A1 WO 2016130859 A1 EP 3257079 A1 CN 107408534 B US 10256189 B2	2017年 2月 21日 2018年 1月 18日 2018年 11月 21日 2016年 8月 11日 2016年 8月 18日 2017年 12月 20日 2019年 11月 29日 2019年 4月 9日
CN 109671701 A	2019年 4月 23日	US 2019115317 A1 US 10522509 B2 US 2019348396 A1 US 10403600 B2 TW 201916319 A US 2019115318 A1 TW I668836 B	2019年 4月 18日 2019年 12月 31日 2019年 11月 14日 2019年 9月 3日 2019年 4月 16日 2019年 4月 18日 2019年 8月 11日
CN 107408513 A	2017年 11月 28日	SG 11201705347R A EP 3254309 A1 US 9496213 B2 KR 20170096200 A JP 2018508989 A KR 101880409 B1 BR 112017016758 A2 US 2016233153 A1 WO 2016126881 A1 JP 6285617 B1 CN 107408513 B IN 201727022590 A	2017年 8月 30日 2017年 12月 13日 2016年 11月 15日 2017年 8月 23日 2018年 3月 29日 2018年 7月 19日 2018年 4月 10日 2016年 8月 11日 2016年 8月 11日 2018年 2月 28日 2019年 6月 14日 2017年 8月 18日
WO 2019130746 A1	2019年 7月 4日	TW 201939711 A	2019年 10月 1日