

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3705123号

(P3705123)

(45) 発行日 平成17年10月12日(2005.10.12)

(24) 登録日 平成17年8月5日(2005.8.5)

(51) Int. Cl.⁷

F I

G09G 3/20
G02F 1/133
G09G 3/36

G09G 3/20 641E
G09G 3/20 623G
G09G 3/20 624B
G02F 1/133 550
G09G 3/36

請求項の数 10 (全 29 頁)

(21) 出願番号 特願2000-369906 (P2000-369906)
(22) 出願日 平成12年12月5日(2000.12.5)
(65) 公開番号 特開2002-169503 (P2002-169503A)
(43) 公開日 平成14年6月14日(2002.6.14)
審査請求日 平成16年4月20日(2004.4.20)

(73) 特許権者 000002369
セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号
(74) 代理人 100095728
弁理士 上柳 雅誉
(74) 代理人 100107261
弁理士 須澤 修
(72) 発明者 小澤 徳郎
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
(72) 発明者 石黒 英人
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

審査官 濱本 禎広

最終頁に続く

(54) 【発明の名称】 電気光学装置、階調表示方法および電子機器

(57) 【特許請求の範囲】

【請求項1】

階調を指示する階調データの各ビットをそれぞれ記憶するメモリと、行方向および列方向にわたってマトリクス状に配設された複数の画素とを備えた電気光学装置における階調表示方法であって、

階調表示させる際に、1フィールドを前記階調データのビット数に応じたサブフィールドに分割するとともに、

各サブフィールドの期間を、それぞれ前記ビットの重みに対応して設定し、

一のサブフィールドにあって、一の画素に対して、

当該画素に対応する階調データのうち、当該サブフィールドに対応するビットを、前記メモリから読み出してラッチするとともに、当該ビットにしたがって、前記画素の各々をオン表示またはオフ表示させ、

ラッチした前記ビットを、読み出した前記メモリに再度書き込む

ことを特徴とする階調表示方法。

【請求項2】

行方向および列方向にわたってマトリクス状に配設された複数の画素を備える一方、

1フィールドを、階調データのビット数に応じたサブフィールドに分割するとともに、

各サブフィールドの期間を、それぞれ前記ビットの重みに対応して設定し、

サブフィールド毎に、前記階調データのうち対応するビットにしたがって、前記画素の各々をオン表示またはオフ表示させる電気光学装置であって、

前記画素毎に、
前記階調データの各ビットをそれぞれ記憶するメモリと、
前記メモリのうち、サブフィールドに対応するビットを記憶するメモリを選択するセレクタと、

前記セレクタにより選択されたメモリに記憶されているビットを読み出してラッチするとともに、前記セレクタにより選択されたメモリに再度書き込むラッチ回路と、

前記セレクタにより選択されたメモリから読み出したビットにしたがって、オン表示またはオフ表示に対応する電圧を選択するオンオフ選択スイッチと、

前記オンオフ選択スイッチにより選択された電圧が印加される画素電極とを具備することを特徴とする電気光学装置。

10

【請求項 3】

前記メモリは、

ビットの書込タイミングを示す書込制御信号がアクティブレベルになった場合に、前記階調データのビットを転送する第 1 転送スイッチと、

前記転送スイッチにより転送されたビットに応じた電圧を保持する保持素子とからなることを特徴とする請求項 2 に記載の電気光学装置。

【請求項 4】

前記ラッチ回路が、前記セレクタにより選択されたメモリに記憶されているビットを読み出してラッチするまで、当該メモリへの再書込を禁止する再書込禁止スイッチを、さらに備える

ことを特徴とする請求項 2 に記載の電気光学装置。

20

【請求項 5】

ビットの書込タイミングを示す書込制御信号がアクティブレベルになった場合に、書き込みを許可する書込許可信号を転送する第 2 転送スイッチを備え、

前記メモリは、

前記第 2 転送スイッチにより転送された書込許可信号がアクティブレベルであるときだけ、前記階調データのビットを書き込む

ことを特徴とする請求項 2 に記載の電気光学装置。

【請求項 6】

前記オンオフ選択スイッチによる選択が、各サブフィールドにおいて、すべての画素にわたって一斉に行われる

ことを特徴とする請求項 2 に記載の電気光学装置。

30

【請求項 7】

前記オンオフ選択スイッチによる選択が、各サブフィールドにおいて、行毎に順次行われる

ことを特徴とする請求項 2 に記載の電気光学装置。

【請求項 8】

前記セレクタは、

前記メモリ of 各々と前記ラッチ回路との間にそれぞれ介挿されたスイッチング素子であって、サブフィールド毎にいずれかの 1 つだけが排他的にアクティブレベルになるサブフィールド選択信号にしたがってオンするスイッチング素子からなる

ことを特徴とする請求項 2 に記載の電気光学装置。

40

【請求項 9】

前記セレクタは、

前記メモリ of 各々と前記ラッチ回路との間における経路のうち、サブフィールドを特定するデータにしたがっていずれかの 1 つの経路だけを排他的にオンさせる複数のスイッチング素子からなる

ことを特徴とする請求項 2 に記載の電気光学装置。

【請求項 10】

50

請求項 2 乃至 9 のいずれか一に記載の電気光学装置を備えることを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、高品位な階調表示を低消費電力で可能とする電気光学装置、その階調表示方法および電子機器に関する。

【0002】

【従来の技術】

一般に、電気光学装置とは、電気光学材料の電気光学変化を用いて、表示等を行うものである。このような電気光学装置のうち、例えば、電気光学材料として液晶を用いた液晶装置は、次のような構成となっている。すなわち、液晶装置は、マトリクス状に配列した画素電極や、この画素電極に接続されたスイッチング素子などが設けられた素子基板と、画素電極に対向する対向電極が形成された対向基板と、これら両基板との間に挟持された電気光学材料としての液晶とから構成されている。

10

【0003】

このような構成において、スイッチング素子を導通状態にして、画素電極に、階調に応じた電圧信号を印加すると、当該画素電極および対向電極により液晶を挟持してなる液晶容量に、当該電圧信号に応じた電荷が蓄積される。そして、電荷蓄積後、当該スイッチング素子をオフ状態にしても、当該液晶容量における電荷の蓄積は、液晶容量自身などによって維持される。このように、各スイッチング素子を駆動させ、蓄積させる電荷量を階調に応じて制御すると、液晶の配向状態が変化するので、画素毎に濃度が変化することになって、所定の階調表示が可能になる。

20

【0004】

ところが、画素電極に印加される電圧信号は、階調に対応する電圧、すなわちアナログ信号であるので、各種の素子特性や配線抵抗などの不均一性に起因して、表示ムラが発生しやすい、という欠点がある。

【0005】

そこで、このような欠点を解消するため、近年では、1フィールド(フレーム)を、階調データのビットに応じて分割するとともに、各サブフィールドの期間を、それぞれビットの重みに対応して設定し、サブフィールド毎に、そのサブフィールドに対応するビットにしたがって、画素電極にオン電圧またはオフ電圧を印加させることによって、1フィールドを1周期としてみた場合に、液晶容量に印加される電圧実効値を、各サブフィールドでのオン電圧またはオフ電圧の印加に応じた値に制御して階調表示を行う、という技術が提案されている。このような方法によれば、配線に供給される信号が、画素のオンまたはオフのいずれかを指示する2値的な信号で済むので、各種の素子特性や配線抵抗などの不均一性に起因する問題を解消することができる。

30

【0006】

【発明が解決しようとする課題】

しかしながら、このような方法では、画素のオンまたはオフを指示する信号を、1フィールドを複数に分割したサブフィールド毎に供給しなければならない。すなわち、画素のオンまたはオフを指示する信号を、サブフィールドに分割しない構成よりも、高い頻度で供給する必要があり、このため、消費電力が増加する、という問題があった。

40

【0007】

本発明は、上述した事情に鑑みてなされたものであり、その目的は、各種の素子特性や配線抵抗などの不均一性に起因する表示ムラの発生を抑えた高品位な表示を、低い消費電力で可能とする電気光学装置、その階調表示方法および電子機器を提供することにある。

【0008】

【課題を解決するための手段】

上記目的を達成するため、本件第1発明は、階調を指示する階調データの各ビットをそ

50

れぞれ記憶するメモリと、行方向および列方向にわたってマトリクス状に配設された複数の画素とを備えた電気光学装置における階調表示方法であって、階調表示させる際に、1フィールドを前記階調データのビット数に応じたサブフィールドに分割するとともに、各サブフィールドの期間を、それぞれ前記ビットの重みに対応して設定し、一のサブフィールドにあって、一の画素に対して、当該画素に対応する階調データのうち、当該サブフィールドに対応するビットを、前記メモリから読み出してラッチするとともに、当該ビットにしたがって、前記画素の各々をオン表示またはオフ表示させ、ラッチした前記ビットを、読み出した前記メモリに再度書き込む方法の特徴としている。

【0009】

この方法によれば、画素は、メモリに記憶されたビットにしたがってオン表示またはオフ表示するので、サブフィールド毎に、対応するビットを供給する必要がなくなり、さらに、メモリから読み出したビットを画素内でラッチして、該メモリに再度書き込むので、読み出しにより記憶内容が破壊されることもない。したがって、表示内容に変更がなければ、階調データの供給が不要となるので、その分、書込動作を簡略化して、書き換えに伴う電力消費を低く抑えることが可能となる。なお、本発明において、1フィールドとは、水平走査および垂直走査することにより、1枚のラスト画像を形成するのに要する期間という意味で用いている。したがって、ノンインターレース方式における1フレームも、本発明にいう1フィールドに相当する点に留意されたい。

【0010】

次に、上記目的を達成するため、本件第2発明は、行方向および列方向にわたってマトリクス状に配設された複数の画素を備える一方、1フィールドを、階調データのビット数に応じたサブフィールドに分割するとともに、各サブフィールドの期間を、それぞれ前記ビットの重みに対応して設定し、サブフィールド毎に、前記階調データのうち対応するビットにしたがって、前記画素の各々をオン表示またはオフ表示させる電気光学装置であって、前記画素毎に、前記階調データの各ビットをそれぞれ記憶するメモリと、前記メモリのうち、サブフィールドに対応するビットを記憶するメモリを選択するセレクタと、前記セレクタにより選択されたメモリに記憶されているビットを読み出してラッチするとともに、前記セレクタにより選択されたメモリに再度書き込むラッチ回路と、前記セレクタにより選択されたメモリから読み出したビットにしたがって、オン表示またはオフ表示に対応する電圧を選択するオンオフ選択スイッチと、前記オンオフ選択スイッチにより選択された電圧が印加される画素電極とを具備することを特徴とする。

【0011】

この構成によれば、画素電極には、メモリに記憶されたビットにしたがってオンまたはオフに対応する電圧が印加されるので、サブフィールド毎に、対応するビットを供給する必要がなく、さらに、メモリから読み出したビットを画素内のラッチ回路によりラッチして、該メモリに再度書き込むので、読み出しにより記憶内容が破壊されることもない。したがって、表示内容に変更がなければ、階調データの供給が不要となるので、その分、書込動作を簡略化して、書き換えに伴う電力消費を低く抑えることが可能となる。

【0012】

ここで、第2発明において、前記メモリは、ビットの書込タイミングを示す書込制御信号がアクティブレベルになった場合に、前記階調データのビットを転送する第1転送スイッチと、前記転送スイッチにより転送されたビットに応じた電圧を保持する保持素子とからなる構成が好ましい。この構成によれば、メモリが、DRAM(Dynamic Random Access Memory)構造となるので、構成の簡易化が図られる。

一方、第2発明においては、前記ラッチ回路が、前記セレクタにより選択されたメモリに記憶されているビットを読み出してラッチするまで、当該メモリへの再書き込みを禁止する再書込禁止スイッチを、さらに備える構成も好ましい。この構成によれば、ビットの読出と再書込との競合が防止されるので、ビット化けが防止される。

【0013】

また、第2の発明において、ビットの書込タイミングを示す書込制御信号がアクティブレ

10

20

30

40

50

ベルになった場合に、書き込みを許可する書込許可信号を転送する第2転送スイッチを備え、前記メモリは、前記第2転送スイッチにより転送された書込許可信号がアクティブレベルであるときだけ、前記階調データのビットを書き込む構成が望ましい。この構成によれば、書込制御信号が、多数の画素にわたって共用される場合、書込制御信号がアクティブレベルになっても、書込許可信号が非アクティブレベルであれば、メモリへの書き込みは行われない。すなわち、したがって、書込制御信号および書込許可信号がともにアクティブレベルになったときだけ、メモリへの書き込みが行われる。このため、必要のないメモリへの書き込みが防止されるので、その分、消費電力を低く抑えることが可能となる。

【0014】

一方、第2発明において、前記オンオフ選択スイッチによる選択が、各サブフィールドにおいて、すべての画素にわたって一斉に行われる構成が好ましいが、前記オンオフ選択スイッチによる選択が、各サブフィールドにおいて、行毎に順次行われる構成の方が、より好ましい。すなわち、オンオフ選択スイッチにより選択された電圧が画素電極に印加される動作が、一斉に行われる構成では、瞬間的に動作するスイッチが非常に多数になるので、ピーク消費電力が大きくなる結果、電源回路の構成が複雑化する。一方、オンオフ選択スイッチにより選択された電圧が画素電極に印加される動作が、行毎に線順次的に行われると、瞬間的に動作するスイッチが減少するので、電源回路の構成が簡略化されるが、線順次的動作のための構成が複雑化することもある。

【0015】

ここで、第2発明におけるセレクトタとしては、前記メモリの各々と前記ラッチ回路との間にそれぞれ介挿されたスイッチング素子であって、サブフィールド毎にいずれかの1つだけが排他的にアクティブレベルになるサブフィールド選択信号にしたがってオンするスイッチング素子からなる第1の態様や、前記メモリの各々と前記ラッチ回路との間における経路のうち、サブフィールドを特定するデータにしたがっていずれかの1つの経路だけを排他的にオンさせる複数のスイッチング素子からなる第2の態様が考えられる。このうち、後者に係る第2の態様によれば、メモリとラッチ回路との間における経路長は、第1の態様と比較して短くなるので、当該経路において寄生する容量を減少させることができる。このため、第2の態様によれば、階調データのビットをメモリからラッチ回路に転送する際に、チャージシュアリングで失われる電荷量を抑えることができるので、その分、ビットの転送を、より確実にすることが可能になる。

【0016】

また、第2発明において、前記画素電極に対し電気光学物質を介して対向する対向電極を備え、前記オフ表示に対応する電圧を、前記対向電極の印加電圧と略同一にする一方、前記オン表示に対応する電圧を、1以上のフィールド毎に、前記オフ表示に対応する電圧に対して反転して供給する構成が好ましい。この構成によれば、電気光学物質は、交流駆動されるので、直流成分が印加されるのを防止することができる。

【0017】

このような交流駆動は、次のような構成でも可能である。すなわち、第2発明において、前記画素電極に対し電気光学物質を介して対向する対向電極を備え、前記オフ表示に対応する電圧を、前記対向電極の印加電圧と略同一にする一方、前記オンオフ選択スイッチは、前記オン表示に対応する電圧を選択する際に、書込極性を指示する極性信号にしたがって、1以上のフィールド毎に、前記オフ表示に対応する電圧に対して電圧差が略等しい正極側電圧および負極側電圧を交互に選択する構成によっても、電気光学物質に直流成分が印加されるのを防止することができる。

【0018】

さらに、電子機器として、上記電気光学装置を備えると、表示ムラの発生を抑えた高品位な表示が、低い消費電力で可能となる。

【0019】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して説明する。

10

20

30

40

50

【0020】

< 1 : 第1実施形態 >

はじめに、本発明の第1実施形態に係る電気光学装置について説明する。この電気光学装置は、電気光学物質として液晶を用いて、その電気光学的な変化により所定のカラー表示を行う透過型の液晶表示装置である。

【0021】

< 1 - 1 : 全体構成 >

まず、この電気光学装置の全体構成について、図1(a)および図1(b)を参照して説明する。ここで、図1(a)は、この電気光学装置の構成を示す斜視図であり、図1(b)は、図1(a)におけるA-A'線の断面図である。

10

【0022】

これらの図に示されるように、電気光学装置100は、各種素子や画素電極118等が形成された素子基板101と、対向電極108等が設けられた対向基板102とが、スペーサ103を含むシール材104によって一定の間隙を保って、互いに電極形成面が対向するように貼り合わせられるとともに、この間隙に電気光学物質として例えばTN(Twisted Nematic)型の液晶105が封入された構成となっている。

【0023】

なお、素子基板101には、本実施形態では、ガラスや、半導体、石英などが用いられるが、不透明な基板を用いても良い。ただし、素子基板101に、不透明な基板を用いる場合には、透過型ではなく反射型として用いる必要がある。また、シール材104は、対向基板102の周辺に沿って形成されるが、液晶105を封入するために一部が開口している。このため、液晶105の封入後に、その開口部分が封止材106によって封止されている。

20

【0024】

次に、素子基板101の対向面であって、シール材104の外側一辺に位置する領域150aには、階調データを列方向に供給するための回路が後述するように形成されている。さらに、この一辺の外周部分には、複数の実装端子107が形成されて、外部回路から各種信号を入力する構成となっている。

【0025】

また、この一辺に隣接する2辺に位置する領域130aには、それぞれ書込制御信号や、サブフィールドを特定するための信号など出力する回路が形成されて、行方向の両側から画素に供給する構成となっている。なお、行方向に供給される各種信号の遅延が問題にならないのであれば、これらの信号を出力する回路を片側1個の領域130aのみに形成する構成でも良い。また、残りの一辺には、2個の領域130aに形成される回路において共用される配線(図示省略)などが設けられる。

30

【0026】

一方、対向基板102に設けられる対向電極108は、素子基板101との貼合部分における4隅のうち、少なくとも1箇所に設けられた銀ペースト等などの導通材によって、素子基板101に形成された実装端子107と電氣的に接続されて、電圧LCcomが印加される構成となっている。

40

ほかに、対向基板102には、特に図示はしないが、画素電極118と対向する領域に、必要に応じて着色層(カラーフィルタ)が設けられる。ただし、後述するプロジェクトのように色光変調の用途に適用する場合、対向基板102に着色層を形成する必要はない。また、着色層を設けると否かにかかわらず、光のリークによるコントラスト比の低下を防止するために、画素電極118と対向する領域以外の部分には遮光膜が設けられている(図示省略)。

【0027】

また、素子基板101および対向基板102の対向面には、液晶105における分子の長軸方向が両基板間で約90度連続的に捻れるようにラビング処理された配向膜が設けられる一方、その各背面側には配向方向に沿った方向に吸収軸が設定された偏光子がそれぞれ

50

設けられる。これにより、液晶容量（画素電極 118 と対向電極 108 との間において液晶 105 を挟持してなる容量）に印加される電圧実効値がゼロであれば、透過率が最大になる一方、電圧実効値が大きくなるにつれて、透過率が徐々に減少して、ついには透過率が最小になる（ノーマリーホワイトモード）。

【0028】

なお、配向膜や偏光子などについては、本件とは直接関係しないので、その図示については省略することにする。また、図 1 (b) においては、対向電極 108 や、画素電極 118、実装端子 107 などには厚みを持たせているが、これは、位置関係を示すための便宜的な措置であり、実際には、基板の厚みに対して無視できるほどに薄い。

【0029】

< 1 - 2 : 電氣的構成 >

次に、本実施形態に係る電気光学装置の電氣的な構成について説明する。図 2 は、この電氣的な構成を示すブロック図である。

【0030】

この図に示されるように、R（赤）、G（緑）、B（青）の画素 120 が、X（行）方向および Y（列）方向にわたって、マトリクス状に配列している。これのうち、列方向において相隣接する R、G、B の画素（サブ画素と呼ぶ場合もある）120 の 3 個が略正方形の 1 ドット（画素と呼ぶ場合もある）を構成している。なお、この電気光学装置の解像度は、説明の便宜上、縦 m ドット × 横 n ドットとする。また、この電気光学装置にあって、ひとつの色の画素 120 は、6 ビットの階調データにしたがって 64（= 2^6 ）階調の表示を行うものとする。したがって、この電気光学装置では、1 ドットについてみれば、26 万色（= $2^{6 \times 3}$ ）のカラー表示が行われることになる。

【0031】

さて、画素 120 の各々は、行方向および列方向に形成されている種々の信号線の交差部分に対応して、それぞれ設けられている。そこで次に、これらの信号線に供給される各種信号について説明する。

まず、行方向に延在する信号線に供給される信号について説明する。

第 1 に、書込制御信号 G W R T 1、G W R T 2、...、G W R T m は、垂直走査期間の最初に供給される転送開始パルス Y sp を、行毎に設けられるシフトレジスタ（S R）130 によって、図 6 に示されるように、クロック信号 Y clk の立ち下がりおよび立ち上がりで順次シフトしたものである。

【0032】

第 2 に、サブフィールド選択信号 G S E L 1 ~ G S E L 6 は、現時点におけるサブフィールドを示すデータ s f c を、デコーダ（s f - D）132 によってデコードしたものであって、図 7 に示されるように、当該時点におけるサブフィールドに応じて、いずれか 1 つのみが排他的に H レベルになるものである。そして、サブフィールド選択信号 G S E L 1 ~ G S E L 6 は、本実施形態では、各行について共通に供給されている。

ここで、サブフィールドとは、図 7 に示されるように、1 フィールド（フレーム）を、階調データのビット数である「6」つに分割するとともに、該階調データのビット重みに対応した期間に設定したものである。すなわち、サブフィールド s f 6、s f 4、s f 3、s f 2、s f 2 および s f 1 は、それぞれ階調データの最上位ビット、2 位ビット、3 位ビット、4 位ビット、5 位ビットおよび最下位ビットに対応するものである。

したがって、現時点におけるサブフィールドが、例えば階調データの 3 位ビットに対応するサブフィールド s f 3 であれば、サブフィールド選択信号 G S E L 3 のみが H レベルになり、他のサブフィールド選択信号 G S E L 1、G S E L 2 および G S E L 4 ~ G S E L 6 は L レベルになる。

【0033】

第 3 に、スイッチング制御信号 G F B は、各行について共通に供給される信号であり、例えば図 7 に示されるように、サブフィールド s f 1 ~ s f 6 の先頭タイミングにおいてのみ L レベルになるものである。

10

20

30

40

50

第4に、定電位信号STGは、後述する保持素子C1～C6（図3参照）の共通接地線に供給される信号であり、時間的に一定の電位の信号である。

第5に、オフ表示信号Vwtは、この信号が画素120における画素電極118に印加されると、該画素120がオフ表示になる、という時間的に一定電位の電圧の信号である。上述したように、本実施形態では、ある画素において液晶容量に印加される電圧実効値がゼロであれば、該画素は最大透過率のオフ表示になるので、オフ表示信号Vwtの電圧は、対向電極108に印加される電圧LCcomと略等しい関係にある。

【0034】

第6に、VddおよびVssは、それぞれ電源の高位側電位Vddおよび低位側電位Vssであり、後述する画素120におけるインバータの電源電位として用いられるため、各行について共通に供給される。

10

第7に、オン表示信号Vbkは、この信号が画素120における画素電極118に印加されると、該画素120が最小透過率のオン表示になる電圧の信号である。このオン表示信号Vbkは、オフ表示信号Vwtに対して互いに電圧差が等しく、かつ、オフ表示信号Vwtによっても高位側（正極側）のオン表示信号Vbk(+)および低位側（負極側）のオン表示信号Vbk(-)を、図7に示されるように1フィールドの開始タイミングにおいて、1フィールド毎に交互に、図2におけるVbkセクタ134によって選択したものである。すなわち、Vbkセクタ134は、1フィールド毎にレベル反転する信号FLDにしたがって、高位側のオン表示信号Vbk(+)、または、低位側のオン表示信号Vbk(-)のいずれかを選択して、オン表示信号Vbkとして出力するものである。

20

【0035】

続いて、列方向に延在する信号線に供給される信号について説明する。画素120に対し、列方向には、階調データのビットDT1～DT6が供給されるので、このための構成について詳述することにする。

まず、図2において、シフトレジスタ(SR)150は、1ドットを構成する3列毎に設けられ、水平走査期間の最初に供給される転送開始パルスXspを、クロック信号Xclkの立ち上がりおよび立ち上がりで順次シフトして、サンプリング信号Xs1、Xs2、…、Xsnとして出力するものである。ここで、サンプリング信号Xs1、Xs2、…、Xsnは、図6に示されるように、互いにパルス幅が重複しないように出力される。

【0036】

30

さて、シフトレジスタ150の出力側には、RGBの各々に対応するスイッチ152が設けられている。そして、一般的にサンプリング信号Xsj（jは、1～nを満たす整数）がHレベルになると、対応する3個のスイッチ152がオンして、それぞれ階調データDR、DG、DBをサンプリングする構成となっている。ここで、階調データDR、DG、DBは、それぞれR、G、Bの画素120の濃度を指示する6ビットのデータであって、外部から所定のタイミングで順次供給されるものである。

【0037】

次に、スイッチ152の出力側には、第1ラッチ回路(L)154が設けられている。この第1ラッチ回路154は、それに対応するスイッチ152によってサンプリングされた階調データをラッチするものである。さらに、第1ラッチ回路154の出力側には、各列に対応してスイッチ156が設けられて、第1ラッチ回路152によってラッチされた階調データを、ラッチパルスLPにしたがって一斉にサンプリングする。

40

【0038】

そして、スイッチ156によってサンプリングされた階調データは、各列に対応して設けられる第2ラッチ回路(L)158によりラッチされて、このラッチされた階調データのビットDT1～DT6が、画素120に対して列方向に供給される構成となっている。

【0039】

<1-2-1：画素構成>

次に、画素120の詳細について説明する。ここで、図3は、i行j列に位置するドットのうち、ある1つの色に対応する画素の構成を示す回路図である。なお、i、jは、RG

50

Bの画素120により構成されるドットの位置を、m行n列のマトリクスにおいて一般的に表記するためのものであり、iは、 $1 \leq i \leq m$ を満たす整数であり、jは、 $1 \leq j \leq n$ を満たす整数である。

【0040】

さて、画素120には、i行に対応する書込制御信号GWR*T*iが供給される信号線と、j列目のドットのうち、着目した1つの色に対応する階調データのビットDT1~DT6が供給される信号線との交差部分に、第1転送スイッチと保持素子とからなるメモリ(DRAM)が、それぞれ設けられる。

【0041】

詳細には、書込制御信号GWR*T*iが供給される信号線と、階調データのビットDT1が供給される信号線との交差部分には、第1転送スイッチとしてのnチャンネル型の薄膜トランジスタ(Thin Film Transistor:以下「TFT」と称する)1211が設けられ、そのゲートが、書込制御信号GWR*T*iが供給される信号線に接続され、そのソースが、階調データのビットDT1が供給される信号線に接続され、さらに、そのドレインが、保持素子C1の一端に接続されている。同様に、書込制御信号GWR*T*iが供給される信号線と、階調データのビットDT2~DT6が供給される信号線との交差部分には、TFT1212~1216が設けられ、それらのゲートが、書込制御信号GWR*T*iが供給される信号線にそれぞれ接続され、それらのソースが、階調データのビットDT2~DT6が供給される信号線にそれぞれ接続され、さらに、そのドレインが、保持素子C2~C6の一端にそれぞれ接続されている。なお、保持素子C1~C6の他端は、定電位信号STGが印加される接地線に共通接続されている。

【0042】

すなわち、書込制御信号GWR*T*iがHレベルになると、TFT1211~1216がオンして、それぞれ階調データのビットDT1~DT6に対応した電荷(電圧)が、それぞれ保持素子C1~C6に充電される構成となっている。したがって、書込制御信号GWR*T*iがLレベルになって、TFT1211~1216がオフしても、保持素子C1~C6の一端には、ビットDT1~DT6に対応する電圧が保持され続けるので、一種のメモリとして機能することになる。

【0043】

次に、保持素子C1の一端は、サブフィールド選択信号GSEL1がHレベルになるとオンするスイッチとしてのnチャンネル型TFT1221を介して、ノードAに接続されている。同様に、保持素子C2~C6の一端は、それぞれサブフィールド選択信号GSEL2~GSEL6がHレベルになるとオンするTFT1222~1226を介して、ノードAに共通接続されている。

したがって、TFT1211~1216は、現時点におけるサブフィールドに対応するものだけがオンするので、保持素子C1~C6のうち、該サブフィールドに対応するビットを保持するもの1つのみを、選択するセクタ1220として機能することになる。

【0044】

さて、ノードAは、インバータ1241の入力端に接続され、さらに、その出力端は、インバータ1243の入力端に接続されている。そして、インバータ1243の出力端は、スイッチング制御信号GFBがHレベルになるとオンする再書込禁止スイッチとしてのnチャンネル型TFT1230を介して、ノードAにフィードバックされている。

ここで、スイッチング制御信号GFBは、上述したように、サブフィールドsf5~sf1の先頭タイミングにおいてのみLレベルになり、それ以外の期間ではHレベルになる信号である。したがって、サブフィールドsf6~sf1の先頭タイミングでは、TFT1230がオフするので、インバータ1243の出力は、それ以前における出力内容と競合することなく確定し、その直後、TFT1230がオンするので、インバータ1241インバータ1243-TFT1230という閉ループによってラッチ回路が形成される結果、ノードAにおける論理レベルは、インバータ1243により確定した状態に保持されることになる。

10

20

30

40

50

【 0 0 4 5 】

さらに、ノードAにおいて保持された論理レベルの電圧は、T F T 1 2 1 1 ~ 1 2 1 6のうち、オンしているものを介して、保持素子に再充電される。すなわち、サブフィールド $s f 6 \sim s f 1$ の先頭タイミングにおいて、保持素子 C 1 ~ C 6 のいずれかから、セレクト 1 2 2 0 を介して読み出されたメモリの内容は、その直後における T F T 1 2 3 0 のオンによって保持された出力状態に、再ライトされることになる。

【 0 0 4 6 】

一方、インバータ 1 2 4 1 の出力端は、また、相補型スイッチ（トランスマッションゲート） 1 2 5 1 を構成する n チャンネル型 T F T のゲート、および、相補型スイッチ 1 2 5 3 を構成する p チャンネル型 T F T のゲートにそれぞれ接続されている。さらに、インバータ 1 2 4 3 の出力端は、相補型スイッチ 1 2 5 1 を構成する p チャンネル型 T F T のゲート、および、相補型スイッチ 1 2 5 3 を構成する n チャンネル型 T F T のゲートにそれぞれ接続されている。

10

【 0 0 4 7 】

ここで、相補型スイッチ 1 2 5 1 の入力端は、オフ表示信号 V_{wt} が供給される信号線に接続され、相補型スイッチ 1 2 5 3 の入力端は、オン表示信号 V_{bk} が供給される信号線に接続される一方、相補型スイッチ 1 2 5 1、1 2 5 3 の出力端は、画素電極 1 1 8 に共通接続されている。これにより、ノードAがLレベルであれば、相補型スイッチ 1 2 5 1 のみがオンするので、画素電極 1 1 8 にはオフ表示信号 V_{wt} が印加される一方、ノードAがHレベルであれば、相補型スイッチ 1 2 5 3 のみがオンするので、画素電極 1 1 8 にはオン表示信号 V_{bk} が印加されることになる。

20

【 0 0 4 8 】

なお、画素電極 1 1 8 は、I T O (Indium Tin Oxide: インジウム錫酸化物) などの透明薄膜金属などからなる。また、上述したように画素電極 1 1 8 と、電圧 L C com が印加される対向電極 1 0 8 との間には、電気光学物質たる液晶 1 0 5 が挟持されて、これにより液晶容量が形成されている。

【 0 0 4 9 】

< 1 - 2 - 2 : 実際の画素構成 >

続いて、上述した画素 1 2 0 の実際的な構成について説明する。ここで、図 4 は、素子基板 1 0 1 の対向面において画素 1 2 0 の構成を示す平面図であり、図 5 は、図 4 に示される構成の等価回路を示す図である。

30

【 0 0 5 0 】

まず、図 4 において、最下層は、例えば T F T の半導体層である。また、第 2 層は、例えばアルミニウムなどの導電層であり、T F T のゲート電極と、X 方向に延在して形成される信号線とに大別される。すなわち、最下層の半導体層と、第 2 層の導電層とが交差する部分が、T F T のチャンネル領域となる。続いて、第 3 層は、例えばアルミニウム層であり、T F T のソース、ドレインに接続するための配線と、列方向に延在して形成される信号線とに大別される。なお、互いに異なる層からなる配線同士の接続、または、T F T のソース/ドレインと配線との接続は、図 4 において「x」印で示されるコンタクトホールを介して行われる。

40

【 0 0 5 1 】

また、各メモリを構成する保持素子 C 1 ~ C 6 は、それぞれ T F T 1 2 1 1 ~ 1 2 1 6 の半導体層のうち、ドレイン領域を、定電位信号 S T G が供給される信号線と交差する部分下方において拡大して、低抵抗化するとともに、その表面を二酸化珪素などの絶縁膜で覆うことにより形成されている。すなわち、保持素子 C 1 ~ C 6 は、T F T 1 2 1 1 ~ 1 2 1 6 の半導体層におけるドレイン領域の低抵抗化部分を一端の電極とし、定電位信号 S T G が供給される信号線を他端の電極として、両電極の間において該絶縁膜を挟持した構成となっている。

【 0 0 5 2 】

ここで、本実施形態に係る電気光学装置は、上述したように透過型の液晶表示装置である

50

ので、図4において、配線や半導体層が形成されていない部分が、光の透過領域として機能することになる。なお、図4において、配線層のうち、最上層に位置する画素電極118については、説明の便宜上、図示を省略しているが、相補型スイッチ1251、1253において共通な出力配線に設けられるコンタクトホール1260を介して接続される構成となっている。また、図3におけるインバータ1241、1243は、実際には、図4または図5に示されるように、電源の高位側電位 V_{dd} と低位側電位 V_{ss} との間において、pチャンネル型TFTとnチャンネル型TFTとを直列接続した相補型の構成となっている。なお、画素120におけるTFTは、図1における領域130aや、領域150aに形成される回路の構成素子と共通のプロセスで形成される。このように形成すると、周辺回路を別基板上に形成して外付けするタイプの電気光学装置と比較して、装置全体の小型化や低コスト化を図る上で有利となる。

10

【0053】

<1-3:動作>

次に、上述した構成に係る電気光学装置の動作について説明する。この電気光学装置は、画素120のメモリに階調データのビットを書き込む動作と、メモリに記憶されたビットに応じて画素電極118にオン表示信号 V_{bk} またはオフ表示信号 V_{wt} の電圧を印加するとともに、メモリに再ライトする動作とに大別される。ここで、両動作は、後述するように同期していても構わないが、必ずしも同期する必要はなく、各々独立しても実行可能である。そこで以下、両動作を分けて説明することにする。

【0054】

20

<1-3-1:書込動作>

まず、画素120におけるメモリの各々に、対応する階調データのビットをそれぞれ書き込む書込動作について説明する。図6は、この書込動作を説明するためのタイミングチャートである。

【0055】

この図に示されるように、垂直走査期間の最初に供給される転送開始パルス Y_{sp} が、シフトレジスタ130(図2参照)により、クロック信号 Y_{clk} の立ち上がりおよび立ち下がりにしたがってシフトされて、水平走査期間1H毎に、排他的にHレベルになる書込制御信号 G_{WRT1} 、 G_{WRT2} 、...、 G_{WRTm} として出力される。なお、書込制御信号 G_{WRT1} 、 G_{WRT2} 、...、 G_{WRTm} のいずれかがHレベルになる期間において、スイッチング制御信号 G_{FB} は、強制的にLレベルにされる(図示省略)。

30

【0056】

ここで、1行目の書込制御信号 G_{WRT1} がHレベルになる期間について着目すると、該期間に先んじて、1行1列、1行2列、...、1行n列のドットに対応する階調データDR、DG、DBが順番に供給される。このうち、1行1列のドットに対応する階調データDR、DG、DBが供給されるタイミングにおいて、シフトレジスタ150から出力されるサンプリング信号 X_{s1} がHレベルになると、1列目のドットに対応する3個のスイッチ152のオンにより、当該階調データが、同じく1列目のドットに対応する3個の第1ラッチ回路154にそれぞれラッチされる。

【0057】

40

次に、1行2列のドットに対応する階調データDR、DG、DBが供給されるタイミングにおいて、サンプリング信号 X_{s2} がHレベルになると、2列目のドットに対応する3個のスイッチ152のオンにより、当該階調データが、同じく2列目のドットに対応する3個の第1ラッチ回路154にそれぞれラッチされ、以下同様にして、1行n列のドットに対応する階調データDR、DG、DBが、n列目のドットに対応する3個の第1ラッチ回路154にそれぞれラッチされる。これにより、1行目に位置するn個のドットに対応する階調データが、それぞれ1列目、2列目、...、n列目に対応する第1ラッチ回路154に、RGBの色毎にそれぞれラッチされることになる。

【0058】

続いて、ラッチパルスLPが出力されると、それぞれ1列目、2列目、...、n列目に対応

50

する第1ラッチ回路154にそれぞれラッチされた階調データが、スイッチ156のオンにより、それぞれに対応する第2ラッチ回路158に、一斉にラッチされて、RGBの色毎に、ビットDT1~DT6として出力されることになる。

【0059】

そして、この出力タイミングに一致して、書込制御信号GRTW1がHレベルになるので、1行目に位置する画素120にあっては、TFT1211~1216がオンする結果、保持素子C1~C6には、それぞれビットDT1~DT6に応じた電荷(電圧)が充電されることになる。以下同様な動作が、2行目、3行目、...、m行目に位置する画素120に対して線順次的に行われる。これにより、すべての画素120における保持素子C1~C6には、それぞれ該画素に対応する階調データのビットDT1~DT6に応じた電荷が充電されて、各メモリに、ビットDT1~DT6がそれぞれ書き込まれることになる。

10

【0060】

<1-3-2:表示リフレッシュ動作>

次に、上述した書込動作によって画素120の各メモリにそれぞれ保持されたビットDT1~DT6のうち、現時点におけるサブフィールドに対応するビットを読み出して、該ビットに応じた電圧を画素電極118に印加するとともに、該ビットを、読み出したメモリに再ライトする表示リフレッシュ動作について説明する。図7は、この表示リフレッシュ動作を説明するためのタイミングチャートである。

【0061】

まず、1フィールドのうち、最初のサブフィールドsf6では、サブフィールド選択信号GSEL6のみがHレベルになる。このため、各画素120のセクタ1220においては、TFT1216(図3参照)のみがオンするので、ノードAは、保持素子C6の一端に保持された電圧と略等しくなる。

20

【0062】

ここで、サブフィールドsf6の先頭タイミングでは、スイッチング制御信号GFBがLレベルになるので、インバータ1243の出力は、以前における出力状態とは無関係に、ノードAと同一の論理レベルになる。また、画素電極118には、ノードAがLレベルであれば、相補型スイッチ1251のオンによりオフ表示信号Vwtの電圧が印加される一方、ノードAがHレベルであれば、相補型スイッチ1253のオンによりオン表示信号Vbkの電圧が印加されることになる。

30

【0063】

この後、一定の時間が経過して、スイッチング制御信号GFBがHレベルになると、インバータ1243の出力が、ノードAたるインバータ1241の入力にフィードバックされるので、ノードAの論理レベルは、インバータ1243により確定した出力状態に保持されることになる。すなわち、インバータ1243の出力は、ノードAの論理レベルをラッチしたものとなる。そして、ラッチされた論理レベルは、TFT1216を介して保持素子C6に再充電される一方、引き続き画素電極118には、ラッチされた論理レベルに応じてオフ表示信号Vwtまたはオン表示信号Vbkの電圧が印加されることになる。

【0064】

続いて、1フィールドのうち、2番目のサブフィールドsf5では、サブフィールド選択信号GSEL5のみがHレベルになるので、各画素120のセクタ1220においては、TFT1215のみがオンする結果、ノードAは、保持素子C5の一端に保持された電圧と略等しくなる。以降の動作はサブフィールドsf6における動作と全く同一であり、画素電極118には、保持素子C5の一端電圧、すなわちビットDT5に応じた論理レベルに応じてオフ表示信号Vwtまたはオン表示信号Vbkの電圧が印加されるとともに、保持素子C5の再充電が行われることになる。

40

【0065】

以降同様な動作がサブフィールドsf4、sf3、sf2およびsf1において、すべての画素120にて一斉に行われる。すなわち、サブフィールドsf4~sf1において、各画素120の画素電極118には、保持素子C4~C1の一端電圧、すなわちビットD

50

T4 ~ DT1に応じた論理レベルに応じてオフ表示信号V_{wt}またはオン表示信号V_{bk}の電圧が印加されるとともに、保持素子C4 ~ C1の再充電が行われることになる。

【0066】

したがって、ある1つの画素120の液晶容量に印加される電圧実効値は、1フィールドを1周期としてみれば、サブフィールドs_{f6} ~ s_{f1}毎に印加されるオン表示信号V_{bk}の電圧を時間的に累算した値になるので、当該値に応じた階調表示が行われることになる。

例えば、ある画素120の保持素子C6 ~ C1の一端に保持された電圧が、図7に示されるように、それぞれH、H、L、L、H、Lレベルであれば、画素電極118には、同図においてP_{ix}で示されるように、サブフィールドs_{f6}、s_{f5}にわたってオン表示信号V_{bk}が印加され、続くサブフィールドs_{f4}、s_{f3}にわたってオフ表示信号V_{wt}が印加され、さらに、サブフィールドs_{f2}においてオン表示信号V_{bk}が印加された後、サブフィールドs_{f1}においてオフ表示信号V_{wt}が印加されるので、当該液晶容量には6ビットの階調データ(110010)に対応する電圧実効値が印加される結果、当該値に対応する階調表示が行われることになる。さらに、次の1フィールドでは、オン表示信号V_{bk}として選択される電圧が、V_{bk}セクタ134(図2参照)によって、オフ表示信号V_{wt}の電位を基準として極性反転したものとされるので、画素120の液晶容量は、2フィールドにて交流駆動されることになる。なお、図7において、画素電極118に印加される電圧P_{ix}についてのハッチングは、オン表示信号V_{bk}の電圧印加期間を示している。

【0067】

ところで、セクタ1220におけるTF T1211 ~ 1216のオン直後には、ラッチ回路の閉ループに位置するTF T1230がオフであるので、保持素子C1 ~ C6の一端における電位は、インバータ1241への入力に際するチャージシュアリングにより、図7に示されるように、若干降下(上昇)する。ただし、直後に、TF T1230がオンすることにより、インバータ1243の出力(ノードA)の論理レベルに再充電されるので、元のレベルに戻るようになる。

【0068】

< 1 - 4 : 第1実施形態のまとめ >

このように、第1実施形態に係る電気光学装置によれば、サブフィールドs_{f6} ~ s_{f1}毎に、各画素120におけるメモリに記憶されたビットDT1 ~ DT6に応じてオフ表示信号V_{wt}またはオン表示信号V_{bk}の電圧が画素電極118に印加され、これにより、1フィールドにわたって液晶容量に印加される電圧実効値が制御されて、階調表示が行われることになる。このため、サブフィールド毎に、画素120のオンまたはオフを指示するビット信号を供給しないで済む。さらに、画素120における各メモリは、転送スイッチとしてTF Tと保持素子との組からなるDRAMの構成であるが、1フィールド毎に、対応するサブフィールドにおいて、画素電極118に印加する電圧の選択動作とともに、再ライト(リフレッシュ)が行われる。したがって、静止画を表示する場合には、最初に、当該静止画に対応する階調データを、各画素120におけるメモリに書き込んでしまえば、以降、書込動作を行う必要がなくなるので、書き込みに伴う電力消費を抑えることが可能となる。

【0069】

なお、第1実施形態では、各行に供給されるオン表示信号V_{bk}を共通とする構成であったが、この構成では、書込極性が、すべての画素120において同一になるので、いわゆるフリッカが発生する可能性がある。したがって、実際には、V_{bk}セクタ134を、奇数行用と偶数行用とに分けるとともに、両者が互いに反対極性のオン表示信号V_{bk}を出力する構成や、行毎にV_{bk}セクタを備える構成が望ましい、と考える。

【0070】

< 2 : 第2実施形態 >

さて、上述した第1実施形態には、書込動作において、一般的にi行に対応する書込制御信号GWR T_iがHレベルになると、i行に位置する画素120におけるすべての

10

20

30

40

50

T F T 1 2 1 1 ~ 1 2 1 6 がオンになる。すなわち、書込制御信号 G W R T i が H レベルになると、表示内容を変更する必要のない画素 1 2 0 の T F T 1 2 1 1 ~ 1 2 1 6 についてもオンしてしまうので、この意味において、無駄な書込動作が発生する。

また、上述した第 1 実施形態では、表示リフレッシュ動作が、サブフィールド s f 6 ~ s f 1 毎に、各画素 1 2 0 において一斉に行われるので、同時にスイッチングする素子が非常に多くなる。このため、消費電力のピーク値が大きくなるので、第 1 実施形態に係る電気光学装置では、電源回路の駆動負荷が増大して消費電力が大きくなる傾向にある。

【 0 0 7 1 】

そこで、メモリ内容を変更する必要があるドットに対してのみ階調データを選択的に供給するとともに、電源回路の複雑化を防止した第 2 実施形態について説明することにする。

10

なお、この第 2 実施形態に係る電気光学装置の全体構成については、図 1 に示される第 1 実施形態と同様であるので、その説明を省略して、電気的な構成から説明することにする。

【 0 0 7 2 】

< 2 - 1 : 電気的構成 >

図 8 は、本発明の第 2 実施形態に係る電気光学装置の電気的な構成を示すブロック図である。なお、この第 2 実施形態については、図 2 に示される第 1 実施形態との相違点を中心に説明し、共通点については説明を省略することにする。

【 0 0 7 3 】

さて、第 2 実施形態にあって、階調データ D R、D G、D B は、第 1 実施形態のように、すべての画素 1 2 0 について順番に供給されるのではなく、表示内容を変更すべきドットに対応する階調データのみが、行アドレス y A D および列アドレス x A D で特定されて供給される構成となっている。

20

このため、図 8 に示されるように、行アドレスデコーダ (y A d - D) 1 4 0 が、ドットの 1 行毎に設けられる一方、列アドレスデコーダ (x A d - D) 1 6 0 が、ドットの 1 列毎に設けられている。このうち、一般的に i 行に対応する行アドレスデコーダ 1 4 0 は、行アドレス y A D が当該 i 行を示すものであれば、H レベルになる書込制御信号 G W R T i を出力するものである。すなわち、第 2 実施形態において、書込制御信号 G W R T i は、i 行に対応するシフトレジスタ 1 3 0 から出力されるのではなく、i 行に対応する行アドレスデコーダ 1 4 0 から出力される構成となっている。

30

【 0 0 7 4 】

一方、本実施形態において、デコーダ (s f - D) 1 3 2 および V b k セレクタ 1 3 4 は、それぞれ行毎に設けられている。このうち、一般的に i 行に対応するデコーダ 1 3 2 は、スイッチ 1 4 2 によってサンプリングされたデータ s f c をデコードして、サブフィールドに対応するサブフィールド選択信号 G S E L 1 ~ G S E L 6 を当該行に出力する。

また、i 行に対応する V b k セレクタ 1 3 4 は、スイッチ 1 4 4 によってサンプリングされた信号 F L D の論理レベルにしたがって、オン表示信号 V b k を選択する。詳細には、i 行に対応する V b k セレクタ 1 3 4 は、サンプリングされた信号 F L D が H レベルであれば、高位側のオン表示信号 V b k (+) または低位側のオン表示信号 V b k (-) の一方を選択し、サンプリングされた信号 F L D が L レベルであれば、他方を選択する。ただし、当該 i 行に隣接する (i - 1) 行および (i + 1) 行に対応する V b k セレクタ 1 3 4 は、サンプリングされた信号 F L D が H レベルであれば、高位側のオン表示信号 V b k (+) または低位側のオン表示信号 V b k (-) の他方を選択し、サンプリングされた信号 F L D が L レベルであれば、一方を選択する。すなわち、相隣接する行に対応する V b k セレクタ 1 3 4 において選択されるオン表示信号 V b k の極性は、互いに反転した関係となるように設定されている。

40

【 0 0 7 5 】

なお、スイッチ 1 4 2、1 4 4 は、ともに i 行に対応するシフトレジスタ 1 3 0 による転送信号 Y s i が H レベルになるとオンするものであって、前者のスイッチ 1 4 2 は、現時点におけるサブフィールドを示すデータ s f c をサンプリングする一方、後者のスイッチ 1 4 4 は、オン表示信号を選択する際の基準となる信号 F L D をサンプリングするもので

50

ある。

【 0 0 7 6 】

また、この第2実施形態にあつては、行毎に、ANDゲート146が設けられる。ここで、一般的に*i*行に対応するANDゲート146は、同じく*i*行に対応するシフトレジスタ130による転送信号 Ys_i と制御信号FBとの論理積信号を、スイッチング制御信号GFBとして当該*i*行に出力するものである。ここで、制御信号FBは、図11に示されるように、シフトレジスタ130による転送信号 Ys_1 、 Ys_2 、...、 Ys_m の出力期間であつて、クロック信号Yclkの立ち上がりおよび立ち下がり時において一瞬Lレベルになる信号である。

【 0 0 7 7 】

次に、一般的にドットの*j*列に対応する列アドレスデコーダ160は、列アドレスxADが当該*j*列を示すものであれば、Hレベルになるサンプリング信号 Xs_j を出力するものである。すなわち、第2実施形態において、サンプリング信号 Xs_j は、第1実施形態のようにシフトレジスタ150(図2参照)から出力されるのではなく、*j*列に対応する列アドレスデコーダ160から出力される構成となっている。

【 0 0 7 8 】

また、本実施形態にあつては、ドットの列毎に、フリップフロップ(FF)162が設けられる。ここで、一般的に*j*列に対応するフリップフロップ162により出力される信号 ff_j は、同じく*j*列に対応して出力されるサンプリング信号 Xs_j をセットしたものであつて、リセット信号RSTによりLレベルにリセットしたものである。

【 0 0 7 9 】

さらに、本実施形態にあつては、ドットの列毎に、ANDゲート164が設けられる。ここで、一般的に*j*列に対応するANDゲート164は、同じく*j*列に対応して出力される信号 ff_j と制御信号TRSとの論理積信号を出力するものであり、本実施形態では、該論理積信号がHレベルであるときに、*j*列目のドットに対応して設けられる3個のスイッチ156がオンする構成となっている。

【 0 0 8 0 】

一方、*j*列に対応して出力される信号 ff_j は、制御信号TRSがHレベルであるときにオンするスイッチ166によってサンプリングされ、さらに、スイッチ166によってサンプリングされた信号 ff_j が、第3ラッチ回路(L)168によりラッチされて、このラッチされた信号が、書込許可信号DTW $_j$ として、*j*列目のドットに供給される構成となっている。すなわち、本実施形態にあつては、書込許可信号DTW $_j$ が、RGBの画素120の3列毎に(ドットの列毎に)供給される構成となっている。

【 0 0 8 1 】

< 2 - 1 - 1 : 画素構成 >

次に、第2実施形態における画素120の詳細について説明する。ここで、図9は、*i*行*j*列に位置するドットのうち、R(赤)に対応する画素120の構成を示す回路図である。

【 0 0 8 2 】

この図に示されるように、本実施形態におけるRの画素120には、第1実施形態と同様に、*i*行に対応する書込制御信号GWR T_i が供給される信号線と、*j*列目のドットのうち、Rに対応する階調データDRのビットDT1~DT6が供給される信号線との交差部分に、第1転送スイッチと保持素子とからなるメモリ(DRAM)が、それぞれ設けられる。

ただし、本実施形態において、書込制御信号GWR T_i が供給される信号線と、書込許可信号DTW $_j$ が供給される信号線との交差部分には、第2転送スイッチとしてのnチャンネル型TFT1270が設けられている。ここで、TFT1270のゲートは、書込制御信号GWR T_i が供給される信号線に接続され、そのソースは、書込許可信号DTW $_j$ が供給される信号線に接続され、そのドレインは、第1転送スイッチとしてのnチャンネル型TFT1281~1286の共通ゲートになっている。

10

20

30

40

50

【 0 0 8 3 】

さらに、T F T 1 2 8 1のソースは、階調データのビットD T 1が供給される信号線に接続され、さらに、そのドレインが、保持素子C 1の一端に接続されている。同様に、T F T 1 2 8 2 ~ 1 2 8 6のソースは、階調データのビットD T 2 ~ D T 6が供給される信号線にそれぞれ接続され、さらに、そのドレインが、保持素子C 2 ~ C 6の一端にそれぞれ接続されている。すなわち、本実施形態においては、T F T 1 2 8 1 ~ 1 2 8 6と保持素子C 1 ~ C 6との各組により、ビットD T 1 ~ D T 6を保持するメモリが構成されている。

なお、T F T 1 2 7 0のドレイン、すなわち、T F T 1 2 8 1 ~ 1 2 8 6の共通ゲートは、i行j列のドットを構成するR G Bの3個の画素1 2 0において共通である(図8参照)。また、その他については、図3に示される第1実施形態の画素1 2 0と同一構成である。

10

【 0 0 8 4 】

さて、図9に示される画素1 2 0において、書込制御信号G W R T iがHレベルになると、T F T 1 2 7 0がオンして、書込許可信号D T W jが、T F T 1 2 8 1 ~ 1 2 8 6のゲートに転送される。この際、書込制御信号G W R T iがHレベルであっても、書込許可信号D T W jがLレベルであれば、T F T 1 2 8 1 ~ 1 2 8 6はオフであるので、保持素子C 1 ~ C 6に、ビットD T 1 ~ D T 6に対応する電荷が充電されることはない。換言すれば、本実施形態における画素1 2 0にあつては、書込制御信号G W R T iおよび書込許可信号D T W jがともにHレベルになったときに限って、i行j列のドットを構成するR G Bの3個の画素1 2 0において、当該ドットに対応する各色の階調データD R、D G、D B(の各ビット)が書き込まれることになる。

20

【 0 0 8 5 】

< 2 - 2 : 動作 >

次に、第2実施形態に係る電気光学装置の動作について説明する。この電気光学装置についても、第1実施形態と同様に、画素1 2 0のメモリに階調データのビットを書き込む動作と、メモリに記憶されたビットに応じた電圧を画素電極1 1 8に印加するとともに、該ビットをメモリに再ライトする動作とに大別されて、両動作は、各々独立して実行可能である。そこで第1実施形態と同様に、両動作を分けて説明することにする。

【 0 0 8 6 】

< 2 - 2 - 1 : 書込動作 >

まず、各画素1 2 0におけるメモリの各々に、階調データのビットをそれぞれ書き込む書込動作について説明する。図10は、この書込動作を説明するためのタイミングチャートである。

30

【 0 0 8 7 】

この図に示されるように、行アドレスy A Dを共通とする階調データD R、D G、D Bが、列アドレスx A Dに同期して供給された後に、当該行アドレスy A Dが供給される構成となっている。この際、ある行に対応する行アドレスy A Dが供給される期間においては、一定の空白期間の後に、列アドレスx A Dが供給される。さらに、この空白期間は前半期間・後半期間に分割されるとともに、この前半期間において、制御信号T R SがHレベルになる一方、この後半期間において、リセット信号R S TがHレベルになる。

40

【 0 0 8 8 】

このような空白期間において、リセット信号R S TがHレベルになると、ドットの列毎に設けられるフリップフロップ1 6 2の出力信号f f 1、f f 2、...、f f nが、すべてLレベルにリセットされる。この後、図10に示されるように、例えば1 3行1列のドットに対応する階調データD R、D G、D Bが、1列目を示す「X 0 0 1」の列アドレスx A Dに同期して供給されると、1列目に対応する列アドレスデコーダ1 6 0(図8参照)が、その列アドレスx A Dをデコードする結果、その供給期間においてのみサンプリング信号X s 1がHレベルになる。これにより、ドットの1列目に対応するフリップフロップ1 6 2の出力信号f f 1はHレベルになる一方、1列目のドットに対応する3個の第1ラッ

50

チ回路154は、当該階調データDR、DG、DBをそれぞれラッチすることになる。

【0089】

続いて、13行2列のドットに対応する階調データDR、DG、DBが、2列目を示す「X002」の列アドレスxADに同期して供給されると、同様に、その供給期間においてのみサンプリング信号Xs2がHレベルとなり、これにより、2列目に対応するフリップフロップ162の出力信号ff2はHレベルになる一方、2列目のドットに対応する3個の第1ラッチ回路154は、当該階調データDR、DG、DBをそれぞれラッチすることになる。

【0090】

以下同様に、13行3列、13行4列のドットに対応する階調データDR、DG、DBが、それぞれ「X003」、「X004」の列アドレスxADに同期して供給されると、その供給期間においてサンプリング信号Xs3、Xs4がそれぞれHレベルになる結果、それぞれ信号ff3、ff4がHレベルになる一方、3列目のドットに対応する3個の第1ラッチ回路154は、13行3列の階調データDR、DG、DBをそれぞれラッチし、4列目のドットに対応する3個の第1ラッチ回路154は、13行4列の階調データDR、DG、DBをそれぞれラッチすることになる。ここで、13行目に位置するドットのうち、表示内容が変更されるドットがほかに存在しなければ、空白期間に至るとともに、13行目を示す「Y013」の行アドレスyADが供給されることになる。

【0091】

次に、空白期間の前半期間においては、制御信号TRSがHレベルになる。この際、フリップフロップ162の出力信号ff1、ff2、...、ffnのうち、Hレベルになっているのは、ff1～ff4だけである。このため、スイッチ166のオンによってラッチされる書込許可信号DTW1、DTW2、...、DTWnのうち、Hレベルになるのは、DTW1～DTW4のみであり、他はLレベルになる。なお、この際、1列目～4列目のドットに対応するANDゲート164のみがオンになるので、13行1列～13行4列の階調データDR、DG、DB(の各ビットDT1～DT6)が、それぞれドットの1列～4列に、RGBの色毎に供給される。

一方、13行目に対応する行アドレスデコーダ140が、13行目を示す「Y013」の行アドレスyADをデコードする結果、その供給期間において書込許可信号GWRT13のみがHレベルになる。

【0092】

したがって、書込制御信号GWRT13がHレベルになることにより、メモリ内容が書き換えられるドットは、13行1列～13行4列のドットのみであり、他のドットについてのメモリ内容は書き換えられないことになる。なおこの際、ドットの5列～n列にあっては、以前にラッチされた階調データが継続して画素120に供給されることになるが、書込許可信号DTW5～DTWnはLレベルであるので、第1実施形態とは異なり、記憶されたメモリ内容が変更されることはない。

【0093】

続いて、空白期間の後半期間においては、制御信号TRSがLレベルになるので、すべてのスイッチ164、166がオフになる一方、リセット信号RSTがHレベルになるので、フリップフロップ162の出力信号ff1、ff2、...、ffnが、再びすべてLレベルにリセットされる。この後、例えば図10に示されるように、58行3列、58行4列のドットに対応する階調データDR、DG、DBが、それぞれ「X003」、「X004」の列アドレスxADに同期して供給されると、その供給期間においてサンプリング信号Xs3、Xs4がそれぞれHレベルになる結果、それぞれ信号ff3、ff4がHレベルになる一方、3列目のドットに対応する3個の第1ラッチ回路154は、58行3列の階調データDR、DG、DBをそれぞれラッチし、4列目のドットに対応する3個の第1ラッチ回路154は、58行4列の階調データDR、DG、DBをそれぞれラッチすることになる。ここで、58行目に位置するドットのうち、ほかに表示内容が変更されるドットが存在しなければ、空白期間に至るとともに、58行目を示す「Y058」の行アドレス

10

20

30

40

50

y A D が供給される。

【 0 0 9 4 】

そして、空白期間の前半期間においては、制御信号 T R S が H レベルになるが、この際、信号 f f 3、f f 4 だけが H レベルであるので、書込許可信号 D T W 3、D T W 4 のみが H レベルになる一方、3 列目、4 列目のドットに対応する A N D ゲート 1 6 4 のみがオンになるので、5 8 行 3 列、5 8 行 4 列の階調データ D R、D G、D B (の各ビット D T 1 ~ D T 6) が、それぞれドットの 3 列、4 列に、R G B の色毎に供給される。一方、5 8 行目に対応する行アドレスデコーダ 1 4 0 が、5 8 行目を示す「 Y 0 5 8 」の行アドレス y A D をデコードする結果、その供給期間において書込許可信号 G W R T 5 8 のみが H レベルになる。

10

したがって、書込制御信号 G W R T 5 8 が H レベルになることにより、メモリ内容が書き換えられるドットは、5 8 行 3 列、5 8 行 4 列のドットのみであり、他のドットについてのメモリ内容は書き換えられないことになる。以降同様な動作が、列アドレス y A D および行アドレス y A D で特定されたドットに対してのみ行われることになる。

【 0 0 9 5 】

< 2 - 2 - 2 : 表示リフレッシュ動作 >

次に、上述した書込動作によって画素 1 2 0 の各メモリにそれぞれ保持されたビット D T 1 ~ D T 6 のうち、現時点におけるサブフィールドに対応するビットを読み出して、該ビットに応じた電圧を画素電極 1 1 8 に印加するとともに、該ビットを、読み出したメモリに再ライトする表示リフレッシュ動作について説明する。図 1 1 は、この表示リフレッシュ動作を説明するためのタイミングチャートである。

20

【 0 0 9 6 】

この図に示されるように、1 フィールドのうち、最初のサブフィールド s f 6 においては、転送開始パルス Y s p が、シフトレジスタ 1 3 0 (図 8 参照) により、クロック信号 Y c l k にしたがってシフトされて、転送信号 Y s 1、Y s 2、...、Y s m とし、互いのパルス幅が重複しないよう出力される。なお、転送開始パルス Y s p およびクロック信号 Y c l k は、第 1 実施形態にあっては、それぞれ書込動作の際に用いられたが、本実施形態にあっては、表示リフレッシュ動作に用いられている。このため、転送開始パルス Y s p およびクロック信号 Y c l k は、第 1 実施形態と第 2 実施形態とでは、その性格が異なっている点に留意されたい。

30

【 0 0 9 7 】

さて、転送信号 Y s 1 が H レベルになると、図 8 において 1 行目に対応するスイッチ 1 4 2 がオンになるので、データ s f c がサンプリングされて、同じく 1 行目に対応するデコーダ 1 3 2 によってデコードされる。この時点では、サブフィールド s f 6 であるので、1 行目に対応するデコーダ 1 3 2 は、サブフィールド選択信号 G S E L 6 を H レベルにする。

また、転送信号 Y s 1 が H レベルになると、図 8 において 1 行目に対応するスイッチ 1 4 4 がオンになるので、信号 F L D がサンプリングされて、同じく 1 行目に対応する V b k セレクタ 1 3 4 において選択の基準とされる。なお、1 行目に対応する V b k セレクタ 1 3 4 は、サンプリングされた信号 F L D によって、低位側のオン表示信号 V b k (-) を選択するものとする。

40

さらに、制御信号 F B は、クロック信号 Y c l k の立ち下がり直後において L レベルになるので、1 行目に対応する A N D ゲート 1 4 6 は閉じる。このため、1 行目に対応するスイッチング制御信号 G F B は、L レベルになる。

【 0 0 9 8 】

よって、転送信号 Y s 1 が H レベルになって、かつ、制御信号 F B が L レベルである期間において、1 行目に位置する画素 1 2 0 では、図 9 に示される保持素子 C 6 の一端における論理レベルに応じてオン表示信号 V b k またはオフ表示信号 V w t の電圧が、画素電極 1 1 8 に印加されることになる。この直後に、制御信号 F B が H レベルになると、1 行目に対応する A N D ゲート 1 4 6 が開くため、1 行目に対応するスイッチング制御信号 G F B が

50

Hレベルになる結果、1行目に位置する画素120では、TFT1230がオンする。このため、ノードAの論理レベルがラッチされるとともに、保持素子C6に再充電されることになる。

【0099】

次に、転送信号Ys2がHレベルになると、2行目に対応するスイッチ142がオンになるので、データsf6がサンプリングされて、同じく2行目に対応するデコーダ132によってデコードされる。これにより、2行目に対応するデコーダ132は、サブフィールド選択信号GSEL6をHレベルにする。

また、転送信号Ys2がHレベルになると、2行目に対応するスイッチ144がオンになるので、信号FLDがサンプリングされて、同じく2行目に対応するVbkセクタ134において選択の基準とされる。ここで、2行目に対応するVbkセクタ134は、1行目に対応するVbkセクタ134とは、信号FLDの論理レベルに対応する選択の基準が反対であるので、サンプリングされた信号FLDによって、高位側のオン表示信号Vbk(+)

10

を選択する。さらに、制御信号FBは、クロック信号Yclkの立ち上がり直後においてもLレベルになるので、2行目に対応するANDゲート146は閉じる。このため、2行目に対応するスイッチング制御信号GFBは、Lレベルになる。

【0100】

よって、転送信号Ys2がHレベルになって、かつ、制御信号FBがLレベルである期間において、2行目に位置する画素120では、保持素子C6の一端における論理レベルに

20

応じてオン表示信号Vbkまたはオフ表示信号Vwtの電圧が、画素電極118に印加されることになる。この直後に、制御信号FBがHレベルになると、2行目に対応するANDゲート146が開くため、2行目に対応するスイッチング制御信号GFBがHレベルになる結果、2行目に位置する画素120では、TFT1230がオンする。このため、ノードAの論理レベルがラッチされるとともに、保持素子C6に再充電されることになる。

そして、以降同様に、転送信号Ys3、Ys4、...、Ysmが、順次排他的にHレベルなる毎に、3、4、...、m行目に位置する画素120において、保持素子C6の一端における論理レベルに応じた電圧が画素電極118に印加される動作と、該保持素子C6の再充電とが、線順次的に行われることになる。

【0101】

30

続いて、サブフィールドsf5に至って、転送信号Ys1、Ys2、...、Ysmが順次Hレベルになる毎に、同様に、1、2、...、m行目に位置する画素120において、保持素子C5の一端における論理レベルに応じた電圧が画素電極118に印加される動作と、該保持素子C5の再充電とが線順次的に行われる。

さらに、サブフィールドsf4～sf1においても、同様に、保持素子C4～C1の一端における論理レベルに応じた電圧が画素電極118に印加される動作と、該保持素子C4～C1の再充電とが線順次的に行われる。

【0102】

<2-3：第2実施形態のまとめ>

このように第2実施形態では、第1実施形態と同様に、ある1つの画素120の液晶容量に印加される電圧実効値は、1フィールドを1周期としてみれば、サブフィールドsf6～sf1毎に印加されるオン表示信号Vbkの電圧を時間的に累算した値になるので、当該値に応じた階調表示が行われることになる。

40

【0103】

ただし、第2実施形態では、保持素子C6～C1の一端における論理レベルに応じた電圧が画素電極118に印加される動作と、保持素子C6～C1の再充電とが第1実施形態のように一斉に(面順次的に)ではなく、線順次的に行われる。したがって、これらの動作に伴って同時にスイッチングする素子数は、第1実施形態と比較して減少するので(注：第1および第2実施形態において、単位時間当たりにはスイッチングする素子数については互いに同一である)、消費電力のピーク値が下がる結果、電源回路の複雑化を防止するこ

50

とが可能となる。ただし、第1実施形態と比較すると、デコーダ132およびVbkセクタ134が行毎に設けられるので、線順次的動作のための構成が複雑化する。

【0104】

なお、上述した第2実施形態は、書込動作と表示リフレッシュ動作とをそれぞれ独立に実行する構成としたが、両者を同期させて実行しても良い。ここで、書込動作と表示リフレッシュ動作と同期して実行する場合、書込動作において制御信号をHレベルにするタイミングと、表示リフレッシュ動作において制御信号FBをLレベルにするタイミングとを一致させれば良い。このような構成を採用すると、ビットDT1～DT6の書き込み時には、TFT1230（図9参照）がオフであるので、ビット化けの発生が防止される。

【0105】

<3：応用、変形>

次に、上述した第1および第2実施形態にあつては、種々の応用・変形が可能である。例えば、画素120におけるセクタ1220や、液晶容量を交流駆動するための構成については、次のように変形可能である。

【0106】

<3-1：セクタの別例>

まず、第1および第2実施形態にあつては、現時点におけるサブフィールドを示すデータsf cは、デコーダ132によってデコードされて、サブフィールド選択信号GSEL1～GSEL6として、画素120に供給される構成となっていたが、データsf cを、画素120に対して行方向に供給して、各画素120においてデコードする構成としても良い。

【0107】

この構成では、セクタ1220において、保持素子C1～C6の一端とノードAとの間をそれぞれ結ぶ経路のうち、データsf cで示されるサブフィールドに対応する経路のみがオンするように、データsf cの各ビットに応じてオンオフするスイッチング素子（例えばTFT）を配設すれば良い。例えば、データsf cの各ビットとサブフィールドsf1～sf6との対応が、図12の下方に示される関係にある場合には、セクタ1220を同図に示される構成とすれば良い。

【0108】

この図に示される構成において、例えばデータsf cの最上位ビット（MSB）、次位ビット（2SB）、最下ビット（LSB）が、それぞれL、H、Hレベルであつて、サブフィールドsf4を示す場合には、保持素子C4の一端とノードAとの経路のみがオンして、保持素子C4の一端における論理レベルにしたがったオン表示信号Vbkまたはオフ表示信号Vwtの電圧が画素電極118に印加されることになる。

このような構成では、セクタ1220によって選択される保持素子の一端と、ラッチ回路の入出力端たるノードAとの間における経路長が、図3に示した構成と比較して短くなるので、当該経路において寄生する容量を減少させることができる。このため、図12に示されるセクタ1220によれば、階調データのビットを保持素子のいずれかからラッチ回路に転送する際に、チャージシュアリングで失われる電荷量を抑えることができるので、その分、ビットの転送を、より確実にすることが可能になる。

【0109】

なお、図12は、このようなセクタ1220を第1実施形態に適用した場合の構成であるが、第2実施形態にも適用可能である。第2実施形態に適用する場合には、i行のシフトレジスタ130による転送信号Ysiにしたがってサンプリングされたデータsf cを、i行の画素120に供給すれば良い。

【0110】

<3-2：交流駆動のための別例>

また、第1および第2実施形態にあつては、高位側のオン表示信号Vbk(+）、または、低位側のオン表示信号Vbk(-)のいずれかを、Vbkセクタ134により信号FLDにしたがって選択することにより、液晶容量の交流駆動を行う構成となっていたが、信号FLD

10

20

30

40

50

(の反転信号)を直接画素120に供給して、これにしたがって、オン表示信号を選択する構成としても良い。

【0111】

詳細には、信号FLDの反転信号、高位側のオン表示信号Vbk(+)、および、低位側のオン表示信号Vbk(-)を、画素120に対して行方向に共通に供給するとともに、図3における相補型スイッチ1251を、図13に示されるように、相補型スイッチ1255に置き換えた構成とすれば良い。ここで、相補型スイッチ1255は、高位側のオン表示信号Vbk(+)
および低位側のオン表示信号Vbk(-)の間において、インバータ1241の出力をゲートとする第1のpチャンネル型TFTと、信号FLDの反転信号をゲートとする第2のpチャンネル型TFTと、同じく信号FLDの反転信号をゲートとする第1のnチャンネル型TFTと、インバータ1243の出力をゲートとする第2のnチャンネル型TFTとを直接接続してなり、第2のpチャンネル型TFTおよび第1のnチャンネル型TFTの共通出力端を、画素電極118に接続したものである。

10

【0112】

この構成によれば、画素電極118には、ノードAがLレベルであれば、相補型スイッチ1251がオンすることによって、オフ表示信号Vwtが印加される一方、ノードAがHレベルであって、信号FLDの反転信号がLレベルであれば、相補型スイッチ1255により選択された高位側のオン表示信号Vbk(+)
が印加され、また、ノードAがHレベルであって、信号FLDの反転信号がHレベルであれば、相補型スイッチ1255により選択された低位側のオン表示信号Vbk(-)が印加されることになる。

20

【0113】

なお、図13は、このような相補型スイッチ1255を、第1実施形態に適用した場合の構成であるが、第2実施形態にも適用可能である。第2実施形態に適用する場合には、i行のシフトレジスタ130による転送信号Ysiにしたがってサンプリングされた信号FLDの反転信号が、i行の画素120に供給されることになる。

さらに、これに隣接する(i-1)行および(i+1)行に、それぞれ転送信号Ys(i-1)、Ys(i+1)にしたがってサンプリングされた、信号FLDの正転信号を供給する構成にすると、相隣接する行同士の書込極性が互いに反転の関係になるので、フリッカを防止することもできる。

【0114】

<3-3:その他>

なお、上述した第1および第2実施形態にあつては、1色当たり6ビットの階調データを用いた64階調表示を、RGBの各々について行うことによって26万色のカラー表示を可能とするものであったが、本発明はこれに限られない。例えば、ビット数を多くして、より多階調のカラー表示を行うとしても良いし、また、階調データのビット数をRGBの色毎に異ならせても良いし、さらに、単なる白黒の階調表示であっても良い。

くわえて、実施形態にあつては、透過型としたが、反射型としても良いし、両者を併用した半透過・半反射型としても良い。

【0115】

上述した実施形態にあつては、液晶容量の書込極性を、1フィールド毎に反転して交流駆動したが、本発明は、これに限られず、例えば、2フィールド以上の周期で反転駆動する構成としても良いし、サブフィールド単位で反転駆動する構成としても良い。また、上述した実施形態にあつては、液晶容量の電圧無印加状態において最大透過率となるノーマリーホワイトモードとして説明したが、同状態において最小透過率となるノーマリーブラックモードとしても良い。

40

【0116】

さらに、実施形態にあつて、素子基板101には、ガラス基板を用いたが、SOI(Silicon On Insulator)の技術を適用し、サファイヤや、石英、ガラスなどの絶縁性基板にシリコン単結晶膜を形成して、ここに各種素子を作り込んで素子基板101としても良い。また、素子基板101として、シリコン基板などを用いるとともに、ここに各種の素子を

50

形成しても良い。このような場合には、スイッチング素子として、高速な電界効果型トランジスタを用いることができるので、TFTよりも高速動作が容易となる。ただし、素子基板101が透明性を有しない場合、画素電極118をアルミニウムで形成したり、別途反射層を形成したりするなどして、反射型として用いる必要がある。

【0117】

さらに、上述した実施形態では、液晶としてTN型を用いたが、BTN(Bi-stable Twisted Nematic)型・強誘電型などのメモリ性を有する双安定型や、高分子分散型、さらには、分子の長軸方向と短軸方向とで可視光の吸収に異方性を有する染料(ゲスト)を一定の分子配列の液晶(ホスト)に溶解して、染料分子を液晶分子と平行に配列させたGH(ゲストホスト)型などの液晶を用いても良い。

また、電圧無印加時には液晶分子が両基板に対して垂直方向に配列する一方、電圧印加時には液晶分子が両基板に対して水平方向に配列する、という垂直配向(ホメオトロピック配向)の構成としても良いし、電圧無印加時には液晶分子が両基板に対して水平方向に配列する一方、電圧印加時には液晶分子が両基板に対して垂直方向に配列する、という平行(水平)配向(ホモジニアス配向)の構成としても良い。このように、本発明では、液晶や配向方式として、種々のものに適用することが可能である。

【0118】

くわえて、電気光学装置としては、液晶表示装置のほかに、エレクトロルミネッセンス(EL)や、プラズマ発光や電子放出による蛍光などを用いて、その電気光学効果により表示を行う種々の電気光学装置に適用可能である。この際、電気光学物質としては、EL、ミラーデバイス、ガス、蛍光体などになる。なお、電気光学物質としてELを用いる場合、素子基板101においてELが画素電極118と透明導電膜の対向電極との間に介在することになるので、液晶表示装置としてみれば必要であった対向基板102が不要となる。このように、本発明は、上述した構成と類似の構成を有する電気光学装置のすべてに適用可能である。

【0119】

<4: 電子機器>

次に、上述した実施形態に係る電気光学装置を用いた電子機器のいくつかについて説明する。

【0120】

<4-1: プロジェクタ>

まず、上述した電気光学装置100をライトバルブとして用いたプロジェクタについて説明する。図14は、このプロジェクタの構成を示す平面図である。

【0121】

この図に示されるように、プロジェクタ2100内部には、ハロゲンランプ等の白色光源からなるランプユニット2102が設けられている。このランプユニット2102から射出された投射光は、内部に配置された3枚のミラー2106および2枚のダイクロイックミラー2108によってRGBの3原色に分離されて、各原色に対応するライトバルブ100R、100Gおよび100Bにそれぞれ導かれる。

ここで、ライトバルブ100R、100Gおよび100Bは、上述した実施形態に係る電気光学装置100と基本的には同様であるが、RGBの3画素で1ドットを構成するのではなく、1画素で原色の1ドットを構成したものとなる。すなわち、ライトバルブ100RはRの画像データDRで、ライトバルブ100GはGの画像データDGで、ライトバルブ100BはBの画像データDBで、それぞれ駆動されて、RGBの各原色画像を生成する光変調器として機能するものである。

また、Bの光は、他のRやGの光と比較すると、光路が長いので、その損失を防ぐために、入射レンズ2122、リレーレンズ2123および出射レンズ2124からなるリレーレンズ系2121を介して導かれる。

【0122】

さて、ライトバルブ100R、100G、100Bによってそれぞれ変調された光は、ダ

10

20

30

40

50

イクロイックプリズム 2 1 1 2 に 3 方向から入射する。そして、このダイクロイックプリズム 2 1 1 2 において、R および B の光は 90 度に屈折する一方、G の光は直進する。これにより、各原色画像の合成したカラー画像が、投射レンズ 2 1 1 4 を介して、スクリーン 2 1 2 0 に投射されることになる。

【 0 1 2 3 】

なお、ライトバルブ 1 0 0 R、1 0 0 G および 1 0 0 B には、ダイクロイックミラー 2 1 0 8 によって、R G B の各原色に対応する光が入射するので、上述したようにカラーフィルタを設ける必要はない。

【 0 1 2 4 】

< 4 - 2 : モバイル型コンピュータ >

次に、上述した電気光学装置 1 0 0 を、モバイル型のパーソナルコンピュータに適用した例について説明する。図 1 5 は、このパーソナルコンピュータの構成を示す斜視図である。図において、コンピュータ 2 2 0 0 は、キーボード 2 2 0 2 を備えた本体部 2 2 0 4 と、表示部として用いられる電気光学装置 1 0 0 とを備えている。なお、電気光学装置 1 0 0 として液晶表示装置が用いられる場合、背面には、暗所での視認性を確保するためのバックライトユニット（図示省略）が設けられる。

10

【 0 1 2 5 】

< 4 - 3 : 携帯電話 >

さらに、上述した電気光学装置 1 0 0 を、携帯電話の表示部に適用した例について説明する。図 1 6 は、この携帯電話の構成を示す斜視図である。図において、携帯電話 2 3 0 0 は、複数の操作ボタン 2 3 0 2 のほか、受話口 2 3 0 4、送話口 2 3 0 6 とともに、上述した電気光学装置 1 0 0 を備えるものである。なお、電気光学装置 1 0 0 として液晶表示装置が用いられる場合、上述したパーソナルコンピュータと同様に、背面には、暗所での視認性を確保するためのバックライトユニット（図示省略）が設けられる。

20

【 0 1 2 6 】

< 4 - 4 : 電子機器のまとめ >

なお、電子機器としては、図 1 4、図 1 5 および図 1 6 を参照して説明した他にも、液晶テレビや、ビューファインダ型・モニタ直視型のビデオテープレコーダ、カーナビゲーション装置、ページャ、電子手帳、電卓、ワードプロセッサ、ワークステーション、テレビ電話、POS 端末、デジタルスチルカメラ、タッチパネルを備えた機器等などが挙げられる。そして、これらの各種の電子機器に対して、実施形態や応用形態に係る電気光学装置が適用可能なのは言うまでもない。

30

【 0 1 2 7 】

【 発明の効果 】

以上説明したように本発明によれば、各種の素子特性や配線抵抗などの不均一性に起因する表示ムラの発生を抑えた高品位な表示が、低い消費電力で可能になる。

【 図面の簡単な説明 】

【 図 1 】 (a) は、本発明の第 1 実施形態に係る電気光学装置の外観構成を示す斜視図であり、(b) は、その線 A - A ' についての断面図である。

【 図 2 】 同電気光学装置の電氣的な構成を示すブロック図である。

40

【 図 3 】 同電気光学装置における 1 画素分の電氣的な構成を示す回路図である。

【 図 4 】 同電気光学装置における 1 画素分の構成を示す平面図である。

【 図 5 】 図 4 に示される構成の等価回路を示す図である。

【 図 6 】 同電気光学装置におけるデータの書込動作を説明するためのタイミングチャートである。

【 図 7 】 同電気光学装置における表示リフレッシュ動作を説明するためのタイミングチャートである。

【 図 8 】 本発明の第 2 実施形態に係る電気光学装置の電氣的な構成を示すブロック図である。

【 図 9 】 同電気光学装置における 1 画素分の電氣的な構成を示す回路図である。

50

【図10】 同電気光学装置におけるデータの書込動作を説明するためのタイミングチャートである。

【図11】 同電気光学装置における表示リフレッシュ動作を説明するためのタイミングチャートである。

【図12】 実施形態に係る電気光学装置の画素におけるセレクトの別構成を示す回路図である。

【図13】 実施形態に係る電気光学装置の画素の別構成を示す回路図である。

【図14】 実施形態に係る電気光学装置を適用した電子機器の一例たるプロジェクタの構成を示す図である。

【図15】 実施形態に係る電気光学装置を適用した電子機器の一例たるパーソナルコンピュータの構成を示す斜視図である。 10

【図16】 同電気光学装置を適用した電子機器の一例たる携帯電話の構成を示す斜視図である。

【符号の説明】

100 ... 電気光学装置

105 ... 液晶

108 ... 対向電極

118 ... 画素電極

120 ... 画素

130、150 ... シフトレジスタ 20

132 ... デコーダ

134 ... V_{bk}セレクト

140 ... 行アドレスデコーダ

160 ... 列アドレスデコーダ

1211 ~ 1216、1281 ~ 1286 ... TFT (第1転送スイッチ)

C1 ~ C6 ... 保持素子

1220 ... セレクト

1241、1243 ... インバータ

1251、1253、1255 ... 相補型スイッチ

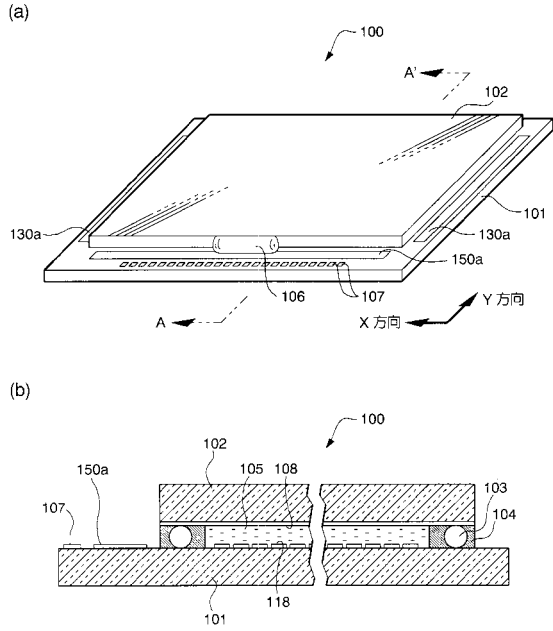
1270 ... TFT (第2転送スイッチ) 30

2100 ... プロジェクタ

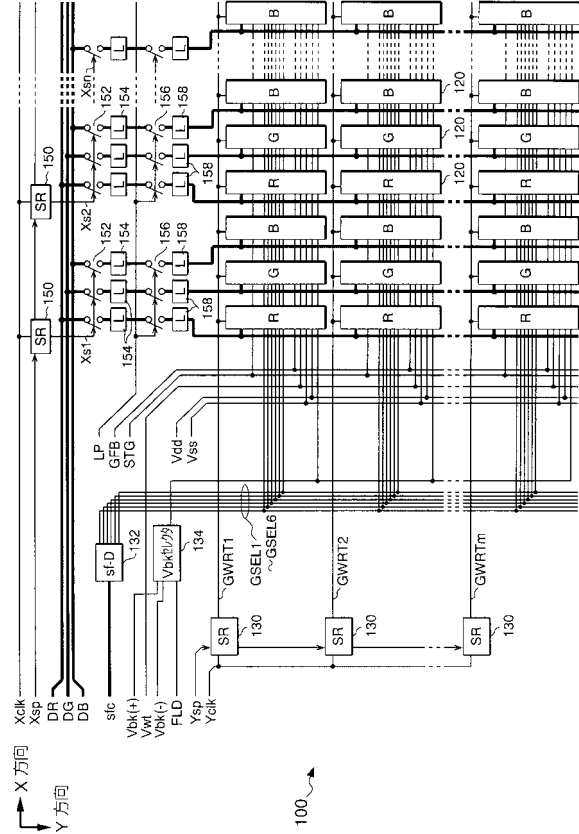
2200 ... パーソナルコンピュータ

2300 ... 携帯電話

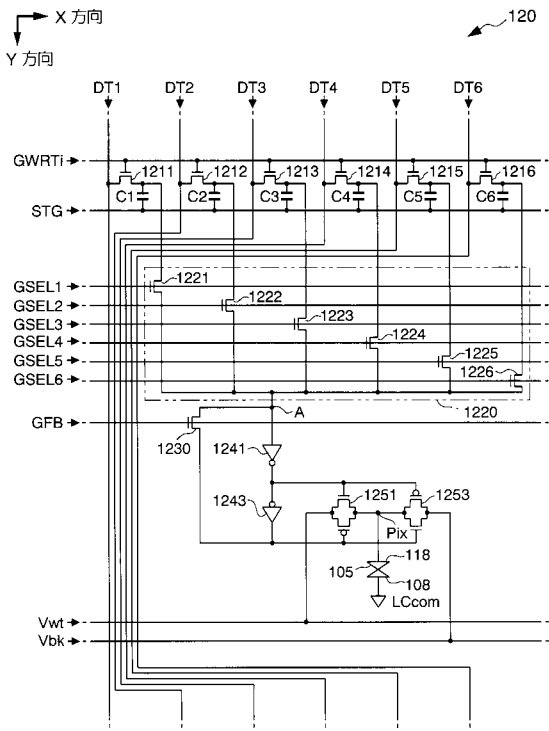
【図1】



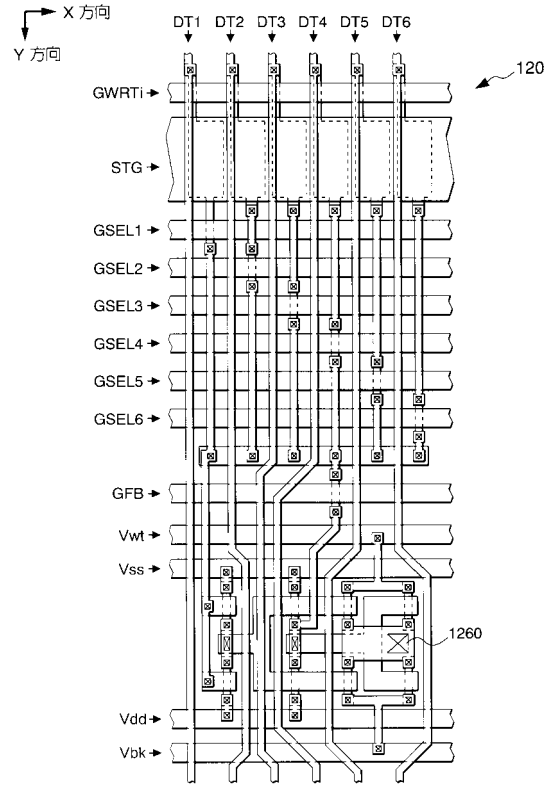
【図2】



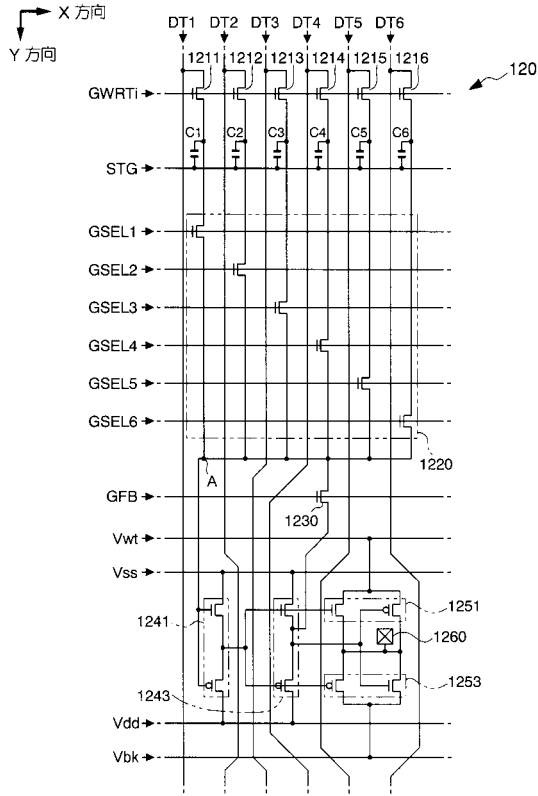
【図3】



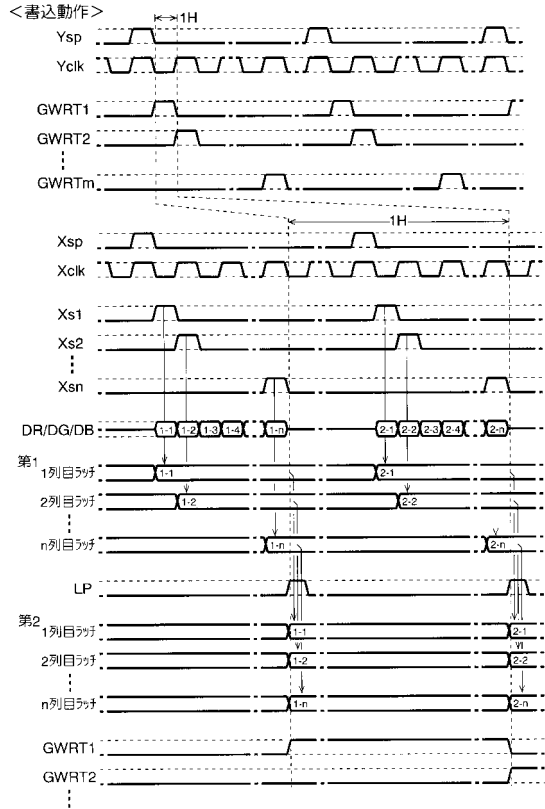
【図4】



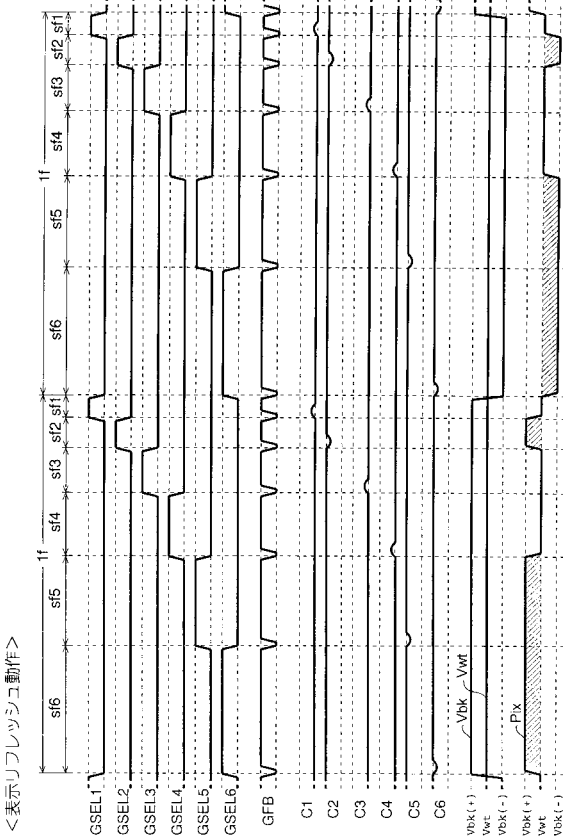
【 図 5 】



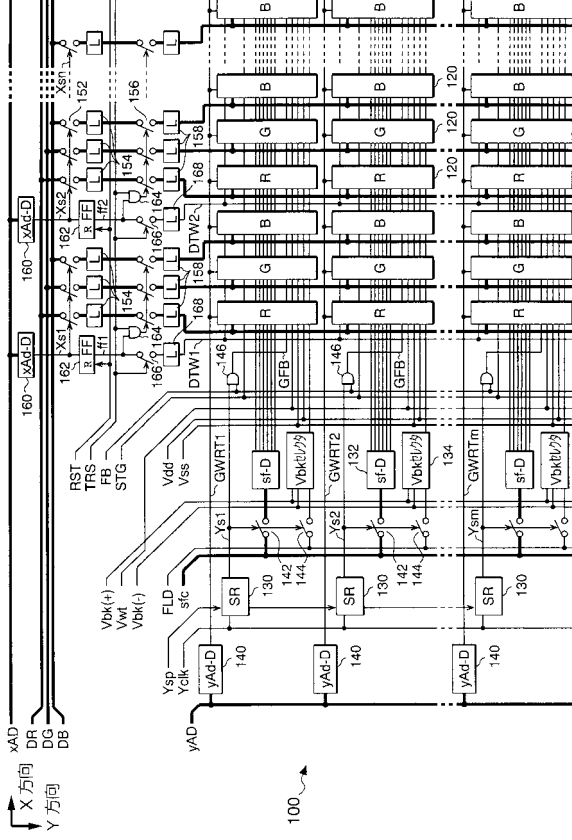
【 図 6 】



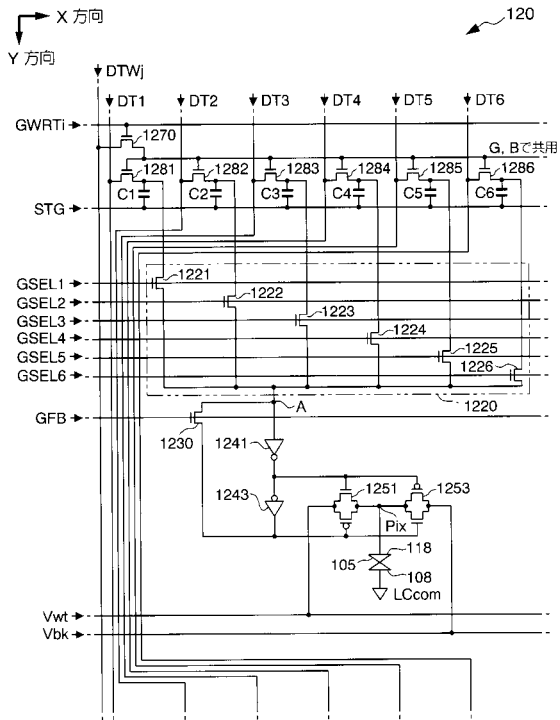
【 図 7 】



【 図 8 】

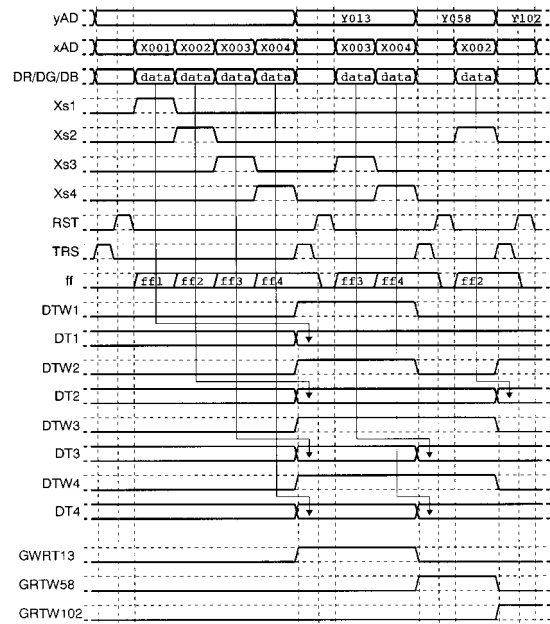


【 図 9 】

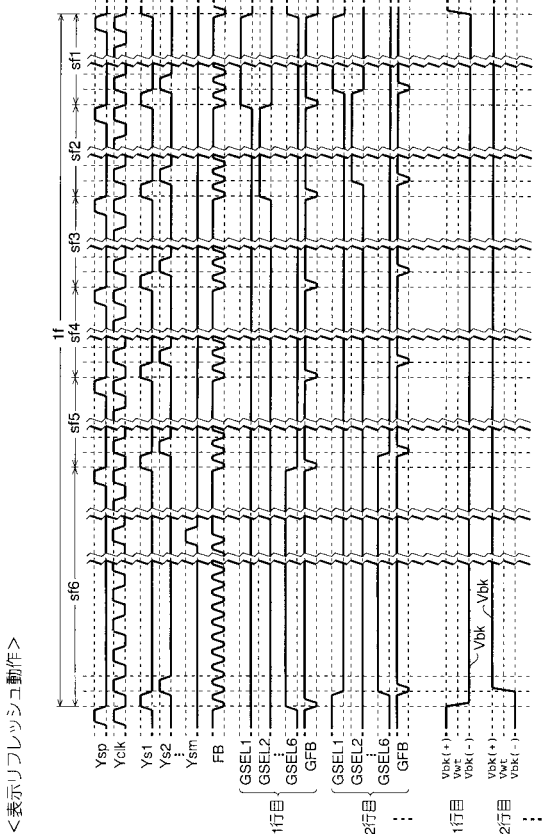


【 図 10 】

< 書込動作 >

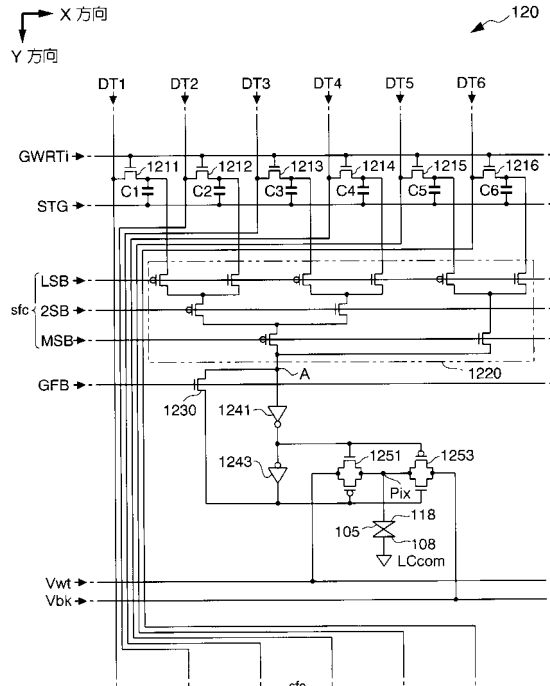


【 図 11 】



< 表示リフレッシュ動作 >

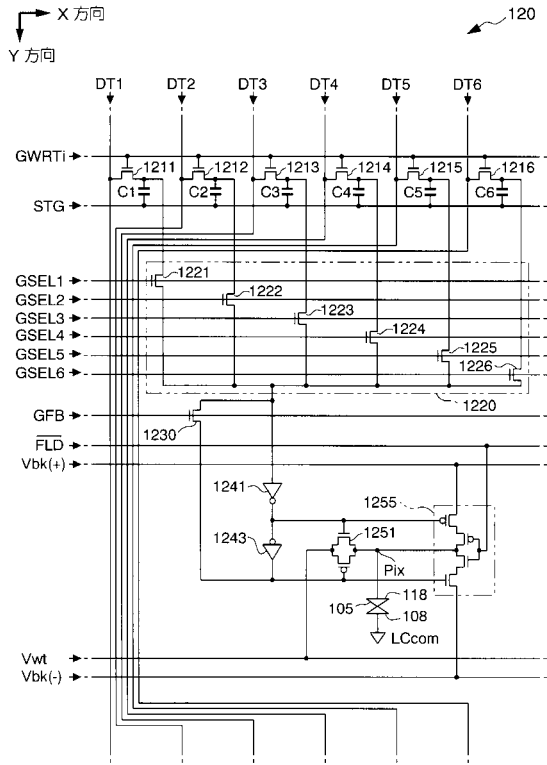
【 図 12 】



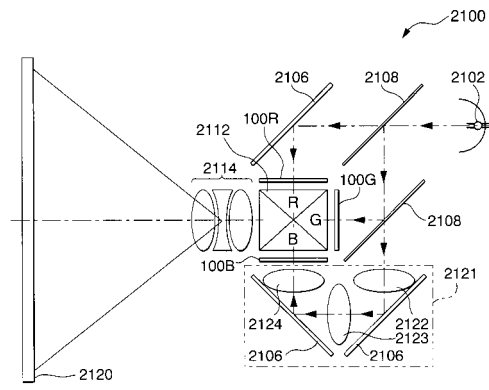
sfc			
MSB	2SB	LSB	
0	0	0	---- sf1
0	0	1	---- sf2
0	1	0	---- sf3
0	1	1	---- sf4
1	-	0	---- sf5
1	-	1	---- sf6

1=H, 0=L

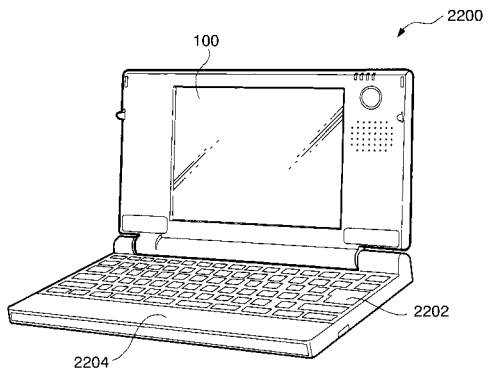
【 図 1 3 】



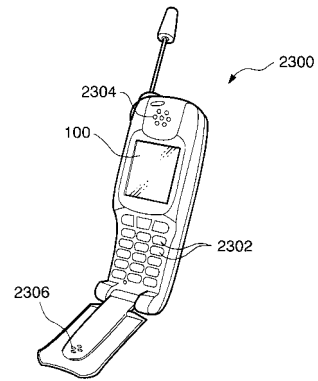
【 図 1 4 】



【 図 1 5 】



【 図 1 6 】



フロントページの続き

(56)参考文献 特開平11-002797(JP,A)

(58)調査した分野(Int.Cl.⁷, DB名)

G09G 3/00-3/38

G02F 1/133