



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2024년05월07일  
(11) 등록번호 10-2662348  
(24) 등록일자 2024년04월25일

- (51) 국제특허분류(Int. Cl.)  
G09G 3/36 (2006.01) G02F 1/1362 (2006.01)  
G09G 3/3266 (2016.01) G09G 3/34 (2006.01)  
H01L 27/06 (2006.01)
- (52) CPC특허분류  
G09G 3/3648 (2013.01)  
G02F 1/13624 (2013.01)
- (21) 출원번호 10-2022-7016747(분할)
- (22) 출원일자(국제) 2009년11월04일  
심사청구일자 2022년06월09일
- (85) 번역문제출일자 2022년05월18일
- (65) 공개번호 10-2022-0070340
- (43) 공개일자 2022년05월30일
- (62) 원출원 특허 10-2021-7039156  
원출원일자(국제) 2009년11월04일  
심사청구일자 2021년12월20일
- (86) 국제출원번호 PCT/JP2009/069142
- (87) 국제공개번호 WO 2010/061723  
국제공개일자 2010년06월03일
- (30) 우선권주장  
JP-P-2008-304124 2008년11월28일 일본(JP)
- (56) 선행기술조사문헌  
JP2004274050 A\*  
JP2008089874 A\*  
\*는 심사관에 의하여 인용된 문헌

- (73) 특허권자  
가부시킴가이샤 한도오따이 에네루기 켄큐쇼  
일본국 가나가와켄 아쓰기시 하세 398
- (72) 발명자  
우메자키 아즈시  
일본 2430036 가나가와켄 아쓰기시 하세 398 가부  
시킴가이샤 한도오따이 에네루기 켄큐쇼 내
- (74) 대리인  
장수길, 박충범, 이중희

전체 청구항 수 : 총 4 항

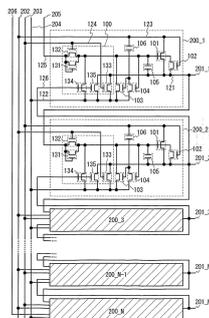
심사관 : 신영교

(54) 발명의 명칭 반도체 장치, 표시 장치 및 표시 장치를 포함하는 전자 장치

(57) 요약

표시 장치를 위한 게이트 구동 회로는 시프트 레지스터를 포함한다. 시프트 레지스터는 복수의 플립플롭(200\_1 내지 200\_N)을 포함한다. 플립플롭들(200\_1 내지 200\_N) 각각은 제1 트랜지스터(101), 제2 트랜지스터(102), 제3 트랜지스터(103), 제4 트랜지스터(104), 제5 트랜지스터(131), 제6 트랜지스터(132), 제7 트랜지스터(133), (뒷면에 계속)

대표도 - 도15



제8 트랜지스터(134), 제9 트랜지스터(135) 및 용량 소자(106)를 포함한다. 본 발명은 용량 소자(106)에 접속되는 트랜지스터의 수를 감소시킬 수 있다.

(52) CPC특허분류

*G02F 1/136286* (2013.01)

*G09G 3/3266* (2013.01)

*G09G 3/3413* (2013.01)

*H01L 27/0629* (2013.01)

*G09G 2310/0235* (2013.01)

*G09G 2310/061* (2013.01)

*G09G 2320/0252* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

반도체 장치로서,

제1 트랜지스터 내지 제3 트랜지스터를 포함하고,

상기 제1 트랜지스터는, 소스 및 드레인 중 하나가 주사선과 전기적으로 접속되고, 소스 및 드레인 중 다른 하나가 제1 배선과 전기적으로 접속되고,

상기 제2 트랜지스터는, 소스 및 드레인 중 하나가 상기 주사선과 전기적으로 접속되고, 소스 및 드레인 중 다른 하나가 제2 배선과 전기적으로 접속되고,

상기 제3 트랜지스터는, 소스 및 드레인 중 하나가 상기 제1 트랜지스터의 게이트와 전기적으로 접속되고, 소스 및 드레인 중 다른 하나가 상기 제2 배선과 전기적으로 접속되고,

상기 제1 트랜지스터의 게이트로서 기능하는 제1 도전층과 상기 제1 트랜지스터의 소스 및 드레인 중 하나로서 기능하는 제2 도전층이 서로 겹치는 면적은, 상기 제1 도전층과 상기 제1 트랜지스터의 소스 및 드레인 중 다른 하나로서 기능하는 제3 도전층이 서로 겹치는 면적보다 크고,

상기 제2 트랜지스터의 게이트로서 기능하는 제4 도전층과 상기 제2 트랜지스터의 소스 및 드레인 중 하나로서 기능하는 상기 제2 도전층이 서로 겹치는 면적은, 상기 제4 도전층과 상기 제2 트랜지스터의 소스 및 드레인 중 다른 하나로서 기능하는 제5 도전층이 서로 겹치는 면적보다 작고,

상기 제3 트랜지스터의 게이트로서 기능하는 제6 도전층과 상기 제3 트랜지스터의 소스 및 드레인 중 하나로서 기능하는 제7 도전층이 서로 겹치는 면적은, 상기 제6 도전층과 상기 제3 트랜지스터의 소스 및 드레인 중 다른 하나로서 기능하는 상기 제5 도전층이 서로 겹치는 면적보다 작은, 반도체 장치.

#### 청구항 2

반도체 장치로서,

제1 트랜지스터 내지 제3 트랜지스터를 포함하고,

상기 제1 트랜지스터는, 소스 및 드레인 중 하나가 주사선과 전기적으로 접속되고, 소스 및 드레인 중 다른 하나가 제1 배선과 전기적으로 접속되고,

상기 제2 트랜지스터는, 소스 및 드레인 중 하나가 상기 주사선과 전기적으로 접속되고, 소스 및 드레인 중 다른 하나가 제2 배선과 전기적으로 접속되고,

상기 제3 트랜지스터는, 소스 및 드레인 중 하나가 상기 제1 트랜지스터의 게이트와 전기적으로 접속되고, 소스 및 드레인 중 다른 하나가 상기 제2 배선과 전기적으로 접속되고,

상기 제1 배선은 클록 신호가 공급되고,

상기 제2 배선은 전원 전위가 공급되고,

상기 제1 트랜지스터의 게이트로서 기능하는 제1 도전층과 상기 제1 트랜지스터의 소스 및 드레인 중 하나로서 기능하는 제2 도전층이 서로 겹치는 면적은, 상기 제1 도전층과 상기 제1 트랜지스터의 소스 및 드레인 중 다른 하나로서 기능하는 제3 도전층이 서로 겹치는 면적보다 크고,

상기 제2 트랜지스터의 게이트로서 기능하는 제4 도전층과 상기 제2 트랜지스터의 소스 및 드레인 중 하나로서 기능하는 상기 제2 도전층이 서로 겹치는 면적은, 상기 제4 도전층과 상기 제2 트랜지스터의 소스 및 드레인 중 다른 하나로서 기능하는 제5 도전층이 서로 겹치는 면적보다 작고,

상기 제3 트랜지스터의 게이트로서 기능하는 제6 도전층과 상기 제3 트랜지스터의 소스 및 드레인 중 하나로서 기능하는 제7 도전층이 서로 겹치는 면적은, 상기 제6 도전층과 상기 제3 트랜지스터의 소스 및 드레인 중 다른

하나로서 기능하는 상기 제5 도전층이 서로 겹치는 면적보다 작은, 반도체 장치.

**청구항 3**

반도체 장치로서,

제1 트랜지스터 내지 제4 트랜지스터를 포함하고,

상기 제1 트랜지스터는, 소스 및 드레인 중 하나가 주사선과 전기적으로 접속되고, 소스 및 드레인 중 다른 하나가 제1 배선과 전기적으로 접속되고,

상기 제2 트랜지스터는, 소스 및 드레인 중 하나가 상기 주사선과 전기적으로 접속되고, 소스 및 드레인 중 다른 하나가 제2 배선과 전기적으로 접속되고,

상기 제3 트랜지스터는, 소스 및 드레인 중 하나가 상기 제1 트랜지스터의 게이트와 전기적으로 접속되고, 소스 및 드레인 중 다른 하나가 상기 제2 배선과 전기적으로 접속되고,

상기 제4 트랜지스터는, 소스 및 드레인 중 하나가 상기 제3 트랜지스터의 게이트와 전기적으로 접속되고, 소스 및 드레인 중 다른 하나가 상기 제2 배선과 전기적으로 접속되고,

상기 제1 트랜지스터의 게이트로서 기능하는 제1 도전층과 상기 제1 트랜지스터의 소스 및 드레인 중 하나로서 기능하는 제2 도전층이 서로 겹치는 면적은, 상기 제1 도전층과 상기 제1 트랜지스터의 소스 및 드레인 중 다른 하나로서 기능하는 제3 도전층이 서로 겹치는 면적보다 크고,

상기 제2 트랜지스터의 게이트로서 기능하는 제4 도전층과 상기 제2 트랜지스터의 소스 및 드레인 중 하나로서 기능하는 상기 제2 도전층이 서로 겹치는 면적은, 상기 제4 도전층과 상기 제2 트랜지스터의 소스 및 드레인 중 다른 하나로서 기능하는 제5 도전층이 서로 겹치는 면적보다 작고,

상기 제3 트랜지스터의 게이트로서 기능하는 제6 도전층과 상기 제3 트랜지스터의 소스 및 드레인 중 하나로서 기능하는 제7 도전층이 서로 겹치는 면적은, 상기 제6 도전층과 상기 제3 트랜지스터의 소스 및 드레인 중 다른 하나로서 기능하는 상기 제5 도전층이 서로 겹치는 면적보다 작은, 반도체 장치.

**청구항 4**

반도체 장치로서,

제1 트랜지스터 내지 제4 트랜지스터를 포함하고,

상기 제1 트랜지스터는, 소스 및 드레인 중 하나가 주사선과 전기적으로 접속되고, 소스 및 드레인 중 다른 하나가 제1 배선과 전기적으로 접속되고,

상기 제2 트랜지스터는, 소스 및 드레인 중 하나가 상기 주사선과 전기적으로 접속되고, 소스 및 드레인 중 다른 하나가 제2 배선과 전기적으로 접속되고,

상기 제3 트랜지스터는, 소스 및 드레인 중 하나가 상기 제1 트랜지스터의 게이트와 전기적으로 접속되고, 소스 및 드레인 중 다른 하나가 상기 제2 배선과 전기적으로 접속되고,

상기 제4 트랜지스터는, 소스 및 드레인 중 하나가 상기 제3 트랜지스터의 게이트와 전기적으로 접속되고, 소스 및 드레인 중 다른 하나가 상기 제2 배선과 전기적으로 접속되고,

상기 제1 배선은 클록 신호가 공급되고,

상기 제2 배선은 전원 전위가 공급되고,

상기 제1 트랜지스터의 게이트로서 기능하는 제1 도전층과 상기 제1 트랜지스터의 소스 및 드레인 중 하나로서 기능하는 제2 도전층이 서로 겹치는 면적은, 상기 제1 도전층과 상기 제1 트랜지스터의 소스 및 드레인 중 다른 하나로서 기능하는 제3 도전층이 서로 겹치는 면적보다 크고,

상기 제2 트랜지스터의 게이트로서 기능하는 제4 도전층과 상기 제2 트랜지스터의 소스 및 드레인 중 하나로서 기능하는 상기 제2 도전층이 서로 겹치는 면적은, 상기 제4 도전층과 상기 제2 트랜지스터의 소스 및 드레인 중 다른 하나로서 기능하는 제5 도전층이 서로 겹치는 면적보다 작고,

상기 제3 트랜지스터의 게이트로서 기능하는 제6 도전층과 상기 제3 트랜지스터의 소스 및 드레인 중 하나로서

가능하는 제7 도전층이 서로 겹치는 면적은, 상기 제6 도전층과 상기 제3 트랜지스터의 소스 및 드레인 중 다른 하나로서 가능하는 상기 제5 도전층이 서로 겹치는 면적보다 작은, 반도체 장치.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 반도체 장치, 표시 장치, 액정 표시 장치, 이들의 구동 방법, 또는 이들의 제조 방법에 관한 것이다. 구체적으로, 본 발명은, 화소부와 같은 기관 위에 형성되는 구동 회로를 포함하는 반도체 장치, 표시 장치, 액정 표시 장치, 또는 해당 장치의 구동 방법에 관한 것이다. 또한, 본 발명은 해당 장치를 포함하는 전자 장치에 관한 것이다.

**배경 기술**

[0002] 최근 들어, 표시 장치는, 액정 텔레비전 등의 대형 표시 장치의 증가와 함께, 활발하게 개발되고 있다. 특히, 비단결정 반도체에 의해 구성되는 트랜지스터를 사용하여, 화소부와 같은 기관 위에 게이트 드라이버 등의 구동 회로를 형성하는 기술은, 비용 절감 및 신뢰성 향상에 크게 기여하기 때문에 활발하게 개발되고 있다.

[0003] 그러나, 비단결정 반도체에 의해 구성되는 트랜지스터에서는, 임계값 전압의 상승 또는 이동도의 감소 등의 열화가 발생한다. 트랜지스터의 열화가 진행되면, 구동 회로가 동작하기 어려워져, 화상을 표시할 수 없는 문제가 있다. 따라서, 특허문헌 1에서는, 트랜지스터의 열화를 억제할 수 있는 시프트 레지스터의 구조를 개시하고 있다. 특허문헌 1에서는, 용량 소자의 하나의 전극을 클록 신호가 입력되는 배선에 접속하고, 용량 소자의 나머지 하나의 전극을 2개의 트랜지스터의 게이트에 접속하고, 용량 소자의 나머지 하나의 전극의 전위를 클록 신호에 동기시켜 상승 또는 감소시킨다. 이러한 방식으로, 용량 소자의 용량 결함을 활용함으로써, 클록 신호에 동기한 신호를 2개의 트랜지스터의 게이트에 생성한다. 이어서, 클록 신호에 동기한 신호를 사용하여, 트랜지스터의 온과 오프를 제어한다. 이에 따라, 트랜지스터가 턴온되는 기간 및 트랜지스터가 턴오프되는 기간이 반복되므로, 트랜지스터의 열화를 억제할 수 있다.

[0004] 그러나, 특허문헌 1에서는, 용량 소자의 나머지 하나의 전극이 2개의 트랜지스터의 게이트에 접속되어 있으므로, 용량 소자에 접속되는 노드의 기생 용량이 크다는 문제가 있다. 이에 따라, 클록 신호에 동기한 신호의 H 레벨의 전위가 낮아지는 문제가 있다. 이 경우, 트랜지스터의 임계 전압이 증가하면 트랜지스터가 상태 변경될 수 있는 시간이 짧아지는 문제가 있다. 즉, 시프트 레지스터의 수명이 짧아지는 문제가 있다. 또는, 용량 소자에 접속되는 기생 용량이 크므로, 용량 소자의 용량값을 크게 해야 하는 문제가 있다. 이에 따라, 용량 소자의 하나의 전극과 용량 소자의 나머지 하나의 전극이 겹치는 면적을 크게 할 필요가 있으므로, 용량 소자의 레이아웃 면적이 커지는 문제가 있다.

[0005] 특허문헌 1에서는, 용량 소자의 면적을 크게 할 필요가 있으므로, 하나의 전극과 나머지 하나의 전극이 먼지 등으로 인해 단락되기 쉬운 문제가 있다. 그 결과, 수율이 감소되고 비용이 증가하는 문제가 있다.

[0006] 특허문헌 1에서는, 용량 소자의 용량 값을 크게 할 필요가 있으므로, 용량 소자에 공급되는 신호(예를 들어 클록 신호 또는 반전 클록 신호)의 지연 또는 왜곡이 커지는 문제가 있다. 또한, 소비 전력이 커지는 문제가 있다.

[0007] 용량 소자에 공급되는 신호를 출력하는 회로로서, 전류 구동 능력이 큰 회로를 사용하므로, 외측 회로(이하, 외부 회로라 칭함)가 커지는 문제가 있다. 또는, 표시 장치가 커지는 문제가 있다.

[0008] 특허문헌 1에서는, 풀업 트랜지스터 Tu의 게이트가 부유 상태에 있는 기간이 존재한다. 따라서, 풀업 트랜지스터 Tu의 게이트의 전위가 안정적이지 않기 때문에 노이즈 등이 발생한다. 따라서, 시프트 레지스터가 오동작하는 문제가 있다.

[0009] 전술한 문제들을 감안할 때, 용량 소자에 접속되는 트랜지스터의 수를 감소시키는 것이 목적이다. 또는, 용량 소자에 접속되는 트랜지스터의 기생 용량을 감소시키는 것이 목적이다. 또는, 클록 신호에 동기한 신호의 H 레벨의 전위를 증가시키는 것이 목적이다. 또는, 레이아웃 면적을 감소시키는 것이 목적이다. 또는, 수명을 연장하는 것이 목적이다. 또는, 신호의 지연 또는 왜곡을 감소시키는 것이 목적이다. 또는, 소비 전력을 저감하는 것이 목적이다. 또는, 노이즈의 악영향을 감소시키는 것이 목적이다. 또한, 트랜지스터의 열화를 억제 또는 완화하는 것이 목적이다. 또는, 오동작을 억제하는 것이 목적이다. 또는, 용량 소자의 하나의 전극과 용량 소자의 나머지 하나의 전극 간의 단락을 방지하는 것이 목적이다. 또는, 외부 회로의 전류 구동 능력을 감소시

키는 것이 목적이다. 또는, 외부 회로의 크기를 저감하는 것이 목적이다. 또는, 표시 장치의 크기를 저감하는 것이 목적이다. 이러한 문제들의 설명이 다른 문제들의 존재를 방해하는 것은 아니라는 점에 주목한다.

**선행기술문헌**

**특허문헌**

[0010] (특허문헌 0001) 일본 특허공개 제2006-24350호 공보

**발명의 내용**

**해결하려는 과제**

**과제의 해결 수단**

[0011] 구조에 있어서, 용량 소자와 하나의 트랜지스터를 포함하고, 용량 소자의 하나의 전극은 배선에 접속되고, 용량 소자의 나머지 하나의 전극은 트랜지스터의 게이트에 접속된다. 배선에는 클록 신호가 입력되므로, 클록 신호는 용량 소자를 통해 트랜지스터의 게이트에 입력된다. 이어서, 트랜지스터의 온/오프는 클록 신호에 동기하는 신호에 의해 제어되고, 트랜지스터가 턴온되는 기간과 트랜지스터가 턴오프되는 기간을 반복한다. 이러한 방식으로, 트랜지스터의 열화를 억제할 수 있다.

[0012] 본 발명의 예시적인 일 실시 형태에 따르면, 액정 표시 장치는 구동 회로와 화소를 포함한다. 화소는 액정 소자를 포함한다. 구동 회로는 제1 트랜지스터, 제2 트랜지스터, 제3 트랜지스터, 제4 트랜지스터 및 용량 소자를 포함한다. 제1 트랜지스터의 제1 단자는 제1 배선에 전기적으로 접속된다. 제1 트랜지스터의 제2 단자는 제2 배선에 전기적으로 접속된다. 제2 트랜지스터의 제1 단자는 제2 배선에 전기적으로 접속된다. 제2 트랜지스터의 제2 단자는 제1 트랜지스터의 게이트에 전기적으로 접속된다. 제2 트랜지스터의 게이트는 제1 배선에 전기적으로 접속된다. 제3 트랜지스터의 제1 단자는 제3 배선에 전기적으로 접속된다. 제3 트랜지스터의 제2 단자는 제1 트랜지스터의 게이트에 전기적으로 접속된다. 제4 트랜지스터의 제1 단자는 제3 배선에 전기적으로 접속된다. 제4 트랜지스터의 제2 단자는 제3 트랜지스터의 게이트에 전기적으로 접속된다. 제4 트랜지스터의 게이트는 제1 트랜지스터의 게이트에 전기적으로 접속된다. 용량 소자의 하나의 전극은 제1 배선에 전기적으로 접속된다. 용량 소자의 나머지 하나의 전극은 제3 트랜지스터의 게이트에 전기적으로 접속된다.

[0013] 스위치로는 다양한 스위치를 사용할 수 있다는 점에 주목한다. 예를 들어, 전기적 스위치, 기계적 스위치 등을 사용할 수 있다. 즉, 전류 흐름을 제어할 수 있는 것이면 어떠한 소자를 사용해도 되며, 특정 소자로 한정되지 않는다. 예를 들어, 스위치로서, 트랜지스터(예를 들어, 바이폴라 트랜지스터 또는 MOS 트랜지스터), 다이오드(예를 들어, PN 다이오드, PIN 다이오드, 쇼트키 다이오드, MIM(Metal Insulator Metal) 다이오드, MIS(Metal Insulator Semiconductor) 다이오드, 다이오드 접속 트랜지스터) 등을 사용할 수 있다. 또는, 이러한 소자들을 조합한 논리 회로를 스위치로서 사용할 수 있다.

[0014] 기계적 스위치의 예로는, 디지털 마이크로머리 장치(DMD)와 같이, MEMS(micro electro mechanical system) 기술을 사용하여 형성된 스위치가 있다.

[0015] 또한, n채널 트랜지스터와 p채널 트랜지스터 모두를 사용하여 CMOS 스위치를 스위치로서 사용해도 좋다.

[0016] "A와 B가 접속된다"라고 명시적으로 기재하는 경우에는, A와 B가 전기적으로 접속되어 있는 경우, A와 B가 기능적으로 접속되어 있는 경우, A와 B가 직접 접속되어 있는 경우가 포함된다. 여기서, A와 B의 각각은 대상(예를 들어, 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 또는 층)이다. 따라서, 소정의 접속 관계, 예를 들어, 도면과 텍스트에 나타난 접속 관계로 한정되지 않고, 도면과 텍스트에 나타난 접속 관계를 갖는 소자들 간에 다른 소자를 개재해도 된다.

[0017] 예를 들어, A와 B가 전기적으로 접속되어 있는 경우에, A와 B 사이의 전기적인 접속을 가능하게 하는 하나 이상의 소자(예를 들어, 스위치, 트랜지스터, 용량 소자, 인덕터, 저항 소자, 및/또는 다이오드)가 A와 B 사이에 접속되어도 된다. 또는, A와 B가 기능적으로 접속되어 있는 경우에, A와 B 사이의 기능적인 접속을 가능하게 하는 하나 이상의 회로(예를 들어, 인버터, NAND 회로 또는 NOR 회로 등의 논리 회로, DA 변환 회로, AD 변환 회

로, 감마 보정 회로 등의 신호 변환 회로, 전원 회로 또는 신호의 전위 레벨을 바꾸는 레벨 시프터 회로 등의 전위 레벨 변환 회로(예를 들어, dc-dc 컨버터, 스텝업 dc-dc 컨버터, 또는 스텝다운 dc-dc 컨버터), 전압원, 전류원, 스위칭 회로, 신호 진폭, 전류량 등을 증가시킬 수 있는 회로, 연산 증폭기, 차동 증폭 회로, 소스 폴로워 회로, 또는 버퍼 회로 등의 증폭 회로, 신호 생성 회로, 기억 회로, 및/또는 제어 회로)가, A와 B 사이에 접속되어 있어도 좋다. 예를 들어, A와 B 사이에 다른 회로를 끼우고 있어도, A로부터 출력된 신호가 B에 전달되는 경우에는, A와 B가 기능적으로 접속되어 있는 것으로 한다.

[0018] "A와 B가 전기적으로 접속된다"라고 명시적으로 기재하는 경우에는, A와 B가 전기적으로 접속되어 있는 경우(즉, A와 B 사이에 다른 소자나 다른 회로를 끼워서 접속되어 있는 경우), A와 B가 기능적으로 접속되어 있는 경우(즉, A와 B 사이에 다른 회로를 끼워서 기능적으로 접속되어 있는 경우), A와 B가 직접 접속되어 있는 경우(즉, A와 B 사이에 다른 소자나 다른 회로를 끼우지 않고 접속되어 있는 경우)가 포함된다. 즉, "A와 B가 전기적으로 접속된다"라고 명시적으로 기재하는 경우에는, "A와 B가 접속된다"라고만 명시적으로 기재되어 있는 경우와 동일하게 설명한다.

[0019] 표시 소자, 표시 소자를 갖는 장치인 표시 장치, 발광 소자, 발광 소자를 갖는 장치인 발광 장치는, 다양한 형태를 사용할 수 있고, 다양한 소자를 포함할 수 있다. 예를 들어, 표시 소자, 표시 장치, 발광 소자 또는 발광 장치로는, EL(일렉트로 루미네센스) 소자(예를 들어, 유기물 및 무기물을 포함하는 EL 소자, 유기 EL 소자, 또는 무기 EL 소자), LED(예를 들어, 백색 LED, 적색 LED, 녹색 LED, 또는 청색 LED), 트랜지스터(전류량에 따라 발광하는 트랜지스터), 전자 방출 소자, 액정 소자, 전자 잉크, 전기 영동 소자, 격자 라이트 밸브(GLV), 플라즈마 디스플레이(PDP), 디지털 마이크로미러 디바이스(DMD), 압전 세라믹 디스플레이, 또는 카본 나노튜브와 같이, 전자기적 작용에 의해, 콘트라스트, 휘도, 반사율, 투과율 등이 변화하는 표시 매체를 사용할 수 있다는 점에 주목한다. 또한, EL 소자를 사용한 표시 장치로는 EL 디스플레이, 전자 방출 소자를 사용한 표시 장치로는 필드 이미션 디스플레이(FED)가 있고, SED형 평면 패널 디스플레이(SED: surface-conduction electron-emitter display) 등이 있고, 액정 소자를 사용한 표시 장치로는 액정 디스플레이(예를 들어, 투과형 액정 디스플레이, 반투과형 액정 디스플레이, 반사형 액정 디스플레이, 직시형 액정 디스플레이, 또는 투사형 액정 디스플레이)가 있고, 전자 잉크나 전기 영동 소자를 사용한 표시 장치로는 전자 페이퍼가 있다는 점에 주목한다.

[0020] 액정 소자는, 액정의 광학적 변조 작용에 의해 광의 투과 또는 비투과를 제어하는 소자이며, 한 쌍의 전극 및 액정에 의해 구성된다는 점에 주목한다. 액정의 광학적 변조 작용은, 액정에 인가되는 전계(수평 방향의 전계, 수직 방향의 전계 및 경사 방향의 전계를 포함함)에 의해 제어된다는 점에 주목한다. 액정 소자로는, 네마틱 액정, 콜레스테릭 액정, 스메틱 액정, 디스코틱 액정, 사모트로픽 액정, 리오토로픽 액정, 저분자 액정, 고분자 액정, 고분자 분산형 액정(PDLC), 강유전 액정, 반강유전 액정, 주쇄형 액정, 측쇄형 고분자 액정, 플라즈마 어드레스 액정(PALC), 바나나형 액정 등이 가능하다는 점에 주목한다. 또한, 액정의 구동 방법으로는, TN(Twisted Nematic) 모드, STN(Super Twisted Nematic) 모드, IPS(In-Plane-Switching) 모드, FFS(Fringe Field Switching) 모드, MVA(Multi-domain Vertical Alignment) 모드, PVA(Patterned Vertical Alignment) 모드, ASV(Advanced Super View) 모드, ASM(Axially Symmetric aligned Microcell) 모드, OCB(Optically Compensated Birefringence) 모드, ECB(Electrically Controlled Birefringence) 모드, FLC(Ferroelectric Liquid Crystal) 모드, AFLC(Anti-Ferroelectric Liquid Crystal) 모드, PDLC(Polymer Dispersed Liquid Crystal) 모드, 게스트 호스트 모드, 블루상(Blue Phase) 모드 등을 사용할 수 있다. 본 발명은 이러한 예들로 한정되지 않고, 상기한 액정 소자 및 그 구동 방법으로는 다양한 액정 소자들 및 그 구동 방법들을 사용할 수 있다.

[0021] 광원을 필요로 하는 표시 장치, 예를 들어, 액정 디스플레이(예를 들어, 투과형 액정 디스플레이, 반투과형 액정 디스플레이, 반사형 액정 디스플레이, 직시형 액정 디스플레이, 또는 투사형 액정 디스플레이), 격자 라이트 밸브(GLV)를 사용한 표시 장치, 또는 디지털 마이크로미러 디바이스(DMD)를 사용한 표시 장치 등의 광원으로는, 일렉트로 루미네센스, 냉음극 형광 램프, 열음극 형광 램프, LED, 레이저 광원, 수은 램프 등을 사용할 수 있다는 점에 주목한다. 본 발명은 이것에 한정되지 않고, 광원으로서 다양한 것을 사용할 수 있다는 점에 주목한다.

[0022] 트랜지스터로는, 그 유형이 특별히 한정되지 않으며, 다양한 형태의 트랜지스터를 사용할 수 있다는 점에 주목한다. 예를 들어, 비정질 실리콘, 다결정 실리콘, 미결정(마이크로 크리스탈, 나노 크리스탈, 세미 아몰퍼스라고도 함) 실리콘 등으로 대표되는 비단결정 반도체막을 갖는 박막 트랜지스터(TFT) 등을 사용할 수 있다는 점에 주목한다.

- [0023] 미결정 실리콘을 형성할 때, 촉매(예를 들어, 니켈)를 사용함으로써, 결정성을 더욱 향상시켜, 전기적 특성이 뛰어난 트랜지스터를 제조할 수 있다는 점에 주목한다. 이때, 레이저 조사를 행하지 않고, 열처리만을 수행함으로써 결정성을 향상시킬 수 있다. 이에 따라, 소스 드라이버 회로의 일부(예를 들어, 아날로그 스위치) 및 게이트 드라이버 회로(예를 들어, 주사선 구동 회로)를 화소부와 동일한 기판을 이용하여 형성할 수 있다. 또한, 결정화를 위해 레이저 조사를 행하지 않는 경우에는, 실리콘의 결정성의 불균일을 억제할 수 있다. 따라서, 화질이 향상된 화상을 표시할 수 있다.
- [0024] 촉매(예를 들어, 니켈)를 사용하지 않고, 다결정 실리콘 및 미결정 실리콘을 제조할 수 있다.
- [0025] 반도체 기판, SOI 기판 등을 사용해서 트랜지스터를 형성할 수 있다. 따라서, 특성, 크기, 형상 등의 편차가 적고, 전류 공급 능력이 높고, 크기가 작은 트랜지스터를 제조할 수 있다. 이러한 트랜지스터를 사용하면, 회로의 저소비 전력화 또는 회로의 고집적화를 도모할 수 있다.
- [0026] ZnO, a-InGaZnO, SiGe, GaAs, IZO, ITO, SnO 등의 화합물 반도체 또는 산화물 반도체를 갖는 트랜지스터, 이러한 화합물 반도체 또는 산화물 반도체를 박막화한 박막 트랜지스터 등을 사용할 수 있다. 따라서, 제조 온도를 낮게 할 수 있고, 예를 들어, 실온에서 트랜지스터를 제조할 수 있다. 이에 따라, 내열성이 낮은 기판, 예를 들어, 플라스틱 기판이나 필름 기판 위에 직접 트랜지스터를 형성할 수 있다. 이러한 화합물 반도체 또는 산화물 반도체를, 트랜지스터의 채널 부분에 사용할 뿐만 아니라 그 이외의 용도에서 사용할 수도 있다는 점에 주목한다. 예를 들어, 이러한 화합물 반도체 또는 산화물 반도체를 저항 소자, 화소 전극, 또는 투광 전극을 위해 사용할 수 있다. 또한, 이러한 소자를 트랜지스터와 동시에 형성할 수 있으므로, 비용을 저감할 수 있다.
- [0027] 잉크젯이나 인쇄법을 사용해서 형성한 트랜지스터 등을 사용할 수 있다. 따라서, 트랜지스터를, 실온에서 제조할 수 있고, 저 진공에서 제조할 수 있고, 또는 대형 기판을 사용하여 제조할 수 있다. 마스크(레티클)를 사용하지 않아도 트랜지스터를 제조할 수 있으므로, 트랜지스터의 레이아웃을 용이하게 변경할 수 있다. 또한, 레지스트를 사용할 필요가 없기 때문에, 재료비가 저감되고, 공정 수를 저감할 수 있다. 또한, 필요한 부분에만 막을 형성하므로, 막을 전체 면에 걸쳐 성막한 후 에칭을 수행하는 제조 방법에 비해, 재료가 낭비되지 않고, 비용을 저감할 수 있다.
- [0028] 유기 반도체나 카본 나노튜브를 갖는 트랜지스터 등을 사용할 수 있다. 따라서, 이러한 트랜지스터를 가요성 기판 위에 형성할 수 있다. 이러한 기판을 사용하여 형성된 반도체 장치는 충격에 강할 수 있다.
- [0029] 또한, 다양한 구조의 트랜지스터를 사용할 수 있다. 예를 들어, MOS형 트랜지스터, 접합형 트랜지스터, 바이폴라 트랜지스터 등을 트랜지스터로 해서 사용할 수 있다. MOS형 트랜지스터를 사용함으로써, 트랜지스터의 크기를 작게 할 수 있다. 따라서, 다수의 트랜지스터를 탑재할 수 있다. 바이폴라 트랜지스터를 사용함으로써, 큰 전류를 흘릴 수 있다. 따라서, 고속으로 회로를 동작시킬 수 있다.
- [0030] MOS형 트랜지스터, 바이폴라 트랜지스터 등을 1개의 기판 위에 형성해도 된다는 점에 주목한다. 따라서, 저소비 전력, 소형화, 고속 동작 등을 실현할 수 있다.
- [0031] 게다가, 다양한 트랜지스터를 사용할 수 있다.
- [0032] 트랜지스터는, 종류가 특별히 한정되지 않는 다양한 기판을 사용해서 형성될 수 있다는 점에 주목한다. 예를 들어, 기판으로는, 단결정 기판, SOI 기판, 유리 기판, 석영 기판, 플라스틱 기판, 스테인리스 스틸 기판, 스테인리스 스틸 포일을 갖는 기판 등을 사용할 수 있다.
- [0033] 트랜지스터의 구조는 다양한 형태를 취할 수 있고, 특정한 구조로 한정되지 않는다는 점에 주목한다. 예를 들어, 2개 이상의 게이트 전극을 갖는 멀티 게이트 구조를 적용할 수 있다. 멀티 게이트 구조로 하면, 채널 영역들이 직렬로 접속되기 때문에, 복수의 트랜지스터가 직렬로 접속된 구조로 된다.
- [0034] 다른 예로, 채널의 상하에 게이트 전극이 배치되어 있는 구조를 적용할 수 있다. 채널의 상하에 게이트 전극이 배치되는 구성으로 함으로써, 복수의 트랜지스터가 병렬로 접속된 구조로 된다는 점에 주목한다.
- [0035] 채널 영역 위에 게이트 전극이 배치되어 있는 구조, 채널 영역 아래에 게이트 전극이 배치되어 있는 구조, 스테거(staggered) 구조, 역 스테거 구조, 채널 영역을 복수의 영역으로 나눈 구조, 채널 영역들을 병렬 또는 직렬로 접속한 구조도 적용할 수 있다. 또는, 채널 영역(혹은 그 일부)에 소스 전극이나 드레인 전극이 겹치는 구조도 적용할 수 있다. 또한, LDD 영역을 형성해도 된다.
- [0036] 트랜지스터로는, 다양한 트랜지스터를 사용할 수 있으며, 다양한 기판을 사용하여 형성될 수 있다는 점에 주목

한다. 이에 따라, 소정의 기능을 실현하기 위해 필요한 모든 회로가, 동일한 기판을 사용하여 형성될 수 있다. 예를 들어, 소정의 기능을 실현하기 위해 필요한 모든 회로는, 유리 기판, 플라스틱 기판, 단결정 기판, SOI 기판, 또는 다른 임의의 기판을 사용해서 형성될 수 있다. 또는, 소정의 기능을 실현하기 위해 필요한 회로들 중 일부는 하나의 기판을 사용하여 형성될 수 있고, 소정의 기능을 실현하기 위해 필요한 회로들 중 일부는 다른 하나의 기판을 사용하여 형성될 수 있다. 즉, 소정의 기능을 실현하기 위해 필요한 회로들 모두가 동일한 기판을 사용해서 형성될 필요는 없다. 예를 들어, 소정의 기능을 실현하기 위해 필요한 회로들 중 일부는 유리 기판을 사용하여 트랜지스터에 의해 형성되고, 소정의 기능을 실현하기 위해 필요한 회로들 중 일부는 단결정 기판을 사용하여 형성되어, 단결정 기판을 사용해서 트랜지스터에 의해 형성된 IC 칩을 COG(Chip On Glass)에 의해 유리 기판에 접속하고, 유리 기판 위에 그 IC 칩을 배치해도 된다. 또는, IC 칩을 TAB(Tape Automated Bonding)이나 인쇄 배선 기판을 사용해서 유리 기판에 접속해도 된다. 또는, 소비 전력이 큰, 구동 전압이 높고 구동 주파수가 높은 회로를 동일한 기판을 사용하여 형성하는 것이 아니라 단결정 기판을 사용하여 형성하고 그 회로에 의해 형성된 IC 칩을 사용하도록 하면, 소비 전력의 증가를 방지할 수 있다.

[0037] 트랜지스터는, 게이트, 드레인, 소스인 적어도 3개의 단자를 갖는 소자라는 점에 주목한다. 트랜지스터는 드레인 영역과 소스 영역 사이에 채널 영역을 갖고 있어, 드레인 영역, 채널 영역, 소스 영역을 통해 전류가 흐를 수 있다. 여기서, 트랜지스터의 소스와 드레인은, 구조, 동작 조건 등에 따라 변경되므로, 어느 것이 소스 또는 드레인인지를 판정하는 것은 어렵다. 따라서, 소스 및 드레인으로서 기능하는 영역을 소스 혹은 드레인이라 칭하지 않는 경우가 있다. 이러한 경우, 예를 들어, 소스와 드레인 중 하나를 제1 단자, 나머지 하나를 제2 단자로 표기해도 된다. 또는, 소스와 드레인 중 하나를 제1 전극, 소스와 드레인 중 나머지 하나를 제2 전극이라 표기해도 된다. 또는, 소스와 드레인 중 하나를 제1 영역, 소스와 드레인 중 나머지 하나를 제2 영역이라 표기해도 된다.

[0038] 트랜지스터는 베이스, 이미터, 컬렉터인 적어도 3개의 단자를 갖는 소자이어도 된다는 점에 주목한다. 이 경우에도, 마찬가지로, 이미터와 컬렉터 중 하나를 제1 단자, 이미터와 컬렉터 중 나머지 하나를 제2 단자로 표기해도 된다.

[0039] 반도체 장치는 반도체 소자(트랜지스터, 다이오드, 또는 사이리스터)를 포함하는 회로를 갖는 장치에 해당한다는 점에 주목한다. 또한, 반도체 장치는 반도체 특성을 이용함으로써 기능할 수 있는 장치 모두에 해당되어도 된다. 또한, 반도체 장치는 반도체 재료를 갖는 장치에 해당한다.

[0040] 표시 장치는 표시 소자를 갖는 장치에 해당한다는 점에 주목한다. 표시 장치는 표시 소자를 각각 포함하는 복수의 화소를 포함해도 된다. 표시 장치는 복수의 화소를 구동하는 주변 구동 회로를 포함해도 된다는 점에 주목한다. 복수의 화소를 구동하는 주변 구동 회로는 복수의 화소와 동일한 기판 위에 형성되어도 된다는 점에 주목한다. 표시 장치는, 와이어 본딩이나 범프 본딩에 의해 기판 위에 배치된 주변 구동 회로, 소위, 칩 온 글라스(COG)에 의해 접속된 IC 칩 또는 TAB 등에 의해 접속된 IC 칩을 포함해도 된다. 표시 장치는, IC 칩, 저항 소자, 용량 소자, 인덕터, 트랜지스터 등이 설치된 가요성 인쇄 회로(FPC)를 포함해도 된다. 표시 장치는, 가요성 인쇄 회로(FPC) 등을 통하여 접속되고 IC 칩, 저항 소자, 용량 소자, 인덕터, 트랜지스터 등이 설치된 인쇄 배선 기판(PWB)을 포함해도 된다는 점에 주목한다. 표시 장치는 편광판 또는 위상차판 등의 광학 시트를 포함하고 있어도 된다. 표시 장치는, 조명 장치, 하우징, 음성 입출력 장치, 광 센서 등을 포함하고 있어도 된다.

[0041] 조명 장치는, 백라이트 유닛, 도광판, 프리즘 시트, 확산 시트, 반사 시트, 광원(예를 들어, LED, 냉음극 형광 램프), 냉각 장치(예를 들어, 수냉식 또는 공냉식) 등을 포함해도 된다는 점에 주목한다.

[0042] 발광 장치는 발광 소자 등을 갖는 장치에 해당한다는 점에 주목한다. 발광 장치가 표시 소자인 발광 소자를 갖고 있는 경우에, 발광 장치는 표시 장치의 구체적인 예들 중 일레이다.

[0043] 반사 장치는 광반사 소자, 광회절 소자, 광반사 전극 등을 갖고 있는 장치에 해당한다는 점에 주목한다.

[0044] 액정 표시 장치는 액정 소자를 갖고 있는 표시 장치에 해당한다는 점에 주목한다. 액정 표시 장치에는, 직시형 액정 표시 장치, 투사형 액정 표시 장치, 투과형 액정 표시 장치, 반사형 액정 표시 장치, 반투과형 액정 표시 장치 등이 있다.

[0045] 구동 장치는 반도체 소자, 전기 회로, 전자 회로를 갖는 장치에 해당한다는 점에 주목한다. 예를 들어, 소스 신호선으로부터 화소로의 신호 입력을 제어하는 트랜지스터(선택용 트랜지스터, 스위칭용 트랜지스터 등이라고도 칭함), 화소 전극에 전압 또는 전류를 공급하는 트랜지스터, 발광 소자에 전압 또는 전류를 공급하는 트랜지

스터 등은 구동 장치의 예들이다. 게이트 신호선에 신호를 공급하는 회로(게이트 드라이버, 게이트선 구동 회로 등이라고도 칭함), 소스 신호선에 신호를 공급하는 회로(소스 드라이버, 소스선 구동 회로 등이라고도 칭함) 등도 구동 장치의 예들이다.

- [0046] 표시 장치, 반도체 장치, 조명 장치, 냉각 장치, 발광 장치, 반사 장치, 구동 장치 등은 서로 중복되는 경우가 있다는 점에 주목한다. 예를 들어, 표시 장치가 반도체 장치 및 발광 장치를 갖고 있는 경우가 있다. 또는, 반도체 장치가 표시 장치 및 구동 장치를 갖고 있는 경우도 있다.
- [0047] "A 위에 B가 형성된다" 또는 "B 위로 A가 형성된다"라고 명시적으로 기재하는 경우, 이는 반드시 B가 A와 직접 접하여 형성됨을 의미하는 것은 아니다. 이러한 설명에는, A와 B가 서로 직접 접하지 않는 경우, 즉, A와 B 사이에 다른 대상물이 개재되어 있는 경우가 포함된다. 여기서, A와 B의 각각은 대상물(예를 들어, 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 층 등)이다.
- [0048] 이에 따라, 예를 들어, "층 A 위에 (혹은 층 A위로) 층 B가 형성된다"라고 명시적으로 기재되어 있는 경우, 이는 층 A 위에 층 B가 직접 접하여 형성되는 경우와, 다른 층(예를 들어, 층 C 또는 층 D)이 층 A에 직접 접하여 형성되고 층 B가 층 C나 층 D와 직접 접하여 형성되는 경우를 포함한다. 다른 층(예를 들어, 층 C나 층 D)은 단층이어도 되고 복층이어도 된다는 점에 주목한다.
- [0049] 마찬가지로, "A 위로 B가 형성된다"라고 명시적으로 기재되어 있는 경우에도, 이는 반드시 B가 A와 직접 접하여 형성되는 것을 의미하지 않으며, 이들 간에 다른 대상물이 개재되어도 된다. 따라서, 예를 들어, "층 A 위로 층 B가 형성된다"라고 설명하는 경우에, 이는 층 B가 층 A와 직접 접하여 형성되는 경우와, 다른 층(예를 들어, 층 C나 층 D)이 층 A와 직접 접하여 형성되고 층 B가 층 C나 층 D와 직접 접하여 형성되는 경우를 포함한다. 다른 층(예를 들어, 층 C나 층D)은 단층이어도 되고 복층이어도 된다는 점에 주목한다.
- [0050] "A 위에 B가 형성된다" 또는 "A 위로 B가 형성된다"라고 명시적으로 기재되는 경우에, 이는 B가 A 위로/위에 비스듬하게 형성되는 경우를 포함한다는 점에 주목한다.
- [0051] "A 밑에 B가 형성된다" 또는 "A 아래에 B가 형성된다"라고 설명하는 경우에도 마찬가지로라는 점에 주목한다.
- [0052] 대상물이 명시적으로 단수로서 설명되는 경우에는, 그 대상물은 단수인 것이 바람직하다는 점에 주목한다. 본 발명은 이에 한정되지 않고, 대상물이 복수일 수도 있다는 점에 주목한다. 마찬가지로 방식으로, 대상물이 명시적으로 복수로서 설명되는 경우에는, 대상물이 복수인 것이 바람직하다. 본 발명은 이에 한정되지 않고, 대상물이 단수일 수도 있다는 점에 주목한다.
- [0053] 도면에서, 크기, 층의 두께, 또는 영역은 명료화를 위해 과장되는 경우도 있다. 따라서, 본 발명은 반드시 스케일에 한정되지 않는다.
- [0054] 도면은 이상적인 예들을 개략적으로 나타낸 것이며, 형상 또는 값은 도면에 도시한 것으로 한정되지 않는다는 점에 주목한다. 예를 들어, 제조 기술이나 오차로 인한 형상의 편차, 노이즈나 타이밍 차로 인한 신호, 전압 값, 또는 전류 값의 편차를 포함할 수 있다.
- [0055] 기술적 용어는 특정한 실시 형태 또는 실시예 등을 설명하기 위해 사용되며, 이에 한정되지 않는다는 점에 주목한다.
- [0056] 정의되어 있지 않은 용어들(기술적 용어 또는 학술 용어 등의 과학 및 기술용으로 사용되는 용어들을 포함함)은, 당업자가 이해하는 일반적인 의미와 동등한 의미를 갖는 용어들로서 사용될 수 있다는 점에 주목한다. 사전 등에 의해 정의되어 있는 용어들은 배경 기술과 모순이 없는 의미로 해석되는 것이 바람직하다.
- [0057] "제1", "제2", "제3" 등의 용어들은 다양한 요소, 부재, 영역, 층, 구역을 다른 것과 구별하도록 사용된다는 점에 주목한다. 따라서, "제1", "제2", "제3" 등의 용어들은 그 요소, 부재, 영역, 층, 구역 등의 개수를 한정하지 않는다. 또한, 예를 들어, "제1"을 "제2", "제3" 등으로 대체할 수 있다.
- [0058] 용량 소자에 접속되는 트랜지스터의 수를 감소시킬 수 있다. 또는, 로, 용량 소자에 접속되는 트랜지스터의 기생 용량을 감소시킬 수 있다. 또는, 로, 클록 신호에 동기하는 신호의 H 레벨의 전위를 증가시킬 수 있다. 또는, 레이아웃 면적을 저감할 수 있다. 또는, 수명을 길게 할 수 있다. 또는, 신호의 지연이나 왜곡을 감소시킬 수 있다. 또는, 소비 전력을 감소시킬 수 있다. 또는, 노이즈의 악영향을 감소시킬 수 있다. 또는, 트랜지스터의 열화를 억제 또는 완화할 수 있다. 또는, 오동작을 억제할 수 있다. 또는, 용량 소자의 하나의 전극과 용량 소자의 나머지 하나의 전극 간의 단락을 방지할 수 있다. 또는, 외부 회로의 전류 구동 능력을 감소시

킬 수 있다. 또는, 외부 회로의 크기를 저감할 수 있다. 또는, 표시 장치의 크기를 저감할 수 있다.

**도면의 간단한 설명**

[0059]

- 도 1a는 반도체 장치의 회로도이며, 도 1b는 반도체 장치의 구동 방법을 도시하는 타이밍 차트.
- 도 2a 내지 도 2e는 반도체 장치의 구동 방법을 도시하는 개략도.
- 도 3a 내지 도 3e는 반도체 장치의 회로도.
- 도 4a 내지 도 4f는 반도체 장치의 회로도.
- 도 5a 내지 도 5e는 반도체 장치의 회로도.
- 도 6a는 반도체 장치의 회로도이고, 도 6b와 도 6c는 반도체 장치의 구동 방법을 각각 도시하는 타이밍 차트.
- 도 7a 내지 도 7c는 반도체 장치의 구동 방법을 도시하는 개략도.
- 도 8a와 도 8b는 반도체 장치의 구동 방법을 도시하는 개략도.
- 도 9a 내지 도 9c는 반도체 장치의 회로도.
- 도 10a 내지 도 10c는 반도체 장치의 회로도.
- 도 11a 내지 도 11c는 반도체 장치의 회로도.
- 도 12a 내지 도 12c는 반도체 장치의 회로도.
- 도 13a 내지 도 13c는 반도체 장치의 회로도.
- 도 14a는 시프트 레지스터의 회로도이고, 도 14b는 시프트 레지스터의 구동 방법을 도시하는 타이밍 차트.
- 도 15는 시프트 레지스터의 회로도.
- 도 16은 시프트 레지스터의 회로도.
- 도 17a와 도 17b는 시프트 레지스터의 회로도.
- 도 18은 시프트 레지스터의 레이아웃도.
- 도 19a는 반도체 장치의 회로도이고, 도 19b는 반도체 장치의 구동 방법을 도시하는 타이밍 차트.
- 도 20a와 도 20b는 반도체 장치의 회로도.
- 도 21은 시프트 레지스터의 회로도.
- 도 22a와 도 22b는 표시 장치의 시스템 블록도.
- 도 23a 내지 도 23e는 표시 장치의 구조를 도시하는 도면.
- 도 24는 시프트 레지스터의 회로도.
- 도 25a와 도 25b는 시프트 레지스터의 구동 방법을 도시하는 타이밍 차트.
- 도 26a는 신호선 구동 회로의 회로도이고, 도 26b는 신호선 구동 회로의 구동 방법을 도시하는 타이밍 차트.
- 도 27a 내지 도 27c, 도 27e, 도 27f는 화소의 회로도이고, 도 27d와 도 27g는 화소의 구동 방법을 각각 도시하는 타이밍 차트.
- 도 28a와 도 28b는 화소의 회로도, 도 28c 내지 도 28e 및 도 28g는 화소의 레이아웃도, 도 28f와 도 28h는 화소의 구동 방법을 각각 도시하는 타이밍 차트.
- 도 29a는 화소의 구동 방법을 도시하는 타이밍 차트이고, 도 29b는 화소의 회로도.
- 도 30은 시프트 레지스터의 레이아웃도.
- 도 31은 시프트 레지스터의 레이아웃도.
- 도 32a 내지 도 32c는 트랜지스터의 단면도.

도 33a 내지 도 33h는 전자 장치를 도시하는 도면.

도 34a 내지 도 34h는 전자 장치를 도시하는 도면.

**발명을 실시하기 위한 구체적인 내용**

- [0060] 이하, 실시 형태를 도면을 참조하여 설명한다. 단, 실시 형태는 다양한 모드로 구현될 수 있다. 본 발명의 사상과 범위로부터 이탈하지 않고 모드 및 상세를 다양함에 변경할 수 있는 것은 당업자라면 용이하게 이해할 것이다. 따라서, 본 발명을 본 실시 형태의 설명에 한정해서 해석해서는 안 된다. 이하에 설명하는 본 발명의 구조에 있어서, 유사한 기능을 갖는 부분이나 동일한 부분에는 동일한 참조 번호로 표시하고, 그 설명을 생략한다는 점에 주목한다.
- [0061] 일 실시 형태에서 설명하는 내용(또는 그 내용의 일부이어도 됨)은, 그 실시 형태에서 설명하는 다른 내용(또는 그 다른 내용의 일부이어도 됨), 및/또는 하나 또는 복수의 다른 실시 형태에서 설명하는 내용(또는 그 내용의 일부이어도 됨)에 대하여, 적용, 조합, 또는 치환을 행할 수 있다는 점에 주목한다.
- [0062] 각 실시 형태에서, 그 실시 형태에서 설명하는 내용은 다양한 도를 참조하여 설명하는 내용 또는 명세서에 기재되어 있는 단락을 사용해서 설명하는 내용이라는 점에 주목한다.
- [0063] 일 실시 형태에서 설명하는 도(또는 그 도의 일부이어도 됨)를, 그 도가 다른 부분, 그 실시 형태에서 설명하는 다른 도(또는 그 다른 도의 일부이어도 됨), 및/또는 하나 또는 복수의 다른 실시 형태에서 설명하는 도(또는 그 도의 일부이어도 됨)와 조합함으로써, 많은 도를 형성할 수 있다는 점에 주목한다.
- [0064] [실시 형태 1]
- [0065] 본 실시 형태에서는, 반도체 장치의 일례를 설명한다. 반도체 장치를 구동 회로 또는 플립플롭으로서 나타낼 수 있다는 점에 주목한다.
- [0066] 우선, 본 실시 형태의 반도체 장치의 일례에 대해서 도 1a를 참조하여 설명한다. 도 1a의 반도체 장치는, 회로(100), 트랜지스터(101), 트랜지스터(102), 트랜지스터(103), 트랜지스터(104), 용량 소자(105) 및 용량 소자(106)를 포함한다. 트랜지스터(101 내지 104)의 각각은 게이트와 소스 사이의 전위차(Vgs)가 임계값 전압(Vth)보다 큰 경우 턴온되는 n채널형 트랜지스터이다. 단, 본 실시 형태는 이에 한정되지 않는다. 트랜지스터(101 내지 104)의 각각은 p채널형 트랜지스터일 수 있다. p채널형 트랜지스터는 게이트와 소스 사이의 전위차(Vgs)가 임계값 전압(Vth)보다 낮은 경우에 턴온된다.
- [0067] 도 1a의 반도체 장치의 접속 관계에 대해서 설명한다. 트랜지스터(101)의 제1 단자는 배선(123B)에 접속된다. 트랜지스터(101)의 제2 단자는 배선(121)에 접속된다. 트랜지스터(102)의 제1 단자는 트랜지스터(101)의 게이트에 접속된다. 트랜지스터(102)의 제2 단자는 배선(121)에 접속된다. 트랜지스터(102)의 게이트는 배선(123C)에 접속된다. 트랜지스터(103)의 제1 단자는 배선(122A)에 접속된다. 트랜지스터(103)의 제2 단자는 트랜지스터(101)의 게이트에 접속된다. 트랜지스터(104)의 제1 단자는 배선(122B)에 접속된다. 트랜지스터(104)의 제2 단자는 트랜지스터(103)의 게이트에 접속된다. 용량 소자(105)의 하나의 전극은 트랜지스터(101)의 게이트에 접속된다. 용량 소자(105)의 나머지 하나의 전극은 배선(121)에 접속된다. 용량 소자(106)의 하나의 전극은 배선(123A)에 접속된다. 용량 소자(106)의 나머지 하나의 전극은 트랜지스터(103)의 게이트에 접속된다.
- [0068] 트랜지스터(101)의 게이트, 트랜지스터(102)의 제1 단자, 트랜지스터(103)의 제2 단자, 또는 트랜지스터(104)의 게이트의 접속부를 노드 A로 나타낸다는 점에 주목한다. 이어서, 트랜지스터(103)의 게이트, 트랜지스터(104)의 제2 단자, 또는 용량 소자(106)의 나머지 하나의 전극의 접속부를 노드 B로 나타낸다. 노드 A 및 노드 B를 배선으로서 나타낼 수도 있다는 점에 주목한다.
- [0069] 배선(121), 배선(123A), 배선(123B), 배선(123C), 배선(122A), 배선(122B)을 단자로서 나타낼 수 있다는 점에 주목한다.
- [0070] 각 배선(배선(121), 배선(122A와 122B), 배선(123A 내지 123C))에 입력될 수 있는 것(예를 들어 신호, 전압, 또는 전류)의 일례를 설명한다. 그러나, 후술하는 내용은 일례이며, 본 실시 형태가 이에 한정되지는 않는다. 후술하는 것 외에도 다양한 것들을 각 배선에 입력할 수 있다. 각 배선을 부유(floating) 상태로 할 수 있다.
- [0071] 예를 들어, 배선(121)으로부터 신호 S1이 출력된다. 이에 따라, 배선(121)은 신호선으로서 기능할 수 있다.

특히, 배선(121)이 화소에 접속되는 경우, 또는 배선(121)이 화소부에 연장되도록 배치되는 경우, 배선(121)은 게이트선, 주사선, 또는 용량선으로서 기능할 수 있다. 신호 S1은, 많은 경우에 반도체 장치의 출력 신호이며 H 레벨과 L 레벨을 갖는 디지털 신호이다. 신호 S1은, 출력 신호, 선택 신호, 게이트 신호, 또는 주사 신호로서 기능할 수 있다.

[0072] 예를 들어, 배선(122A와 122B)에는 전압 V1이 공급된다. 이에 따라, 배선(122A와 122B)은 전원선으로서 기능할 수 있다. 전압 V1은, 많은 경우에 신호 S1의 L 레벨과 대략 동일한 값을 갖고, 접지 전압, 전원 전압, 또는 마이너스 전원 전압으로서 기능할 수 있다. 그러나, 본 실시 형태는 이에 한정되지 않는다. 배선(122A와 122B)에는 클록 신호 등의 신호가 입력되는 것이 가능하다. 이 경우, 배선(122A와 122B)은 신호선, 또는 클록 신호선으로서 기능할 수 있다. 또는, 배선(122A와 122B)에는, 서로 다른 전압들 또는 서로 다른 신호들이 입력될 수 있다.

[0073] "대략"이라는 용어는 노이즈로 인한 오차, 프로세스의 편차로 인한 오차, 소자의 제작 공정의 편차로 인한 오차, 및/또는 측정 오차 등의 다양한 오차를 포함한다는 것을 의미한다는 점에 주목한다.

[0074] 예를 들어, 배선(123A 내지 123C)에는 신호 S2가 입력된다. 이에 따라, 배선(123A 내지 123C)은 신호선으로서 기능할 수 있다. 신호 S2는, 많은 경우에 일정한 주기로 H 레벨과 L 레벨 간의 스위칭을 반복하는 디지털 신호이며, 클록 신호(CK)로서 기능할 수 있다. 그러나, 본 실시 형태는 이에 한정되지 않는다. 배선(123A 내지 123C)에는, 전원 전압이 공급될 수 있다. 이 경우, 배선(123A 내지 123C)은 전원선으로서 기능할 수 있다. 또는, 배선(123A 내지 123C)에는, 서로 다른 전압들 또는 서로 다른 신호들이 입력될 수 있다.

[0075] 본 실시 형태에서는, 일례로서, 신호의 L 레벨의 전위를 V1, 신호의 H 레벨의 전위를 V2로 하면, V2가 V1보다 크다는 점에 주목한다. 단, 본 실시 형태는 이에 한정되지 않는다.

[0076] 전압은 많은 경우에 하나의 전위와 기준 전위(예를 들어, 접지 전위) 간의 전위차를 의미한다는 점에 주목한다. 이에 따라, 전압, 전위, 전위차를 전위, 전압, 전압차라고 각각 칭할 수 있다.

[0077] 회로(100), 트랜지스터(101 내지 104), 용량 소자(105), 용량 소자(106)가 갖는 기능의 일례에 대해서 설명한다. 그러나, 후술하는 내용은 일례이며, 본 실시 형태는 이에 한정되지 않는다. 회로(100) 및 각 소자는 이하에서 설명하는 기능 외에도 다양한 기능을 갖는 것이 가능하다. 또는, 회로(100) 및 각 소자는 이하에서 설명하는 기능을 갖지 않을 수도 있다.

[0078] 회로(100)는, 노드 A의 전위 또는 상태를 제어하는 기능과, 배선(121)의 전위 또는 상태를 제어하는 기능을 갖는다. 예를 들어, 회로(100)는, 노드 A의 전위 혹은 배선(121)의 전위를 상승시키는 기능, 노드 A의 전위 혹은 배선(121)의 전위를 감소시키는 기능, 및/또는 노드 A 혹은 배선(121)을 부유 상태로 하는 기능 등을 갖는다. 트랜지스터(101)는, 배선(123B)에 입력되는 신호(예를 들어 신호 S2)에 따라, 배선(121)의 전위를 상승시키는 기능을 갖는다. 트랜지스터(102)는, 배선(123C)에 입력되는 신호(예를 들어 신호 S2)에 따라, 배선(121)과 노드 A가 도통하는 타이밍을 제어하는 기능을 갖고, 스위치로서 기능한다. 트랜지스터(103)는, 노드 B의 전위에 따라 배선(122A)과 노드 A가 도통하는 타이밍을 제어하고, 스위치로서 기능한다. 트랜지스터(104)는, 노드 A의 전위에 따라 배선(122B)과 노드 B가 도통하는 타이밍을 제어하는 기능을 갖고, 스위치로서 기능한다. 용량 소자(105)는, 배선(126)의 전위에 따라 노드 A의 전위를 상승시키는 기능 및/또는 트랜지스터(101)의 게이트와 제 2 단자 사이의 전위차를 유지하는 기능을 갖는다. 용량 소자(106)는, 배선(123A)에 입력되는 신호(예를 들어, 신호 S2)에 따라 노드 B의 전위를 제어하는 기능을 갖는다.

[0079] 이어서, 도 1a의 반도체 장치의 동작에 대해서 도 1b 및 도 2a 내지 도 2e를 참조하여 설명한다. 도 1b는 반도체 장치의 동작을 설명하기 위한 타이밍 차트의 일례이며, 기간 T1, 기간 T2, 기간 T3, 기간 T4 및 기간 T5가 존재한다. 또한, 도 1b는 신호 S1, 신호 S2, 노드 A의 전위 Va, 노드 B의 전위 Vb를 나타낸다. 도 2a는 기간 T1에서의 도 1a의 반도체 장치의 동작의 개략도이다. 도 2b는 기간 T2에서의 도 1a의 반도체 장치의 동작의 개략도이다. 도 2c는 기간 T3에서의 도 1a의 반도체 장치의 동작의 개략도이다. 도 2d는 기간 T4에서의 도 1a의 반도체 장치의 동작의 개략도이다. 도 2e는 기간 T5에서의 도 1a의 반도체 장치의 동작의 개략도이다.

[0080] 노드 A의 전위가 상승하면, 반도체 장치는, 기간 T1에서의 동작, 기간 T2에서의 동작 및 기간 T3에서의 동작을 순서대로 행한다는 점에 주목한다. 그 후, 반도체 장치는, 노드 A의 전위가 다시 상승할 때까지 기간 T4에서의 동작과 기간 T5에서의 동작을 순서대로 반복한다.

[0081] 우선, 기간 T1에서 신호 S2는 L 레벨로 된다. 이어서, 트랜지스터(102)가 오프로 되므로, 노드 A와 배선(121)은 비도통 상태로 된다. 동시에, 노드 B의 전위는 용량 소자(106)의 용량 결함으로 인해 감소한다. 이때의 노

드 B의 전위가 배선(122A)의 전위(V1)와 트랜지스터(103)의 임계값 전압(Vth106)의 합(V1 + Vth106)보다 낮아지면, 트랜지스터(103)가 오프된다. 이에 따라, 배선(122A)과 노드 A는 비도통 상태로 된다. 반면에, 회로(100)는 노드 A의 전위를 상승시키기 시작한다. 이어서, 노드 A의 전위가 배선(122B)의 전위(V1) 및 트랜지스터(104)의 임계값 전압(Vth104)의 합(V1 + Vth104)과 동일하게 되면, 트랜지스터(104)가 턴온된다. 이에 따라, 배선(122B)과 노드 B가 도통 상태로 된다. 따라서, 전압 V1이 배선(122B)으로부터 노드 B에 공급되므로, 노드 B의 전위가 V1로 된다. 그 결과, 트랜지스터(103)가 오프 상태로 유지되므로, 배선(122A)과 노드 A는 비도통 상태를 유지한다. 마찬가지로, 노드 A의 전위가 배선(123B)의 전위(V1) 및 트랜지스터(101)의 임계값 전압(Vth101)의 합(V1 + Vth101)과 동일하게 되면, 트랜지스터(101)가 턴온된다. 이에 따라, 배선(123B)과 배선(121)이 도통 상태로 된다. 따라서, L 레벨의 신호 S2가 배선(123B)으로부터 배선(121)에 공급되므로, 배선(121)의 전위는 배선(123B)의 전위(신호 S2의 L 레벨 또는 V1)와 대략 동등해진다. 그 후, 회로(100)는, 노드 A의 전위가 소정의 값(예를 들어 V1 + Vth101 이상 V2 이하)으로 상승되면, 노드 A로의 신호 공급을 중단하므로, 회로(100)와 노드 A는 비도통 상태로 된다. 이에 따라, 노드 A는 부유 상태로 되어, 노드 A의 전위가 높은 값으로 유지된다. 이때의 노드 A와 배선(121) 간의 전위차가 용량 소자(105)에 유지된다.

[0082] 기간 T1에 있어서, 회로(100)는, 배선(121)에 전압 V1, L 레벨의 신호 등을 공급할 수 있다. 또는, 회로(100)가 배선(121)에 신호 등을 공급하지 않는다면 회로(100)와 배선(121)을 비도통 상태로 할 수 있다. 또한, 회로(100)는 배선(121)을 부유 상태로 할 수 있다.

[0083] 이어서, 기간 T2에 있어서, 노드 A의 전위는 높은 값으로 유지되므로, 트랜지스터(104)는 온 상태로 된다. 이에 따라, 배선(122B)과 노드 B가 도통 상태로 유지되므로, 노드 B의 전위는 V1로 유지된다. 그 결과, 트랜지스터(103)는 오프 상태로 되므로, 배선(122A)과 노드 A는 비도통 상태로 유지된다. 마찬가지로, 노드 A의 전위는 높은 값으로 유지되므로, 트랜지스터(101)는 온 상태로 된다. 이에 따라, 배선(123B)과 배선(121)은 도통 상태로 유지된다. 이때, 신호 S2가 L 레벨로부터 H 레벨로 상승한다. 이에 따라, 배선(123B)과 배선(121)은 도통 상태로 유지되므로, 배선(121)의 전위가 상승하기 시작한다. 동시에 트랜지스터(102)가 턴온되므로, 노드 A와 배선(121)이 도통 상태로 된다. 단, 배선(121)의 전위가 배선(123C)의 전위(V2)에서 트랜지스터(102)의 임계값 전압(Vth102)을 뺀 값(V2 - Vth102)까지 상승하면 트랜지스터(102)는 턴오프된다. 이에 따라, 배선(121)과 노드 A는 비도통 상태로 된다. 여기서, 용량 소자(105)는 기간 T1에서 배선(121)과 노드 A 간의 전위차를 유지하고 있다. 이에 따라, 배선(121)의 전위가 상승하면, 노드 A의 전위는 용량 소자(105)의 용량 결합에 의해 (V2 + Vth101 + α)(α는 양수)까지 상승한다. 소위, 부트스트랩 동작을 수행한다. 이에 따라, 배선(121)의 전위는 배선(123B)의 전위(신호 S2의 H 레벨 또는 V2)와 동등해질 때까지 상승한다.

[0084] 기간 T2에 있어서, 회로(100)가 노드 A에 신호 등을 공급하지 않는 경우가 많으므로, 회로(100)와 노드 A는 비도통 상태로 되는 경우가 많다는 점에 주목한다. 이러한 식으로, 회로(100)는 노드 A를 부유 상태로 하는 경우가 많다.

[0085] 기간 T2에 있어서, 회로(100)가 배선(121)에 신호 등을 공급하지 않는 경우가 많으므로, 회로(100)와 배선(121)은 비도통 상태로 되는 경우가 많다는 점에 주목한다.

[0086] 이어서, 기간 T3에 있어서, 신호 S2가 H 레벨로부터 L 레벨로 감소한 후에, 회로(100)는 노드 A의 전위를 V1로 되게 감소시킨다. 이에 따라, 노드 A의 전위가 배선(123B)의 전위(V1) 및 트랜지스터(101)의 임계값 전압(Vth101)의 합(V1 + Vth101)이 될 때까지, 트랜지스터(101)는 온 상태로 있다. 이에 따라, L 레벨의 신호 S2는 배선(123B)으로부터 배선(121)에 공급되므로, 배선(121)의 전위는 배선(123B)의 전위(V1)로 감소된다. 마찬가지로, 노드 A의 전위가 배선(122B)의 전위(V1) 및 트랜지스터(104)의 임계값 전압(Vth104)의 합(V1 + Vth104)이 될 때까지, 트랜지스터(104)는 온 상태로 있다. 이에 따라, 전압 V1이 배선(122B)으로부터 노드 B에 공급되므로, 노드 B의 전위는 V1로 유지된다. 그 결과, 트랜지스터(103)는 오프 상태로 되므로, 배선(122A)과 노드 A는 비도통 상태로 된다. 이때, 용량 소자(106)는, 배선(123A)의 전위(신호 S2의 L 레벨 또는 V1) 및 배선(122B)의 전위(V1) 간의 전위차를 유지한다.

[0087] 기간 T3에 있어서, 회로(100)는 배선(121)에 전압 V1, L 레벨의 신호 등을 공급할 수 있다는 점에 주목한다. 또는, 회로(100)가 배선(121)에 신호 등을 공급하지 않으면 회로(100)와 배선(121)을 비도통 상태로 할 수 있다. 또한, 회로(100)는 배선(121)을 부유 상태로 할 수 있다.

[0088] 이어서, 기간 T4에 있어서, 신호 S2가 L 레벨로부터 H 레벨로 상승한다. 이때, 노드 A의 전위는 V1로 유지되므로, 트랜지스터(101) 및 트랜지스터(104)는 오프 상태에 있다. 이에 따라, 노드 B는 부유 상태에 있으므로, 노드 B의 전위는 용량 소자(106)의 용량 결합에 의해 상승한다. 노드 B의 전위가 배선(122A)의 전위(V1) 및 트랜

지스터(103)의 임계값 전압( $V_{th103}$ )의 합( $V_1 + V_{th103}$ )보다 높아지면, 트랜지스터(103)가 턴온된다. 이어서, 배선(122A)과 노드 A가 도통 상태로 된다. 이에 따라, 전압  $V_1$ 이 배선(122A)으로부터 노드 A에 공급되므로, 노드 A의 전위는  $V_1$ 로 유지된다. 동시에, 트랜지스터(102)가 턴온되므로, 배선(121)과 노드 A가 도통 상태로 된다. 이때, 노드 A에는 배선(122A)으로부터 전압  $V_1$ 이 공급된다. 이에 따라, 전압  $V_1$ 이 배선(122A)으로부터 배선(121)에 공급되므로, 배선(121)의 전위는  $V_1$ 로 유지된다.

[0089] 기간 T4에 있어서, 회로(100)는 노드 A에 전압  $V_1$ , L 레벨의 신호 등을 공급할 수 있다는 점에 주목한다. 또는, 회로(100)가 노드 A에 신호 등을 공급하지 않으면 회로(100)와 배선(121)을 비도통 상태로 할 수 있다. 또한, 회로(100)는 노드 A를 부유 상태로 할 수 있다.

[0090] 기간 T5에 있어서, 회로(100)는 배선(121)에 전압  $V_1$ , L 레벨의 신호 등을 공급할 수 있다는 점에 주목한다. 또는, 회로(100)가 배선(121)에 신호 등을 공급하지 않으면, 회로(100)와 배선(121)을 비도통 상태로 할 수 있다. 또한, 회로(100)는 배선(121)을 부유 상태로 할 수 있다.

[0091] 이어서, 기간 T5에 있어서, 신호 S2가 H 레벨로부터 L 레벨로 감소한다. 이때, 노드 A의 전위는  $V_1$ 로 유지되므로, 트랜지스터(101) 및 트랜지스터(104)는 오프 상태에 있다. 이에 따라, 노드 B의 전위는 용량 소자(106)의 용량 결합에 의해 감소한다. 노드 B의 전위가 배선(122A)의 배선( $V_1$ ) 및 트랜지스터(103)의 임계값 전압( $V_{th103}$ )의 합( $V_1 + V_{th103}$ )보다 낮아지면, 트랜지스터(103)가 턴오프된다. 따라서, 배선(122A)과 노드 A는 비도통 상태로 된다. 마찬가지로, 트랜지스터(102)가 턴오프되므로, 배선(121)과 노드 A는 비도통 상태로 된다. 이때, 회로(100)가 노드 A 및 배선(121)에 L 레벨 신호 또는 전압  $V_1$ 을 공급하고 있으면, 노드 A의 전위 및 배선(121)의 전위는  $V_1$ 로 유지된다. 그러나, 회로(100)가 노드 A 및 배선(121)에 L 레벨 신호 또는 전압  $V_1$  등을 공급하지 않더라도, 노드 A 및 배선(121)은 부유 상태로 되므로, 노드 A의 전위 및 배선(121)의 전위는  $V_1$ 로 유지된다.

[0092] 도 1a의 반도체 장치에서는, 종래 기술과 비교할 때 용량 소자(106)의 나머지 하나의 전극에 접속되는 트랜지스터의 수를 저감할 수 있다. 따라서, 용량 소자(106)의 나머지 하나의 전극에 접속되는 기생 용량, 즉 노드 B의 기생 용량을 작게 할 수 있다. 기생 용량은, 트랜지스터의 게이트 용량, 트랜지스터의 게이트와 소스 사이의 기생 용량, 트랜지스터의 게이트와 드레인 사이의 기생 용량, 및/또는 배선 용량 등의 총 용량을 의미한다는 점에 주목한다. 그러나, 본 실시 형태는 이에 한정되지 않는다. 용량 소자(106)의 나머지 하나의 전극에는 복수의 트랜지스터를 접속할 수 있다.

[0093] 또는, 도 1a의 반도체 장치에서는 노드 B의 기생 용량을 저감할 수 있으므로, 용량 소자(106)의 용량 값을 종래 기술보다 작게 할 수 있다. 따라서, 용량 소자(106)의 하나의 전극과 용량 소자(106)의 나머지 하나의 전극이 겹치는 면적을 작게 할 수 있으므로, 용량 소자(106)의 레이아웃 면적을 작게 할 수 있다. 그 결과, 먼지 등으로 인한 용량 소자(106)의 하나의 전극과 용량 소자(106)의 나머지 하나의 전극 간의 단락을 방지할 수 있다. 따라서, 수율 향상 또는 비용 삭감을 도모할 수 있다. 또는, 배선(123A)의 부하를 저감할 수 있으므로, 배선(123A)에 입력되는 신호(예를 들어 신호 S2)의 왜곡, 지연 등을 억제할 수 있다. 또는, 배선(123A)에 신호를 공급하는 외부 회로의 전류 구동 능력을 작게 할 수 있으므로, 외부 회로의 크기를 저감할 수 있다.

[0094] 또는, 도 1a의 반도체 장치에서는 노드 B의 기생 용량을 저감할 수 있으므로, 배선(123A)의 전위가 변하는 경우에 노드 B의 진폭 전압을 크게 할 수 있다. 따라서, 기간 T4에 있어서, 종래 기술보다, 노드 B의 전위를 높게 할 수 있으므로, 트랜지스터(103)의  $V_{gs}$ 를 크게 할 수 있다. 즉, 트랜지스터(103)의 온 저항을 작게 할 수 있으므로, 기간 T4에 있어서 노드 B의 전위를  $V_1$ 로 쉽게 유지할 수 있다. 또는, 트랜지스터(103)의 채널 폭(W)을 작게 할 수 있으므로, 레이아웃 면적의 축소를 도모할 수 있다.

[0095] 또는, 도 1a의 반도체 장치에서는, 기간 T2에 있어서, 트랜지스터(102)가 턴오프될 때까지 노드 A와 배선(121)이 도통 상태로 되는 경우가 많다. 따라서, 노드 A의 전위가 감소하므로, 트랜지스터(101) 및 트랜지스터(104)의 게이트 전압을 저감할 수 있다. 그 결과, 트랜지스터(101) 및 트랜지스터(104)의 특성 열화를 억제할 수 있다. 또는, 트랜지스터(101) 및 트랜지스터(104)의 파괴를 억제할 수 있다. 또는, 트랜지스터로서, 게이트 절연막을 박막화하여 이동도를 향상시킨 트랜지스터를 사용할 수 있다. 이러한 트랜지스터를 사용하는 경우, 트랜지스터의 채널 폭(W)을 저감할 수 있다. 따라서, 레이아웃 면적의 축소를 도모할 수 있다.

[0096] 또는, 도 1a의 반도체 장치에서는, 모든 트랜지스터를 n채널형 또는 p채널형으로 할 수 있다. 따라서, CMOS 회로와 비교할 때, 공정 수의 삭감, 수율 향상 또는 비용 절감을 도모할 수 있다. 특히, 모든 트랜지스터가 n채널형일 경우, 트랜지스터의 반도체층으로서, 비단결정 반도체, 미결정 반도체, 유기 반도체, 또는 산화물 반도체

체를 사용할 수 있다. 따라서, 공정수의 삭감, 수율 향상 또는 비용 절감을 도모할 수 있다. 그러나, 본 실시 형태는 이에 한정되지 않는다. 도 1a의 반도체 장치를, p채널형 트랜지스터와 n채널형 트랜지스터를 조합한 CMOS 회로에 의해 구성할 수 있다.

- [0097] 또는, 도 1a의 반도체 장치에서는, 기간 T4와 기간 T5와 중 적어도 하나에서, 트랜지스터(101 내지 104)가 턴오프된다. 따라서, 트랜지스터가 하나의 동작 기간 동안에는 턴온되지 않으므로, 임계값 전압의 상승 또는 이동도의 감소 등의 트랜지스터의 특성 열화를 억제할 수 있다.
- [0098] 특히, 트랜지스터의 반도체층으로서, 비단결정 반도체, 미결정 반도체, 유기 반도체, 또는 산화물 반도체를 사용하는 경우, 트랜지스터의 특성 열화는 현저하게 나타난다. 그러나, 도 1a의 반도체 장치에서는, 트랜지스터의 특성 열화를 억제할 수 있으므로, 트랜지스터의 반도체층으로서, 비단결정 반도체, 미결정 반도체, 유기 반도체, 또는 산화물 반도체를 사용할 수 있다. 그러나, 본 실시 형태는 이에 한정되지 않는다. 반도체층으로서, 다결정 반도체 또는 단결정 반도체를 사용할 수 있다.
- [0099] 기간 T2를 선택 기간이라 칭하고, 기간 T2 이외의 기간(기간 T1, 기간 T3, 기간 T4 및 기간 T5)을 비선택 기간이라 칭할 수 있다는 점에 주목한다. 또는, 기간 T1, 기간 T2, 기간 T3, 기간 T4 및 기간 T5를, 각각 세트 기간, 출력 기간, 리셋 기간, 제1 비선택 기간, 제2 비선택 기간이라 칭할 수도 있다.
- [0100] 트랜지스터(101)의 채널 폭(W)은 트랜지스터(102), 트랜지스터(103), 및/또는 트랜지스터(104)의 채널 폭보다 큰 것이 가능하다는 점에 주목한다. 또는, 반도체 장치에 포함된 트랜지스터들 중에서, 트랜지스터(101)의 채널 폭이 가장 클 수 있다. 이 경우, 트랜지스터(101)의 온 저항이 작으므로, 배선(121)으로부터 출력되는 신호(예를 들어 신호 S1)의 상승 시간 및 하강 시간이 짧아진다. 따라서, 기간 T2에 있어서, 트랜지스터(102)가 턴오프되는 타이밍이 빨라진다. 따라서, 노드 A의 전위가 크게 감소함으로 인해 반도체 장치가 오동작하는 것을 억제할 수 있다. 그러나, 본 실시 형태는 이에 한정되지 않는다. 트랜지스터(101)의 채널 폭은, 트랜지스터(102 내지 104) 중 임의의 하나의 채널 폭 또는 반도체 장치에 포함된 트랜지스터들 중 임의의 하나의 채널 폭보다 작은 것이 가능하다.
- [0101] 트랜지스터의 채널 폭은 트랜지스터의 W/L 비(L: 채널 길이)라 칭할 수도 있다는 점에 주목한다.
- [0102] 배선(123A), 배선(123B), 및/또는 배선(123C)에 입력되는 신호의 L 레벨의 전위는 V1보다 낮은 것이 가능하다는 점에 주목한다. 이 경우, 트랜지스터에 역 바이어스를 인가하는 것이 가능하므로, 트랜지스터의 특성 열화를 억제할 수 있다. 특히, 트랜지스터(102)가 온으로 되는 시간이 길기 때문에, 배선(123C)에 입력되는 신호의 L 레벨의 전위는 V1보다 낮은 것이 바람직하다. 그러나, 본 실시 형태는 이에 한정되지 않는다. 배선(123A), 배선(123B), 및/또는 배선(123C)에 입력되는 신호의 L 레벨의 전위는 V1보다 높은 것이 가능하다.
- [0103] 배선(123A), 배선(123B), 및/또는 배선(123C)에 입력되는 신호의 H 레벨의 전위는 V2보다 낮은 것이 가능하다는 점에 주목한다. 이 경우, 트랜지스터의 Vgs가 작아지므로, 트랜지스터의 특성 열화를 완화할 수 있다. 특히, 트랜지스터(102)가 온으로 되는 시간이 길므로, 배선(123C)에 입력되는 신호의 H 레벨의 전위는 V2보다 낮은 것이 바람직하다. 그러나, 본 실시 형태는 이에 한정되지 않는다. 배선(123A), 배선(123B), 및/또는 배선(123C)에 입력되는 신호의 H 레벨의 전위는 V2보다 높은 것이 가능하다.
- [0104] 배선(123A), 배선(123B), 및/또는 배선(123C)에 입력되는 신호의 진폭 전압은 (V2-V1)보다 작은 것이 가능하다는 점에 주목한다. 특히, 트랜지스터(103)가 온으로 되는 시간은 길므로, 배선(123A)에 입력되는 신호의 진폭을 V2-V1보다 작게 하는 것이 바람직하다. 이러한 식으로, 트랜지스터(103)의 Vgs를 작게 할 수 있으므로, 트랜지스터(103)의 특성 열화를 억제할 수 있다. 그러나, 본 실시 형태는 이에 한정되지 않는다. 배선(123A), 배선(123B), 및/또는 배선(123C)에 입력되는 신호의 진폭 전압은 (V2-V1)보다 큰 것이 가능하다.
- [0105] 배선(122A) 및/또는 배선(122B)에 신호를 입력할 수 있다는 점에 주목한다. 이러한 식으로, 전압 V1을 생략할 수 있으므로, 전원 수를 저감할 수 있다. 또는, 트랜지스터에 역 바이어스를 인가할 수 있으므로, 트랜지스터의 특성 열화를 완화할 수 있다. 특히, 배선(122A)에는, 트랜지스터(103)가 온으로 되는 기간(예를 들어, 기간 T1, 기간 T3, 기간 T5) 동안 L 레벨로 되는 신호를 입력할 수 있다. 예를 들어, 신호 S2의 반전 신호(이하, 반전 클록 신호라고도 함)가 있다. 배선(122B)에는, 트랜지스터(104)가 온으로 되는 기간(예를 들어, 기간 T3, 기간 T4, 기간 T5) 동안 L 레벨로 되는 신호를 입력할 수 있다.
- [0106] 배선(123A), 배선(123B), 및/또는 배선(123C)에 전압(예를 들어 전압 V2)을 공급할 수 있다는 점에 주목한다. 이에 따라, 반도체 장치는 인버터 회로 또는 버퍼 회로로서 기능할 수 있다.

- [0107] 도 3a에 도시한 바와 같이, 배선(122A)과 배선(122B)에는 동일한 전압(예를 들어 전압 V1)이 공급되는 경우가 많으므로, 배선(122A)과 배선(122B)을 공유할 수 있다는 점에 주목한다. 이에 따라, 트랜지스터(103)의 제1 단자 및 트랜지스터(104)의 제1 단자는 배선(122)에 접속된다. 배선(122)은 배선(122A) 또는 배선(122B)에 대응한다. 배선(122)에는, 배선(122A) 또는 배선(122B)에 입력되는 신호와 마찬가지로의 신호가 입력될 수 있다.
- [0108] "복수의 배선이 공유된다"라는 표현은 복수의 배선에 접속되는 소자 또는 회로가 하나의 배선에 접속된다는 것을 의미한다는 점에 주목한다. 또는, "복수의 배선이 공유된다"라는 표현은 복수의 배선이 서로 접속됨을 의미한다.
- [0109] 도 3b에 도시한 바와 같이, 배선(123A 내지 123C)에는 동일한 신호(예를 들어 신호 S2)가 입력되는 경우가 많으므로, 배선(123A 내지 123C)을 공유할 수 있다는 점에 주목한다. 이에 따라, 트랜지스터(101)의 제1 단자, 트랜지스터(102)의 게이트 및 용량 소자(106)의 하나의 전극은 배선(123)에 접속된다. 배선(123)은 배선(123A 내지 123C)에 대응한다. 배선(123)에는, 배선(123A 내지 123C)에 입력되는 신호와 마찬가지로의 신호가 입력될 수 있다. 그러나, 본 실시 형태는 이에 한정되지 않는다. 배선(123A 내지 123C) 중 임의의 두 개 이상의 배선을 공유할 수 있다.
- [0110] 도 3b에서와 같이, 도 3a에서 배선(123A 내지 123C)을 공유할 수 있다는 점에 주목한다.
- [0111] 도 3c에 도시한 바와 같이, 도 3a와 도 3b를 조합함으로써, 배선(122A)과 배선(122B)을 공유할 수 있고, 또한, 배선(123A 내지 123C)을 공유할 수 있다. 예를 들어, 트랜지스터(103)의 제1 단자 및 트랜지스터(104)의 제1 단자는 배선(122)에 접속될 수 있다. 또한, 트랜지스터(101)의 제1 단자, 트랜지스터(102)의 게이트 및 용량 소자(106)의 하나의 전극은 배선(123)에 접속될 수 있다.
- [0112] 도 3d에 도시한 바와 같이, 트랜지스터(104)의 게이트는 배선(121)에 접속되는 것이 가능하다는 점에 주목한다. 트랜지스터(104)의 게이트를 배선(121)에 접속함으로써, 트랜지스터(104)가 턴온될 때의 게이트의 전압은 V1이고, 이는 도 1a에서 트랜지스터(104)가 턴온될 때의 게이트의 전압( $V1 + V_{th101} + \alpha$ )보다 낮다. 따라서, 트랜지스터(104)의 절연 파괴 또는 트랜지스터(104)의 특성 열화를 억제할 수 있다.
- [0113] 도 3d에서와 같이, 도 3a 내지 도 3c의 트랜지스터(104)의 게이트가 배선(121)에 접속되는 것이 가능하다는 점에 주목한다.
- [0114] 도 3e에 도시한 바와 같이, 트랜지스터(103)의 제2 단자는 배선(121)에 접속되는 것이 가능하다는 점에 주목한다. 트랜지스터(103)의 제2 단자를 배선(121)에 접속함으로써, 기간 T4에 있어서, 전압 V1이 배선(122A)으로부터 배선(121)에 공급되므로, 배선(121)의 전위를 V1로 쉽게 유지할 수 있다.
- [0115] 도 3e에서와 같이, 도 3a 내지 도 3d의 트랜지스터(103)의 제2 단자는 배선(121)에 접속되는 것이 가능하다는 점에 주목한다.
- [0116] 도 4a에 도시한 바와 같이, 용량 소자(105)를 생략할 수 있다는 점에 주목한다. 이 경우, 트랜지스터(101)의 게이트와 제2 단자 사이의 기생 용량을 용량 소자(105)로서 사용할 수 있다.
- [0117] 도 4a에서, 트랜지스터(101)의 게이트와 제2 단자 사이의 기생 용량을 용량 소자(105)로서 사용하는 경우, 트랜지스터(101)의 게이트와 제2 단자 사이의 기생 용량은, 트랜지스터(101)의 게이트와 제1 단자 사이의 기생 용량보다 큰 것이 바람직하다는 점에 주목한다. 따라서, 트랜지스터(101)에서, 게이트 전극으로서 기능하는 도전층 및 소스 전극 또는 드레인 전극으로서 기능하는 도전층이 겹치는 면적은, 제1 단자측보다 제2 단자측에서 큰 것이 바람직하다. 그러나, 본 실시 형태는 이에 한정되지 않는다.
- [0118] 또한, 도 4a에서와 같이, 도 3a 내지 도 3e에서 용량 소자(105)를 생략할 수 있다는 점에 주목한다.
- [0119] 도 4b에 도시한 바와 같이, 용량 소자(105)로서, MOS 용량 소자를 사용할 수 있다는 점에 주목한다. 도 4b의 예에서는, 용량 소자(105)로서 트랜지스터(105a)를 사용한다. 트랜지스터(105a)는 n채널형 트랜지스터이다. 트랜지스터(105a)의 제1 단자와 제2 단자는 배선(121)에 접속된다. 트랜지스터(105a)의 게이트는 노드 A에 접속된다. 이러한 식으로, 용량 소자로서 기능할 필요가 있는 기간(예를 들어, 기간 T1 및 기간 T2)에서는, 노드 A의 전위가 높으므로, 트랜지스터(105a)의 게이트 용량을 크게 할 수 있다. 반면에, 용량 소자로서 기능할 필요가 없는 기간(예를 들어, 기간 T3, 기간 T4, 기간 T5)에서는, 노드 A의 전위가 낮으므로, 트랜지스터(105a)의 게이트 용량을 작게 할 수 있다. 그러나, 본 실시 형태는 이에 한정되지 않는다. 트랜지스터(105a)는 p채널형 트랜지스터일 수 있다. 또는, 트랜지스터(105a)의 제1 단자와 제2 단자 중 한쪽은 부유 상태인 것이 가능하다. 또는, 트랜지스터(105a)의 게이트는 배선(121)에 접속될 수 있다. 트랜지스터(105a)의 제1 단자와 제2 단자는

노드 A에 접속되는 것이 가능하다. 또는, 트랜지스터(105a)의 채널 영역에 불순물을 첨가할 수 있다.

- [0120] 도 4b에서와 같이, 도 3a 내지 도 3e 및 도 4a에서, 용량 소자(105)로서 트랜지스터(105a)를 사용하고, 트랜지스터(105a)의 제1 단자 및 제2 단자가 배선(121)에 접속되고, 트랜지스터(105a)의 게이트가 노드 A에 접속되는 것이 가능하다는 점에 주목한다.
- [0121] 도 4c에 도시한 바와 같이, 용량 소자(106)로서 MOS 용량 소자를 사용할 수 있다는 점에 주목한다. 도 4c의 예에서는, 용량 소자(106)로서, 트랜지스터(106a)를 사용한다. 트랜지스터(106a)는 n채널형 트랜지스터이다. 트랜지스터(106a)의 제1 단자와 제2 단자는 노드 B에 접속된다. 트랜지스터(106a)의 게이트는 배선(123A)에 접속된다. 그러나, 본 실시 형태는 이에 한정되지 않는다. 트랜지스터(106a)는 p채널형 트랜지스터일 수 있다. 또는, 트랜지스터(106a)의 제1 단자와 제2 단자 중 한쪽은 부유 상태인 것이 가능하다. 또는, 트랜지스터(106a)의 게이트는 노드 B에 접속될 수 있다. 트랜지스터(106a)의 제1 단자와 제2 단자는 배선(123A)에 접속되는 것이 가능하다. 또는, 트랜지스터(106a)의 채널 영역에 불순물을 첨가할 수 있다.
- [0122] 도 4c에서와 같이, 도 3a 내지 도 3e 및 도 4a와 도 4b에서, 용량 소자(106)로서 트랜지스터(106a)를 사용하고, 트랜지스터(106a)의 제1 단자 및 제2 단자가 노드 B에 접속되고, 트랜지스터(106a)의 게이트가 배선(123A)에 접속되는 것이 가능하다는 점에 주목한다.
- [0123] 도 4d에 도시한 바와 같이, 트랜지스터(103)를 다이오드(103a)로 대체할 수 있다는 점에 주목한다. 다이오드(103a)는 트랜지스터(103)에 대응한다. 또한, 다이오드(103a)는, 노드 B의 전위가 노드 A의 전위보다 낮을 때 노드 A의 전위를 감소시키는 기능 및 노드 B의 전위가 노드 A의 전위보다 높을 때 노드 A와 노드 B를 비도통 상태로 하는 기능을 갖는다. 다이오드(103a)의 한쪽의 단자(이하, 입력 단자 또는 애노드라고도 함)는 노드 A에 접속된다. 다이오드(103a)의 다른 쪽의 단자(이하, 출력 단자 또는 캐소드라고도 함)는 노드 B에 접속된다.
- [0124] 도 4d에서 트랜지스터(103)를 다이오드(103a)로 대체하는 경우, 배선(122B)에는 전압 V2를 공급할 수 있다는 점에 주목한다. 또는, 신호 S2의 반전 신호(예를 들어, 반전 클록 신호)를 배선(123A)에 입력할 수 있다.
- [0125] 도 4d에서와 같이, 도 3a 내지 도 3e 및 도 4a 내지 도 4c에서, 트랜지스터(103)를 다이오드(103a)로 대체하고, 다이오드(103a)의 한쪽의 단자가 노드 A에 접속되고, 다이오드(103a)의 다른 쪽의 단자가 노드 B에 접속되는 것이 가능하다는 점에 주목한다.
- [0126] 도 4e에 도시한 바와 같이, 트랜지스터(104)를 다이오드(104a)로 대체할 수 있다는 점에 주목한다. 도 4e에서는, 트랜지스터(104)뿐만 아니라 트랜지스터(103)도 다이오드로 대체하는 경우의 일례를 나타낸다. 다이오드(104a)는 트랜지스터(104)에 대응한다. 또한, 다이오드(104a)는, 노드 A의 전위 노드가 B의 전위보다 높을 때 노드 B의 전위를 상승시키는 기능 및 노드 A의 전위가 노드 B의 전위보다 낮을 때 노드 A와 노드 B를 비도통 상태로 하는 기능을 갖는다. 다이오드(104a)의 한쪽의 단자는 노드 A에 접속된다. 다이오드(104a)의 다른 쪽의 단자는 노드 B에 접속된다.
- [0127] 도 4e에서와 같이, 도 3a 내지 도 3e 및 도 4a 내지 도 4d에서, 트랜지스터(104)를 다이오드(104a)로 대체하고, 다이오드(104a)의 한쪽의 단자가 노드 A에 접속되고, 다이오드(104a)의 다른 쪽의 단자가 노드 B에 접속되는 것이 가능하다는 점에 주목한다.
- [0128] 도 4f에 도시한 바와 같이, 다이오드로서, 다이오드 접속된 트랜지스터를 사용할 수 있다는 점에 주목한다. 다이오드 접속된 트랜지스터(103) 및 다이오드 접속된 트랜지스터(104)는 다이오드(103a) 및 다이오드(104a)에 각각 대응한다. 트랜지스터(103)의 제1 단자는 노드 B에 접속된다. 트랜지스터(103)의 제2 단자 및 게이트는 노드 A에 접속된다. 트랜지스터(104)의 제1 단자 및 게이트는 노드 A에 접속된다. 트랜지스터(104)의 제2 단자는 노드 B에 접속된다. 그러나, 본 실시 형태는 이에 한정되지 않는다. 트랜지스터(103)의 게이트는 노드 B에 접속되고, 트랜지스터(104)의 게이트는 노드 B에 접속되는 것이 가능하다.
- [0129] 도 4f에서와 같이, 도 3a 내지 도 3e 및 도 4a 내지 도 4e에서, 트랜지스터(103)의 제1 단자가 노드 B에 접속되고, 트랜지스터(103)의 제2 단자가 노드 A에 접속되고, 트랜지스터(103)의 게이트가 노드 A에 접속되는 것이 가능하다는 점에 주목한다. 또는, 트랜지스터(104)의 제1 단자가 노드 A에 접속되고, 트랜지스터(104)의 제2 단자가 노드 B에 접속되고, 트랜지스터(104)의 게이트가 노드 A에 접속되는 것이 가능하다. 그러나, 본 실시 형태는 이에 한정되지 않는다. 트랜지스터(103)의 게이트가 노드 B에 접속되고, 트랜지스터(104)의 게이트가 노드 B에 접속되는 것이 가능하다.
- [0130] 도 5a에 도시한 바와 같이, 다이오드(107)를 추가 배치할 수 있다는 점에 주목한다. 다이오드(107)는, 배선

(123A)에 L 레벨의 신호가 입력되는 경우에 노드 B의 전위를 감소시키는 기능 및 배선(123A)에 H 레벨의 신호가 입력되는 경우에 배선(123A)과 노드 B를 비도통 상태로 하는 기능을 갖는다. 다이오드(107)의 한쪽의 단자는 노드 B에 접속된다. 다이오드(107)의 다른 쪽의 단자는 배선(123A)에 접속된다. 그러나, 본 실시 형태는 이에 한정되지 않는다. 다이오드(107)의 다른 쪽의 단자는 배선(123A)과는 다른 배선에 접속되는 것이 가능하다.

- [0131] 도 5a와 마찬가지로, 도 3a 내지 도 3e 및 도 4a 내지 도 4f에서, 다이오드(107)를 추가하고, 다이오드(107)의 한쪽의 단자가 노드 B에 접속되고, 다이오드(107)의 다른 쪽의 단자가 배선(123A)에 접속되는 것이 가능하다.
- [0132] 도 5b에 도시한 바와 같이, 다이오드 접속된 트랜지스터(107a)를 추가할 수 있다는 점에 주목한다. 다이오드 접속된 트랜지스터(107a)는 다이오드(107)에 대응하고, n채널형 트랜지스터이다. 트랜지스터(107a)의 제1 단자는 배선(123A)에 접속된다. 트랜지스터(107a)의 제2 단자 및 게이트는 노드 B에 접속된다. 그러나, 본 실시 형태는 이에 한정되지 않는다. 트랜지스터(107a)는 p채널형 트랜지스터일 수 있다. 또는, 트랜지스터(107a)의 게이트는 배선(123A)에 접속되는 것이 가능하다.
- [0133] 도 5b와 마찬가지로, 도 3a 내지 도 3e, 도 4a 내지 도 4f 및 도 5a에서, 트랜지스터(107a)를 추가하고, 트랜지스터(107a)의 제1 단자가 배선(123A)에 접속되고, 트랜지스터(107a)의 제2 단자 및 게이트가 노드 B에 접속되는 것이 가능하다. 그러나, 본 실시 형태는 이에 한정되지 않는다. 트랜지스터(107a)의 게이트가 노드 B에 접속되는 것이 가능하다.
- [0134] 도 5c에 도시한 바와 같이, 트랜지스터(102)를 생략할 수 있다는 점에 주목한다.
- [0135] 도 5c와 마찬가지로, 도 3a 내지 도 3e, 도 4a 내지 도 4f 및 도 5a와 도 5b에서도, 트랜지스터(102)를 생략할 수 있다는 점에 주목한다.
- [0136] 도 5d에 도시한 바와 같이, 회로(100)를 생략할 수 있다는 점에 주목한다.
- [0137] 도 5d와 마찬가지로, 도 3a 내지 도 3e, 도 4a 내지 도 4f 및 도 5a 내지 도 5c에서도, 회로(100)를 생략할 수 있다는 점에 주목한다.
- [0138] 도 5e에 도시한 바와 같이, 트랜지스터(101), 트랜지스터(102), 트랜지스터(103) 및 트랜지스터(104)를 트랜지스터(101p), 트랜지스터(102p), 트랜지스터(103p) 및 트랜지스터(104p)로 각각 대체할 수 있다. 트랜지스터(101p 내지 104p)는 트랜지스터(101 내지 104)에 각각 대응하고, p채널형 트랜지스터라는 점에 주목한다.
- [0139] 도 5e에서, 전위 관계는 도 1a의 반도체 장치에서의 전위 관계와 반대인 경우가 많다는 점에 주목한다. 예를 들어, 배선(122A와 122B)에는 전압 V2가 공급되고, 배선(123A와 123B)에는 신호 S2의 반전 신호가 입력되는 것이 가능하다. 마찬가지로, 배선(121)으로부터 신호 S1의 반전 신호가 출력되는 경우가 많다.
- [0140] 도 5e에서, 회로(100)는 기간 T1에 있어서 노드 A의 전위를 감소시키는 기능을 갖는 경우가 많다는 점에 주목한다. 또는, 회로(100)는 기간 T3에 있어서 노드 A의 전위를 V2까지 상승시키는 기능을 갖는 경우가 많다.
- [0141] 도 5e와 마찬가지로, 도 3a 내지 도 3e, 도 4a 내지 도 4f 및 도 5a 내지 도 5d에서, 트랜지스터(101 내지 104)로서, p채널형 트랜지스터를 사용할 수 있다는 점에 주목한다.
- [0142] [실시 형태 2]
- [0143] 본 실시 형태에서는, 반도체 장치의 일례를 설명한다. 본 실시 형태의 반도체 장치는, 실시 형태 1에서 설명한 반도체 장치의 구체적인 예이다. 특히, 본 실시 형태에서는 회로(100)의 구체적인 예를 설명한다. 실시 형태 1에서 설명한 내용은 본 실시 형태의 반도체 장치에 적용할 수 있다는 점에 주목한다.
- [0144] 회로(100)의 구체적인 예를 도 6a를 참조하여 설명한다. 그러나, 도 6a는 일례이며, 본 실시 형태가 이에 한정되는 않는다. 회로(100)로서는, 도 6a에 도시한 구조를 갖는 회로 외에도, 다양한 구조의 회로를 사용할 수 있다. 도 1a와 유사한 부분은 동일한 참조 부호로 나타내고, 그 설명을 생략한다는 점에 주목한다.
- [0145] 회로(100)는 트랜지스터(131), 트랜지스터(132), 트랜지스터(133), 트랜지스터(134) 및 트랜지스터(135)를 포함한다. 트랜지스터(131 내지 135)의 각각은 n채널형 트랜지스터이다. 그러나, 트랜지스터(131 내지 135)의 각각은 p채널형 트랜지스터일 수도 있다.
- [0146] 회로(100)에 포함된 트랜지스터들의 접속 관계를 설명한다. 트랜지스터(131)의 제1 단자는 배선(125)에 접속된다. 트랜지스터(131)의 제2 단자는 노드 A에 접속된다. 트랜지스터(131)의 게이트는 배선(125)에 접속된다. 트랜지스터(132)의 제1 단자는 배선(125)에 접속된다. 트랜지스터(132)의 제2 단자는 노드 A에 접속된다. 트

랜지스터(132)의 게이트는 배선(124A)에 접속된다. 트랜지스터(133)의 제1 단자는 배선(122E)에 접속된다. 트랜지스터(133)의 제2 단자는 배선(121)에 접속된다. 트랜지스터(133)의 게이트는 배선(124B)에 접속된다. 트랜지스터(134)의 제1 단자는 배선(122C)에 접속된다. 트랜지스터(134)의 제2 단자는 노드 A에 접속된다. 트랜지스터(134)의 게이트는 배선(126)에 접속된다. 트랜지스터(135)의 제1 단자는 배선(122D)에 접속된다. 트랜지스터(135)의 제2 단자는 배선(121)에 접속된다. 트랜지스터(135)의 게이트는 배선(126)에 접속된다.

[0147] 배선(122C 내지 122E), 배선(124A와 124B), 배선(125) 및 배선(126)에 입력될 수 있는 것(예를 들어, 신호, 전압, 또는 전류)의 일례를 설명한다. 단, 이하에서 설명하는 내용은 일례이며, 본 실시 형태는 이에 한정되지 않는다. 각 배선에는 이하에서 설명하는 다양한 것들이 입력될 수 있다. 또한, 각 배선을 부유 상태로 할 수 있다.

[0148] 배선(122C 내지 122E)에는, 배선(122A와 122B)과 마찬가지로, 전압 V1이 공급된다. 따라서, 배선(122C 내지 122E)은 전원선으로서 기능할 수 있다. 그러나, 본 실시 형태는 이에 한정되지 않는다. 배선(122C 내지 122E)에 클록 신호 등의 신호를 입력할 수 있다. 이 경우, 배선(122C 내지 122E)은 신호선으로서 기능할 수 있다. 또는, 배선(122C 내지 122E)에는 서로 다른 전압들을 공급할 수 있다.

[0149] 예를 들어, 배선(124A와 124B)에는 신호 S3이 입력된다. 따라서, 배선(124A와 124B)은 신호선으로서 기능할 수 있다. 많은 경우에, 신호 S3은, 신호 S2의 반전 신호 또는 위상이 신호 S2와 대략 180° 어긋난 신호이며, 반전 클록 신호(CKB)로서 기능할 수 있다. 그러나, 본 실시 형태는 이에 한정되지 않는다. 배선(124A와 124B)에는 전압을 공급할 수 있다. 이 경우, 배선(124A와 124B)은 전원선으로서 기능할 수 있다. 또는, 배선(124A와 124B)에는 서로 다른 신호들을 입력할 수 있다.

[0150] 예를 들어, 배선(125)에는 신호 S4가 입력된다. 따라서, 배선(125)은 신호선으로서 기능할 수 있다. 신호 S4는, 많은 경우에, L 레벨과 H 레벨을 갖는 디지털 신호이며, 스타트 신호(SP), 다른 행(단)으로부터의 전송 신호, 또는 다른 행을 선택하기 위한 신호로서 기능할 수 있다. 그러나, 본 실시 형태는 이에 한정되지 않는다. 배선(125)에는 전압을 공급할 수 있다. 이 경우, 배선(125)은 전원선으로서 기능할 수 있다.

[0151] 예를 들어, 배선(126)에는 신호 S5가 입력된다. 따라서, 배선(126)은 신호선으로서 기능할 수 있다. 신호 S5는, 많은 경우에, L 레벨과 H 레벨을 갖는 디지털 신호이며, 리셋 신호(RE), 또는 다른 행을 선택하기 위한 신호로서 기능할 수 있다. 그러나, 본 실시 형태는 이에 한정되지 않는다. 배선(126)에는 전압을 공급할 수 있다. 이 경우, 배선(126)은 전원선으로서 기능할 수 있다.

[0152] 트랜지스터(131 내지 135)가 갖는 기능의 일례를 설명한다. 단, 이하에서 설명하는 내용은 일례이며, 본 실시 형태는 이에 한정되지 않는다. 트랜지스터(131 내지 135)는 이하에서 설명하는 기능 외에도 다양한 기능을 가질 수 있다. 또는, 트랜지스터(131 내지 135)가 이하에서 설명하는 기능을 갖지 않을 수도 있다.

[0153] 트랜지스터(131)는, 배선(125)에 입력되는 신호(예를 들어, 신호 S4)에 따라 노드 A의 전위를 상승시키는 기능을 갖고, 다이오드로서 기능한다. 트랜지스터(132)는, 배선(124A)에 입력되는 신호(예를 들어, 신호 S3)에 따라 배선(125)과 노드 A가 도통하는 타이밍을 제어하는 기능을 갖고, 스위치로서 기능한다. 트랜지스터(133)는, 배선(124B)에 입력되는 신호(예를 들어, 신호 S3)에 따라 배선(122E)과 배선(121)이 도통하는 타이밍을 제어하는 기능을 갖고, 스위치로서 기능한다. 트랜지스터(134)는, 배선(126)에 입력되는 신호(예를 들어, 신호 S5)에 따라 배선(122C)과 노드 A가 도통하는 타이밍을 제어하는 기능을 갖고, 스위치로서 기능한다. 트랜지스터(135)는, 배선(126)에 입력되는 신호(예를 들어, 신호 S5)에 따라 배선(122D)과 배선(121)이 도통하는 타이밍을 제어하는 기능을 갖고, 스위치로서 기능한다.

[0154] 이어서, 도 6a의 반도체 장치의 동작을, 도 6b, 도 7a 내지 도 7c 및 도 8a와 도 8b를 참조하여 설명한다. 도 6b는 반도체 장치의 동작을 설명하기 위한 타이밍 차트의 일례이며, 기간 T1, 기간 T2, 기간 T3, 기간 T4 및 기간 T5가 존재한다. 도 7a는 기간 T1에서의 도 6a의 반도체 장치의 동작의 개략도를 나타낸다. 도 7b는 기간 T2에서의 도 6a의 반도체 장치의 동작의 개략도를 나타낸다. 도 7c는 기간 T3에서의 도 6a의 반도체 장치의 동작의 개략도를 나타낸다. 도 8a는 기간 T4에서의 도 6a의 반도체 장치의 동작의 개략도를 나타낸다. 도 8b는 기간 T5에서의 도 6a의 반도체 장치의 동작의 개략도를 나타낸다. 도 1a의 반도체 장치의 동작과 공통되는 설명은 생략한다.

[0155] 우선, 기간 T1에 있어서, 신호 S5는 L 레벨로 되므로, 트랜지스터(134) 및 트랜지스터(135)는 턴오프된다. 따라서, 배선(122C)과 노드 A는 비도통 상태로 되고, 배선(122D)과 배선(121)은 비도통 상태로 된다. 동시에, 신호 S3 및 신호 S4가 H 레벨로 되므로, 트랜지스터(131), 트랜지스터(132) 및 트랜지스터(133)가 턴온된다. 이

어서, 배선(125)과 노드 A가 도통 상태로 되고, 배선(122E)과 배선(121)이 도통 상태로 된다. 따라서, 배선(125)에 입력되는 신호(H 레벨의 신호 S4)가 배선(125)으로부터 노드 A에 공급되므로, 노드 A의 전위는 상승하기 시작한다. 또한, 배선(122E)과 배선(121)이 도통 상태로 되므로, 전압 V1이 배선(122E)으로부터 배선(121)에 공급된다. 그 후, 노드 A의 전위가, 신호 S4의 H 레벨의 전위(V2)로부터 트랜지스터(131)의 임계값 전압(Vth131)을 감산하여 얻어지는 값(V2 - Vth131)까지 상승하면, 트랜지스터(131)가 턴오프된다. 마찬가지로, 노드 A의 전위가, 신호 S3의 H 레벨의 전위(V2)로부터 트랜지스터(132)의 임계값 전압(Vth132)을 감산하여 얻어지는 값(V2 - Vth132)까지 상승하면, 트랜지스터(132)가 턴오프된다. 트랜지스터(131) 및 트랜지스터(132)가 오프로 되면, 노드 A에는 전하가 공급되지 않는다. 따라서, 노드 A의 전위가 높은 값(적어도 V1 + Vth101 이상)으로 유지되고, 노드 A는 부유 상태로 된다. 여기에서는, 편의상, 노드 A의 전위가 (V2 - Vth131)로 되면, 트랜지스터(131) 및 트랜지스터(132)가 턴오프된다. 따라서, 배선(125)과 노드 A는 비도통 상태로 된다. 이때 노드 A의 전위는 (V1-Vth131)로 유지되며, 노드 A는 부유 상태로 된다.

[0156] 이어서, 기간 T2에 있어서, 신호 S4가 L 레벨로 되므로, 트랜지스터(131)는 오프 상태로 유지된다. 이어서, 신호 S3이 L 레벨로 되므로, 트랜지스터(132)는 오프 상태로 되고, 트랜지스터(133)는 턴오프된다. 따라서, 배선(125)과 노드 A는 비도통 상태로 유지되고, 배선(122E)과 배선(121)은 비도통 상태로 된다. 이때, 신호 S5는 L 레벨이므로, 트랜지스터(134) 및 트랜지스터(135)는 오프 상태로 있다. 따라서, 배선(122C)과 노드 A는 비도통 상태에 있으며, 배선(122D)과 배선(121)은 비도통 상태에 있다.

[0157] 이어서, 기간 T3에 있어서, 신호 S4는 L 레벨이므로, 트랜지스터(131)는 오프 상태에 있다. 이어서, 신호 S5가 H 레벨로 되므로, 트랜지스터(134) 및 트랜지스터(135)가 턴온된다. 이에 따라, 배선(122C)과 노드 A가 도통 상태로 되고, 배선(122D)과 배선(121)이 도통 상태로 된다. 이에 따라, 전압 V1이 배선(122C)으로부터 노드 A에 공급되므로, 노드 A의 전위는 V1로 감소된다. 마찬가지로, 전압 V1이 배선(122D)으로부터 배선(121)에 공급되므로, 배선(121)의 전위가 V1로 감소된다. 동시에, 신호 S3이 H 레벨로 되므로, 트랜지스터(132) 및 트랜지스터(133)가 턴온된다. 따라서, 배선(125)과 노드 A가 도통 상태로 되고, 배선(122E)과 배선(121)이 도통 상태로 된다. 이에 따라, L 레벨의 신호 S4가 노드 A에 공급되므로, 노드 A의 전위는 V1로 감소된다. 마찬가지로, 전압 V1이 배선(121)에 공급되므로, 배선(121)의 전위는 V1로 감소된다.

[0158] 이어서, 기간 T4에 있어서, 신호 S4는 L 레벨이므로, 트랜지스터(131)는 오프 상태에 있다. 이어서, 신호 S5가 L 레벨로 되므로, 트랜지스터(134) 및 트랜지스터(135)는 턴오프된다. 따라서, 배선(122C)과 노드 A는 비도통 상태로 되고, 배선(122D)과 배선(121)은 비도통 상태로 된다. 이때, 신호 S4가 L 레벨로 되므로, 트랜지스터(132) 및 트랜지스터(133)는 턴오프된다. 따라서, 배선(125)과 노드 A는 비도통 상태로 되고, 배선(122E)과 배선(121)은 비도통 상태로 된다.

[0159] 이어서, 기간 T5에 있어서, 신호 S4는 L 레벨이므로, 트랜지스터(131)는 오프 상태에 있다. 이어서, 신호 S5는 L 레벨이므로, 트랜지스터(134) 및 트랜지스터(135)는 오프 상태에 있다. 따라서, 배선(122C)과 노드 A는 비도통 상태이며, 배선(122D)과 배선(121)은 비도통 상태에 있다. 이때, 신호 S3이 H 레벨로 되므로, 트랜지스터(132) 및 트랜지스터(133)가 턴온된다. 이에 따라, 배선(125)과 노드 A가 도통 상태로 되고, 배선(122E)과 배선(121)이 도통 상태로 된다. 따라서, L 레벨의 신호 S4가 배선(125)으로부터 노드 A에 공급되므로, 노드 A의 전위는 V1로 유지된다. 마찬가지로, 전압 V1이 배선(122E)으로부터 배선(121)에 공급되므로, 배선(121)의 전위는 V1로 유지된다.

[0160] 도 6a의 반도체 장치에서는, 기간 T4 및 기간 T5에 있어서, 노드 A에 L 레벨의 신호 또는 전압 V1이 공급되므로, 노드 A의 노이즈를 저감할 수 있다. 따라서, 오동작을 방지할 수 있다.

[0161] 또는, 도 6a의 반도체 장치에서는, 기간 T1에 있어서, 트랜지스터(131)와 트랜지스터(132) 모두가 턴온되므로, 노드 A의 전위를 빨리 상승시킬 수 있다. 또는, 트랜지스터(131)의 채널 폭 또는 트랜지스터(132)의 채널 폭을 작게 할 수 있다.

[0162] 트랜지스터(131)의 채널 폭은 트랜지스터(134) 또는 트랜지스터(103)의 채널 폭보다 클 수 있다는 점에 주목한다. 마찬가지로, 트랜지스터(132)의 채널 폭은 트랜지스터(134) 또는 트랜지스터(103)의 채널 폭보다 큰 것이 가능하다. 이는, 기간 T2에서는 노드 A의 전위의 상승이 빠른 것이 바람직하고, 기간 T3에서는 노드 A의 전위의 감소가 느린 것이 바람직하기 때문이다. 즉, 기간 T2에 있어서 노드 A의 전위의 상승이 빠르면, 구동 주파수의 향상, 관통 전류의 억제, 소비 전력의 저감 등을 도모할 수 있다. 한편, 기간 T3에 있어서 노드 A의 전위의 감소가 늦으면, 트랜지스터(101)의 온 시간이 길어지므로, 배선(121)으로부터 출력되는 신호(예를 들어, 신호 S1)의 상승 시간을 짧게 할 수 있다. 따라서, 기간 T2에 있어서 노드 A의 전위를 상승시키는 기능을 갖는

트랜지스터의 채널 폭은, 기간 T3에 있어서 노드 A의 전위를 감소시키는 트랜지스터의 채널 폭보다 큰 것이 바람직하다. 그러나, 본 실시 형태는 이에 한정되지 않는다. 트랜지스터(131)의 채널 폭은 트랜지스터(134) 또는 트랜지스터(103)의 채널 폭보다 작은 것이 가능하다. 마찬가지로, 트랜지스터(132)의 채널 폭은 트랜지스터(134) 또는 트랜지스터(103)의 채널 폭보다 작은 것이 가능하다.

[0163] 트랜지스터(131)의 채널 폭과 트랜지스터(134)의 채널 폭의 합은 트랜지스터(134)의 채널 폭 또는 트랜지스터(103)의 채널 폭보다 클 수 있다는 점에 주목한다. 이는, 기간 T2에 있어서, H 레벨의 신호 S4가, 병렬 접속된 트랜지스터(131)와 트랜지스터(132)인 두 개의 트랜지스터를 통해 배선(125)으로부터 노드 A에 공급되기 때문이다. 그러나, 본 실시 형태는 이에 한정되지 않는다. 트랜지스터(131)의 채널 폭과 트랜지스터(134)의 채널 폭의 합은 트랜지스터(134)의 채널 폭 또는 트랜지스터(103)의 채널 폭보다 작을 수 있다.

[0164] 트랜지스터(134)의 채널 폭은 트랜지스터(133)의 채널 폭보다 작은 것이 가능하다는 점에 주목한다. 마찬가지로, 트랜지스터(132)의 채널 폭은 트랜지스터(133)의 채널 폭보다 작은 것이 가능하다. 마찬가지로, 트랜지스터(103)의 채널 폭은 트랜지스터(102)의 채널 폭보다 작은 것이 가능하다. 이는, 배선(121)의 부하(예를 들어, 배선 저항, 기생 용량, 접속되는 트랜지스터 등)가 노드 A의 부하보다 큰 경우가 많기 때문이다. 따라서, 노드 A에 신호 또는 전압을 공급하는 기능을 갖는 트랜지스터의 채널 폭은, 배선(121)에 신호 또는 전압을 공급하는 트랜지스터의 채널 폭보다 작은 것이 바람직하다. 그러나, 본 실시 형태는 이에 한정되지 않는다. 트랜지스터(134)의 채널 폭은 트랜지스터(133)의 채널 폭보다 큰 것이 가능하다. 마찬가지로, 트랜지스터(132)의 채널 폭은 트랜지스터(133)의 채널 폭보다 큰 것이 가능하다. 마찬가지로, 트랜지스터(103)의 채널 폭은 트랜지스터(102)의 채널 폭보다 큰 것이 가능하다.

[0165] 트랜지스터(103)의 채널 폭은 트랜지스터(132)의 채널 폭보다 큰 것이 가능하다는 점에 주목한다. 이는, 트랜지스터(103)는, 기간 T4에 있어서 노드 A의 전위를 V1로 유지하는 기능을 갖는 한편, 트랜지스터(132)는, 기간 T5에 있어서 노드 A의 전위를 V1로 유지하는 기능을 갖기 때문이다. 구체적으로는, 기간 T4에서는, 배선(123B)에 입력되는 신호(예를 들어, 신호 S2)는 H 레벨로 된다. 이때, 노드 A의 전위가 상승하고 트랜지스터(101)가 턴온되면, 배선(121)의 전위가 상승한다. 따라서, 트랜지스터(103)는 노드 A의 전위를 V1로 유지하고 트랜지스터(101)를 오프 상태로 두어야 하므로, 트랜지스터(103)의 채널 폭은 큰 것이 바람직하다. 반면에, 기간 T5에서는, 배선(123B)에 입력되는 신호(예를 들어, 신호 S2)는 L 레벨이므로, 트랜지스터(101)가 턴온되어도 배선(121)의 전위는 상승하지 않는다. 즉, 노드 A의 전위가 V1로부터 상승 또는 감소해도, 배선(121)의 전위는 상승하지 않는다. 따라서, 트랜지스터(132)의 온 저항을 작게 할 필요성이 적으므로, 트랜지스터(132)의 채널 폭은 작은 것이 바람직하다. 그러나, 본 실시 형태는 이에 한정되지 않는다. 트랜지스터(103)의 채널 폭은 트랜지스터(132)의 채널 폭보다 작은 것이 가능하다. 이는, 트랜지스터(132)가 기간 T1에 있어서 노드 A의 전위를 상승시키는 기능을 갖고 있기 때문이다. 트랜지스터(132)의 채널 폭을 증가시킴으로써, 노드 A의 전위를 빨리 상승시킬 수 있다.

[0166] 트랜지스터(102)의 채널 폭은 트랜지스터(133)의 채널 폭보다 작은 것이 가능하다는 점에 주목한다. 이는, 트랜지스터(102)의 채널 폭을 너무 크게 하면, 기간 T2에 있어서 노드 A의 전위가 크게 감소하여, 반도체 장치가 오동작하기 때문이다. 구체적으로, 트랜지스터(102)와 트랜지스터(133) 모두는 배선(121)의 전위를 V1로 유지하는 기능을 갖는다. 그러나, 기간 T2에 있어서, 배선(121)의 전위가 배선(123C)의 전위(V2)에서 트랜지스터(102)의 임계값 전압(Vth102)을 감안함으로써 얻어지는 값(V2 - Vth102)으로 상승할 때까지, 트랜지스터(102)는 온 상태에 있다. 따라서, 기간 T2에 있어서 노드 A의 전위가 크게 감소하는 것을 방지하기 위해, 트랜지스터(102)의 채널 폭은 작은 것이 바람직하다. 반면에, 트랜지스터(133)의 채널 폭은 배선(121)의 전위를 V1로 유지하도록 큰 것이 바람직하다. 그러나, 본 실시 형태는 이에 한정되지 않는다. 트랜지스터(102)의 채널 폭은 트랜지스터(133)의 채널 폭보다 큰 것이 가능하다. 이는, 기간 T4에 있어서 신호 S2가 H 레벨로 될 때 배선(121)의 전위가 상승할 가능성이 높기 때문이다. 따라서, 트랜지스터(102)의 채널 폭을 크게 함으로써, 배선(121)의 전위 상승을 쉽게 억제할 수 있다.

[0167] 실시 형태 1과 마찬가지로, 배선(124A), 배선(124B), 배선(125), 및/또는 배선(126)에 입력되는 신호의 L 레벨의 전위는 V1보다 낮은 것이 가능하다는 점에 주목한다. 특히, 트랜지스터(132) 및 트랜지스터(133)가 온으로 되는 시간이 길므로, 배선(124A) 및 배선(124B)에 입력되는 신호의 L 레벨의 전위는 V1보다 낮은 것이 바람직하다.

[0168] 실시 형태 1과 마찬가지로, 배선(124A), 배선(124B), 배선(125), 및/또는 배선(126)에 입력되는 신호의 H 레벨의 전위는 V2보다 낮은 것이 가능하다는 점에 주목한다. 특히, 트랜지스터(132) 및 트랜지스터(133)는 열화되

기 쉬우므로, 배선(124A) 및 배선(124B)에 입력되는 신호의 H 레벨의 전위는 V2보다 낮은 것이 바람직하다.

- [0169] 실시 형태 1과 마찬가지로, 배선(122C), 배선(122D), 또는 배선(122E)에 신호를 입력할 수 있다는 점에 주목한다. 예를 들어, 배선(122C)에는, 트랜지스터(134)가 온으로 되는 기간(예를 들어, 기간 T3)에 L 레벨로 되는 신호를 입력할 수 있다. 예를 들어, 그 신호로서, 신호 S2 또는 신호 S4가 가능하다. 배선(122D)에는, 트랜지스터(135)가 온으로 되는 기간(예를 들어, 기간 T3)에 L 레벨로 되는 신호를 입력할 수 있다. 예를 들어, 그 신호로서, 신호 S2 또는 신호 S4가 가능하다. 배선(122E)에는, 트랜지스터(133)가 온으로 되는 기간(예를 들어, 기간 T1, 기간 T3, 기간 T5)에 L 레벨로 되는 신호를 입력할 수 있다. 예를 들어, 그 신호로서, 신호 S2 또는 신호 S3이 가능하다.
- [0170] 도 13c는, 예를 들어, 트랜지스터(103)의 제1 단자가 배선(124B)에 접속되고, 트랜지스터(104)의 제1 단자가 배선(126)에 접속되고, 트랜지스터(133)의 제1 단자가 배선(123A)에 접속되고, 트랜지스터(134)의 제1 단자가 배선(123A)에 접속되고, 트랜지스터(135)의 제1 단자가 배선(123A)에 접속되는 구조를 도시한다는 점에 주목한다. 그러나, 본 실시 형태는 이에 한정되지 않는다. 트랜지스터(103)의 제1 단자는 배선(124A) 또는 배선(125)에 접속되는 것이 가능하다. 또는, 트랜지스터(133)의 제1 단자, 트랜지스터(134)의 제1 단자, 또는 트랜지스터(135)의 제1 단자는, 배선(121), 배선(123B), 배선(123C), 또는 배선(126)에 접속되는 것이 가능하다.
- [0171] 실시 형태 1과 마찬가지로, 배선(124A), 배선(124B), 및/또는 배선(126)에는, 전압(예를 들어, 전압 V1 또는 전압 V2)을 공급할 수 있다는 점에 주목한다. 이러한 식으로, 반도체 장치는 인버터 회로 또는 버퍼 회로로서 기능할 수 있다.
- [0172] 도 9a에 도시한 바와 같이, 배선(124A) 및 배선(124B)에는 동일한 신호(예를 들어, 신호 S3)가 입력되므로, 배선(124A)과 배선(124B)을 공유할 수 있다는 점에 주목한다. 이에 따라, 트랜지스터(132)의 게이트 및 트랜지스터(133)의 게이트는 배선(124)에 접속된다. 배선(124)은 배선(124A) 또는 배선(124B)에 대응한다. 이러한 배선들에 입력되는 신호와 마찬가지로의 신호를 배선(124)에 입력할 수 있다.
- [0173] 도 9c는 도 3c와 도 9a를 조합한 구조를 도시한다는 점에 주목한다. 예를 들어, 트랜지스터(101)의 제1 단자, 트랜지스터(102)의 게이트 및 용량 소자(106)의 하나의 전극은 배선(123)에 접속된다. 트랜지스터(132)의 게이트 및 트랜지스터(133)의 게이트는 배선(124)에 접속된다. 트랜지스터(103)의 제1 단자, 트랜지스터(104)의 제1 단자, 트랜지스터(133)의 제1 단자, 트랜지스터(134)의 제1 단자 및 트랜지스터(135)의 제1 단자는 배선(122)에 접속된다.
- [0174] 도 9c에 도시한 바와 같이, 트랜지스터(131)의 게이트가 배선(127)에 접속되는 것이 가능하다는 점에 주목한다. 예를 들어, 배선(127)에는 전압 V2가 공급되는 것으로 하고, 배선(127)은 전원선으로서 기능할 수 있다. 그러나, 본 실시 형태는 이에 한정되지 않는다. 배선(127)에는, 전류, 전압, 신호 등의 다양한 것을 입력할 수 있다. 예를 들어, 배선(127)에 입력되는 신호는 기간 T1에 있어서 H 레벨로 되고 기간 T2에 있어서 L 레벨로 되는 것이 바람직하므로, 배선(127)에 신호 S3을 입력할 수 있다. 이 경우, 배선(127)은, 배선(124A) 또는 배선(124B)에 접속되는 것이 가능하고, 신호선으로서 기능할 수 있다.
- [0175] 도 9c에서는, 트랜지스터(131)의 게이트가 배선(127)에 접속되지만, 본 실시 형태는 이에 한정되지 않는다는 점에 주목한다. 예를 들어, 트랜지스터(131)의 제1 단자가 배선(127)에 접속되고 트랜지스터(131)의 게이트가 배선(125)에 접속되는 것이 가능하다.
- [0176] 도 9c와 마찬가지로, 도 9a와 도 9b에서 트랜지스터(131)의 게이트가 배선(127)에 접속되는 것이 가능하다는 점에 주목한다.
- [0177] 도 10a에 도시한 바와 같이, 트랜지스터(131)를 생략할 수 있다는 점에 주목한다. 트랜지스터(131)를 생략해도, 기간 T1에 있어서 트랜지스터(132)가 온 상태에 있으므로, 노드 A의 전위는 상승한다.
- [0178] 도 10a와 마찬가지로, 도 9a 내지 도 9c에서 트랜지스터(131)를 생략할 수 있다는 점에 주목한다.
- [0179] 도 10b에 도시한 바와 같이, 트랜지스터(132)를 생략할 수 있다는 점에 주목한다. 트랜지스터(132)가 생략되어도, 기간 T5에 있어서 노드 A는 부유 상태로 되므로, 노드 A의 전위는 V1로 유지된다.
- [0180] 도 10b와 마찬가지로, 도 9a 내지 도 9c 및 도 10a에서 트랜지스터(132)를 생략할 수 있다는 점에 주목한다.
- [0181] 도 10c에 도시한 바와 같이, 트랜지스터(134) 및 트랜지스터(135)를 생략할 수 있다는 점에 주목한다. 또는, 트랜지스터(134)와 트랜지스터(135) 중 하나를 생략할 수 있다. 트랜지스터(134)가 생략되어도, 기간 T3에서

트랜지스터(132)가 턴온되므로, 노드 A의 전위는 V1로 감소한다. 마찬가지로, 트랜지스터(135)가 생략되어도, 기간 T3에서 트랜지스터(133)가 턴온되므로, 배선(121)의 전위는 V1로 감소한다.

- [0182] 도 10c와 마찬가지로, 도 9a 내지 도 9c 및 도 10a와 도 10b에서 트랜지스터(134) 및 트랜지스터(135)를 생략할 수 있다는 점에 주목한다.
- [0183] 도 11a에 도시한 바와 같이, 트랜지스터(133)를 생략할 수 있다는 점에 주목한다. 트랜지스터(133)가 생략되어도, 기간 T5에 있어서 배선(121)은 부유 상태로 되므로, 배선(121)의 전위는 V1로 유지된다.
- [0184] 도 11a와 마찬가지로, 도 9a 내지 도 9c 및 도 10a 내지 10c에서 트랜지스터(133)를 생략할 수 있다는 점에 주목한다.
- [0185] 도 11b에 도시한 바와 같이, 트랜지스터(102)를 생략할 수 있다는 점에 주목한다. 트랜지스터(102)가 생략되어도, 기간 T4에 있어서, 배선(121)은 부유 상태로 되므로, 배선(121)의 전위는 V1로 유지된다.
- [0186] 도 11b와 마찬가지로, 도 9a 내지 도 9c, 도 10a 내지 도 10c 및 도 11a에서, 트랜지스터(102)를 생략할 수 있다는 점에 주목한다.
- [0187] 도 11c에 도시한 바와 같이, 트랜지스터(103), 트랜지스터(104) 및 용량 소자(106)를 생략할 수 있다는 점에 주목한다. 트랜지스터(103), 트랜지스터(104) 및 용량 소자(106)가 생략되어도, 기간 T4에 있어서, 배선(121)은 부유 상태로 되므로, 배선(121)의 전위는 V1로 유지된다.
- [0188] 도 11c와 마찬가지로, 도 9a 내지 도 9c, 도 10a 내지 도 10c 및 도 11a와 도 11b에서, 트랜지스터(103), 트랜지스터(104) 및 용량 소자(106)를 생략할 수 있다는 점에 주목한다.
- [0189] 도 12a에 도시한 바와 같이, 트랜지스터(133)를 다이오드(133a)로 대체할 수 있다는 점에 주목한다. 다이오드(133a)는 트랜지스터(133)에 대응한다. 다이오드(133a)는, 배선(124B)에 L 레벨의 신호가 입력될 때 배선(121)의 전위를 감소시키는 기능 및 배선(124B)에 H 레벨의 신호가 입력될 때 배선(124B)과 배선(121)을 비도통 상태로 하는 기능을 갖는다. 다이오드(133a)의 한쪽의 단자(이하, 입력 단자 또는 애노드라고도 칭함)은 배선(121)에 접속된다. 다이오드(133a)의 다른 쪽의 단자(이하, 출력 단자 또는 캐소드라고도 칭함)은 배선(124B)에 접속된다.
- [0190] 도 12a에 있어서, 트랜지스터(133)를 다이오드(133a)로 대체할 경우, 배선(124B)에는 신호 S2를 입력할 수 있다는 점에 주목한다. 따라서, 배선(124B)을 배선(123A 내지 123C)에 접속하고, 배선(124B)과 배선(123A 내지 123C)을 공유할 수 있다.
- [0191] 도 12a와 마찬가지로, 도 9a 내지 도 9c, 도 10a 내지 도 10c 및 도 11a 내지 도 11c에서, 트랜지스터(133)를 다이오드(133a)로 대체하고, 다이오드(133a)의 한쪽의 단자가 배선(121)에 접속되고, 다이오드(133a)의 다른 쪽의 단자가 배선(124B)에 접속되는 것이 가능하다는 점에 주목한다.
- [0192] 도 12b에 도시한 바와 같이, 트랜지스터(133)가 다이오드 접속형일 수 있다는 점에 주목한다. 다이오드 접속된 트랜지스터(133)는 다이오드(133a)에 대응한다. 트랜지스터(133)의 제1 단자는 배선(124B)에 접속된다. 트랜지스터(133)의 제2 단자는 배선(121)에 접속된다. 트랜지스터(133)의 게이트는 배선(121)에 접속된다. 그러나, 본 실시 형태는 이에 한정되지 않는다. 트랜지스터(133)의 게이트는 배선(124B)에 접속되는 것이 가능하다.
- [0193] 또한, 도 12b와 마찬가지로, 도 9a 내지 도 9c, 도 10a 내지 도 10c, 도 11a 내지 도 11c 및 도 12a에서, 트랜지스터(133)의 제1 단자가 배선(124B)에 접속되고, 트랜지스터(133)의 제2 단자가 배선(121)에 접속되고, 트랜지스터(133)의 게이트가 배선(121)에 접속되는 것이 가능하다는 점에 주목한다. 그러나, 본 실시 형태는 이에 한정되지 않는다. 트랜지스터(133)의 게이트는 배선(124B)에 접속되는 것이 가능하다.
- [0194] 도 12c에 도시한 바와 같이, 트랜지스터(134)를 다이오드(134a)로 대체하고, 트랜지스터(135)를 다이오드(135a)로 대체할 수 있다는 점에 주목한다. 다이오드(134a와 135a)는 트랜지스터(134와 135)에 각각 대응한다. 다이오드(134a)는, 배선(126)에 L 레벨의 신호가 입력될 때 노드 A의 전위를 감소시키는 기능 및 배선(126)에 H 레벨의 신호가 입력될 때 배선(126)과 노드 A를 비도통 상태로 하는 기능을 갖는다. 다이오드(135a)는, 배선(126)에 L 레벨의 신호가 입력될 때 배선(121)의 전위를 감소시키는 기능 및 배선(126)에 H 레벨의 신호가 입력될 때 배선(126)과 배선(121)을 비도통 상태로 하는 기능을 갖는다. 다이오드(134a)의 한쪽의 단자(이하, 입력 단자 또는 애노드라고도 칭함)는 노드 A에 접속된다. 다이오드(134a)의 다른 쪽의 단자(이하, 출력 단자 또는

캐소드라고도 칭함)는 배선(126)에 접속된다. 다이오드(135a)의 한쪽의 단자(이하, 입력 단자 또는 애노드라고도 칭함)는 배선(121)에 접속된다. 다이오드(135a)의 다른 쪽의 단자(이하, 출력 단자 또는 캐소드라고도 칭함)는 배선(126)에 접속된다.

- [0195] 도 12c에 있어서, 트랜지스터(134) 및 트랜지스터(135)를 다이오드로 대체할 경우, 배선(126)에는, 예를 들어, 신호 S5의 반전 신호가 입력되는 것이 가능하다는 점에 주목한다.
- [0196] 도 12c에 있어서, 트랜지스터(134)와 트랜지스터(135) 중 하나만을 다이오드로 대체할 수 있다는 점에 주목한다.
- [0197] 도 12c와 마찬가지로, 도 9a 내지 도 9c, 도 10a 내지 도 10c, 도 11a 내지 도 11c 및 도 12a와 도 12b에서, 트랜지스터(134)를 다이오드(134a)로 대체하고, 다이오드(134a)의 한쪽의 단자가 노드 A에 접속되고, 다이오드(134a)의 다른 쪽의 단자가 배선(126)에 접속되는 것이 가능하다는 점에 주목한다. 또는, 트랜지스터(135)를 다이오드(135a)로 대체하고, 다이오드(135a)의 한쪽의 단자가 배선(121)에 접속되고, 다이오드(135a)의 다른 쪽의 단자가 배선(126)에 접속되는 것이 가능하다.
- [0198] 도 13a에 도시한 바와 같이, 트랜지스터(134) 및 트랜지스터(135)를 다이오드 접속할 수 있다는 점에 주목한다. 다이오드 접속된 트랜지스터(134) 및 다이오드 접속된 트랜지스터(135)는 다이오드(134a) 및 다이오드(135a)에 각각 대응한다. 트랜지스터(134)의 제1 단자는 배선(126)에 접속된다. 트랜지스터(134)의 제2 단자는 노드 A에 접속된다. 트랜지스터(134)의 게이트는 노드 A에 접속된다. 트랜지스터(135)의 제1 단자는 배선(126)에 접속된다. 트랜지스터(135)의 제2 단자는 배선(121)에 접속된다. 트랜지스터(135)의 게이트는 배선(121)에 접속된다. 그러나, 본 실시 형태는 이에 한정되지 않는다. 트랜지스터(134)의 게이트는 배선(126)에 접속되는 것이 가능하다. 트랜지스터(135)의 게이트는 배선(126)에 접속되는 것이 가능하다.
- [0199] 도 13a와 마찬가지로, 도 9a 내지 도 9c, 도 10a 내지 도 10c, 도 11a 내지 도 11c 및 도 12a 내지 도 12c에서, 트랜지스터(134)의 제1 단자가 배선(126)에 접속되고, 트랜지스터(134)의 제2 단자가 노드 A에 접속되고, 트랜지스터(134)의 게이트가 노드 A에 접속되는 것이 가능하다는 점에 주목한다. 또는, 트랜지스터(135)의 제1 단자가 배선(126)에 접속되고, 트랜지스터(135)의 제2 단자가 배선(121)에 접속되고, 트랜지스터(135)의 게이트가 배선(121)에 접속되는 것이 가능하다. 그러나, 본 실시 형태는 이에 한정되지 않는다. 트랜지스터(134)의 게이트는 배선(126)에 접속되는 것이 가능하다. 트랜지스터(135)의 게이트는 배선(126)에 접속되는 것이 가능하다.
- [0200] 도 13b에 도시한 바와 같이, 트랜지스터(137) 및 트랜지스터(138)를 추가할 수 있다는 점에 주목한다. 트랜지스터(137) 및 트랜지스터(138)는 n채널형 트랜지스터이다. 그러나, 본 실시 형태는 이에 한정되지 않는다. 트랜지스터(137) 및 트랜지스터(138)는 p채널형 트랜지스터일 수 있다. 트랜지스터(137)의 제1 단자는 배선(122F)에 접속된다. 트랜지스터(137)의 제2 단자는 배선(121)에 접속된다. 트랜지스터(137)의 게이트는 배선(128)에 접속된다. 트랜지스터(138)의 제1 단자는 배선(122G)에 접속된다. 트랜지스터(138)의 제2 단자는 노드 A에 접속된다. 트랜지스터(138)의 게이트는 배선(128)에 접속된다. 배선(128)에는, 일례로서, 신호 S6이 입력된다. 따라서, 배선(128)은 신호선으로서 기능할 수 있다. 신호 S6은, H 레벨과 L 레벨을 갖는 디지털 신호일 경우가 많다. 예를 들어, 신호 S6은 모든 단을 리셋하는 신호로서 기능할 수 있다. 예를 들어, 배선(122F) 및 배선(122G)에는 전압 V1이 공급된다. 따라서, 배선(122F) 및 배선(122G)은 전원선으로서 기능할 수 있다. 이에 따라, 배선(122A 내지 122G)을 공유할 수 있다. 이 경우, 트랜지스터(137)의 제1 단자 및 트랜지스터(138)의 제1 단자는, 도 11b에 도시한 바와 같이, 배선(122)에 접속될 수 있다. 그러나, 배선(128), 배선(122F) 및 배선(122G)에는, 전류, 전압, 신호 등 다양한 것을 입력할 수 있다.
- [0201] 도 13b에 있어서, 신호 S6은, 반도체 장치가 동작을 개시하는 전의 기간에 있어서 H 레벨로 될 수 있다는 점에 주목한다. 또는, 도 13b에 도시한 반도체 장치가 시프트 레지스터로서 사용되는 경우, 신호 S6은, 시프트 레지스터가 주사를 개시하는 전의 기간, 또는 시프트 레지스터가 주사를 종료한 후의 기간에 있어서, H 레벨로 되는 것이 가능하다. 따라서, 신호 S6으로서, 시프트 레지스터의 스타트 펄스, 시프트 레지스터의 최하위 단의 출력 신호 등을 사용할 수 있다. 그러나, 본 실시 형태의 일례는 이에 한정되지 않는다.
- [0202] 도 13b에 있어서, 트랜지스터(137)와 트랜지스터(138) 중 하나만을 추가할 수 있다는 점에 주목한다.
- [0203] 도 13b와 마찬가지로, 도 9a 내지 도 9c, 도 10a 내지 도 10c, 도 11a 내지 도 11c, 도 12a 내지 도 12c 및 도 13a에서, 트랜지스터(137)를 추가하고, 트랜지스터(137)의 제1 단자가 배선(122F)에 접속되고, 트랜지스터(137)의 제2 단자가 배선(121)에 접속되고, 트랜지스터(137)의 게이트가 배선(128)에 접속되는 것이 가능하다는 점

에 주목한다. 또는, 트랜지스터(138)를 추가하고, 트랜지스터(138)의 제1 단자가 배선(122G)에 접속되고, 트랜지스터(138)의 제2 단자가 노드 A에 접속되고, 트랜지스터(138)의 게이트가 배선(128)에 접속되는 것이 가능하다.

[0204] [실시 형태 3]

[0205] 본 실시 형태에서는, 시프트 레지스터의 일례를 설명한다. 본 실시 형태의 시프트 레지스터는 실시 형태 1 및 실시 형태 2의 반도체 장치를 갖는 것이 가능하다. 시프트 레지스터를 반도체 장치 또는 게이트 드라이버라 칭할 수도 있다는 점에 주목한다. 실시 형태 1 및 실시 형태 2에서 설명한 내용은 본 실시 형태의 시프트 레지스터에 적용할 수 있다는 점에 주목한다.

[0206] 우선, 시프트 레지스터의 일례를 도 14a를 참조하여 설명한다. 시프트 레지스터(220)는, 배선(201\_1 내지 201\_N)(N은 자연수), 배선(202), 배선(203), 배선(204), 배선(205) 및 배선(206)에 접속된다.

[0207] 배선(202)은, 실시 형태 1 및 실시 형태 2에서 설명한 배선(123)(배선(123A 내지 123C) 또는 배선(124)(배선(124A와 124B))에 대응하고, 신호선 또는 클록 신호선으로서 기능할 수 있다. 또한, 배선(202)에는 회로(221)로부터 신호 GS2가 입력된다. 신호 GS2는, 실시 형태 1 및 실시 형태 2에서 설명한 신호 S2 또는 신호 S3에 대응하고, 클록 신호로서 기능할 수 있다.

[0208] 배선(203)은, 실시 형태 1 및 실시 형태 2에서 설명한 배선(123)(배선(123A 내지 123C) 또는 배선(124)(배선(124A와 124B))에 대응하고, 신호선 또는 클록 신호선으로서 기능할 수 있다. 또한, 배선(203)에는, 회로(221)로부터 신호 GS3이 입력된다. 신호 GS3은, 실시 형태 1 및 실시 형태 2에서 설명한 신호 S2 또는 신호 S3에 대응하고, 반전 클록 신호로서 기능할 수 있다.

[0209] 배선(204)은, 실시 형태 1 및 실시 형태 2에서 설명한 배선(122)(배선(122A 내지 122G))에 대응하고, 전원선으로서 기능할 수 있다. 또한, 배선(204)에는, 회로(221)로부터 전압 V1이 공급된다.

[0210] 배선(205)은, 실시 형태 1 및 실시 형태 2에서 설명한 배선(125)에 대응하고, 신호선으로서 기능할 수 있다. 또한, 배선(205)에는, 회로(221)로부터 신호 GS4가 입력된다. 신호 GS4는, 실시 형태 1 및 실시 형태 2에서 설명한 신호 S4에 대응하고, 스타트 신호(이하, 스타트 펄스라 칭함) 또는 수직 동기 신호로서 기능할 수 있다.

[0211] 배선(206)은, 실시 형태 1 및 실시 형태 2에서 설명한 배선(126)에 대응하고, 신호선으로서 기능할 수 있다. 또한, 배선(206)에는, 회로(221)로부터 신호 GS5가 입력된다. 신호 GS5는, 실시 형태 1 및 실시 형태 2에서 설명한 신호 S5에 대응하고, 리셋 신호로서 기능할 수 있다.

[0212] 그러나, 본 실시 형태는 위 설명으로 한정되지 않는다. 배선(202 내지 206)에는, 신호, 전압, 또는 전류 등의 다양한 것을 입력할 수 있다. 각 배선을 부유 상태로 할 수 있다.

[0213] 도 6c에 도시한 바와 같이, 신호 S2 또는 신호 S3으로서, 불균형(unbalanced) 클록 신호를 사용할 수 있다는 점에 주목한다. 이 경우, 일례로서, 신호 S3은 신호 S2의 위상에 대하여 180° 어긋난 위상을 가질 수 있다. 이에 따라, 본 실시 형태의 반도체 장치가 시프트 레지스터로서 사용되는 경우에, 하나의 단에서의 선택 신호가 그 이전 단이나 다음 단에서의 선택 신호와 겹치는 것을 방지할 수 있다.

[0214] 배선(201\_1 내지 201\_N)은, 실시 형태 1 및 실시 형태 2에서 설명한 배선(121)에 대응하고, 각각은 게이트선 또는 주사선으로서 기능할 수 있다. 또한, 배선(201\_1 내지 201\_N)으로부터 신호 GS1\_1 내지 GS1\_N이 각각 출력된다. 신호 GS1\_1 내지 GS1\_N은, 실시 형태 1 및 실시 형태 2에서 설명한 신호 S1에 대응하고, 출력 신호, 선택 신호, 주사 신호, 또는 게이트 신호로서 기능할 수 있다.

[0215] 도 14b에 도시한 바와 같이, 신호 GS1\_1 내지 GS1\_N은 신호 GS1\_1로부터 순차적으로 H 레벨로 된다는 점에 주목한다. 예를 들어, 신호 GS1\_i-1(i는 1 내지 N 중 임의의 하나)이 H 레벨로 된다. 그 후, 신호 GS2 및 신호 GS3이 반전되면, 신호 GS1\_i-1은 L 레벨로 되고, 신호 GS1\_i는 H 레벨로 된다. 그 후, 다시 신호 GS2 및 신호 GS3이 다시 반전되면, 신호 GS1\_i는 L 레벨로 되고, 신호 GS1\_i+1은 H 레벨로 된다. 이러한 식으로, 신호 GS1\_1 내지 GS1\_N이 순차적으로 H 레벨로 된다. 다시 말하면, 배선(201\_1 내지 201\_N)은 순차적으로 선택된다.

[0216] 회로(221)는, 시프트 레지스터(220)에 신호, 전압 등을 공급하여 시프트 레지스터(220)를 제어하는 기능을 갖고, 제어 회로 또는 컨트롤러 등으로서 기능할 수 있다. 본 실시 형태에서, 회로(221)는, 배선(202), 배선(203), 배선(204), 배선(205) 및 배선(206)에, 신호 GS2, 신호 GS3, 전압 V1, 신호 GS4, 신호 GS5를 각각 공급한다. 그러나, 본 실시 형태는 이에 한정되지 않는다. 시프트 레지스터(220)는 이러한 배선들 외에도 다양한

회로에 신호, 전류, 전압 등을 공급하여 이러한 회로들을 제어할 수 있다. 예를 들어, 회로(221)는, 신호선 구동 회로, 주사선 구동 회로, 화소 및/또는 기타에 신호, 전압 등을 공급하여 이러한 회로들을 제어할 수 있다.

[0217] 회로(221)는, 일레로서, 회로(222) 및 회로(223)를 포함한다. 회로(222)는, 플러스 전원 전압, 마이너스 전원 전압, 접지 전압, 기준 전압 등의 전원 전압을 생성하는 기능을 갖고, 전원 회로 또는 레귤레이터로서 기능할 수 있다. 회로(223)는, 클록 신호, 반전 클록 신호, 스타트 신호, 리셋 신호, 및/또는 비디오 신호 등의 다양한 신호를 생성하는 기능을 갖고, 타이밍 제너레이터로서 기능할 수 있다. 그러나, 본 실시 형태는 이에 한정되지 않는다. 회로(221)는, 회로(222) 및 회로(223) 외에도, 다양한 회로 또는 다양한 소자를 포함할 수 있다. 예를 들어, 회로(221)는, 오실레이터, 레벨 시프트 회로, 인버터 회로, 버퍼 회로, DA 변환 회로, AD 변환 회로, 연산 증폭기, 시프트 레지스터, 룩업 테이블, 코일, 트랜지스터, 용량 소자, 저항 소자, 분주기 및/또는 기타를 포함할 수 있다.

[0218] 이어서, 시프트 레지스터(220)의 일례를 도 15를 참조하여 설명한다. 도 15의 시프트 레지스터는 플립플롭(200\_1 내지 200\_N)(N은 자연수)이라고 하는 복수의 플립플롭을 갖는다. 플립플롭(200\_1 내지 200\_N)은 각각 실시 형태 1 및 실시 형태 2에서 설명한 반도체 장치에 대응한다. 도 15에서는, 일레로서, 도 9b의 반도체 장치를 플립플롭으로서 사용하는 구조를 도시한다.

[0219] 시프트 레지스터의 접속 관계를 설명한다. 우선, 일레로서, 플립플롭(200\_i)의 접속 관계를 설명한다. 플립플롭(200\_i)에 있어서, 배선(121), 배선(122), 배선(123), 배선(124), 배선(126) 및 배선(127)은, 배선(201\_i), 배선(204), 배선(202), 배선(203), 배선(201\_i-1), 배선(201\_i+1)에 각각 접속된다. 그러나, 배선(123) 및 배선(124)에 접속되는 배선들이 홀수 단의 플립플롭과 짝수 단의 플립플롭에서 전환되는 경우가 많다. 예를 들어, 홀수 단의 플립플롭에서 배선(123)이 배선(202)에 접속되고 배선(124)이 배선(203)에 접속되면, 짝수 단의 플립플롭에서는, 배선(123)이 배선(203)에 접속되고 배선(124)이 배선(202)에 접속된다. 반면에, 홀수 단의 플립플롭에서 배선(123)이 배선(203)에 접속되고 배선(124)이 배선(202)에 접속되면, 짝수 단의 플립플롭에서는, 배선(123)이 배선(202)에 접속되고 배선(124)이 배선(203)에 접속된다.

[0220] 플립플롭(200\_1)에서, 배선(125)은 배선(205)에 접속된다는 점에 주목한다.

[0221] 플립플롭(200\_N)에서, 배선(126)은 배선(206)에 접속된다는 점에 주목한다.

[0222] 이어서, 도 15에 도시한 시프트 레지스터의 동작의 일례를 도 14b에 도시한 타이밍 차트를 참조하여 설명한다. 실시 형태 1 및 실시 형태 2에서 설명한 반도체 장치의 동작과 동일한 동작의 설명은 생략한다는 점에 주목한다.

[0223] 플립플롭(200\_i)의 동작을 설명한다. 우선, 신호 GS1\_i-1이 H 레벨로 된다. 이어서, 플립플롭(200\_i)이 기간 T1에서의 동작을 개시하고, 신호 GS1\_i는 L 레벨로 된다. 그 후, 신호 GS2 및 신호 GS3이 반전된다. 이어서, 플립플롭(200\_i)은 기간 T2에서의 동작을 개시하고, 신호 GS1\_i가 H 레벨로 된다. 신호 GS1\_i는 플립플롭(200\_i-1)에 리셋 신호로서 입력되고, 플립플롭(200\_i+1)에 스타트 신호로서 입력된다. 따라서, 플립플롭(200\_i-1)은 기간 T3에서의 동작을 개시하고, 플립플롭(200\_i+1)은 기간 T1에서의 동작을 개시한다. 그 후, 신호 GS2 및 신호 GS3이 다시 반전된다. 이어서, 플립플롭(200\_i+1)은 기간 T2에서의 동작을 개시하고, 신호 GS1\_i+1이 H 레벨로 된다. 신호 GS1\_i+1은 플립플롭(200\_i)에 리셋 신호로서 입력된다. 따라서, 플립플롭(200\_i)은 기간 T3에서의 동작을 개시하므로, 신호 GS1\_i는 L 레벨로 된다. 그 후, 신호 GS1\_i-1이 다시 H 레벨로 될 때까지, 플립플롭(200\_i)은, 신호 GS2 및 신호 GS3이 반전될 때마다, 기간 T4에서의 동작과 기간 T5에서의 동작을 반복한다.

[0224] 플립플롭(200\_1)에는, 이전 단의 플립플롭의 출력 신호 대신에 신호 GS4가 외부 회로로부터 배선(205)을 통해 입력된다는 점에 주목한다. 따라서, 신호 GS4가 H 레벨로 되면, 플립플롭(200\_1)은 기간 T1에서의 동작을 개시한다.

[0225] 플립플롭(200\_N)에는, 다음 단의 플립플롭의 출력 신호 대신에 신호 GS5가 외부 회로로부터 배선(206)을 통해 입력된다는 점에 주목한다. 따라서, 신호 GS5가 H 레벨로 되면, 플립플롭(200\_N)은 기간 T3에서의 동작을 개시한다.

[0226] 본 실시 형태의 시프트 레지스터로서, 실시 형태 1 및 실시 형태 2에서 설명한 반도체 장치를 사용함으로써, 실시 형태 1 및 실시 형태 2에서 설명한 반도체 장치와 동일한 이점을 얻을 수 있다.

[0227] 배선(206)을 생략할 수 있다는 점에 주목한다. 이 경우, 일레로서, 플립플롭(200\_N)을 위해, 도 10c에 도시한

트랜지스터(134) 및 트랜지스터(135)를 생략하는 구조를 사용할 수 있다.

- [0228] 플립플롭(200\_1 내지 200\_N)에서, 전압 V1 대신에 신호를 사용하는 경우, 배선(204)을 생략할 수 있다는 점에 주목한다.
- [0229] 배선(206)에는, 배선(205)과 마찬가지로 신호 GS4가 입력되는 것이 가능하다는 점에 주목한다. 이 경우, 배선(206)을 배선(205)에 접속함으로써, 배선(205)과 배선(206)을 공유할 수 있다. 또는, 배선(206)에는, 배선(202)과 마찬가지로 신호 GS2가 입력되는 것이 가능하다. 이 경우, 배선(206)을 배선(202)에 접속함으로써, 배선(206)과 배선(202)을 공유할 수 있다. 또는, 배선(206)에는, 배선(203)과 마찬가지로 신호 GS3이 입력되는 것이 가능하다. 이 경우, 배선(206)을 배선(203)에 접속함으로써, 배선(206)과 배선(203)을 공유할 수 있다. 또는, 배선(206)에는, 배선(204)과 마찬가지로 전압 V1이 입력되는 것이 가능하다. 이 경우, 배선(206)을 배선(204)에 접속함으로써, 배선(206)과 배선(204)을 공유할 수 있다.
- [0230] 플립플롭(200\_1 내지 200\_N)으로서, 도 13b와 같이 신호 GS6을 필요로 하는 구조를 사용하는 경우, 도 16에 도시한 바와 같이 배선(207)을 추가할 수 있다는 점에 주목한다. 배선(207)에는 신호 GS6이 입력된다. 신호 GS6은, 실시 형태 2에서 설명한 신호 S6에 대응하고, 모든 단에서의 리셋 신호로서 기능할 수 있다. 또한, 배선(207)은 도 13b의 배선(128)에 대응하고, 신호선으로서 기능할 수 있다.
- [0231] 그러나, 본 실시 형태는 이에 한정되지 않는다. 배선(207) 및 다른 배선을 공유하게 함으로써, 배선의 수, 또는 신호 혹은 전원 전압의 수를 저감할 수 있다. 예를 들어, 배선(207)에는, 배선(205)과 마찬가지로 신호 GS4를 입력할 수 있다. 따라서, 배선(207)을 배선(205)에 접속함으로써, 배선(207)과 배선(205)을 공유할 수 있다. 또는, 배선(207)에는, 배선(206)과 마찬가지로 신호 GS5를 입력할 수 있다. 따라서, 배선(207)을 배선(206)에 접속함으로써, 배선(207)과 배선(206)을 공유할 수 있다. 또는, 배선(207)에는, 플립플롭(200\_N)의 출력 신호인 신호 S1\_N을 입력할 수 있다. 따라서, 배선(207)을 배선(201\_N)에 접속함으로써, 배선(207)과 배선(201\_N)을 공유할 수 있다.
- [0232] 플립플롭(200\_1 내지 200\_N)으로서, 도 9c와 같이 전압 V2를 필요로 하는 구조를 사용하는 경우, 배선을 추가할 수 있다는 점에 주목한다. 추가 설치되는 배선에는 전압 V2가 공급된다. 또한, 그 배선은 도 9c의 배선(127)에 대응하고, 전원선으로서 기능할 수 있다.
- [0233] 실시 형태 1 및 실시 형태 2에서 설명한 바와 같이, 트랜지스터의 특성 열화를 억제하기 위해, L 레벨의 전위가 V1보다 낮은 신호, H 레벨의 전위가 V2보다 낮은 신호, 또는 진폭 전압이 (V2-V1)보다 작은 신호 등을 플립플롭에 입력하는 경우, 배선을 추가할 수 있다는 점에 주목한다. 그 배선에는 신호가 입력된다. 그 배선은 신호선으로서 기능할 수 있다.
- [0234] 또한, 도 17a에 도시한 바와 같이, 시프트 레지스터는, 회로(212), 회로(213), 회로(214), 회로(215) 및/또는 회로(216)를 포함할 수 있다는 점에 주목한다. 회로(212 내지 216)의 각각은, 입력 신호의 진폭 전압 또는 입력 전압을 증가(또는 감소)시키는 기능을 갖고, 레벨 시프트 회로로서 기능할 수 있다. 또는, 회로(212 내지 216)는, 입력 신호를 반전해서 반전된 입력 신호를 출력하는 기능을 갖고, 인버터 회로 또는 버퍼 회로로서 기능할 수 있다. 배선(202)은 회로(212)를 통해 플립플롭에 접속된다. 배선(203)은 회로(213)를 통해 플립플롭에 접속된다. 배선(204)은 회로(214)를 통해 플립플롭에 접속된다. 배선(205)은 회로(215)를 통해 플립플롭에 접속된다. 배선(206)은 회로(216)를 통해 플립플롭에 접속된다. 이러한 방식으로, 진폭이 작은 신호를 시프트 레지스터에 입력할 수 있으므로, 외부 회로의 구동 전압을 저감할 수 있다. 따라서, 외부 회로의 비용 절감, 소비 전력의 저감 등을 도모할 수 있다.
- [0235] 도 17a에서 도시한 바와 같이, 시프트 레지스터는 회로(212 내지 216) 중 임의의 한 개, 두 개, 또는 그 이상을 포함할 수 있다는 점에 주목한다.
- [0236] 도 17b에 도시한 바와 같이, 시프트 레지스터는 회로(211\_1 내지 211\_N)를 포함할 수 있다는 점에 주목한다. 회로(211\_1 내지 211\_N)의 각각은, 입력 신호의 전류 능력을 증가시키는 기능, 입력 신호의 진폭 전압을 증가시키는 기능, 또는 입력 신호를 반전시키는 기능을 갖고, 버퍼 회로, 레벨 시프트 회로 또는 인버터 회로로서 기능할 수 있다. 회로(211\_1 내지 211\_N)는 각 플립플롭(200\_1 내지 200\_N)과 각 배선(201\_1 내지 201\_N) 사이에 접속된다. 예를 들어, 회로(211\_i)는 플립플롭(200\_i)과 배선(201\_i) 사이에 접속된다. 이어서, 플립플롭(200\_i)의 출력 신호인 신호 GS1\_i는 회로(211\_i)를 통해 배선(201\_i)으로부터 출력된다. 이러한 방식으로, 각 플립플롭의 구동 전압을 작게 할 수 있으므로, 소비 전력의 저감, 트랜지스터의 특성 열화의 억제 등을 도모할 수 있다. 또는, 각 플립플롭에 포함된 트랜지스터(특히, 트랜지스터(101))의 채널 폭을 작게 할 수 있으므로,

레이아웃 면적의 축소를 도모할 수 있다.

- [0237] 도 17b에 도시한 일례에서, 플립플롭(200<sub>i-1</sub>)에는, 리셋 신호로서, 신호 GS<sub>1-i</sub>가 회로(211<sub>i</sub>)를 통해 입력된다. 따라서, 플립플롭(200<sub>i-1</sub>)에서는, 기간 T3에 있어서, 트랜지스터(101)가 온으로 되는 기간이 길어지므로, 플립플롭(200<sub>i-1</sub>)의 출력 신호인 신호 GS<sub>1-i</sub>의 하강시간을 짧게 할 수 있다. 한편, 플립플롭(200<sub>i+1</sub>)에는, 스타트 신호로서, 신호 GS<sub>1-i</sub>가 회로(211<sub>i</sub>)를 통하지 않고 입력된다. 따라서, 플립플롭(200<sub>i+1</sub>)에서는, 기간 T1에 있어서, 노드 A의 전위를 빨리 상승시킬 수 있으므로, 구동 주파수의 증가를 도모할 수 있다. 그러나, 본 실시 형태는 이에 한정되지 않는다. 플립플롭(200<sub>i-1</sub>)에는, 리셋 신호로서, 신호 GS<sub>1-i</sub>가 회로(211<sub>i</sub>)를 통하지 않고 입력되는 것이 가능하다. 또는, 플립플롭(200<sub>i+1</sub>)에는, 스타트 신호로서, 신호 GS<sub>1-i</sub>가 회로(211<sub>i</sub>)를 통해 입력되는 것이 가능하다.
- [0238] 도 14a에 도시한 시프트 레지스터에서는, 신호 GS<sub>1-1</sub> 내지 GS<sub>1-N</sub>의 주기가 신호 S2의 주기와 1/2 주기만큼 또는 신호 S3의 주기와 1/2 주기만큼 다르다는 점에 주목한다. 그러나, 본 실시 형태는 이에 한정되지 않는다. 신호 GS<sub>1-1</sub> 내지 GS<sub>1-N</sub>의 주기는 신호 S2의 주기의 1/2×M(M은 자연수) 주기만큼 또는 신호 S3의 1/2×M 주기만큼 다를 수 있다. 즉, 한 행의 신호 GS<sub>1-1</sub> 내지 GS<sub>1-N</sub> 중 신호가 H 레벨로 되는 기간과 다른 한 행의 신호 GS<sub>1-1</sub> 내지 GS<sub>1-N</sub> 중 신호가 H 레벨로 되는 기간이 겹칠 수 있다. 이를 실현하기 위해, 시프트 레지스터에 2×M 위상의 클럭 신호를 입력할 수 있다.
- [0239] 구체적인 예를 도 24의 시프트 레지스터를 참조하여 설명한다. 도 24는 플립플롭(200<sub>i+1</sub> 내지 200<sub>i+2M+1</sub>)만을 도시한다. 플립플롭(200<sub>i+1</sub> 내지 200<sub>i+M</sub>)의 배선(123)은 배선(203<sub>1</sub> 내지 203<sub>M</sub>)에 각각 접속된다. 플립플롭(200<sub>i+1</sub> 내지 200<sub>i+M</sub>)의 배선(124)은 배선(204<sub>1</sub> 내지 204<sub>M</sub>)에 각각 접속된다. 플립플롭(200<sub>i+M+1</sub> 내지 200<sub>i+2M</sub>)의 배선(123)은 배선(204<sub>1</sub> 내지 204<sub>M</sub>)에 각각 접속된다. 플립플롭(200<sub>i+M+1</sub> 내지 200<sub>i+2M</sub>)의 배선(124)은 배선(203<sub>1</sub> 내지 203<sub>M</sub>)에 각각 접속된다. 또한, 플립플롭(200<sub>i+1</sub>)의 배선(125)은 플립플롭(200<sub>i</sub>)의 배선(121)에 접속된다. 플립플롭(200<sub>i+1</sub>)의 배선(126)은 플립플롭(200<sub>i+M+1</sub>)의 배선(121)에 접속된다. 배선(203<sub>1</sub> 내지 203<sub>M</sub>)은 배선(203)에 대응한다는 점에 주목한다. 배선(204<sub>1</sub> 내지 204<sub>M</sub>)은 배선(204)에 대응한다. 도 25a에 도시한 바와 같이, 배선(203<sub>1</sub> 내지 203<sub>M</sub>)에는 신호 GS<sub>2-1</sub> 내지 GS<sub>2-M</sub>이 각각 입력된다. 배선(204<sub>1</sub> 내지 204<sub>M</sub>)에는 신호 GS<sub>3-1</sub> 내지 GS<sub>3-M</sub>이 각각 입력된다. 신호 GS<sub>2-1</sub> 내지 GS<sub>2-M</sub>은 위상이 서로 1/2M 주기만큼 다른 M개의 클럭 신호이며, 신호 GS<sub>2</sub>에 대응한다. 신호 GS<sub>3-1</sub> 내지 GS<sub>3-M</sub>은 신호 GS<sub>2-1</sub> 내지 GS<sub>2-M</sub>의 반전 신호이며, 신호 GS<sub>3</sub>에 대응한다. 이러한 방식으로, 신호 S<sub>1-1</sub> 내지 S<sub>1-N</sub>의 주기는 신호 S<sub>2</sub>의 주기와는 1/2×M(M은 자연수) 주기만큼 다르고 또는 신호 S<sub>3</sub>의 주기와는 1/2×M 주기만큼 다를 수 있다.
- [0240] 도 24에서, 플립플롭(200<sub>i+1</sub>)의 배선(125)은 플립플롭(200<sub>i-M+1</sub> 내지 200<sub>i-1</sub>) 중 임의의 하나의 배선(121)에 접속될 수 있다는 점에 주목한다. 이러한 방식으로, 플립플롭(200<sub>i+1</sub>)에서 트랜지스터(131)가 온으로 되는 타이밍을 더욱 빨리 할 수 있으므로, 노드 A의 전위가 상승하는 타이밍을 더욱 빨리 할 수 있다. 따라서, 구동 주파수를 증가시킬 수 있다. 또는, 트랜지스터(131) 또는 트랜지스터(132)의 채널 폭을 저감할 수 있으므로, 레이아웃 면적의 축소를 도모할 수 있다.
- [0241] 도 24에서, 플립플롭(200<sub>i+1</sub>)의 배선(126)은 플립플롭(200<sub>i+M+2</sub> 내지 200<sub>i+2M</sub>) 중 임의의 하나의 배선(121)에 접속되는 것이 가능하다는 점에 주목한다. 이러한 방식으로, 플립플롭(200<sub>i+1</sub>)에서 트랜지스터(101)가 턴오프되는 타이밍을 늦게 할 수 있으므로, 신호 S<sub>1-i+1</sub>의 하강시간을 짧게 할 수 있다.
- [0242] 도 24에서, 플립플롭(200<sub>i+1</sub>)의 배선(126)은 플립플롭(200<sub>i+2</sub> 내지 200<sub>i+M</sub>) 중 임의의 하나의 배선(121)에 접속되는 것이 가능하다는 점에 주목한다. 이러한 방식으로, 신호 S<sub>1-1</sub> 내지 S<sub>1-N</sub>의 펄스 폭을 클럭 신호의 반주기보다 작게 할 수 있다. 따라서, 소비 전력의 저감을 도모하면서 구동 주파수를 증가시킬 수 있다.
- [0243] 도 24에서, M≤4인 것이 바람직하다는 점에 주목한다. M≤2인 것이 더욱 바람직하다. 이는, 도 23a 내지 도 23e의 시프트 레지스터를 표시 장치의 주사선 구동 회로에 사용하는 경우, M이 너무 크면 화소에 복수 종류의 비디오 신호가 기입되기 때문이다. 따라서, 화소에 불규칙적인 비디오 신호가 입력되는 기간이 길어져, 표시 품질이 저하되는 경우가 있기 때문이다. 도 25b는, 일례로서, M=2일 경우의 타이밍 차트의 일례를 도시한다.
- [0244] [실시 형태 4]
- [0245] 본 실시 형태에서는, 반도체 장치 및 해당 반도체 장치를 포함하는 시프트 레지스터의 일례를 설명한다. 실시 형태 1 내지 실시 형태 3에서 설명한 내용은 본 실시 형태의 반도체 장치 및 시프트 레지스터의 내용에 적용할 수 있다는 점에 주목한다.

- [0246] 우선, 본 실시 형태의 반도체 장치를 도 19a를 참조하여 설명한다. 도 1a와 공통되는 곳은 동일한 참조 부호로 나타내고, 그 설명을 생략한다는 점에 주목한다.
- [0247] 도 19a의 반도체 장치는, 회로(100), 트랜지스터(101), 트랜지스터(102), 트랜지스터(103), 트랜지스터(104), 용량 소자(105), 용량 소자(106) 및 트랜지스터(301)를 포함한다. 트랜지스터(301)는, 트랜지스터(101)에 대응하고, 트랜지스터(101)와 마찬가지로 기능을 갖는다. 또한, 트랜지스터(301)는 n채널형 트랜지스터이다. 트랜지스터(301)가 p채널형 트랜지스터일 수 있다는 점에 주목한다.
- [0248] 트랜지스터(301)의 제1 단자는 배선(123D)에 접속된다. 트랜지스터(301)의 제2 단자는 배선(311)에 접속된다. 트랜지스터(301)의 게이트는 노드 A에 접속된다.
- [0249] 배선(123D)은 배선(123A 내지 123C)에 대응한다. 배선(123D)에는 신호 S2가 입력된다. 따라서, 도 3d와 마찬가지로, 배선(123D) 및 배선(123A 내지 123C)을 공유할 수 있다. 이 경우, 트랜지스터(301)의 제1 단자는 배선(123)에 접속된다. 신호 S7은 배선(311)으로부터 출력된다. 신호 S7은 신호 S1에 대응한다.
- [0250] 이어서, 도 19a의 반도체 장치의 동작을 도 19b의 타이밍 차트를 참조하여 설명한다. 도 1a의 반도체 장치의 동작과 공통되는 동작의 설명은 생략한다는 점에 주목한다.
- [0251] 우선, 기간 T1에 있어서, 노드 A의 전위가 상승하기 시작한다. 이어서, 트랜지스터(101)와 마찬가지로, 노드 A의 전위가 배선(123D)의 전위(V1) 및 트랜지스터(301)의 임계값 전압(Vth301)의 합(V1 + Vth301)과 동일할 때, 트랜지스터(301)가 턴온된다. 이어서, 배선(123D)과 배선(311)이 도통 상태로 된다. 따라서, L 레벨의 신호 S2가 배선(123D)으로부터 배선(311)에 공급되므로, 배선(311)의 전위가 V1로 감소된다.
- [0252] 이어서, 기간 T2에 있어서, 노드 A의 전위가 (V1 + Vth101 + α)로 되므로, 트랜지스터(301)는 온 상태로 유지된다. 이에 따라, 배선(123D)과 배선(311)은 도통 상태로 유지된다. 따라서, H 레벨의 신호 S2가 배선(123D)으로부터 배선(311)에 공급되므로, 배선(311)의 전위는 V2로 상승한다.
- [0253] 이어서, 기간 T3에 있어서, 노드 A의 전위가 V1로 감소하기 시작한다. 트랜지스터(101)와 마찬가지로, 노드 A의 전위가 배선(123D)의 전위(V1) 및 트랜지스터(301)의 임계값 전압(Vth301)의 합(V1 + Vth301)과 동일해질 때까지, 트랜지스터(301)는 온 상태에 있다. 따라서, L 레벨의 신호 S1이 배선(123D)으로부터 배선(311)에 공급되므로, 배선(311)의 전위는 V1로 감소한다. 그 후, 노드 A의 전위가 (V1 + Vth301)까지 감소하면, 트랜지스터(301)가 턴오프된다.
- [0254] 기간 T4 및 기간 T5에서는, 노드 A의 전위가 V1로서 유지되므로, 트랜지스터(301)는 오프 상태에 있다. 따라서, 배선(123D)과 배선(311)은 비도통 상태에 있다.
- [0255] 도 19a의 반도체 장치에서는, 배선(121)과 배선(311)이 동일한 타이밍으로 신호를 출력할 수 있다. 따라서, 배선(121)으로부터 출력되는 신호 S1과 배선(311)으로부터 출력되는 신호 S7 중 하나를, 게이트선 또는 화소 등의 부하를 구동하도록 사용하고, 나머지 하나를 전송용 신호 등의 다른 회로를 구동하기 위한 신호로서 사용할 수 있다. 이러한 방식으로, 부하 등을 구동함으로써 발생하는 신호의 왜곡, 지연 등의 영향을 받지 않고, 다른 회로를 구동할 수 있다.
- [0256] 트랜지스터(301)의 게이트와 제2 단자 사이에 용량 소자를 접속할 수 있다는 점에 주목한다. 용량 소자는, 용량 소자(105)에 대응한다.
- [0257] 도 20a에 도시한 바와 같이, 도 6a의 반도체 장치에 트랜지스터(301)를 추가할 수 있다는 점에 주목한다.
- [0258] 도 20b에 도시한 바와 같이, 트랜지스터(302), 트랜지스터(303) 및/또는 트랜지스터(304)를 추가할 수 있다는 점에 주목한다. 트랜지스터(302), 트랜지스터(303) 및 트랜지스터(304)는 트랜지스터(134), 트랜지스터(102), 트랜지스터(133)에 각각 대응하고, 마찬가지로 기능을 각각 갖는다. 트랜지스터(302)의 제1 단자는 배선(122H)에 접속된다. 트랜지스터(302)의 제2 단자는 배선(331)에 접속된다. 트랜지스터(302)의 게이트는 배선(122G)에 접속된다. 트랜지스터(303)의 제1 단자는 배선(331)에 접속된다. 트랜지스터(303)의 제2 단자는 노드 A에 접속된다. 트랜지스터(303)의 게이트는 배선(123E)에 접속된다. 트랜지스터(304)의 제1 단자는 배선(122I)에 접속된다. 트랜지스터(304)의 제2 단자는 배선(331)에 접속된다. 트랜지스터(304)의 게이트는 배선(124C)에 접속된다. 그러나, 본 실시 형태는 이에 한정되지 않는다. 트랜지스터(302), 트랜지스터(303), 트랜지스터(304) 중 한 개 또는 두 개만을 추가할 수 있다.
- [0259] 도 20b에서, 배선(123D) 및 배선(123E)에는, 배선(123A) 내지 123C)과 동일한 신호(신호 S2)가 입력되므로, 배

선(123D), 배선(123E), 배선(123A 내지 123C)을 공유할 수 있다는 점에 주목한다. 이 경우, 트랜지스터(301)의 제1 단자 및 트랜지스터(303)의 게이트는 배선(123)에 접속된다.

- [0260] 도 20b에서, 배선(122H) 및 배선(122I)에는, 배선(122A 내지 122E)과 동일한 전압(예를 들어, 전압 V1)이 공급되므로, 배선(122H), 배선(122I), 배선(122A 내지 122E)을 공유할 수 있다는 점에 주목한다. 이 경우, 트랜지스터(302)의 제1 단자 및 트랜지스터(304)의 제1 단자는 배선(122)에 접속된다.
- [0261] 도 20b에서, 트랜지스터(302)는, 트랜지스터(135)와 마찬가지로, 다이오드 또는 다이오드 접속된 트랜지스터로 대체될 수 있다는 점에 주목한다. 또는, 트랜지스터(304)는, 트랜지스터(133)와 마찬가지로, 다이오드 또는 다이오드 접속된 트랜지스터로 대체될 수 있다.
- [0262] 이어서, 상술한 반도체 장치를 포함하는 시프트 레지스터의 일례를 도 21을 참조하여 설명한다. 실시 형태 3에서 설명한 내용은 그 설명을 생략한다는 점에 주목한다. 또는 도 14와 동일한 부분들은 동일한 참조 부호로 나타내고, 그 설명을 생략한다.
- [0263] 시프트 레지스터는 플립플롭(320\_1 내지 320\_N)인 복수의 플립플롭을 포함한다. 플립플롭(320\_1 내지 320\_N)은 도 14의 플립플롭(200\_1 내지 200\_N)에 대응한다. 또는, 플립플롭(320\_1 내지 320\_N)은, 도 19a, 도 20a 또는 도 20b의 반도체 장치에 대응한다. 도 21은 도 20a의 반도체 장치를 사용하는 경우의 일례를 도시한다.
- [0264] 플립플롭(320\_i)에서, 배선(311)은 배선(321\_i)에 접속된다. 이어서, 배선(126)은 배선(321\_i-1)에 접속된다.
- [0265] 신호 GS7\_1 내지 GS7\_N은 배선(321\_1 내지 321\_N)으로부터 각각 출력된다. 신호 GS7\_1 내지 GS7\_N은, 신호 S7에 대응하고, 전송용 신호, 출력 신호, 선택 신호, 주사 신호, 또는 게이트 신호로서 각각 기능할 수 있다.
- [0266] 이어서, 도 21에 도시한 시프트 레지스터의 동작을 도 14b의 타이밍 차트를 참조하여 설명한다.
- [0267] 플립플롭(320\_i)의 동작을 설명한다. 우선, 신호 GS7\_i-1이 H 레벨로 된다. 이어서, 플립플롭(320\_i)은 기간 T2에서의 동작을 개시하고, 신호 GS1\_i 및 신호 GS7\_i는 L 레벨로 된다. 그 후, 신호 GS2 및 신호 GS3이 반전된다. 이어서, 플립플롭(320\_i)은 기간 T2에서의 동작을 개시하고, 신호 GS1\_i 및 신호 GS7\_i는 H 레벨로 된다. 신호 GS1\_i는 플립플롭(320\_i-1)에 리셋 신호로서 입력되고, 신호 GS7\_i는 플립플롭(320\_i+1)에 스타트 신호로서 입력된다. 따라서, 플립플롭(320\_i-1)은 기간 T3에서의 동작을 개시하고, 플립플롭(320\_i+1)은 기간 T1에서의 동작을 개시한다. 그 후, 신호 GS2 및 신호 GS3이 다시 반전된다. 이어서, 플립플롭(320\_i+1)은 기간 T2에서의 동작을 개시하고, 신호 GS1\_i+1이 H 레벨로 된다. 신호 GS1\_i+1은 플립플롭(320\_i)에 리셋 신호로서 입력된다. 따라서, 플립플롭(320\_i)은 기간 T3에서의 동작을 개시하고, 신호 GS1\_i 및 신호 GS7\_i는 L 레벨로 된다. 그 후, 신호 GS7\_i-1이 다시 H 레벨로 될 때까지, 플립플롭(320\_i)은, 신호 GS2 및 신호 GS3이 반전될 때마다, 기간 T4에서의 동작과 기간 T5에서의 동작을 반복한다.
- [0268] 본 실시 형태의 시프트 레지스터에서는, 신호 GS7\_1 내지 GS7\_N을 스타트 신호로서 사용하므로, 신호 S1\_1 내지 S1\_N의 지연시간을 짧게 할 수 있다. 이는, 신호 GS7\_1 내지 GS7\_N이 게이트선, 화소 등에 입력되지 않으므로, 신호 S1\_1 내지 S1\_N과 비교해서 신호 GS7\_1 내지 GS7\_N의 지연 또는 왜곡이 작기 때문이다.
- [0269] 또는, 본 실시 형태의 시프트 레지스터에서는, 신호 GS1\_1 내지 GS1\_N을 리셋 신호로서 사용하므로, 기간 T3에서의 각 플립플롭의 동작에서 트랜지스터(101)가 온으로 되는 시간을 길게 할 수 있다. 따라서, 신호 S1\_1 내지 S1\_N 및 신호 GS7\_1 내지 GS7\_N의 하강시간을 짧게 할 수 있다.
- [0270] 신호 GS1\_1 내지 GS1\_N은, 스타트 신호로서, 다음 단의 플립플롭에 입력될 수 있다는 점에 주목한다. 예를 들어, 신호 GS1\_i는 스타트 신호로서 플립플롭(320\_i+1)에 입력되는 것이 가능하다.
- [0271] 신호 GS7\_1 내지 GS7\_N은, 리셋 신호로서, 이전 단의 플립플롭에 입력되는 것이 가능하다는 점에 주목한다. 예를 들어, 신호 GS7\_i는 리셋 신호로서 플립플롭(320\_i-1)에 입력되는 것이 가능하다.
- [0272] [실시 형태 5]
- [0273] 본 실시 형태에서는, 표시 장치의 일례를 설명한다.
- [0274] 우선, 액정 표시 장치의 시스템 블록의 일례를 도 22a를 참조하여 설명한다. 액정 표시 장치는, 회로(5361), 회로(5362), 회로(5363\_1), 회로(5363\_2), 화소부(5364), 회로(5365) 및 조명 장치(5366)를 포함한다. 화소부(5364)에는, 복수의 배선(5371)이 회로(5362)로부터 연장되어 배치되고, 복수의 배선(5372)이 회로(5363\_1) 및 회로(5363\_2)로부터 연장되어 배치되어 있다. 또한, 복수의 배선(5371)과 복수의 배선(5372)의 교차 영역에는,

각각, 액정 소자 등의 표시 소자를 갖는 화소(5367)가 매트릭스 형상으로 배치되어 있다.

- [0275] 회로(5361)는, 영상 신호(5360)에 따라, 회로(5362), 회로(5363\_1), 회로(5363\_2) 및 회로(5365)에, 신호, 전압 등을 출력하는 기능을 갖고, 컨트롤러, 제어 회로, 타이밍 제너레이터, 또는 레귤레이터 등으로서 기능할 수 있다.
- [0276] 예를 들어, 회로(5361)는, 신호선 구동 회로용 스타트 신호(SSP), 신호선 구동 회로용 클록 신호(SCK), 신호선 구동 회로용 반전 클록 신호(SCKB), 비디오 신호용 데이터(DATA), 래치 신호(LAT) 등의 신호를 회로(5362)에 출력한다. 회로(5362)는, 이러한 신호에 응답하여 비디오 신호를 복수의 배선(5371)에 출력하는 기능을 갖고, 신호선 구동 회로로서 기능한다.
- [0277] 복수의 배선(5371)에 비디오 신호가 입력되는 경우, 복수의 배선(5371)은 신호선, 비디오 신호선, 소스선 등으로서 기능할 수 있다는 점에 주목한다.
- [0278] 예를 들어, 회로(5361)는, 주사선 구동 회로용 스타트 신호(GSP), 주사선 구동 회로용 클록 신호(GCK) 및 반전 주사선 구동 회로용 클록 신호(GCKB) 등의 신호를 회로(5363\_1) 및 회로(5363\_2)에 출력한다. 회로(5363\_1) 및 회로(5363\_2)의 각각은 이러한 신호에 응답하여 주사 신호를 복수의 배선(5372)에 출력하는 기능을 갖고, 주사선 구동 회로로서 기능한다.
- [0279] 복수의 배선(5372)에 주사 신호가 입력되는 경우, 복수의 배선(5372)은 신호선, 주사선, 게이트선 등으로서 기능할 수 있다는 점에 주목한다.
- [0280] 회로(5363\_1) 및 회로(5363\_2)에는 동일한 신호가 회로(5361)로부터 입력되므로, 회로(5363\_1)로부터 복수의 배선(5367)에 출력되는 주사 신호 및 회로(5363\_2)로부터 복수의 배선(5367)에 출력되는 주사 신호는 대략 동일한 타이밍을 갖는 경우가 많다는 점에 주목한다. 따라서, 회로(5363\_1) 및 회로(5363\_2)의 구동에 의해 야기되는 부하를 저감할 수 있다. 따라서, 표시 장치를 크게 할 수 있다. 또는, 표시 장치는 더욱 높은 해상도를 가질 수 있다. 또는, 회로(5363\_1) 및 회로(5363\_2)에 포함된 트랜지스터의 채널 폭을 저감할 수 있으므로, 프레임이 더욱 좁은 표시 장치를 얻을 수 있다.
- [0281] 예를 들어, 회로(5361)는 백라이트 제어 신호(BLC)를 회로(5365)에 출력한다. 회로(5365)는, 백라이트 제어 신호(BLC)에 따라, 조명 장치(5366)에 공급하는 전력의 양, 조명 장치(5366)에 전력을 공급하는 시간 등을 제어함으로써, 조명 장치(5366)의 휘도(또는 평균 휘도)를 제어하는 기능을 갖고, 전원 회로로서 기능한다.
- [0282] 회로(5363\_1)와 회로(5363\_2) 중 하나를 생략할 수 있다는 점에 주목한다.
- [0283] 화소부(5364)에는, 용량선, 전원선, 주사선 등의 배선을 새롭게 배치할 수 있다는 점에 주목한다. 이어서, 회로(5361)는 이러한 배선에 신호, 전압 등을 출력할 수 있다. 또한, 회로(5363\_1) 또는 회로(5363\_2)와 마찬가지로 회로를 새롭게 추가할 수 있다. 새롭게 추가되는 회로는, 새롭게 추가되는 배선에 주사 신호 등의 신호를 출력할 수 있다.
- [0284] 화소(5367)는 표시 소자로서 EL 소자 등의 발광 소자를 포함할 수 있다는 점에 주목한다. 이 경우, 도 22b에 도시한 바와 같이, 표시 소자가 발광하므로, 회로(5365) 및 조명 장치(5366)를 생략할 수 있다. 또한, 표시 소자에 전력을 공급하기 위해, 전원선으로서 기능할 수 있는 복수의 배선(5373)을 화소부(5364)에 배치할 수 있다. 회로(5361)는, 전압(ANO)이라 칭하는 전원 전압을 배선(5373)에 공급할 수 있다. 배선(5373)은 색 요소에 따라 화소에 개별적으로 접속되거나 모든 화소에 접속될 수 있다.
- [0285] 도 22b는 회로(5361)가 회로(5363\_1) 및 회로(5363\_2)에 서로 다른 신호들을 공급하는 경우의 일례를 도시한다는 점에 주목한다. 회로(5361)는, 주사선 구동 회로용 스타트 신호(GSP1), 주사선 구동 회로용 클록 신호(GCK1) 및 주사선 구동 회로용 반전 클록 신호(GCKB1) 등의 신호를 회로(5363\_1)에 출력한다. 또한, 회로(5361)는, 주사선 구동 회로용 스타트 신호(GSP2), 주사선 구동 회로용 클록 신호(GCK2) 및 주사선 구동 회로용 반전 클록 신호(GCKB2) 등의 신호를 회로(5363\_2)에 출력한다. 이 경우, 회로(5363\_1)는 복수의 배선(5372) 중 홀수 행의 배선만을 주사할 수 있고, 회로(5363\_2)는 복수의 배선(5372) 중 짝수 행의 배선만을 주사할 수 있다. 따라서, 회로(5363\_1) 및 회로(5363\_2)의 구동 주파수를 작게 할 수 있으므로, 소비 전력의 저감을 도모할 수 있다. 또는, 하나의 단의 플립플롭을 레이어아웃할 수 있는 면적을 더욱 크게 할 수 있다. 따라서, 표시 장치가 더 높은 해상도를 가질 수 있다. 또는, 표시 장치를 대형으로 할 수 있다.
- [0286] 도 22b와 마찬가지로, 도 22a에서 회로(5361)는 회로(5363\_1) 및 회로(5363\_2)에 서로 다른 신호들을 공급할 수

있다.

- [0287] 이어서, 표시 장치의 구조의 일례를 도 23a 내지 도 23e를 참조하여 설명한다.
- [0288] 도 23a에서는, 화소부(5364)에 신호를 출력하는 기능을 갖는 회로(예를 들어, 회로(5362), 회로(5363\_1) 및 회로(5363\_2))는 화소부(5364)도 형성되는 기관(5380) 위에 형성된다. 또한, 회로(5361)는 화소부(5364)와는 다른 기관 위에 형성된다. 이러한 방식으로, 외부 부품의 수가 저감되므로, 비용 절감을 도모할 수 있다. 또는, 기관(5380)에 입력되는 신호 또는 전압의 수가 저감되므로, 기관(5380)과 외부 부품 간의 접속 수를 저감할 수 있다. 따라서, 신뢰성의 향상 또는 수율 향상을 도모할 수 있다.
- [0289] 회로가 화소부(5364)와는 다른 기관 위에 형성되는 경우에, 해당 기관은 TAB(Tape Automated Bonding) 방식에 의해 FPC(Flexible Printed Circuit) 위에 실장될 수 있다는 점에 주목한다. 또는, 해당 기관은 COG(Chip on Glass) 방식에 의해 화소부(5364)와 동일한 기관(5380) 위에 실장될 수 있다.
- [0290] 회로가 화소부(5364)와는 다른 기관 위에 형성되는 경우, 해당 기관 위에는 단결정 반도체를 사용한 트랜지스터를 형성할 수 있다는 점에 주목한다. 따라서, 해당 기관 위에 형성되는 회로는, 구동 주파수의 향상, 구동 전압의 향상, 출력 신호의 편차 억제 등의 장점을 얻을 수 있다.
- [0291] 외부 회로로부터 입력 단자(5381)를 통해 신호, 전압, 전류 등이 입력되는 경우가 많다는 점에 주목한다.
- [0292] 도 23b에서는, 구동 주파수가 낮은 회로(예를 들어, 회로(5363\_1) 및 회로(5363\_2))는 화소부(5364)와 동일한 기관(5380) 위에 형성된다. 또한, 회로(5361) 및 회로(5362)는 화소부(5364)와는 다른 기관 위에 형성된다. 이러한 방식으로, 이동도가 작은 트랜지스터를 사용하여, 기관(5380) 위에 형성되는 회로를 구성할 수 있으므로, 트랜지스터의 반도체층으로서, 비단결정 반도체, 미결정 반도체, 유기 반도체, 또는 산화물 반도체 등을 사용할 수 있다. 따라서, 표시 장치의 대형화, 공정 수의 저감, 비용 절감, 수율 향상 등을 도모할 수 있다.
- [0293] 도 23c에 도시한 바와 같이, 회로(5362)의 일부(회로(5362a))를 화소부(5364)가 형성되는 기관(5380) 위에 형성하고, 회로(5362)의 나머지(회로(5362b))를 화소부(5364)와는 다른 기관 위에 형성할 수 있다는 점에 주목한다. 회로(5362a)는, 이동도가 낮은 트랜지스터를 사용하여 형성될 수 있는 회로(예를 들어, 시프트 레지스터, 셀렉터, 또는 스위치)를 포함하는 경우가 많다. 또한, 회로(5362b)는, 이동도가 높고 특성 편차가 작은 트랜지스터를 사용하여 형성되는 것이 바람직한 회로(예를 들어, 시프트 레지스터, 래치 회로, 버퍼 회로, DA 변환 회로, 또는 AD 변환 회로)를 포함하는 경우가 많다. 이러한 방식으로, 도 23b와 마찬가지로, 트랜지스터의 반도체층으로서, 비단결정 반도체, 미결정 반도체, 유기 반도체, 산화물 반도체 등을 사용할 수 있다. 또한, 외부 부품의 저감을 도모할 수 있다.
- [0294] 도 23d에서는, 화소부(5364)에 신호를 출력하는 기능을 갖는 회로들(예를 들어, 회로(5362), 회로(5363\_1) 및 회로(5363\_2)) 및 이러한 회로들을 제어하는 기능을 갖는 회로(예를 들어, 회로(5361))는 화소부(5364)와는 다른 기관 위에 형성된다. 이러한 방식으로, 화소부와 그 주변 회로를 서로 다른 기관들 위에 형성할 수 있으므로, 수율 향상을 도모할 수 있다.
- [0295] 도 23e에서는, 회로(5361)의 일부(회로(5361a))가 화소부(5364)와 같은 기관(5380) 위에 형성되고, 회로(5361)의 나머지(회로(5361b))가 화소부(5364)와는 다른 기관 위에 형성된다. 회로(5361a)는 이동도가 작은 트랜지스터를 사용하여 형성될 수 있는 회로(예를 들어, 스위치, 셀렉터, 또는 레벨 시프트 회로)를 포함하는 경우가 많다. 또한, 회로(5361b)는 이동도가 높고 편차가 작은 트랜지스터를 사용하여 형성되는 것이 바람직한 회로(예를 들어, 시프트 레지스터, 타이밍 제너레이터, 오실레이터, 레귤레이터, 또는 아날로그 버퍼)를 포함하는 경우가 많다.
- [0296] 회로(5363\_1) 및 회로(5363\_2)로서, 실시 형태 1 내지 실시 형태 4의 반도체 장치 또는 시프트 레지스터를 사용할 수 있다는 점에 주목한다. 이 경우, 회로(5363\_1) 및 회로(5363\_2)가 화소부와 같은 기관 위에 형성되는 경우, 해당 기관 위에 형성되는 모든 트랜지스터의 극성을 n형 또는 p형으로 할 수 있다. 따라서, 공정 수의 저감, 수율 향상 또는 비용 절감을 도모할 수 있다. 특히, 모든 트랜지스터의 극성을 n형으로 함으로써, 트랜지스터의 반도체층으로서, 비단결정 반도체, 미결정 반도체, 유기 반도체, 또는 산화물 반도체를 사용하는 것이 가능하게 된다. 따라서, 표시 장치의 대형화, 비용 절감, 수율 향상 등을 도모할 수 있다.
- [0297] 비단결정 반도체, 미결정 반도체, 유기 반도체, 산화물 반도체 등을 반도체층으로서 사용하는 트랜지스터에서는, 임계값 전압의 증가 또는 이동도의 저하 등의 특성 열화가 발생하는 경우가 많다는 점에 주

목한다. 그러나, 실시 형태 1 내지 실시 형태 4의 반도체 장치 또는 시프트 레지스터에서는, 트랜지스터의 특성 열화를 억제할 수 있으므로, 표시 장치의 수명을 길게 할 수 있다.

- [0298] 회로(5362)의 일부로서, 실시 형태 1 내지 실시 형태 4의 반도체 장치 또는 시프트 레지스터를 사용할 수 있다는 점에 주목한다. 예를 들어, 도 23c에 도시한 회로(5362a)는 실시 형태 1 내지 실시 형태 4의 반도체 장치 또는 시프트 레지스터를 포함할 수 있다.
- [0299] [실시 형태 6]
- [0300] 본 실시 형태에서는, 시프트 레지스터의 레이아웃도(이하, 상면도라고도 함)를 설명한다. 본 실시 형태에서는, 일례로서, 도 15에 도시한 시프트 레지스터의 레이아웃도를 설명한다. 본 실시 형태에서 설명하는 내용은, 도 15의 시프트 레지스터 이외에도, 실시 형태 1 내지 실시 형태 5의 반도체 장치, 시프트 레지스터 또는 표시 장치에 적용할 수 있다는 점에 주목한다. 본 실시 형태의 레이아웃도는 일례이며, 본 실시 형태가 이에 한정되는 않는다는 점에 주목한다.
- [0301] 본 실시 형태의 레이아웃도를 도 30 및 도 31을 참조하여 설명한다. 도 30은 시프트 레지스터의 일부의 레이아웃도의 일례를 도시한다. 도 31은, 일례로서, 플립플롭(200\_i)의 레이아웃도를 도시한다.
- [0302] 도 30 및 도 31에 도시한 트랜지스터, 용량 소자, 배선 등은 각각 도전층(401), 반도체층(402), 도전층(403), 도전층(404) 및 콘택트 홀(405)을 포함한다. 그러나, 본 실시 형태는 이에 한정되지 않는다. 다른 도전층, 절연막, 또는 다른 콘택트 홀을 새롭게 형성할 수 있다. 예를 들어, 도전층(401)을 도전층(403)에 접속하기 위한 콘택트 홀을 새롭게 추가할 수 있다.
- [0303] 도전층(401)은 게이트 전극 또는 배선으로서 기능하는 부분을 포함할 수 있다. 반도체층(402)은 트랜지스터의 반도체층으로서 기능하는 부분을 포함할 수 있다. 도전층(403)은, 배선, 소스 또는 드레인으로서 기능하는 부분을 포함할 수 있다. 도전층(404)은 투명 전극, 화소 전극 또는 배선으로서 기능하는 부분을 포함할 수 있다. 콘택트 홀(405)은 도전층(401)과 도전층(404)을 접속하거나 도전층(403)과 도전층(404)을 접속하도록 사용될 수 있다.
- [0304] 도 30의 예에서, 배선(202)은 개구부(411)를 포함하고, 배선(203)은 개구부(412)를 포함한다. 이러한 방식으로, 배선(202) 및 배선(203)이 개구부를 포함함으로써, 기생 용량을 저감할 수 있다. 또는, 정전 파괴로 인한 트랜지스터의 파괴를 억제할 수 있다. 그러나, 본 실시 형태는 이에 한정되지 않는다. 배선(204)과 마찬가지로, 개구부(411) 또는 개구부(412)를 생략할 수 있다. 또는, 배선(204)에, 배선(202) 또는 배선(203)과 마찬가지로, 개구부를 형성할 수 있다.
- [0305] 도 30의 예에서는, 배선(202) 또는 배선(203)과, 다른 배선의 교차부의 일부에, 개구부를 설치함으로써, 배선의 교차 용량을 저감할 수 있다. 따라서, 노이즈 저감 또는 신호의 지연이나 왜곡의 저감을 도모할 수 있다.
- [0306] 도 30의 예에서는, 배선(204)에 포함된 도전층(403)의 일부 위에 도전층(404)이 형성된다. 이어서, 도전층(404)은 콘택트 홀(405)을 통해 도전층(403)에 접속된다. 이러한 방식으로, 배선 저항을 작게 할 수 있으므로, 전압 강하의 억제 또는 신호의 지연이나 왜곡의 저감을 도모할 수 있다. 그러나, 본 실시 형태는 이에 한정되지 않는다. 도전층(404) 및 콘택트 홀(405)을 생략할 수 있다. 또는, 배선(204)과 마찬가지로, 배선(202) 또는 배선(203)에서, 도전층(403)의 일부 위에 도전층(404)이 형성되어, 도전층(404)이 도전층(403)에 접속될 수 있다.
- [0307] 여기서, 도 30의 예에서는, 배선(202)의 폭, 배선(203)의 폭 및 배선(204)의 폭을, 배선 폭(421), 배선 폭(422), 폭(423)이라고 각각 나타낸다. 이어서, 개구부(411)의 폭, 개구부(411)의 길이, 개구부(412)의 폭 및 개구부(412)의 길이를 폭(424), 길이(425), 폭(426), 길이(427)라고 각각 나타낸다.
- [0308] 배선(202) 및 배선(203)에 입력되는 신호들은 서로 반전된 신호일 경우가 많다는 점에 주목한다. 따라서, 배선(202)의 배선 저항 또는 기생 용량은 배선(203)의 배선 저항 또는 기생 용량과 대략 동등해지도록 설정되는 것이 바람직하다. 따라서, 배선(202)은 배선 폭(422)과 대략 동일한 부분을 포함하는 것이 바람직하다. 또는, 개구부(411)는, 개구부(412)의 폭(426) 또는 개구부(412)의 길이(427)와 대략 동일한 부분을 포함하는 것이 바람직하다. 그러나, 본 실시 형태는 이에 한정되지 않는다. 배선 폭(421), 배선 폭(422), 개구부(411)의 폭(424), 개구부(411)의 길이(425), 또는 개구부(412)의 길이(427)는 다양한 값을 가질 수 있다. 예를 들어, 배선(202)과 다른 배선과의 교차 용량이, 배선(203)과 다른 배선과의 교차 용량보다 큰 경우, 배선(202)의 배선 저항을 작게 함으로써, 배선(202) 및 배선(203)에 입력되는 신호의 지연 또는 왜곡을 대략 동일하게 할 수

있다. 따라서, 배선(202)은 배선 폭(422)보다 큰 부분을 포함할 수 있다. 또는, 개구부(411)는 개구부(412)의 폭(426)보다 작은 부분을 포함할 수 있다. 또는, 개구부(411)는 개구부(412)의 길이(427)보다 짧은 부분을 포함할 수 있다. 한편, 배선(202)과 다른 배선과의 교차 용량이 배선(203)과 다른 배선과의 교차 용량보다 작은 경우에, 배선(202)은 배선 폭(422)보다 작은 부분을 포함할 수 있다. 또는, 개구부(411)는 개구부(412)의 폭(426)보다 큰 부분을 포함할 수 있다. 또는, 개구부(411)는 개구부(412)의 길이(427)보다 긴 부분을 포함할 수 있다.

[0309] 배선(204)이 개구부를 포함하지 않는 경우에, 배선(204)은 배선 폭(421) 또는 배선 폭(422)보다 작은 부분을 포함하는 것이 바람직하다. 이는 배선(204)이 개구부를 포함하지 않고 배선(204)의 배선 저항이 작기 때문이다. 그러나, 본 실시 형태는 이에 한정되지 않는다. 배선(204)은 배선 폭(421) 또는 배선 폭(422)보다 큰 부분을 포함할 수 있다.

[0310] 도 31의 예에서는, 용량 소자(105) 및 용량 소자(106)의 각각의 하나의 전극은 도전층(401)을 사용하여 형성되고, 용량 소자(105) 및 용량 소자(106)의 각각의 나머지 하나의 전극은 도전층(403)을 사용하여 형성된다. 이에 따라, 단위 면적당 용량 값을 크게 할 수 있으므로, 레이아웃 면적의 축소를 도모할 수 있다. 그러나, 본 실시 형태는 이에 한정되지 않는다. 도전층(401)과 도전층(403) 사이에 반도체층(402)을 배치할 수 있다. 이러한 방식으로, 도전층(401)과 도전층(403) 간의 단락을 억제할 수 있다. 또는, 용량 소자(105) 또는 용량 소자(106)는 MOS 용량 소자일 수 있다.

[0311] 도 31의 예에서, 트랜지스터(101), 트랜지스터(103), 트랜지스터(104), 트랜지스터(131), 트랜지스터(132), 트랜지스터(133), 트랜지스터(134) 및 트랜지스터(135)에 있어서, 제2 단자의 도전층(401)과 도전층(403)이 서로 겹치는 면적은 제1 단자의 도전층(401)과 도전층(403)이 서로 겹치는 면적보다 작은 것이 바람직하다. 이러한 방식으로, 트랜지스터(101)의 게이트 또는 배선(201<sub>i</sub>)의 노이즈의 저감을 도모할 수 있다. 또는, 제2 단자로서의 전계 집중을 억제할 수 있으므로, 트랜지스터의 열화 또는 트랜지스터의 파괴를 억제할 수 있다.

[0312] 도전층(401)과 도전층(403)이 서로 겹치는 부분에는, 반도체층(402)을 형성할 수 있다는 점에 주목한다. 이러한 방식으로, 도전층(401)과 도전층(403) 사이의 기생 용량을 저감할 수 있으므로, 노이즈의 저감을 도모할 수 있다. 마찬가지로 이유로, 도전층(401)과 도전층(404)이 서로 겹치는 부분에는, 반도체층(402) 또는 도전층(403)을 형성할 수 있다.

[0313] 도전층(404)은 도전층(401)의 일부 위에 도전층(404)을 형성될 수 있고, 콘택트 홀(405)을 통해 도전층(401)에 접속될 수 있다는 점에 주목한다. 이에 따라, 배선 저항을 저감할 수 있다. 또는, 도전층(401)의 일부 위에 도전층(403) 및 도전층(404)을 형성할 수 있으며, 이에 따라 도전층(401)이 콘택트 홀(405)을 통해 도전층(404)에 접속되고, 도전층(403)이 다른 콘택트 홀(405)을 통해 도전층(404)에 접속될 수 있다. 이러한 방식으로, 배선 저항을 더욱 저감할 수 있다.

[0314] 도전층(404)은 도전층(403)의 일부 위에 형성될 수 있고, 이에 따라 도전층(403)이 콘택트 홀(405)을 통해 도전층(404)에 접속될 수 있다는 점에 주목한다. 이러한 방식으로, 배선 저항을 저감할 수 있다.

[0315] 도전층(404)의 일부 밑에 도전층(401) 또는 도전층(403)을 형성할 수 있고, 이에 따라 도전층(404)이 콘택트 홀(405)을 통해 도전층(401) 또는 도전층(403)에 접속될 수 있다는 점에 주목한다. 이러한 방식으로, 배선 저항을 저감할 수 있다.

[0316] 용량 소자(105)가 생략되는 경우, 실시 형태 1에서 설명한 바와 같이, 트랜지스터(101)의 게이트와 제1 단자 사이의 기생 용량보다 트랜지스터(101)의 게이트와 제2 단자 사이의 기생 용량을 크게 할 수 있다는 점에 주목한다. 이 경우의 트랜지스터(101)의 레이아웃도의 일례를 도 18에 도시한다. 도 18의 예에서, 트랜지스터(101)의 제1 전극으로서 기능할 수 있는 도전층(403)의 폭을 폭(431)으로 나타내고, 트랜지스터(101)의 제2 전극으로서 기능할 수 있는 도전층(403)의 폭을 폭(432)으로 나타낸다. 또한, 폭(431)은 폭(432)보다 클 수 있다. 이러한 방식으로, 실시 형태 1에서 설명한 바와 같이, 트랜지스터(101)의 게이트와 제1 단자 사이의 기생 용량보다 트랜지스터(101)의 게이트와 제2 단자 사이의 기생 용량을 크게 할 수 있다. 단, 본 실시 형태는 이에 한정되지 않는다.

[0317] [실시 형태 7]

[0318] 본 실시 형태에서는, 신호선 구동 회로의 일례를 설명한다. 신호선 구동 회로를 반도체 장치 또는 신호 생성 회로라 칭할 수도 있다는 점에 주목한다.

- [0319] 신호선 구동 회로의 일례를 도 26a를 참조하여 설명한다. 신호선 구동 회로는, 회로(502\_1 내지 502\_N)(N은 자연수)인 복수의 회로, 회로(500) 및 회로(501)를 포함한다. 또한, 회로(502\_1 내지 502\_N)의 각각은 트랜지스터(503\_1 내지 503\_k)(k은 자연수)인 복수의 트랜지스터를 포함한다. 트랜지스터(503\_1 내지 503\_k)는 n채널형 트랜지스터이다. 그러나, 본 실시 형태는 이에 한정되지 않는다. 트랜지스터(503\_1 내지 503\_k)는 p채널형 트랜지스터 또는 CMOS형 스위치일 수 있다.
- [0320] 신호선 구동 회로의 접속 관계를 회로(502\_1)를 일례로 이용하여 설명한다. 트랜지스터(503\_1 내지 503\_k)의 제1 단자는 배선(505\_1)에 접속된다. 트랜지스터(503\_1 내지 503\_k)의 제2 단자는 배선(S1 내지 Sk)에 각각 접속된다. 트랜지스터(503\_1 내지 503\_k)의 게이트는 배선(504\_1 내지 504\_k)에 각각 접속된다. 예를 들어, 트랜지스터(503\_1)의 제1 단자는 배선(505\_1)에 접속되고, 트랜지스터(503\_1)의 제2 단자는 배선 S1에 접속되고, 트랜지스터(503\_1)의 게이트는 배선(504\_1)에 접속된다.
- [0321] 회로(500)는, 배선(504\_1 내지 504\_k)을 통해 신호를 회로(502\_1 내지 502\_N)에 공급하는 기능을 갖고, 시프트 레지스터, 디코더 등으로서 기능할 수 있다. 그 신호는 디지털 신호인 경우가 많으며, 선택 신호로서 기능할 수 있다. 또한, 배선(504\_1 내지 504\_k)은 신호선으로서 기능할 수 있다.
- [0322] 회로(501)는, 신호를 회로(502\_1 내지 502\_N)에 출력하는 기능을 갖고, 비디오 신호 생성 회로 등으로서 기능할 수 있다. 예를 들어, 회로(501)는 배선(505\_1)을 통해 신호를 회로(502\_1)에 공급한다. 동시에, 회로(501)는 배선(505\_2)을 통해 신호를 회로(502\_2)에 공급한다. 그 신호는 아날로그 신호인 경우가 많고, 비디오 신호로서 기능할 수 있다. 또한, 배선(505\_1 내지 505\_N)은 신호선으로서 기능할 수 있다.
- [0323] 회로(502\_1 내지 502\_k)의 각각은 회로(501)로부터의 출력 신호를 어느 배선에 출력할 것인지를 선택하는 기능을 갖고, 셀렉터 회로로서 기능할 수 있다. 예를 들어, 회로(502\_1)는 회로(501)로부터의 신호를 배선(505\_1)에 출력하도록 배선(S1 내지 Sk) 중 어느 하나를 선택하는 기능을 갖는다.
- [0324] 트랜지스터(503\_1 내지 503\_k)는 회로(500)로부터의 출력 신호에 따라 배선(505\_1)과 배선(S1 내지 Sk) 간의 도통 상태를 제어하는 기능을 갖고, 스위치로서 기능한다.
- [0325] 이어서, 도 26a에 도시한 신호선 구동 회로의 동작을 도 26b의 타이밍 차트를 참조하여 설명한다. 도 26b는 배선(504\_1)에 입력되는 신호(514\_1), 배선(504\_2)에 입력되는 신호(514\_2), 배선(504\_k)에 입력되는 신호(514\_k), 배선(505\_1)에 입력되는 신호(515\_1) 및 배선(505\_2)에 입력되는 신호(515\_2)의 일례를 도시한다.
- [0326] 신호선 구동 회로의 하나의 동작 기간은 표시 장치에서의 하나의 게이트 선택 기간에 대응한다는 점에 주목한다. 하나의 게이트 선택 기간은, 하나의 행에 속하는 화소가 선택되고 그 화소에 비디오 신호를 기입할 수 있는 기간이다.
- [0327] 하나의 게이트 선택 기간은 기간 T0, 기간 T1 내지 기간 Tk로 분할된다는 점에 주목한다. 기간 T0은 선택된 행에 속하는 화소들에 프리차지용 전압을 동시에 인가하기 위한 기간이며, 프리차지 기간으로서 사용될 수 있다. 기간 T1 내지 Tk의 각각은 선택된 행에 속하는 화소들에 비디오 신호를 기입하기 위한 기간이며, 기입 기간으로서 사용될 수 있다.
- [0328] 편의상, 회로(502\_1)의 동작을 일례로서 이용하여 신호선 구동 회로의 동작을 설명한다는 점에 주목한다.
- [0329] 우선, 기간 T0에 있어서, 회로(500)는 배선(504\_1 내지 504\_k)에 H 레벨의 신호를 출력한다. 이어서, 트랜지스터(503\_1 내지 503\_k)는 턴온되므로, 배선(505\_1)과 배선 S1 내지 Sk가 도통 상태로 된다. 이때, 회로(501)는 배선(505\_1)에 프리차지 전압 Vp를 공급하고 있으므로, 프리차지 전압 Vp는 트랜지스터(503\_1 내지 503\_k)를 통해 배선 S1 내지 Sk에 각각 출력된다. 이어서, 프리차지 전압 Vp는 선택된 행에 속하는 화소들에 기입되므로, 선택된 행에 속하는 화소들이 프리차지된다.
- [0330] 이어서, 기간 T1에 있어서, 회로(500)는 H 레벨의 신호를 배선(504\_1)에 출력한다. 이어서, 트랜지스터(503\_1)가 턴온되므로, 배선(505\_1)과 배선 S1이 도통 상태로 된다. 이어서, 배선(505\_1)과 배선 S2 내지 Sk가 비도통 상태로 된다. 이때, 회로(501)는 신호 Data(S1)를 배선(505\_1)에 공급하며, 이에 따라 신호 Data(S1)는 트랜지스터(503\_1)를 통해 배선 S1에 출력된다. 이러한 방식으로, 신호 Data(S1)는 배선 S1에 접속되는 화소들 중 선택된 행에 속하는 화소들에 기입된다.
- [0331] 이어서, 기간 T2에 있어서, 회로(500)는 H 레벨의 신호를 배선(504\_2)에 출력한다. 이어서, 트랜지스터(503\_2)가 턴온되므로, 배선(505\_2)과 배선 S2가 도통 상태로 된다. 이어서, 배선(505\_1)과 배선 S1이 비도통 상태로 되는 한편 배선(505\_1)과 배선 S3 내지 Sk가 비도통 상태로 유지된다. 이때, 회로(501)가 신호 Data(S2)를

배선(505\_1)에 출력하면, 신호 Data(S2)는 트랜지스터(503\_2)를 통해 배선 S2에 출력된다. 이러한 방식으로, 신호 Data(S2)는 배선 S2에 접속되는 화소들 중 선택된 행에 속하는 화소들에 기입된다.

- [0332] 그 후, 회로(500)는 기간 Tk의 종료까지 배선(504\_1 내지 504\_k)에 H 레벨의 신호를 순서대로 출력하므로, 회로(500)는 기간 T1 및 기간 T2와 마찬가지로, 기간 T3부터 기간 Tk까지, 배선(504\_3 내지 504\_k)에 H 레벨의 신호를 순서대로 출력한다. 따라서, 트랜지스터(503\_3 내지 503\_k)가 순서대로 턴온되므로, 트랜지스터(503\_1 내지 503\_k)가 순서대로 턴온된다. 따라서, 회로(501)로부터 출력되는 신호는 배선 S1 내지 Sk에 순서대로 출력된다. 이러한 방식으로, 선택된 행에 속하는 화소들에 신호를 기입할 수 있다.
- [0333] 본 실시 형태의 신호선 구동 회로는 셀렉터로서 기능하는 회로를 포함하므로, 신호의 수 또는 배선의 수를 저감할 수 있다. 또는, (기간 T0에서) 화소에 비디오 신호를 기입하기 전에, 프리차지를 위한 전압을 화소에 기입하므로, 비디오 신호의 기입 시간을 짧게 할 수 있다. 따라서, 표시 장치의 대형화 및 표시 장치의 고 해상도를 도모할 수 있다. 그러나, 본 실시 형태는 이에 한정되지 않는다. 기간 T0을 생략하여, 화소를 프리차지하지 않는 것도 가능하다.
- [0334] k가 너무 크면, 화소의 기입 시간이 짧아지므로, 화소에 비디오 신호를 기입하는 것이 기입 시간 내에 종료되지 않을 경우가 있다는 점에 주목한다. 따라서,  $k \leq 6$ 인 것이 바람직하다. 보다 바람직하게는,  $k \leq 3$ 이다. 더욱 바람직하게는,  $k=2$ 이다.
- [0335] 특히, 화소의 색 요소가 n(n은 자연수)개로 분할되는 경우,  $k=n$ 으로 할 수 있다. 예를 들어, 화소의 색 요소가 적색(R), 녹색(G), 청색(B)으로 분할되는 경우,  $k=3$ 인 것이 가능하다. 이 경우, 하나의 게이트 선택 기간은 기간 T0, 기간 T1, 기간 T2, 기간 T3으로 분할된다. 이어서, 기간 T1, 기간 T2, 기간 T3에서는, 적색(R)의 화소, 녹색(G)의 화소, 청색(B)의 화소에 비디오 신호를 각각 기입할 수 있다. 그러나, 본 실시 형태는 이에 한정되지 않는다. 기간 T1, 기간 T2, 기간 T3의 순서는 임의로 설정할 수 있다.
- [0336] 특히, 화소가 n(n은 자연수)개의 서브 화소로 분할되는 경우,  $k=n$ 으로 할 수 있다. 예를 들어, 화소가 2개의 서브 화소로 분할되는 경우,  $k=2$ 인 것이 가능하다. 이 경우, 하나의 게이트 선택 기간은 기간 T0, 기간 T1, 기간 T2로 분할된다. 이어서, 기간 T1에서는 2개의 서브 화소 중 하나에 비디오 신호를 기입하고, 기간 T2에서, 2개의 서브 화소 중 나머지 하나에 비디오 신호를 기입할 수 있다.
- [0337] 회로(500) 및 회로(502\_1 내지 502\_N)의 구동 주파수가 낮은 경우가 많으므로, 회로(500) 및 회로(502\_1 내지 502\_N)는 화소부와 동일한 기관 위에 형성할 수 있다는 점에 주목한다. 이러한 방식으로, 화소부가 형성되는 기관과 외부 회로 간의 접속 수를 저감할 수 있으므로, 수율 향상, 신뢰성의 향상 등을 도모할 수 있다. 또한, 도 23c에 도시한 바와 같이, 주사선 구동 회로도 화소부와 동일한 기관 위에 형성함으로써, 화소부가 형성되는 기관과 외부 회로 간의 접속 수를 더욱 저감할 수 있다.
- [0338] 회로(500)로서, 실시 형태 1 내지 실시 형태 4에서 설명한 반도체 장치 또는 시프트 레지스터를 사용할 수 있다는 점에 주목한다. 이 경우, 회로(500)의 모든 트랜지스터의 극성을 n채널형으로 할 수 있거나 회로(500)의 모든 트랜지스터의 극성을 p채널형으로 할 수 있다. 따라서, 공정 수의 저감, 수율 향상 또는 비용 절감을 도모할 수 있다.
- [0339] 회로(500)에 포함된 모든 트랜지스터뿐만 아니라 회로(502\_1 내지 502\_N)에 포함된 모든 트랜지스터의 극성도 n채널형으로 할 수 있거나 회로(502\_1 내지 502\_N)의 모든 트랜지스터의 극성을 p채널형으로 할 수 있다. 따라서, 회로(500) 및 회로(502\_1 내지 502\_N)가 화소부와 동일한 기관 위에 형성되는 경우, 공정 수의 저감, 수율 향상 또는 비용 절감을 도모할 수 있다. 특히, 모든 트랜지스터의 극성을 n채널형으로 설정함으로써, 트랜지스터의 반도체층으로서, 비단결정 반도체, 미결정 반도체, 유기 반도체, 또는 산화물 반도체를 사용할 수 있다. 이는 회로(500) 및 회로(502\_1 내지 502\_N)의 구동 주파수가 낮은 경우가 많기 때문이다.
- [0340] [실시 형태 8]
- [0341] 본 실시 형태에서는, 액정 표시 장치에 적용할 수 있는 화소의 구조 및 동작을 설명한다.
- [0342] 도 27a는 액정 표시 장치에 적용할 수 있는 화소 구조의 일례를 도시한다. 화소(5080)는 트랜지스터(5081), 액정 소자(5082) 및 용량 소자(5083)를 포함한다. 트랜지스터(5081)의 게이트는 배선(5085)에 전기적으로 접속된다. 트랜지스터(5081)의 제1 단자는 배선(5084)에 전기적으로 접속된다. 트랜지스터(5081)의 제2 단자는 액정 소자(5082)의 제1 단자에 전기적으로 접속된다. 액정 소자(5082)의 제2 단자는 배선(5087)에 전기적으로 접속된다. 용량 소자(5083)의 제1 단자는 액정 소자(5082)의 제1 단자에 전기적으로 접속된다. 용량 소자(5083)의

제2 단자는 배선(5086)에 전기적으로 접속된다.

- [0343] 배선(5084)은 신호선으로서 기능할 수 있다. 신호선은, 화소의 외부로부터 입력된 신호 전압을 화소(5080)에 전달하기 위한 배선이다. 배선(5085)은 주사선으로서 기능할 수 있다. 주사선은 트랜지스터(5081)의 온 및 오프를 제어하기 위한 배선이다. 배선(5086)은 용량선으로서 기능할 수 있다. 용량선은 용량 소자(5083)의 제2 단자에 소정의 전압을 인가하기 위한 배선이다. 트랜지스터(5081)는 스위치로서 기능할 수 있다. 용량 소자(5083)는 유지 용량 소자로서 기능할 수 있다. 유지 용량 소자는 스위치가 오프 상태에 있어도 신호 전압이 액정 소자(5082)에 계속해서 인가되도록 하는 용량 소자이다. 배선(5087)은 대향 전극으로서 기능할 수 있다. 대향 전극은 액정 소자(5082)의 제2 단자에 소정의 전압을 인가하기 위한 배선이다. 각 배선의 기능은 이에 한정되지 않으며, 각 배선이 다양한 기능을 가질 수 있다는 점에 주목한다. 예를 들어, 용량선에 인가되는 전압을 변화시킴으로써, 액정 소자에 인가되는 전압을 조절할 수 있다. 트랜지스터(5081)는, 단지 스위치로서 기능하기 때문에, p채널형 트랜지스터 또는 n채널형 트랜지스터이어도 된다.
- [0344] 도 27b는 액정 표시 장치에 적용할 수 있는 화소 구조의 일례를 도시한다. 도 27b에 도시한 화소 구조의 예는, 배선(5087)이 생략되고 액정 소자(5082)의 제2 단자와 용량 소자(5083)의 제2 단자가 서로 전기적으로 접속된다는 점을 제외하고는, 도 27a에 도시한 화소 구조의 예와 동일하다. 도 27b에 도시한 화소 구조의 예는, 특히, 횡전계 모드(IPS 모드 및 FFS 모드를 포함함)의 액정 소자를 사용하는 경우에 적용할 수 있다. 이는, 횡전계 모드의 액정 소자인 경우, 액정 소자(5082)의 제2 단자 및 용량 소자(5083)의 제2 단자를 하나의 기판 위에 형성할 수 있으며, 이에 따라 액정 소자(5082)의 제2 단자와 용량 소자(5083)의 제2 단자를 전기적으로 쉽게 접속할 수 있기 때문이다. 도 10b의 화소 구조를 이용함으로써, 배선(5087)을 생략할 수 있고, 이에 따라 제조 공정을 간략화할 수 있으며, 제조 비용을 저감할 수 있다.
- [0345] 도 27a 또는 도 27b에 도시한 복수의 화소 구조는 매트릭스 형상으로 배열될 수 있다. 이에 따라, 액정 표시 장치의 표시부가 형성되고, 다양한 화상을 표시할 수 있다. 도 27c는 도 27a에 도시한 복수의 화소 구조가 매트릭스 형상으로 배열된 경우의 회로 구성을 도시한다. 도 27c는 표시부에 포함된 복수의 화소 중 4개 화소를 도시하는 회로도이다. 제i 행 제j 열에 배치된(i와 j는 각각 자연수) 화소를, 화소(5080<sub>i,j</sub>)로 표기하고, 화소(5080<sub>i,j</sub>)에는, 배선(5084<sub>i</sub>), 배선(5085<sub>j</sub>), 배선(5086<sub>j</sub>)이 전기적으로 접속된다. 마찬가지로, 화소(5080<sub>i+1,j</sub>)에는, 배선(5084<sub>i+1</sub>), 배선(5085<sub>j</sub>), 배선(5086<sub>j</sub>)이 전기적으로 접속된다. 마찬가지로, 화소(5080<sub>i,j+1</sub>)에는, 배선(5084<sub>i</sub>), 배선(5085<sub>j+1</sub>), 배선(5086<sub>j+1</sub>)이 접속된다. 마찬가지로, 화소(5080<sub>i+1,j+1</sub>)에는, 배선(5084<sub>i+1</sub>), 배선(5085<sub>j+1</sub>), 배선(5086<sub>j+1</sub>)이 전기적으로 접속된다. 각 배선은 동일한 열 또는 동일한 행에서의 복수의 화소와 함께 공통으로 사용될 수 있다는 점에 주목한다. 도 27c에 도시한 화소 구조에서, 배선(5087)은 모든 화소들에 의해 공통으로 사용되는 대향 전극이며, 따라서, 배선(5087)은 자연수 i 또는 j에 의해 표기되지 않는다. 또한, 본 실시 형태에서는 도 27b의 화소 구조를 사용하는 것도 가능하기 때문에, 배선(5087)이 기재되어 있는 구조에서도 배선(5087)은 필수적이지 않으며, 예를 들어, 다른 배선이 배선(5087)으로서 기능하는 경우 생략될 수 있다.
- [0346] 도 27c에 도시한 화소 구조는 다양한 방법에 의해 구동될 수 있다. 특히, 화소들이 교류 구동이라 불리는 방법에 의해 구동되면, 액정 소자의 열화(번인(burn-in))를 억제할 수 있다. 도 27d는 교류 구동의 일종인 도트 반전 구동이 수행되는 경우에 도 27c의 화소 구조에서의 각 배선에 인가되는 전압의 타이밍 차트이다. 도트 반전 구동에 의해, 교류 구동이 행해지는 경우에 시인되는 플리커(깜박거림)를 억제할 수 있다. 도 27d는, 배선(5085<sub>j</sub>)에 입력되는 신호(5185<sub>j</sub>), 배선(5085<sub>j+1</sub>)에 입력되는 신호(5185<sub>j+1</sub>), 배선(5084<sub>i</sub>)에 입력되는 신호(5184<sub>i</sub>), 배선(5084<sub>i+1</sub>)에 입력되는 신호(5184<sub>i+1</sub>), 배선(5086<sub>j</sub>)과 배선(5086<sub>j+1</sub>)에 공급되는 전압(5186)을 도시한다.
- [0347] 도 27c의 화소 구조에서, 배선(5085<sub>j</sub>)에 전기적으로 접속되어 있는 화소에서의 스위치는, 한 프레임 기간 중의 제j 게이트 선택 기간에 선택 상태(온 상태)로 되고, 그 외의 기간에는 비선택 상태(오프 상태)로 된다. 이어서, 제j 게이트 선택 기간 후에, 제j+1 게이트 선택 기간이 제공된다. 이러한 방식으로 순차 주사를 수행함으로써, 한 프레임 기간 내에 모든 화소들이 순서대로 선택 상태로 된다. 도 27d의 타이밍 차트에서는, 전압이 하이 레벨인 경우, 화소에서의 스위치가 선택 상태로 되고, 전압이 로우 레벨인 경우, 그 스위치가 비선택 상태로 된다. 이는 화소에서의 트랜지스터가 n채널형 트랜지스터인 경우에 해당되기 때문이라는 점에 주목한다. p 채널형 트랜지스터가 사용되는 경우, 전압과 선택 상태 간의 관계는 n채널형 트랜지스터를 사용하는 경우와 반대로 된다.
- [0348] 도 27d에 도시한 타이밍 차트에서, k번째 프레임(k는 자연수)에서의 제j 게이트 선택 기간에 있어서, 신호선으

로서 사용되는 배선(5084<sub>i</sub>)에 양의 신호 전압이 인가되며, 배선(5084<sub>i+1</sub>)에 음의 신호 전압이 인가된다. 이어서, k번째 프레임에서의 제j+1 게이트 선택 기간에 있어서, 배선(5084<sub>i</sub>)에 음의 신호 전압이 인가되고, 배선(5084<sub>i+1</sub>)에 양의 신호 전압이 인가된다. 그 후, 신호선에는 게이트 선택 기간마다 극성이 반전된 신호가 교대로 인가된다. 따라서, k번째 프레임에서, 화소(5080<sub>i,j</sub>) 및 화소(5080<sub>i+1,j+1</sub>)에는 양의 신호 전압이 인가되고, 화소(5080<sub>i+1,j</sub>) 및 화소(5080<sub>i,j+1</sub>)에는 음의 신호 전압이 인가된다. 이어서, k+1번째 프레임에서, 각 화소에는 k번째 프레임에서 기입된 신호 전압과는 극성이 반대인 신호 전압이 기입된다. 따라서, k+1번째 프레임에서, 화소(5080<sub>i+1,j</sub>) 및 화소(5080<sub>i,j+1</sub>)에는 양의 신호 전압이 인가되고, 화소(5080<sub>i,j</sub>) 및 화소(5080<sub>i+1,j+1</sub>)에는 음의 신호 전압이 인가된다. 이러한 방식으로, 한 프레임에서 인접하는 화소들 간에 극성이 다른 신호 전압이 인가되고 각 프레임에서 화소를 위한 전압 신호의 극성이 반전되는 구동 방법이 도트 반전 구동이다. 도트 반전 구동에 의해, 액정 소자의 열화를 억제하면서, 표시되는 화상 전체 또는 일부가 균일할 경우에 시인되는 플리커를 억제할 수 있다. 배선(5086<sub>j</sub> 및 5086<sub>j+1</sub>)을 포함하는 모든 배선(5086)에 인가되는 전압은 일정한 전압일 수 있다는 점에 주목한다. 또한, 배선(5084)을 위한 신호 전압의 극성만이 타이밍 차트로 도시되어 있지만, 신호 전압은 표시된 극성에 있어서 다양한 값을 취할 수 있다. 여기에서는, 도트(화소)마다 극성이 반전되는 경우를 설명했지만, 본 실시 형태는 이에 한정되지 않고, 복수의 화소마다 극성을 반전시킬 수도 있다. 예를 들어, 2개의 게이트 선택 기간마다 기입되는 신호 전압의 극성을 반전함으로써, 신호 전압의 기입에 의해 소모되는 전력을 저감할 수 있다. 또는, 열마다 극성을 반전시키는 것(소스 라인 반전) 또는 행마다 극성을 반전시키는 것(게이트 라인 반전)도 가능하다.

[0349] 화소(5080)에서의 용량 소자(5083)의 제2 단자에는 한 프레임 기간에 일정한 전압이 인가될 수 있다는 점에 주목한다. 주사선으로서 사용하는 배선(5085)에 인가되는 전압은 한 프레임 기간의 대부분에 있어서 로우 레벨이며, 이는 거의 일정한 전압이 배선(5085)에 인가됨을 의미하며, 따라서, 화소(5080)에서의 용량 소자(5083)의 제2 단자는 배선(5085)에 접속되어도 된다. 도 27e는 액정 표시 장치에 적용할 수 있는 화소 구조의 일례를 도시한다. 도 27e에 도시한 화소 구조는, 도 27c에 도시한 화소 구조와 비교할 때, 배선(5086)이 생략되고 화소(5080) 내의 용량 소자(5083)의 제2 단자와 이전 행의 배선(5085)이 서로 전기적으로 접속되어 있는 것을 특징으로 한다. 구체적으로, 도 27e에 도시한 범위에서, 화소(5080<sub>i,j+1</sub> 및 5080<sub>i+1,j+1</sub>)에서의 용량 소자(5083)의 제2 단자는 배선(5085<sub>j</sub>)에 전기적으로 접속된다. 이러한 방식으로 화소(5080) 내의 용량 소자(5083)의 제2 단자와 이전 행의 배선(5085)을 전기적으로 접속함으로써, 배선(5086)을 생략할 수 있으므로, 화소의 개구율을 증가시킬 수 있다. 용량 소자(5083)의 제2 단자는 이전 행 대신에 다른 행의 배선(5085)에 접속되어도 된다는 점에 주목한다. 또한, 도 27e의 화소 구조는 도 27c의 화소 구조의 구동 방법과 마찬가지로의 구동 방법에 의해 구동될 수 있다.

[0350] 용량 소자(5083) 및 용량 소자(5083)의 제2 단자에 전기적으로 접속되는 배선을 사용함으로써, 신호선으로서 사용하는 배선(5084)에 인가되는 전압을 작게 할 수 있다는 점에 주목한다. 이 경우의 화소 구조 및 구동 방법도 도 27f 및 도 27g를 참조하여 설명한다. 도 27f에 나타내는 화소 구조는, 도 27a에 나타내는 화소 구조와 비교할 때, 2개의 배선(5086)을 화소 행당 배치하고, 인접하는 화소들에서, 한 배선을 용량 소자(5083)의 하나 걸러 위치하는 제2 단자에 전기적으로 접속하고 다른 배선을 용량 소자(5083)의 나머지 하나 걸러 위치하는 제2 단자에 전기적으로 접속하는 것을 특징으로 하고 있다. 2개의 배선(5086)을 배선(5086-1) 및 배선(5086-2)이라 칭할 수 있다. 구체적으로, 도 27f에 표기되어 있는 범위에서, 화소(5080<sub>i,j</sub>)에서의 용량 소자(5083)의 제2 단자는 배선(5086-1<sub>j</sub>)에 전기적으로 접속되고, 화소(5080<sub>i+1,j</sub>)에서의 용량 소자(5083)의 제2 단자는 배선(5086-2<sub>j</sub>)에 전기적으로 접속되고, 화소(5080<sub>i,j+1</sub>)에서의 용량 소자(5083)의 제2 단자는 배선(5086-2<sub>j+1</sub>)에 전기적으로 접속되고, 화소(5080<sub>i+1,j+1</sub>)에서의 용량 소자(5083)의 제2 단자는 배선(5086-1<sub>j+1</sub>)에 전기적으로 접속된다. 도 27g는 배선(5085<sub>j</sub>)에 입력되는 신호(5185<sub>j</sub>), 배선(5085<sub>j+1</sub>)에 입력되는 신호(5185<sub>j+1</sub>), 배선(5084<sub>i</sub>)에 입력되는 신호(5184<sub>i</sub>), 배선(5084<sub>i+1</sub>)에 입력되는 신호(5184<sub>i+1</sub>), 배선(5086-1<sub>j</sub>)에 입력되는 신호(5186-1<sub>j</sub>), 배선(5086-2<sub>j</sub>)에 입력되는 신호(5186-2<sub>j</sub>), 배선(5086-1<sub>j+1</sub>)에 입력되는 신호(5186-1<sub>j+1</sub>), 배선(5086-2<sub>j+1</sub>)에 입력되는 신호(5186-2<sub>j+1</sub>)를 도시한다는 점에 주목한다.

[0351] 예를 들어, 도 27g에 도시한 바와 같이, k번째 프레임에서 화소(5080<sub>i,j</sub>)에 양의 신호 전압이 기입될 경우, 배선(5086-1<sub>j</sub>)은 로우 레벨로 되고, 제j 게이트 선택 기간 후 하이 레벨로 변경된다. 이어서, 배선(5086-1<sub>j</sub>)은 한 프레임 기간에는 하이 레벨을 유지하고, k+1번째 프레임에서 제j 게이트 선택 기간에 음의 신호 전압이 기입된 후, 배선(5086-1<sub>j</sub>)은 하이 레벨로 변경된다. 이러한 방식으로, 양의 신호 전압이 화소에 기입된 후에, 용량 소자(5083)의 제2 단자에 전기적으로 접속되는 배선의 전압을 양의 방향으로 변화시킴으로써, 액정 소자에 인가되는 전압을 양의 방향으로 소정량만큼 변화시킬 수 있다. 즉, 그만큼 화소에 기입되는 신호 전압을 작게 할 수 있어서, 신호 기입에 의해 소비되는 전력을 저감할 수 있다. 제j 게이트 선택 기간에서 음의 신호 전압

이 기입되는 경우에는, 음의 신호 전압이 화소에 기입된 후에 용량 소자(5083)의 제2 단자에 전기적으로 접속되는 배선의 전압을 음의 방향으로 변화시킨다는 점에 주목한다. 이에 따라, 액정 소자에 인가되는 전압을 음의 방향으로 소정량만큼 변화시킬 수 있고, 양의 극성의 경우와 마찬가지로, 화소에 기입하는 신호 전압을 저장할 수 있다. 즉, 용량 소자(5083)의 제2 단자에 전기적으로 접속되는 배선에 대해서는, 한 프레임의 동일한 행에서 양의 신호 전압이 인가되는 화소와 음의 신호 전압이 인가되는 화소를 위해 서로 다른 배선을 사용하는 것이 바람직하다. 도 27f는 k번째 프레임에서 양의 신호 전압이 기입되는 화소에는 배선(5086-1)이 전기적으로 접속되고, k번째 프레임에서 음의 신호 전압이 기입되는 화소에는 배선(5086-2)이 전기적으로 접속되는 예를 도시한다. 그러나, 이는 단지 일례이며, 예를 들어, 양의 신호 전압이 기입되는 화소와 음의 신호 전압이 기입되는 화소가 2개 화소마다 배치되는 구동 방법의 경우에는, 배선(5086-1 및 5086-2)도 이에 따라 2개 화소마다 교대로 전기적으로 접속되는 것이 바람직하다는 점에 주목한다. 또한, 한 행의 모든 화소에 같은 극성의 신호 전압이 기입되는 경우(게이트 라인 반전)에는, 행당 하나의 배선(5086)을 배치해도 된다. 즉, 도 27c에 나타내는 화소 구조에서, 도 27f 및 도 27g를 참조하여 설명하는 바와 같이, 화소에 기입하는 신호 전압을 저장하는 구동 방법을 이용할 수 있다.

[0352] 이어서, 액정 소자가 MVA 모드 또는 PVA 모드로 대표되는 수직 배향(VA) 모드를 사용하는 경우에 특히 바람직한 화소 구조 및 그 구동 방법을 설명한다. VA 모드는, 제조 시에 러빙 공정이 불필요하고, 흑색 표시 시의 광 누설이 적고, 구동 전압이 낮은 우수한 특징을 갖고 있지만, 화면을 비스듬한 각도로 보면 화질이 열화되는(시야각이 좁은) 문제점도 갖는다. VA 모드의 시야각을 넓게 하기 위해, 도 28a 및 도 28b에 도시한 바와 같이, 한 화소가 복수의 부화소(서브 픽셀)를 포함하는 화소 구조가 유효하다. 도 28a 및 도 28b에 도시한 화소 구조는 화소(5080)가 2개의 부화소(부화소(5080-1) 및 부화소(5080-2))를 포함하는 경우의 일례이다. 1개의 화소에서의 부화소의 수는 2개로 한정되지 않고, 다양한 수가 가능하다는 점에 주목한다. 부화소의 수가 증가할수록 시야각을 더욱 증가시킬 수 있다. 복수의 부화소는 동일한 회로 구성을 가질 수 있으며, 여기서는, 모든 부화소가 도 27a에 도시한 회로 구성을 갖는다. 제1 부화소(5080-1)는 트랜지스터(5081-1), 액정 소자(5082-1) 및 용량 소자(5083-1)를 포함한다. 접속 관계는 도 27a의 회로 구성에서의 접속 관계와 동일하다. 마찬가지로, 제2 부화소(5080-2)는 트랜지스터(5081-2), 액정 소자(5082-2) 및 용량 소자(5083-2)를 포함한다. 접속 관계는 도 27a의 회로 구성에서의 접속 관계와 동일하다.

[0353] 도 28a의 화소 구조는, 1 화소를 형성하는 2개의 부화소에 대하여, 주사선으로서 사용하는 2개의 배선(5085)(배선(5085-1) 및 배선(5085-2)), 신호선으로서 사용하는 1개의 배선(5084), 용량선으로서 사용하는 1개의 배선(5086)을 포함한다. 이러한 방식으로 신호선 및 용량선을 2개의 부화소에서 공유함으로써, 개구율을 증가시킬 수 있다. 또한, 신호선 구동 회로를 간략화할 수 있으므로, 제조 비용을 저감할 수 있다. 또한, 액정 패널과 구동 회로 IC 간의 접속 수를 저감할 수 있고, 수율을 증가시킬 수 있다. 도 28B의 화소 구조는, 1 화소를 형성하는 2개의 부화소에 대하여, 주사선으로서 사용하는 1개의 배선(5085), 신호선으로서 사용하는 2개의 배선(5084)(배선(5084-1) 및 배선(5084-2)), 용량선으로서 사용하는 1개의 배선(5086)을 포함한다. 이러한 방식으로 주사선 및 용량선을 2개의 부화소에서 공유함으로써, 개구율을 증가시킬 수 있다. 또한, 주사선의 총 수를 저감할 수 있으므로, 고 해상도 액정 패널에서도 하나의 게이트선 선택 기간을 충분히 길게 할 수 있고, 각 화소에 적절한 신호 전압을 기입할 수 있다.

[0354] 도 28c와 도 28d는 도 28b의 화소 구조에서의 액정 소자를 화소 전극의 형상으로 대체하고 각 소자의 전기적 접속을 개략적으로 도시한 일례이다. 도 28c와 도 28d에서, 전극(5088-1)은 제1 화소 전극을 나타내고, 전극(5088-2)은 제2 화소 전극을 나타낸다. 도 28c에서, 제1 화소 전극(5088-1)은 도 28b의 액정 소자(5082-1)의 제1 단자에 상당하고, 제2 화소 전극(5088-2)은 도 28b의 액정 소자(5082-2)의 제1 단자에 상당한다. 즉, 제1 화소 전극(5088-1)은 트랜지스터(5081-1)의 소스와 드레인 중 한쪽에 전기적으로 접속되고, 제2 화소 전극(5088-2)은 트랜지스터(5081-2)의 소스와 드레인 중 한쪽에 전기적으로 접속된다. 도 28d에서는, 화소 전극과 트랜지스터 간의 접속 관계가 도 28c의 접속 관계와 반대로 된다. 즉, 제1 화소 전극(5088-1)은 트랜지스터(5081-2)의 소스와 드레인 중 한쪽에 전기적으로 접속되고, 제2 화소 전극(5088-2)은 트랜지스터(5081-1)의 소스와 드레인 중 한쪽에 전기적으로 접속된다.

[0355] 도 28c 또는 도 28d에 도시한 바와 같이 복수의 화소 구조를 매트릭스 형상으로 배치함으로써, 특별한 효과를 얻을 수 있다. 이러한 화소 구조 및 그 구동 방법의 일례를 도 28e 및 도 28f에 도시한다. 도 28e의 화소 구조에서는, 화소(5080<sub>i,j</sub> 및 5080<sub>i+1,j+1</sub>)에 상당하는 부분이 도 28c에 도시한 구조를 갖고, 화소(5080<sub>i+1,j</sub> 및 5080<sub>i,j+1</sub>)에 상당하는 부분이 도 28d에 도시한 구조를 갖는다. 이러한 구조를 도 28f의 타이밍 차트에서 도시한 바와 같이 구동하면, 화소(5080<sub>i,j</sub>)의 제1 화소 전극 및 화소(5080<sub>i+1,j</sub>)의 제2 화소 전극에 양의 신

호 전압이 기입되고, 화소(5080<sub>i,j</sub>)의 제2 화소 전극 및 화소(5080<sub>i+1,j</sub>)의 제1 화소 전극에 음의 신호 전압이 기입된다. 이어서, k번째 프레임의 제j+1 게이트 선택 기간에, 화소(5080<sub>i,j+1</sub>)의 제2 화소 전극 및 화소(5080<sub>i+1,j+1</sub>)의 제1 화소 전극에는 양의 신호 전압이 기입되고, 화소(5080<sub>i,j+1</sub>)의 제1 화소 전극 및 화소(5080<sub>i+1,j+1</sub>)의 제2 화소 전극에는 음의 신호 전압이 기입된다. k+1번째 프레임에서는, 각 화소에서 신호 전압의 극성이 반전된다. 이에 따라, 부화소를 포함하는 화소 구조에서 도트 반전 구동에 상응하는 구동을 실현 하면서, 신호선에 인가되는 전압의 극성을 하나의 프레임 기간에서 동일하게 할 수 있으므로, 화소에 신호 전압을 기입함으로써 소비되는 전력을 대폭 저감할 수 있다. 배선(5086<sub>j</sub> 및 5086<sub>j+1</sub>)을 포함하는 모든 배선(5086)에 인가되는 전압은 일정한 전압일 수 있다는 점에 주목한다. 도 27f는 배선(5085<sub>j</sub>)에 입력되는 신호(5185<sub>j</sub>), 배선(5085<sub>j+1</sub>)에 입력되는 신호(5185<sub>j+1</sub>), 배선(5084-1<sub>i</sub>)에 입력되는 신호(5184-1<sub>i</sub>), 배선(5084-2<sub>i</sub>)에 입력되는 신호(5184-2<sub>i</sub>), 배선(5084-1<sub>i+1</sub>)에 입력되는 신호(5184-1<sub>i+1</sub>), 배선(5084-2<sub>i+1</sub>)에 입력되는 신호(5184-2<sub>i+1</sub>), 배선(5086<sub>j</sub> 및 5086<sub>j+1</sub>)에 공급되는 전압(5186)을 나타낸다.

[0356] 또한, 도 28g 및 도 28h에 도시한 화소 구조 및 그 구동 방법에 의해, 화소에 기입되는 신호 전압의 레벨을 저감할 수 있다. 이 구조에서는, 각 화소에 포함되는 복수의 부화소가 각 용량선에 전기적으로 접속된다. 즉, 도 28g 및 도 28h에 도시한 화소 구조 및 그 구동 방법에 따르면, 동일한 극성의 신호 전압들이 한 프레임에서 기입되는 한 행 내의 부화소를 하나의 용량선과 공유하고, 한 프레임에서 극성이 서로 다른 신호 전압들이 기입되는 부화소는 한 행의 서로 다른 용량선들을 사용한다. 이어서, 각 행의 기입이 종료되면, 용량선의 전압을, 양의 신호 전압이 기입된 부화소에서는 양의 방향으로, 음의 신호 전압이 기입된 부화소에서는 음의 방향으로 변화시킴으로써, 화소에 기입되는 신호 전압의 레벨을 저감할 수 있다. 구체적으로, 용량선으로서 사용하는 2개의 배선(5086)(배선(5086-1 및 5086-2))을 행마다 배치한다. 화소(5080<sub>i,j</sub>)의 제1 화소 전극과 배선(5086-1<sub>j</sub>)은 용량 소자를 통해 전기적으로 접속된다. 화소(5080<sub>i,j</sub>)의 제2 화소 전극과 배선(5086-2<sub>j</sub>)은 용량 소자를 통해 전기적으로 접속된다. 화소(5080<sub>i+1,j</sub>)의 제1 화소 전극과 배선(5086-1<sub>j</sub>)은 용량 소자를 통해 전기적으로 접속된다. 화소(5080<sub>i+1,j</sub>)의 제2 화소 전극과 배선(5086-2<sub>j+1</sub>)은 용량 소자를 통해 전기적으로 접속된다. 화소(5080<sub>i,j+1</sub>)의 제1 화소 전극과 배선(5086-1<sub>j+1</sub>)은 용량 소자를 통해 전기적으로 접속된다. 화소(5080<sub>i,j+1</sub>)의 제2 화소 전극과 배선(5086-2<sub>j+1</sub>)은 용량 소자를 통해 전기적으로 접속된다. 화소(5080<sub>i+1,j+1</sub>)의 제1 화소 전극과 배선(5086-1<sub>j+1</sub>)은 용량 소자를 통해 전기적으로 접속된다. 화소(5080<sub>i+1,j+1</sub>)의 제2 화소 전극과 배선(5086-2<sub>j+1</sub>)은 용량 소자를 통해 전기적으로 접속된다. 이는 단지 일례이며, 예를 들어, 양의 신호 전압이 기입되는 화소와 음의 신호 전압이 기입되는 화소가 2개 화소마다 배치되는 구동 방법을 사용하는 경우에는, 배선(5086-1) 및 배선(5086-2)의 전기적 접속도 이에 따라 2개 화소마다 교대로 행하는 것이 바람직하다. 또한, 한 행의 모든 화소에서 동일한 극성의 신호 전압이 기입되는 경우(게이트 라인 반전)에는, 해당 1개의 배선(5086)을 배치해도 된다. 즉, 도 28e의 화소 구조에서, 도 28g와 도 28h를 참조하여 설명한 바와 같이 화소에 기입하는 신호 전압을 저감하는 구동 방법을 사용할 수 있다. 도 28h는 배선(5085<sub>j</sub>)에 입력되는 신호(5185<sub>j</sub>), 배선(5085<sub>j+1</sub>)에 입력되는 신호(5185<sub>j+1</sub>), 배선(5084-1<sub>i</sub>)에 입력되는 신호(5184-1<sub>i</sub>), 배선(5084-2<sub>i</sub>)에 입력되는 신호(5184-2<sub>i</sub>), 배선(5084-1<sub>i+1</sub>)에 입력되는 신호(5184-1<sub>i+1</sub>), 배선(5084-2<sub>i+1</sub>)에 입력되는 신호(5184-2<sub>i+1</sub>), 배선(5086-1<sub>j</sub>)에 입력되는 신호(5186-1<sub>j</sub>), 배선(5086-2<sub>j</sub>)에 입력되는 신호(5186-2<sub>j</sub>), 배선(5086-1<sub>j+1</sub>)에 입력되는 신호(5186-1<sub>j+1</sub>), 배선(5086-2<sub>j+1</sub>)에 입력되는 신호(5186-2<sub>j+1</sub>)를 도시한다는 점에 주목한다.

[0357] 본 실시 형태의 화소와, 실시 형태 1 내지 실시 형태 7의 반도체 장치, 시프트 레지스터 또는 표시 장치를 조합함으로써, 다양한 장점을 얻을 수 있다. 예를 들어, 서브 픽셀 구조의 화소를 사용하는 경우, 표시 장치를 구동하기 위해 필요한 신호의 수가 증가하므로, 게이트선의 수 또는 소스선의 수가 증가하는 경우가 있다. 그 결과, 화소부가 형성되는 기판과 외부 회로 간의 접속 수가 크게 증가하는 경우가 있다. 그러나, 게이트선의 수가 증가해도, 실시 형태 5에 도시한 바와 같이 주사선 구동 회로를 화소부와 동일한 기판 위에 형성할 수 있다. 따라서, 화소부가 형성되는 기판과 외부 회로 간의 접속 수를 크게 증가시키지 않고, 부화소 구조의 화소를 사용할 수 있다. 또는, 소스선의 수가 증가해도, 실시 형태 7의 신호선 구동 회로를 사용함으로써, 소스선의 수를 감소시킬 수 있다. 따라서, 화소부가 형성되는 기판과 외부 회로 간의 접속 수를 크게 증가시키지 않고, 부화소 구조의 화소를 사용할 수 있다.

[0358] 또는, 용량선에 신호를 입력하는 경우, 화소부가 형성되는 기판과 외부 회로 간의 접속 수가 크게 증가하는 경우가 있다. 따라서, 용량선에, 실시 형태 1 내지 실시 형태 4의 반도체 장치 또는 시프트 레지스터를 사용해서 신호를 공급할 수 있다. 또한, 실시 형태 1 내지 실시 형태 4의 반도체 장치 또는 시프트 레지스터는 화소부와 동일한 기판 위에 형성할 수 있다. 따라서, 화소부가 형성되는 기판과 외부 회로 간의 접속 수를 크게 증가시

키지 않고, 용량선에 신호를 입력할 수 있다.

[0359] 또는, 교류 구동을 사용하는 경우, 화소에 비디오 신호를 기입하는 시간이 길어진다. 그 결과, 화소에 비디오 신호를 기입하는 시간이 충분하지 못한 경우가 있다. 마찬가지로, 부화소 구조의 화소를 사용하는 경우, 화소에 비디오 신호를 기입하는 시간이 짧아진다. 그 결과, 화소에 비디오 신호를 기입하는 충분한 시간을 얻지 못하는 경우가 있다. 실시 형태 7의 신호선 구동 회로를 사용함으로써, 화소에 비디오 신호를 기입할 수 있다. 이 경우, 화소에 비디오 신호를 기입하기 전에 화소에 프리차지용 전압을 기입하므로, 화소에 비디오 신호를 짧은 시간에 기입할 수 있다. 또는, 도 24, 도 25a 및 도 25b에 도시한 바와 같이, 한 행이 선택되는 기간과 다른 한 행이 선택되는 기간을 겹치는 것에 의해, 다른 행의 비디오 신호를 프리차지용 전압으로서 사용할 수 있다.

[0360] 본 실시 형태의 화소의 구동 방법과, 도 24, 도 25a 및 도 25b의 구동 방법을 조합함으로써, 화소에의 비디오 신호의 기입 기간을 짧게 할 수 있다는 점에 주목한다. 이를 도 29a의 타이밍 차트 및 도 27c의 화소 구조를 참조하여 상세하게 설명한다. k번째 프레임에서는, 배선(5084<sub>i</sub>)에는 양의 비디오 신호가 입력되고, 배선(5084<sub>i+1</sub>)에는 음의 비디오 신호가 입력된다. 또한, k+1번째 프레임에서는, 배선(5084<sub>i</sub>)에는 음의 비디오 신호가 입력되고, 배선(5084<sub>i+1</sub>)에는 양의 비디오 신호가 입력된다. k+1번째 프레임에서는, 소위 소스 라인 반전 구동이 수행된다. 또한, 일레로서, 배선(5085<sub>j</sub>)에 H 신호가 입력되는 기간의 후반과 배선(5085<sub>j+1</sub>)에 H 신호가 입력되는 기간의 전반이 서로 겹친다. 또한, k-1번째 프레임에서, 화소(5080<sub>i</sub> 및 5080<sub>j+1</sub>)에는 음의 비디오 신호가 기입되어 유지된다. 화소(5080<sub>i+1</sub> 및 5080<sub>j+1</sub>)에는 양의 비디오 신호가 기입되어 유지된다. 도 29a는, 배선(5085<sub>j</sub>)에 입력되는 신호(5185<sub>j</sub>), 배선(5085<sub>j+1</sub>)에 입력되는 신호(5185<sub>j+1</sub>), 배선(5084<sub>i</sub>)에 입력되는 신호(5184<sub>i</sub>), 배선(5084<sub>i+1</sub>)에 입력되는 신호(5184<sub>i+1</sub>)를 도시한다는 점에 주목한다.

[0361] 우선, k번째 프레임에서, 배선(5085<sub>j</sub>)에 H 신호가 입력되는 기간과 배선(5085<sub>j+1</sub>)에 H 신호가 입력되는 기간이 서로 겹치는 기간에서는, 양의 비디오 신호가 화소(5080<sub>i</sub> 및 5080<sub>j</sub>)에 기입되고, 음의 비디오 신호가 화소(5080<sub>i+1</sub> 및 5080<sub>j</sub>)에 기입된다. 이때, 양의 비디오 신호는 화소(5080<sub>i</sub> 및 5080<sub>j+1</sub>)에도 기입되고, 음의 비디오 신호는 화소(5080<sub>i+1</sub> 및 5080<sub>j+1</sub>)에도 기입된다. 이러한 방식으로, 제 j 행에 속하는 화소에 기입되는 비디오 신호를 사용하여, 제 j+1 행에 속하는 화소가 프리차지된다. 그 후, k번째 프레임에서, 배선(5080<sub>j+1</sub>)에 H 신호가 입력되는 기간의 후반에서는, 양의 비디오 신호가 화소(5080<sub>i</sub> 및 5080<sub>j+1</sub>)에 기입되고, 음의 비디오 신호가 화소(5080<sub>i+1</sub> 및 5080<sub>j+1</sub>)에 기입된다. 물론, 양의 비디오 신호가 화소(5080<sub>i</sub> 및 5080<sub>j+2</sub>)에 기입되므로, 화소(5080<sub>i</sub> 및 5080<sub>j+2</sub>)가 프리차지된다. 마찬가지로, 음의 비디오 신호가 화소(5080<sub>i+1</sub> 및 5080<sub>j+2</sub>)에 기입되므로, 화소(5080<sub>i+1</sub> 및 5080<sub>j+2</sub>)가 프리차지된다. 이러한 방식으로, 제 j 행에 속하는 화소에 기입되는 비디오 신호를 사용하여, 제 j+1 행에 속하는 화소를 프리차지함으로써, 제 j+1 행에 속하는 화소에의 비디오 신호를 기입하는 시간을 짧게 할 수 있다.

[0362] 도 29a의 구동 방법과 도 29b의 화소 구조를 조합함으로써, 도트 반전 구동을 실현할 수 있다는 점에 주목한다. 도 29b의 화소 구조에서, 화소(5080<sub>i</sub> 및 5080<sub>j</sub>)는 배선(5084<sub>i</sub>)에 접속된다. 한편, 화소(5080<sub>i</sub> 및 5080<sub>j+1</sub>)는 배선(5084<sub>i+1</sub>)에 접속된다. 즉, 제 i 열에 속하는 각 화소는, 한 행에 대하여 배선(5084<sub>i</sub>) 또는 배선(5084<sub>i+1</sub>)에 교대로 접속된다. 이러한 방식으로, 제 i 열에 속하는 각 화소에는 양의 비디오 신호 또는 음의 비디오 신호가 교대로 기입되므로, 도트 반전 구동을 실현할 수 있다. 그러나, 본 실시 형태는 이에 한정되지 않는다. 제 i 열에 속하는 각 화소는, 복수의 행(예를 들어, 2개 행이나 3개 행)에 대하여, 배선(5084<sub>i</sub>) 또는 배선(5084<sub>i+1</sub>)에 교대로 접속될 수 있다.

[0363] [실시 형태 9]

[0364] 본 실시 형태에서는, 트랜지스터의 구조의 예를 도 32a, 도 32b 및 도 32c를 참조하여 설명한다.

[0365] 도 32a는 톱 게이트형 트랜지스터의 구조의 일례를 도시한다. 도 32b는 보텀 게이트형 트랜지스터의 구조의 일례를 도시한다. 도 32c는 반도체 기판을 사용해서 형성되는 트랜지스터의 구조의 일례를 도시한다.

[0366] 도 32a는, 기판(5260), 기판(5260) 위에 형성되는 절연층(5261), 절연층(5261) 위에 형성되고 영역(5262a), 영역(5262b), 영역(5262c), 영역(5262d) 및 영역(5262e)을 갖는 반도체층(5262), 반도체층(5262)을 덮도록 형성되는 절연층(5263), 반도체층(5262) 및 절연층(5263) 위에 형성되는 도전층(5264), 절연층(5263) 및 도전층(5264) 위에 형성되고 개구부를 갖는 절연층(5265), 절연층(5265) 위 및 절연층(5265)의 개구부에 형성되는 도전층(5266), 도전층(5266) 및 절연층(5265)의 위에 형성되고 개구부를 갖는 절연층(5267), 절연층(5267) 및 절연층(5267)의 개구부에 형성되는 도전층(5268), 절연층(5267) 위 및 도전층(5268) 위에 형성되고 개구부를 갖는

절연층(5269), 절연층(5269) 위 및 절연층(5269)의 개구부에 형성되는 발광층(5270), 및 절연층(5269) 및 발광층(5270) 위에 형성되는 도전층(5271)을 도시한다.

[0367] 도 32b는, 기관(5300), 기관(5300) 위에 형성되는 도전층(5301), 도전층(5301)을 덮도록 형성되는 절연층(5302), 도전층(5301) 및 절연층(5302) 위에 형성되는 반도체층(5303a), 반도체층(5303a) 위에 형성되는 반도체층(5303b), 반도체층(5303b) 및 절연층(5302) 위에 형성되는 도전층(5304), 절연층(5302) 및 도전층(5304) 위에 형성되며 개구부를 갖는 절연층(5305), 절연층(5305) 위 및 절연층(5305)의 개구부에 형성되는 도전층(5306), 절연층(5305) 및 도전층(5306) 위에 형성되는 액정층(5307), 및 액정층(5307) 위에 형성되는 도전층(5308)을 도시한다.

[0368] 도 32c는, 영역(5353) 및 영역(5355)을 포함하는 반도체 기관(5352), 반도체 기관(5352) 위에 형성되는 절연층(5356), 반도체 기관(5352) 위에 형성되는 절연층(5354), 절연층(5356) 위에 형성되는 도전층(5357), 절연층(5354), 절연층(5356) 및 도전층(5357) 위에 형성되고 개구부를 갖는 절연층(5358), 및 절연층(5358) 위 및 절연층(5358)의 개구부에 형성되는 도전층(5359)을 도시한다. 따라서, 영역(5350) 및 영역(5351)의 각각에 트랜지스터가 형성된다.

[0369] 절연층(5261)은 베이스막으로서 기능할 수 있다. 절연층(5354)은 소자 분리층(예를 들어 필드 산화막)으로서 기능한다. 절연층(5263), 절연층(5302) 및 절연층(5356)의 각각은 게이트 절연막으로서 기능할 수 있다. 도전층(5264), 도전층(5301) 및 도전층(5357)의 각각은 게이트 전극으로서 기능할 수 있다. 절연층(5265), 절연층(5267), 절연층(5305) 및 절연층(5358)의 각각은 층간막 또는 평탄화 막으로서 기능할 수 있다. 도전층(5266), 도전층(5304) 및 도전층(5359)의 각각은 배선, 트랜지스터의 전극, 용량 소자의 전극 등으로서 기능할 수 있다. 도전층(5268) 및 도전층(5306)의 각각은 화소 전극, 반사 전극 등으로서 기능할 수 있다. 절연층(5269)은 बैं크로서 기능할 수 있다. 도전층(5271) 및 도전층(5308)의 각각은 대향 전극, 공통 전극 등으로서 기능할 수 있다.

[0370] 기관(5260) 및 기관(5300)의 각각으로는, 예를 들어, 유리 기관, 석영 기관, 실리콘 기관, 금속 기관, 스테인리스 스틸 기관, 가요성 기관 등을 사용할 수 있다. 유리 기관으로는, 예를 들어, 바륨 붕규산 유리 기관, 알루미늄 붕규산 유리 기관 등이 사용될 수 있다. 가요성 기관으로는, 예를 들어, 폴리에틸렌 테레프탈레이트(PET), 폴리에틸렌 나프탈레이트(PEN), 폴리에테르 술폰(PES)으로 대표되는 플라스틱, 또는 아크릴 등의 가요성을 갖는 합성 수지를 사용할 수 있다. 또는, 접합 필름(폴리프로필렌, 폴리에스테르, 비닐, 폴리불화비닐, 염화비닐 등을 사용하여 형성됨), 섬유 재질의 종이, 기재 필름(폴리에스테르, 폴리아미드, 무기 기상 증착 필름, 종이 등을 사용하여 형성됨) 등이 있다.

[0371] 반도체 기관(5352)으로는, 예를 들어, n형 또는 p형 도전성을 갖는 단결정 실리콘 기관을 사용할 수 있다. 본 실시 형태는 이에 한정되지 않고, 기관(5260)과 마찬가지로의 것을 사용할 수 있다는 점에 주목한다. 예를 들어, 영역(5353)은 반도체 기관(5352)에 불순물이 첨가된 영역이며, 웰로서 기능한다. 예를 들어, 반도체 기관(5352)이 p형 도전성을 갖는 경우, 영역(5353)은 n형 도전형을 갖고, n웰로서 기능한다. 반면에, 반도체 기관(5352)이 n형 도전성을 갖는 경우, 영역(5353)은 p형 도전성을 갖고, p웰로서 기능한다. 예를 들어, 영역(5355)은 불순물이 반도체 기관(5352)에 첨가된 영역이며, 소스 영역 또는 드레인 영역으로서 기능한다. 반도체 기관(5352)에 LDD 영역을 형성할 수 있다는 점에 주목한다.

[0372] 절연층(5261)으로는, 산화 규소(SiO<sub>x</sub>), 질화 규소(SiN<sub>x</sub>), 산화 질화 규소(SiO<sub>x</sub>N<sub>y</sub>)(x>y) 또는 질화 산화 규소(SiN<sub>x</sub>O<sub>y</sub>)(x>y) 등의 산소 혹은 질소를 갖는 절연막의 단층 구조 또는 이러한 절연막의 적층 구조를 사용할 수 있다. 절연막(5261)이 2층 구조를 갖는 경우의 예에서는, 질화 규소막과 산화 규소막을 제1 절연막과 제2 절연막으로서 각각 형성할 수 있다. 절연층(5261)이 3층 구조를 갖는 경우의 예에서는, 산화 규소막, 질화 규소막, 산화 규소막을 제1 절연막, 제2 절연막, 제3 절연막으로서 각각 형성할 수 있다.

[0373] 반도체층(5262), 반도체층(5303a) 및 반도체층(5303b)의 각각의 일례로는, 비정질 반도체, 미결정(마이크로 크리스탈) 반도체, 다결정 반도체, 단결정 반도체, 산화물 반도체(예를 들어, 산화아연(ZnO) 또는 IGZO(InGaZnO)), 혹은 화합물 반도체(예를 들어, 비화 갈륨(GaAs) 등)의 단층 구조 또는 이들의 적층 구조가 가능하다.

[0374] 예를 들어, 영역(5262a)은 불순물이 반도체층(5262)에 첨가되지 않은 진성 영역이며, 채널 영역으로서 기능한다는 점에 주목한다. 그러나, 영역(5262a)에 소량의 불순물을 첨가할 수 있다. 영역(5262a)에 첨가되는 불순물의 농도는 영역(5262b), 영역(5262c), 영역(5262d) 또는 영역(5262e)에 첨가되는 불순물의 농도보다 낮은 것이

바람직하다. 영역(5262b) 및 영역(5262d)의 각각은 불순물이 저 농도로 첨가된 영역이며, LDD(Lightly Doped Drain: LDD) 영역으로서 기능한다. 영역(5262b) 및 영역(5262d)을 생략할 수 있다는 점에 주목한다. 영역(5262c) 및 영역(5262e)의 각각은 불순물이 고 농도로 첨가된 영역이며, 소스 영역 또는 드레인 영역으로서 기능한다.

- [0375] 반도체층(5262)을 트랜지스터에 사용하는 경우에는, 영역(5262c)의 도전형과 영역(5262e)의 도전형이 같은 것이 바람직하다는 점에 주목한다.
- [0376] 반도체층(5303b)은 불순물 원소로서 인 등이 첨가된 반도체층이며, n형 도전성을 갖는다는 점에 주목한다.
- [0377] 반도체층(5303a)으로서, 산화물 반도체 또는 화합물 반도체가 사용되는 경우, 반도체층(5303b)을 생략할 수 있다는 점에 주목한다.
- [0378] 절연층(5263), 절연층(5302) 및 절연층(5356)의 각각에 대해서는, 산화 규소(SiO<sub>x</sub>), 질화 규소(SiN<sub>x</sub>), 산화 질화 규소(SiO<sub>x</sub>N<sub>y</sub>)(x>y), 또는 질화 산화 규소(SiN<sub>x</sub>O<sub>y</sub>)(x>y) 등의 산소 혹은 질소를 갖는 절연막의 단층 구조 또는 이들의 적층 구조를 사용할 수 있다.
- [0379] 도전층(5264), 도전층(5266), 도전층(5268), 도전층(5271), 도전층(5301), 도전층(5304), 도전층(5306), 도전층(5308), 도전층(5357) 및 도전층(5359)의 각각에 대한 예로는, 단층 구조 또는 적층 구조 등의 도전막을 사용할 수 있다. 예를 들어, 도전막으로는, 알루미늄(Al), 탄탈(Ta), 티타늄(Ti), 몰리브덴(Mo), 텅스텐(W), 네오디뮴(Nd), 크롬(Cr), 니켈(Ni), 백금(Pt), 금(Au), 은(Ag), 구리(Cu), 망간(Mn), 코발트(Co), 니오븀(Nb), 실리콘(Si), 철(Fe), 팔라듐(Pd), 탄소(C), 스칸듐(Sc), 아연(Zn), 인(P), 붕소(B), 비소(As), 갈륨(Ga), 인듐(In), 주석(Sn), 산소(O)로 이루어지는 군에서 선택되는 하나의 원소를 갖는 단층막, 또는 상기 군에서 선택되는 하나 이상의 원소를 포함하는 화합물 등이 가능하다. 예를 들어, 화합물은, 상기 군에서 선택된 하나 이상의 원소를 포함하는 합금(예를 들어, 인듐 주석 산화물(ITO), 인듐 아연 산화물(IZO), 산화 규소를 포함하는 인듐 주석 산화물(ITSO), 산화아연(ZnO), 산화주석(SnO), 산화주석 카드뮴(CTO), 알루미늄 네오디뮴(Al-Nd), 마그네슘 은(Mg-Ag), 몰리브덴 니오븀(Mo-Nb), 몰리브덴 텅스텐(Mo-W), 몰리브덴 탄탈(Mo-Ta) 등의 합금 재료), 상기 군에서 선택된 하나 이상의 원소와 질소의 화합물(예를 들어, 질화티타늄, 질화 탄탈, 질화 몰리브덴 등의 질화막), 또는 상기 군에서 선택된 하나 이상의 원소와 실리콘의 화합물(예를 들어, 텅스텐 실리사이드, 티타늄 실리사이드, 니켈 실리사이드, 알루미늄 실리콘, 또는 몰리브덴 실리콘 등의 실리사이드막) 등이 있다. 또는, 카본 나노튜브, 유기 나노튜브, 무기 나노튜브, 또는 금속 나노튜브 등의 나노튜브 재료를 사용할 수 있다.
- [0380] 실리콘(Si)은 n형 불순물(예를 들어, 인) 또는 p형 불순물(예를 들어, 붕소)을 포함할 수 있다는 점에 주목한다.
- [0381] 구리가 도전층으로서 사용되는 경우, 부착성을 향상시키기 위해 적층 구조를 사용하는 것이 바람직하다는 점에 주목한다.
- [0382] 산화물 반도체 또는 실리콘과 접촉하는 도전층으로는, 몰리브덴 또는 티타늄을 사용하는 것이 바람직하다는 점에 주목한다.
- [0383] 도전층으로서 네오디뮴과 알루미늄의 합금 재료를 사용함으로써, 알루미늄이 hillock을 쉽게 야기하지 않는다는 점에 주목한다.
- [0384] 도전층으로서, 실리콘 등의 반도체 재료를 사용하는 경우, 실리콘 등의 반도체 재료를 트랜지스터의 반도체층과 동시에 형성할 수 있다는 점에 주목한다.
- [0385] ITO, IZO, ITS0, ZnO, Si, SnO, CTO, 카본 나노튜브 등은 투광성을 갖고 있으므로, 이러한 재료를 화소 전극, 대향 전극, 또는 공통 전극 등의 광을 투과시키는 부분에 사용할 수 있다는 점에 주목한다.
- [0386] 저 저항 재료(예를 들어, 알루미늄)를 함유하는 적층 구조를 사용함으로써, 배선 저항을 작게 할 수 있다는 점에 주목한다.
- [0387] 저 내열성의 재료(예를 들어, 알루미늄)를 고 내열성의 재료들(예를 들어, 몰리브덴, 티타늄 또는 네오디뮴 등) 사이에 끼우는 적층 구조를 사용함으로써, 저 내열성의 재료가 갖는 장점을 효과적으로 이용하면서 배선, 전극 등의 내열성을 증가시킬 수 있다는 점에 주목한다.
- [0388] 다른 재료와의 반응에 의해 성질이 변화하는 재료를, 그 다른 재료와 쉽게 반응하지 않는 재료들 사이에 또는 이러한 재료들로 피복할 수 있다는 점에 주목한다. 예를 들어, ITO와 알루미늄을 서로 접촉하는 경우에, ITO와

알루미늄 사이에 네오디뮴 합금, 티타늄, 또는 몰리브덴을 끼우는 것이 가능하다. 예를 들어, 실리콘과 알루미늄을 서로 접속하는 경우에는, 실리콘과 알루미늄 사이에 네오디뮴 합금, 티타늄, 또는 몰리브덴을 끼우는 것이 가능하다. 이러한 재료는 배선, 전극, 도전층, 도전막, 단자, 비아, 플러그 등에도 사용할 수 있다.

- [0389] 상술한 도전막이 적층 구조를 갖도록 형성되는 경우에, 예를 들어, Al을 Mo, Ti 등 사이에 끼우는 구조가 바람직하다는 점에 주목한다. 따라서, Al의 열 또는 화학 반응에 대한 내성을 개선할 수 있다.
- [0390] 절연층(5265), 절연층(5267), 절연층(5269), 절연층(5305) 및 절연층(5358)의 각각의 예로는, 단층 구조 또는 적층 구조의 절연막 등을 사용할 수 있다. 예를 들어, 그 절연막으로는, 산화 규소(SiO<sub>x</sub>), 질화 규소(SiN<sub>x</sub>), 혹은 산화 질화 규소(SiO<sub>x</sub>N<sub>y</sub>)(x>y), 질화 산화 규소(SiN<sub>x</sub>O<sub>y</sub>)(x>y) 등의 산소 혹은 질소를 포함하는 절연막, DLC(다이아몬드-라이크 카본) 등의 탄소를 포함하는 막, 실록산 수지, 에폭시, 폴리이미드, 폴리아미드, 폴리비닐페놀, 벤조시클로부텐, 혹은 아크릴 등의 유기 재료를 사용할 수 있다.
- [0391] 발광층(5270)으로는, 유기 EL 소자, 무기 EL 소자 등이 가능하다. 유기 EL 소자로는, 예를 들어, 정공 주입 재료를 사용하여 형성된 정공 주입층, 정공 수송 재료를 사용하여 형성된 정공 수송층, 발광 재료를 사용하여 형성된 발광층, 전자 수송 재료를 사용하여 형성된 전자 수송층, 전자 주입 재료를 사용하여 형성된 전자 주입층, 또는 이러한 복수의 재료가 혼합된 층의 단층 구조 또는 적층 구조를 사용할 수 있다.
- [0392] 절연층(5305)과 도전층(5306) 위에는, 배향막으로서 기능하는 절연층, 돌기부로서 기능하는 절연층 등을 형성할 수 있다는 점에 주목한다.
- [0393] 도전층(5308) 위에는, 컬러 필터, 블랙 매트릭스, 또는 돌기부로서 기능하는 절연층 등을 형성할 수 있다는 점에 주목한다. 도전층(5308) 아래에는 배향막으로서 기능하는 절연층을 형성할 수 있다.
- [0394] 도 32a의 단면 구조에서, 절연층(5269), 발광층(5270) 및 도전층(5271)을 생략하고, 도 32b에 도시한 액정층(5307)과 도전층(5308)을 절연층(5267) 및 도전층(5268) 위에 형성할 수 있다는 점에 주목한다.
- [0395] 도 32b의 단면 구조에서, 액정층(5307)과 도전층(5308)을 생략하고, 도 32a에 도시한 절연층(5269), 발광층(5270) 및 도전층(5271)을 절연층(5305) 및 도전층(5306) 위에 형성할 수 있다는 점에 주목한다.
- [0396] 도 32c의 단면 구조에서, 절연층(5358) 및 도전층(5359) 위에 도 32a에 도시한 절연층(5269), 발광층(5270) 및 도전층(5271)을 형성할 수 있다는 점에 주목한다. 또는, 도 32b에 도시한 액정층(5307)과 도전층(5308)을 절연층(5267) 및 도전층(5268) 위에 형성할 수 있다.
- [0397] 본 실시 형태의 트랜지스터는 실시 형태 1 내지 실시 형태 8의 반도체 장치, 시프트 레지스터, 또는 표시 장치에 사용할 수 있다. 특히, 도 32b의 트랜지스터의 반도체층으로서, 비단결정 반도체, 미결정 반도체, 유기 반도체, 산화물 반도체 등을 사용하는 경우, 트랜지스터가 열화되는 경우가 있다. 이 경우에도, 실시 형태 1 내지 실시 형태 8의 반도체, 시프트 레지스터, 또는 표시 장치에서 트랜지스터의 열화를 억제할 수 있다.
- [0398] [실시 형태 10]
- [0399] 본 실시 형태에서는, 전자 장치의 예를 설명한다.
- [0400] 도 33a 내지 도 33h 및 도 34a 내지 도 34d는 전자 장치를 도시하는 도면이다. 이러한 전자 장치들 각각은 하우징(5000), 표시부(5001), 스피커(5003), LED 램프(5004), 조작 키(5005), 접속 단자(5006), 센서(5007)(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 광, 액, 자기, 온도, 화학 물질, 음성, 시간, 경도, 전기장, 전류, 전압, 전력, 방사선, 유량, 습도, 경도, 진동, 향기 또는 적외선을 측정하는 기능을 갖는 센서), 마이크 로폰(5008) 등을 포함할 수 있다.
- [0401] 도 33a는 스위치(5009), 적외선 포트(5010) 등을 포함할 수 있는 모바일 컴퓨터이다. 도 33b는, 제2 표시부(5002), 기록 매체 판독부(5011) 등을 포함할 수 있는, 기록 매체를 구비한 휴대형 화상 재생 장치(예를 들어, DVD 재생 장치)를 도시한다. 도 33c는 제2 표시부(5002), 지지부(5012), 이어폰(5013) 등을 포함할 수 있는 고글형 디스플레이를 도시한다. 도 33d는 상술한 것 외에도 기록 매체 판독부(5011) 등을 포함할 수 있는 휴대형 게임기를 도시한다. 도 33e는 상술한 것 외에도 광원(5033), 투사 렌즈(5034) 등을 포함할 수 있는 프로젝터를 도시한다. 도 33f는 상술한 것 외에도 제2 표시부(5002), 기록 매체 판독부(5011) 등을 포함할 수 있는 휴대형 게임기를 도시한다. 도 33g는 상술한 것 외에도 튜너, 화상 처리부 등을 포함할 수 있는 텔레비전 수상기이다. 도 33h는 상술한 것 외에도 신호를 송수신할 수 있는 충전기(5017) 등을 포함할 수 있는 휴대용 텔레비전 수상기이다. 도 34a는 상술한 것 외에도 지지대(5018) 등을 포함할 수 있는 디스플레이를 도시한다. 도 34b는 상



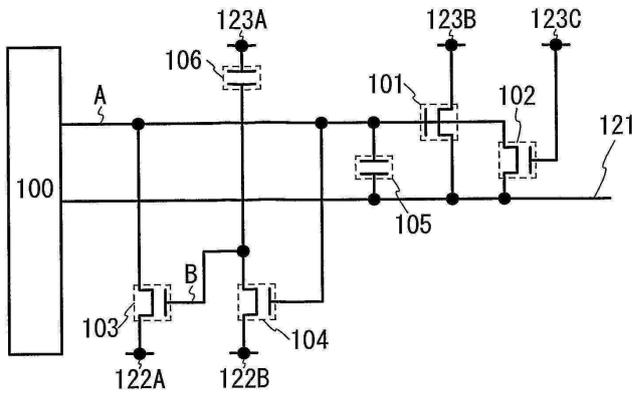
105 용량 소자	106 용량 소자
107 다이오드	121 배선
122 배선	123 배선
124 배선	125 배선
126 배선	127 배선
128 배선	131 트랜지스터
132 트랜지스터	133 트랜지스터
134 트랜지스터	135 트랜지스터
137 트랜지스터	138 트랜지스터
200 플립플롭	201 배선
202 배선	203 배선
204 배선	205 배선
206 배선	207 배선
211 회로	212 회로
213 회로	214 회로
215 회로	216 회로
220 시프트 레지스터	221 회로
222 회로	223 회로
301 트랜지스터	302 트랜지스터
303 트랜지스터	304 트랜지스터
311 배선	320 플립플롭
321 배선	401 도전층
402 반도체층	403 도전층
404 도전층	405 콘택트 홀
411 개구부	412 개구부
421 배선 폭	422 배선 폭
423 폭	424 폭
426 폭	431 폭
432 폭	500 회로
501 회로	502 회로
503 트랜지스터	504 배선
505 배선	514 신호
515 신호	101p 트랜지스터
102p 트랜지스터	103a 다이오드
103p 트랜지스터	104a 다이오드
104p 트랜지스터	105a 트랜지스터

106a 트랜지스터	107a 트랜지스터
122A 배선	122B 배선
122C 배선	122D 배선
122E 배선	122F 배선
122G 배선	122H 배선
122I 배선	123A 배선
123B 배선	123C 배선
123D 배선	123E 배선
124A 배선	124B 배선
124C 배선	133a 다이오드
134a 다이오드	135a 다이오드
5000 하우징	5001 표시부
5002 표시부	5003 스피커
5004 LED 램프	5005 조작 키
5006 접속 단자	5007 센서
5008 마이크로폰	5009 스위치
5010 적외선 포트	5011 기록 매체 판독부
5012 지지부	5013 이어폰
5014 안테나	5015 셔터 버튼
5016 수상부	5017 충전기
5018 지지대	5019 외부 접속 포트
5020 포인팅 디바이스	5021 리더/라이터
5022 하우징	5023 표시부
5024 리모콘 장치	5025 스피커
5026 표시 패널	5027 조립식 육조
5028 표시 패널	5029 차체
5030 천장	5031 표시 패널
5032 힌지부	5033 광원
5034 투사 렌즈	5080 화소
5081 트랜지스터	5082 액정 소자
5083 용량 소자	5084 배선
5085 배선	5086 배선
5087 배선	5088 전극
5184 신호	5185 신호
5186 신호	5260 기관
5261 절연층	5262 반도체층

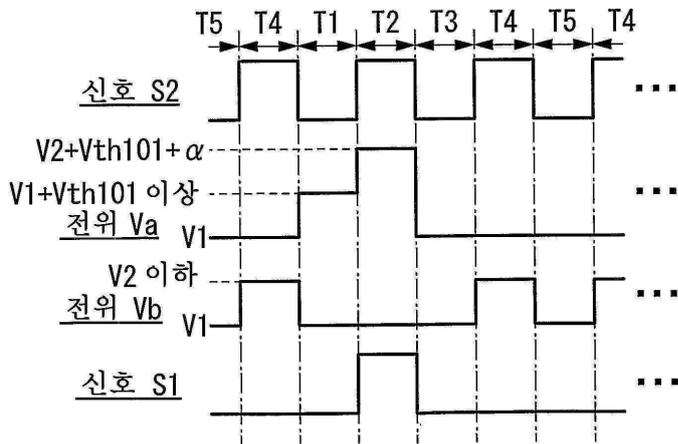
5263 절연층	5264 도전층
5265 절연층	5266 도전층
5267 절연층	5268 도전층
5269 절연층	5270 발광층
5271 도전층	5273 절연층
5300 기관	5301 도전층
5302 절연층	5304 도전층
5305 절연층	5305 절연층
5306 도전층	5307 액정층
5308 도전층	5350 영역
5351 영역	5352 기관
5353 영역	5354 절연층
5355 영역	5356 절연층
5357 도전층	5358 절연층
5359 도전층	5360 영상 신호
5361 회로	5362 회로
5363 회로	5364 화소부
5365 회로	5366 조명 장치
5367 화소	5371 배선
5372 배선	5373 배선
5380 기관	5381 입력 단자
5262a 영역	5262b 영역
5262c 영역	5262d 영역
5262e 영역	5303a 반도체층
5303b 반도체층	5361a 회로
5361b 회로	5362a 회로
5362b 회로	

도면

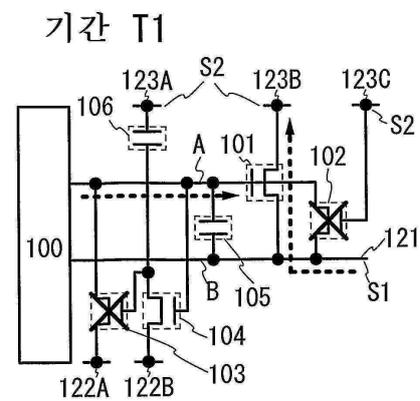
도면1a



도면1b

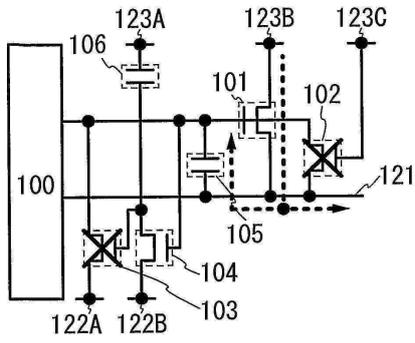


도면2a



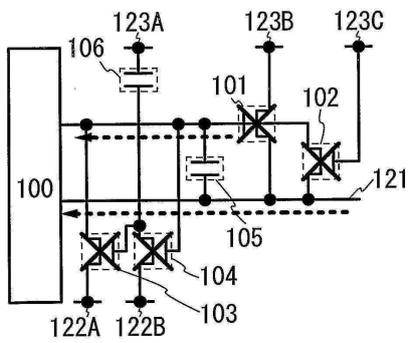
도면2b

기간 T2



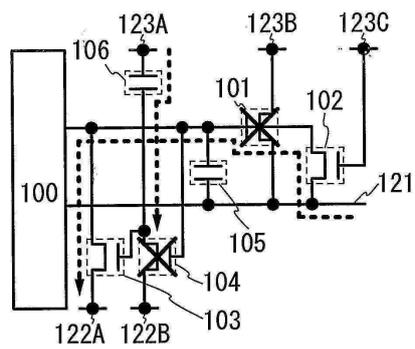
도면2c

기간 T3



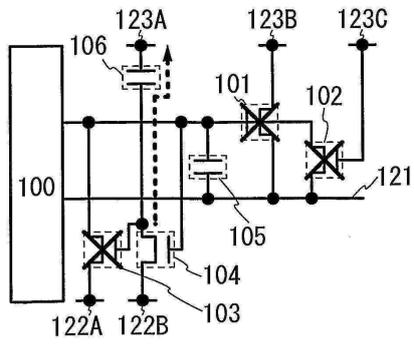
도면2d

기간 T4

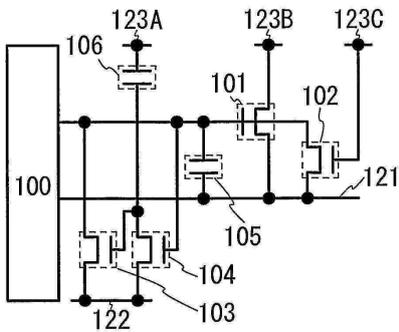


도면2e

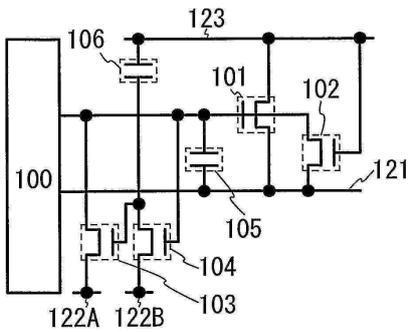
기간 T5



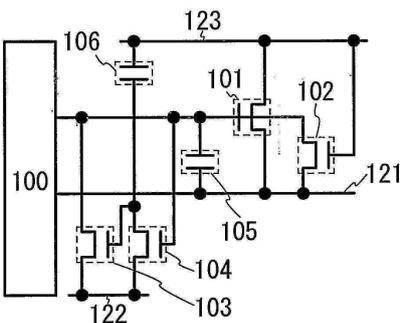
도면3a



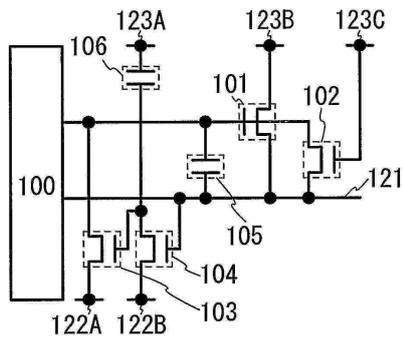
도면3b



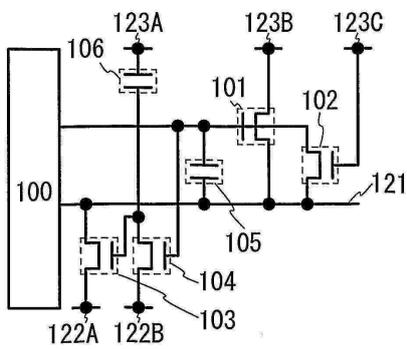
도면3c



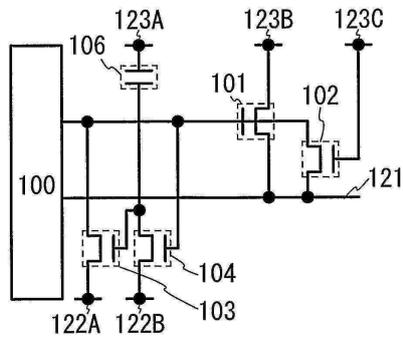
도면3d



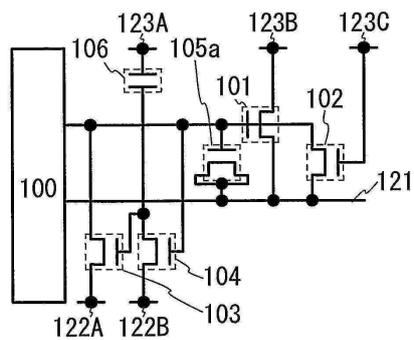
도면3e



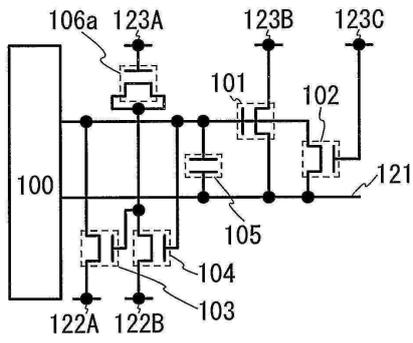
도면4a



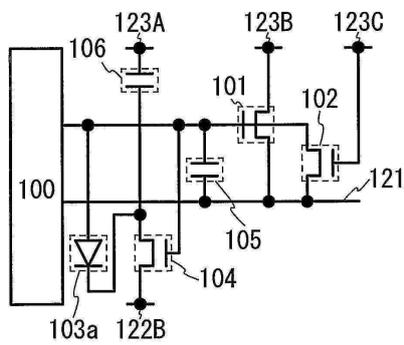
도면4b



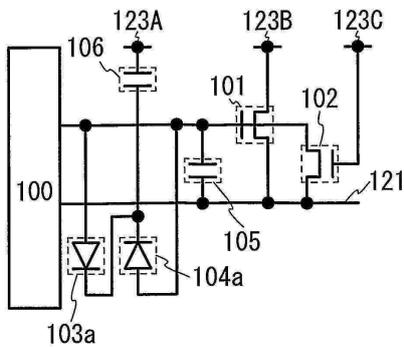
도면4c



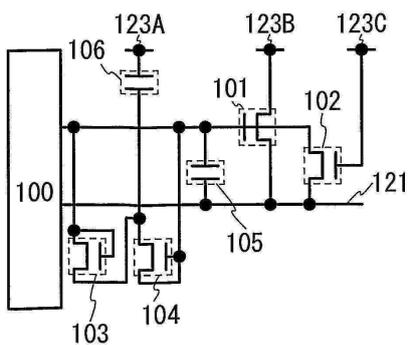
도면4d



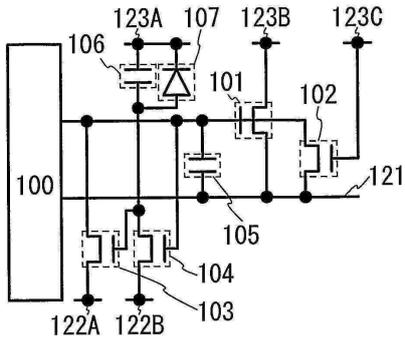
도면4e



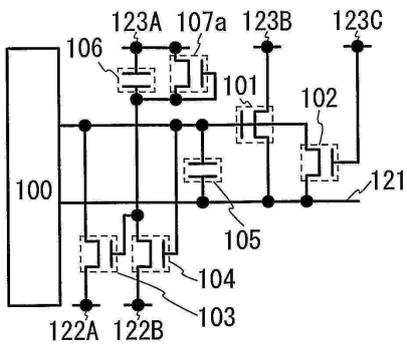
도면4f



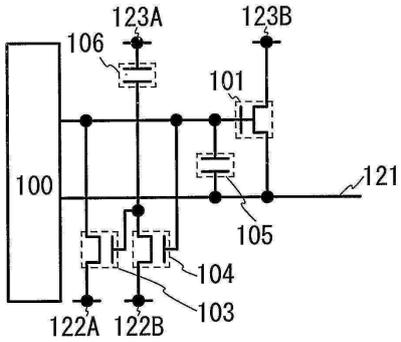
도면5a



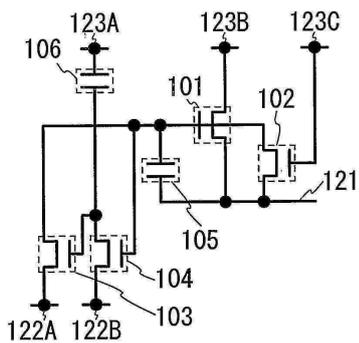
도면5b



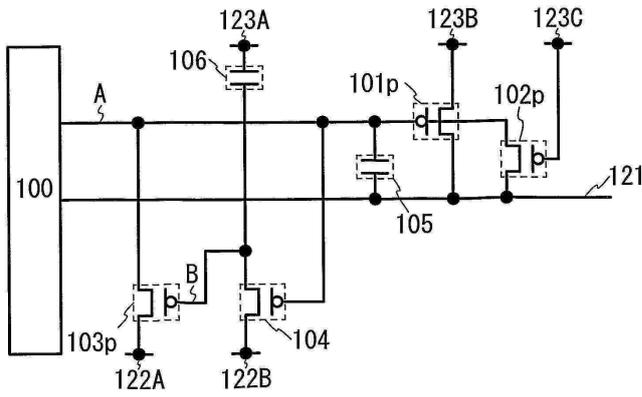
도면5c



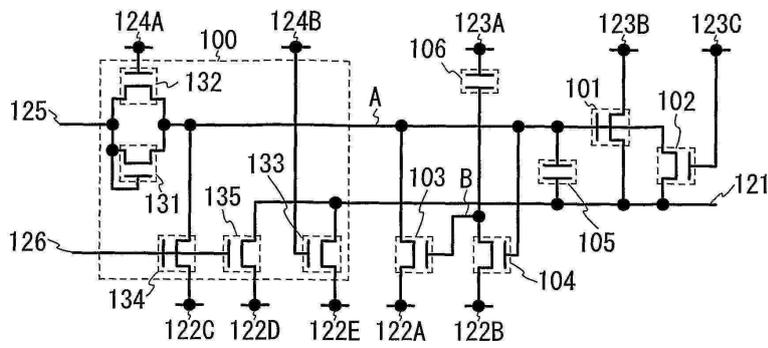
도면5d



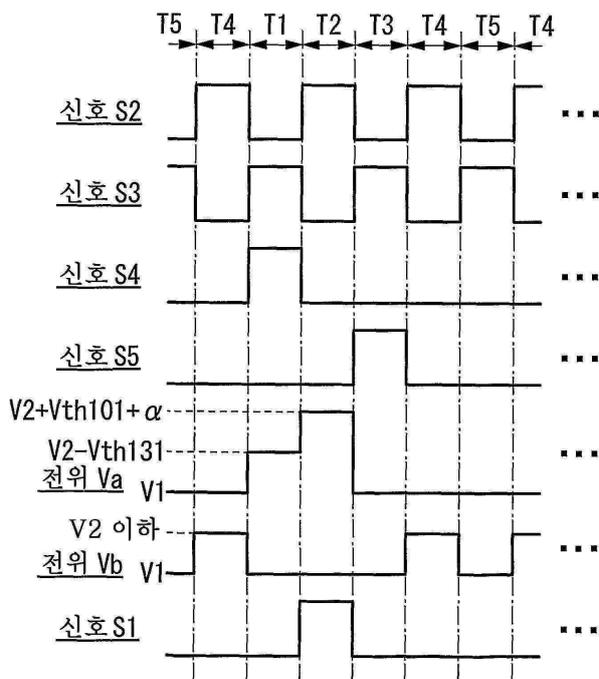
도면5e



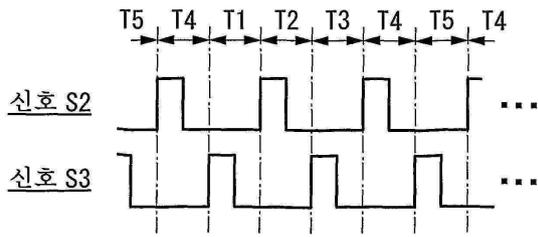
도면6a



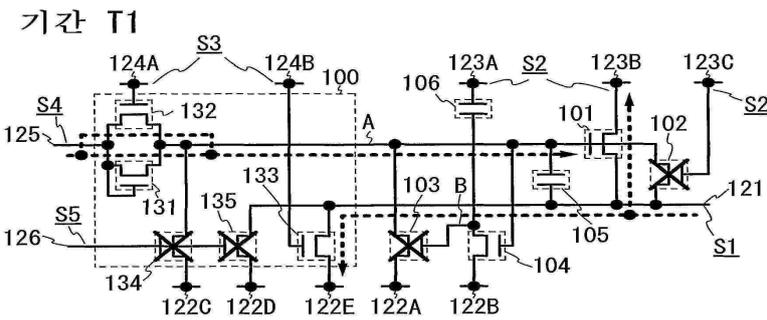
도면6b



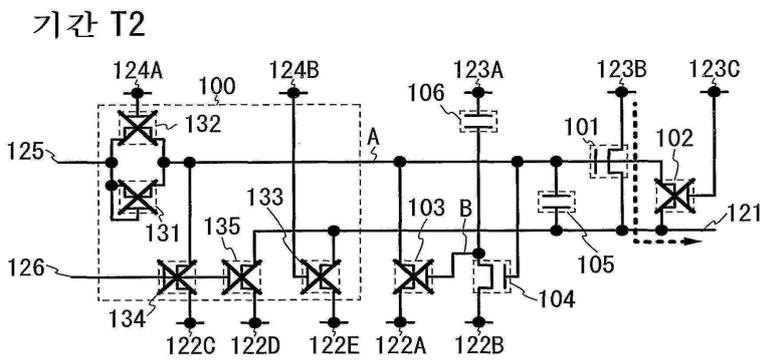
도면6c



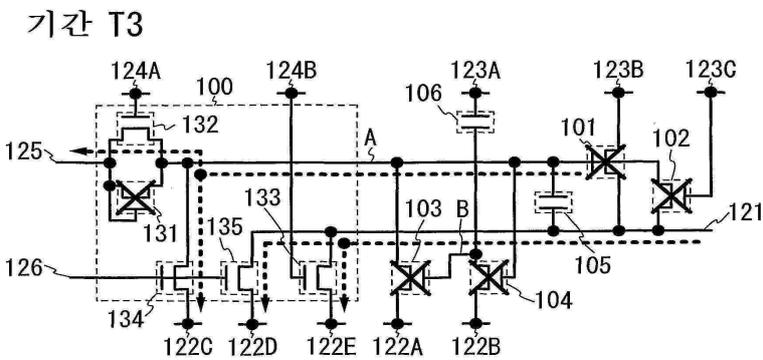
도면7a



도면7b

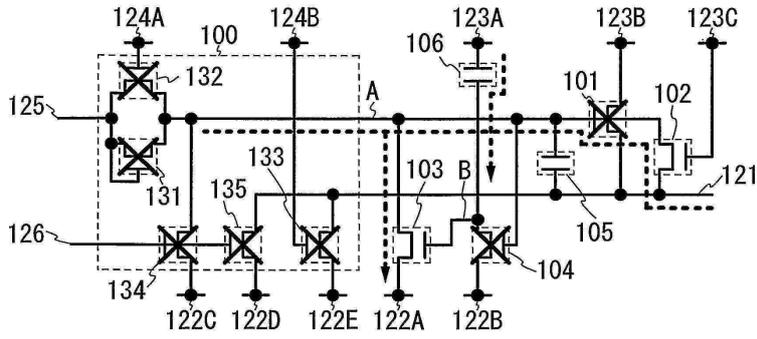


도면7c



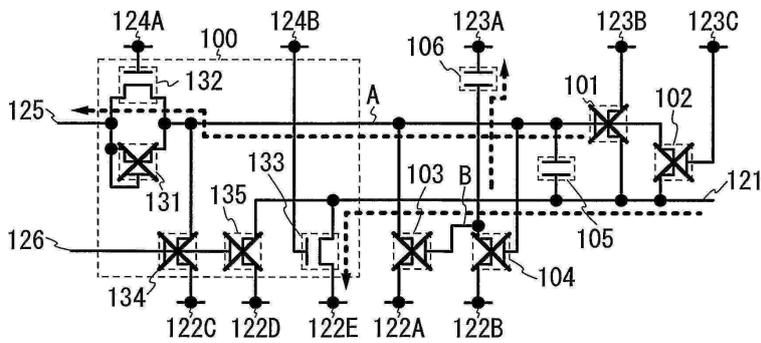
도면8a

기간 T4

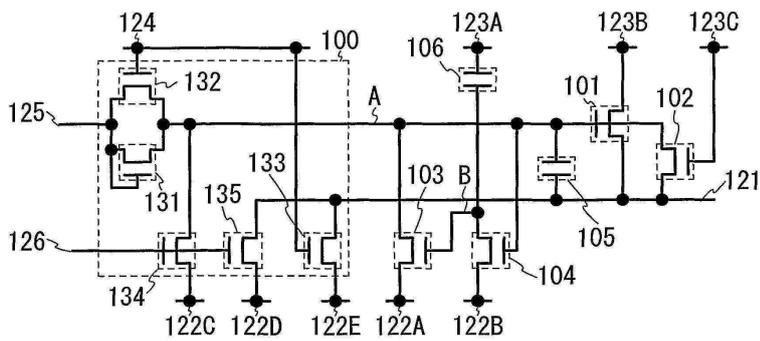


도면8b

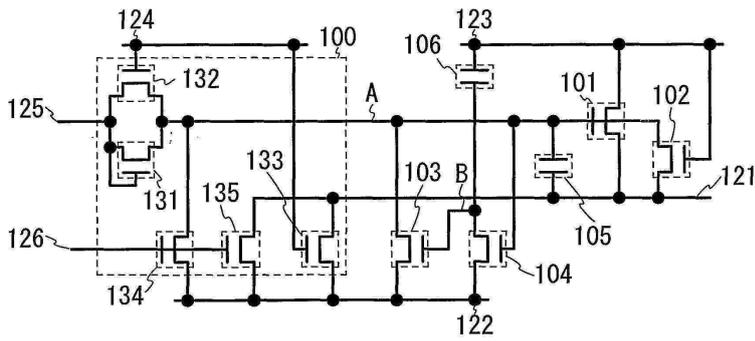
기간 T5



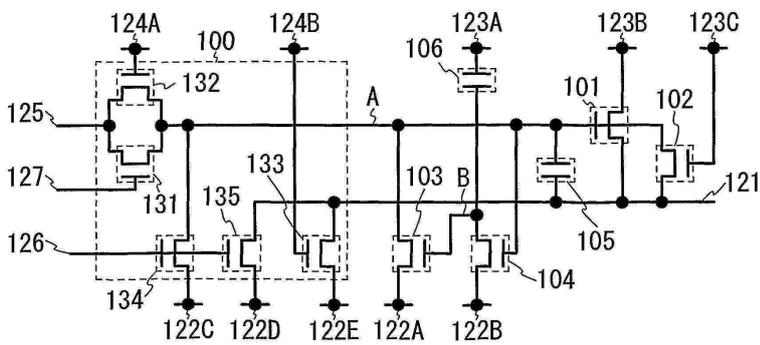
도면9a



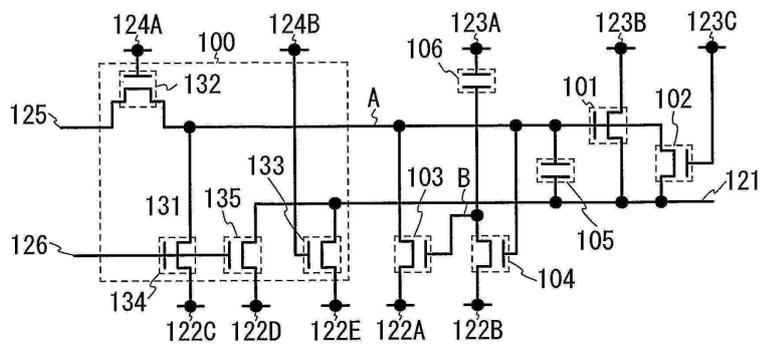
도면9b



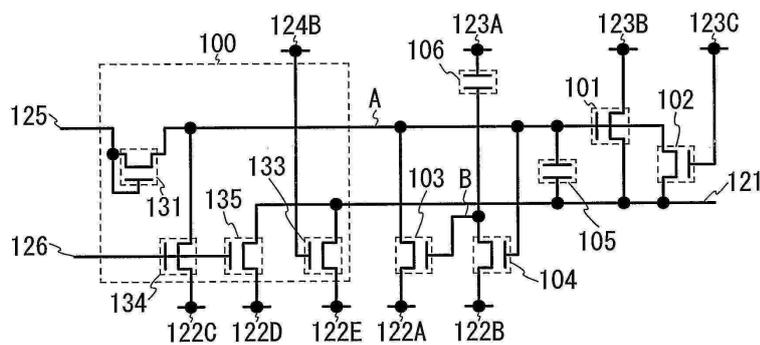
도면9c



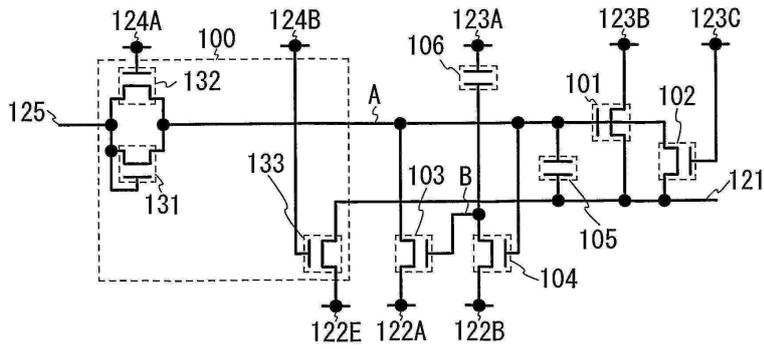
도면10a



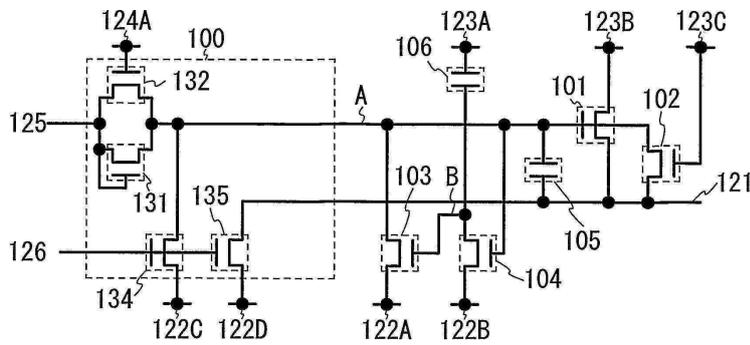
도면10b



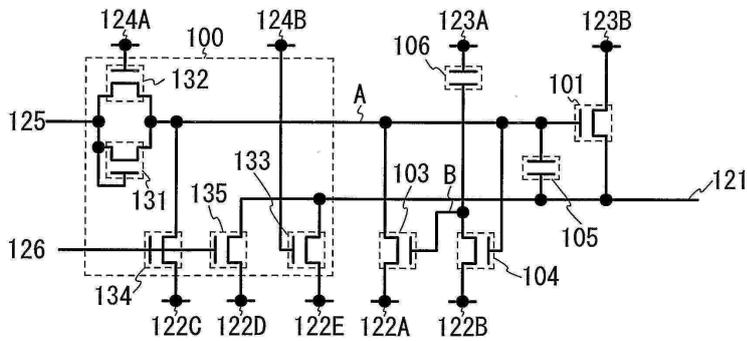
도면10c



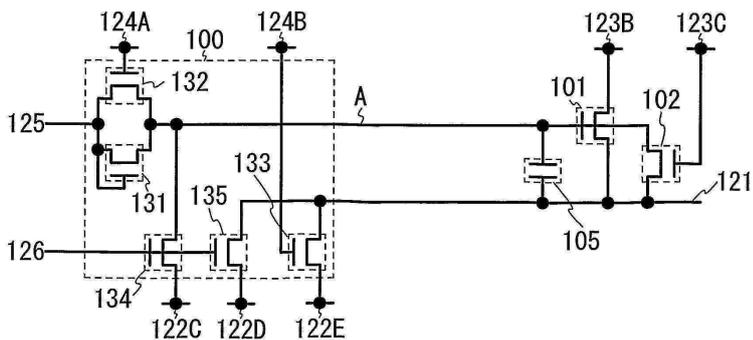
도면11a



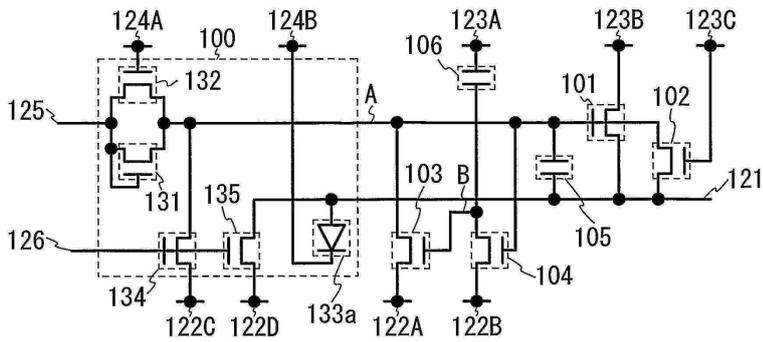
도면11b



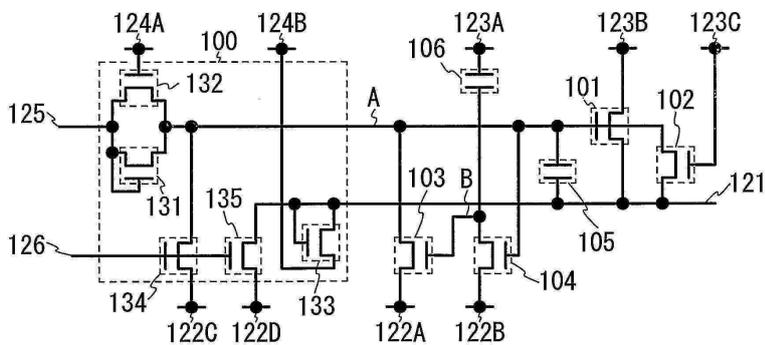
도면11c



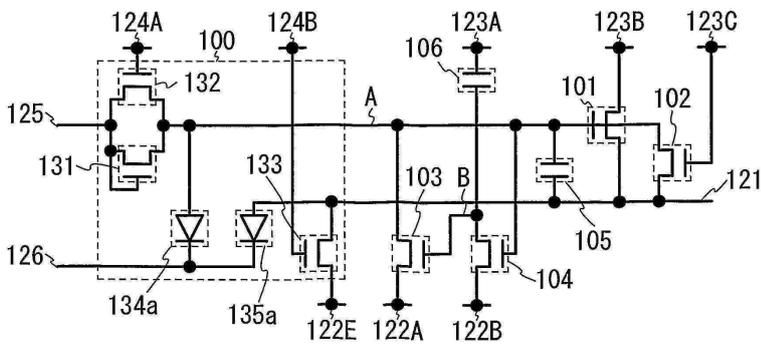
도면12a



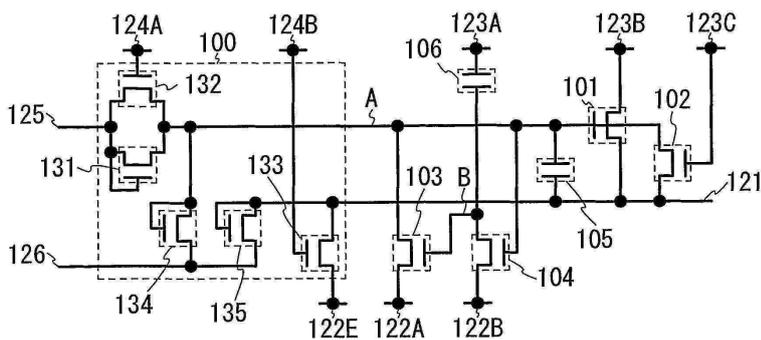
도면12b



도면12c

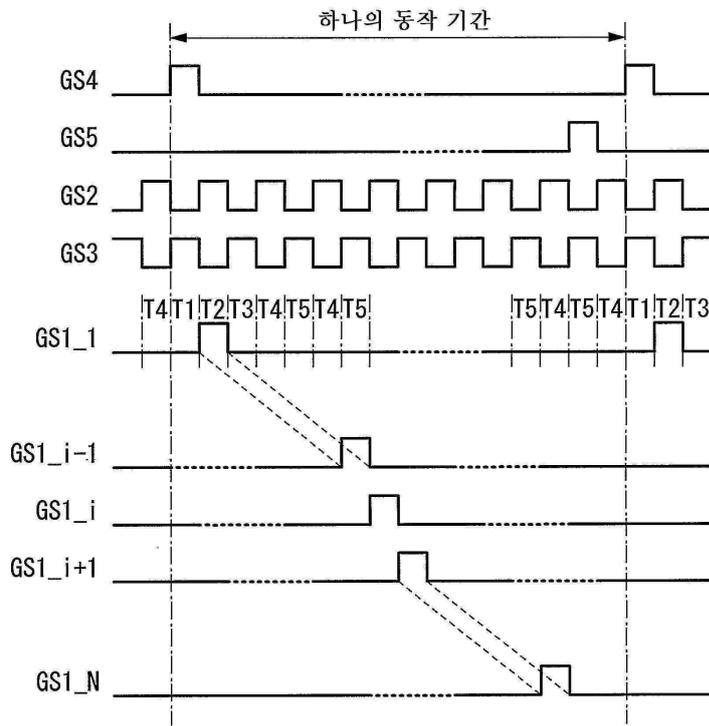


도면13a

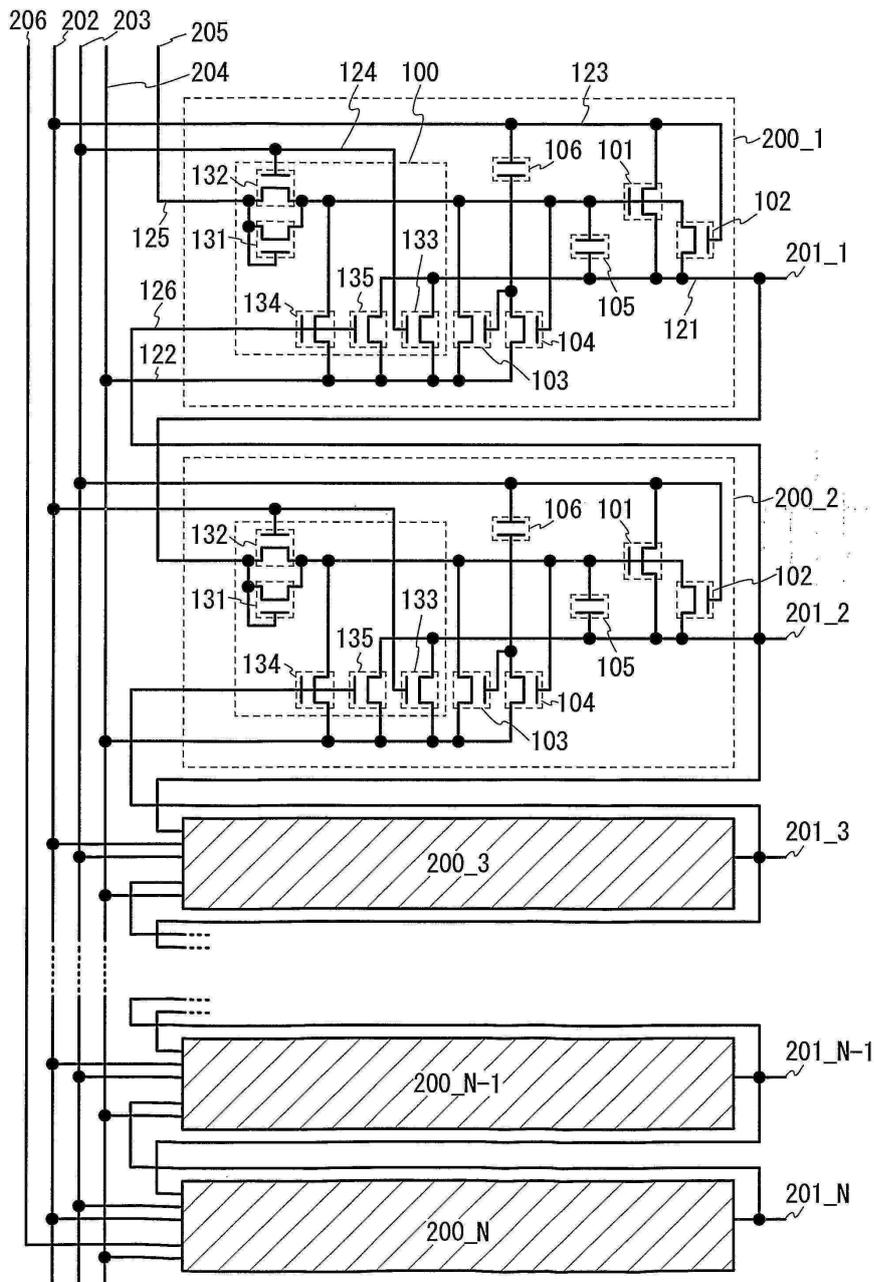




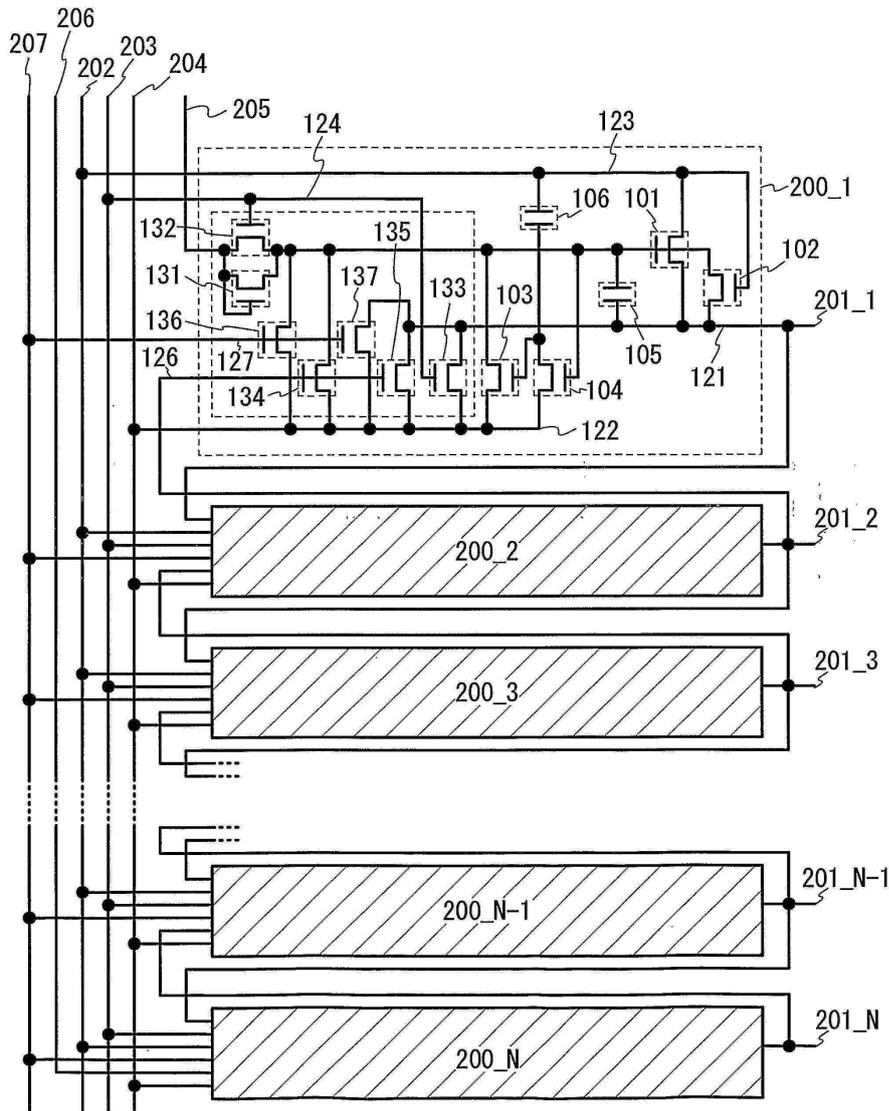
도면14b



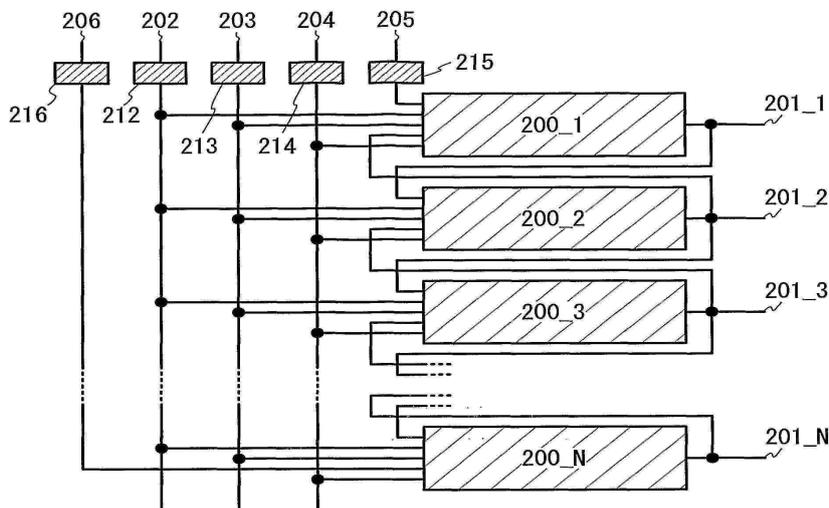
도면15



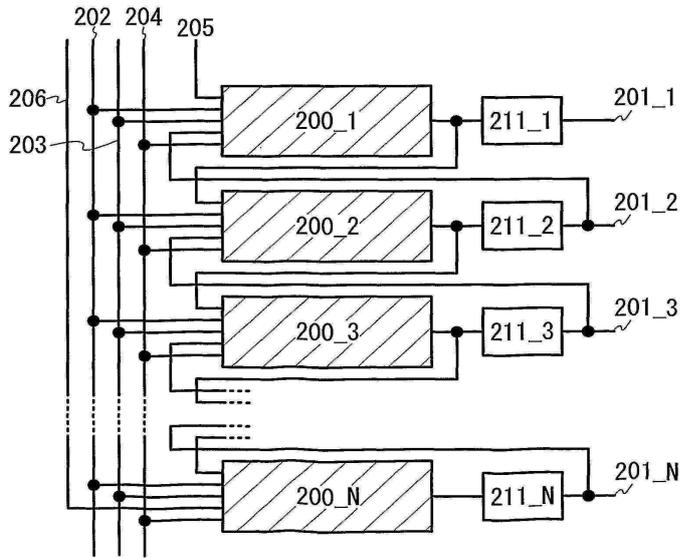
도면16



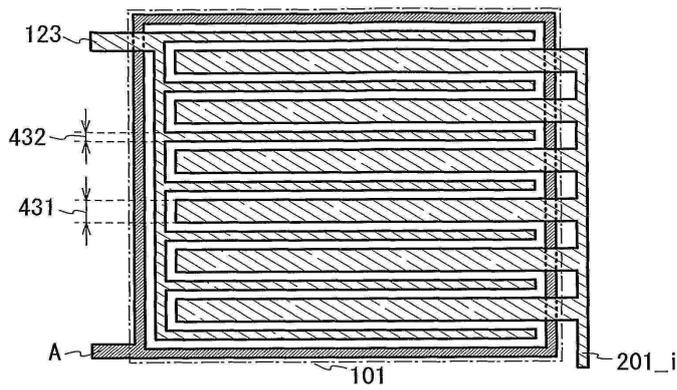
도면17a



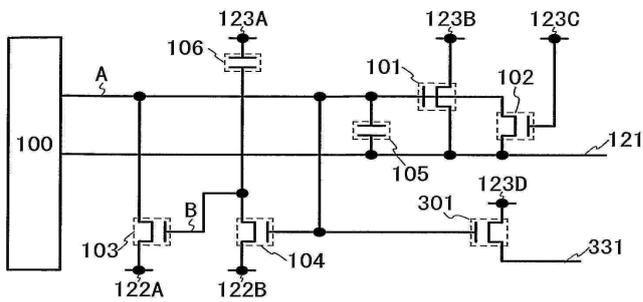
도면17b



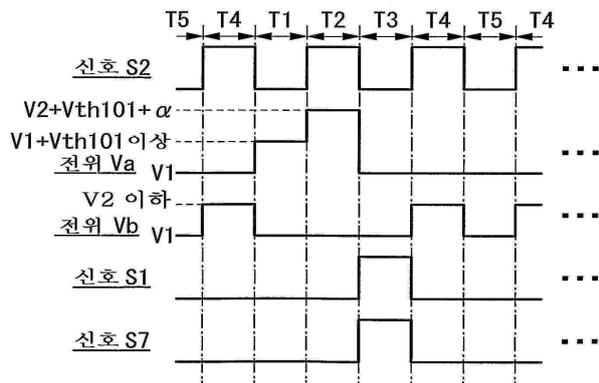
도면18



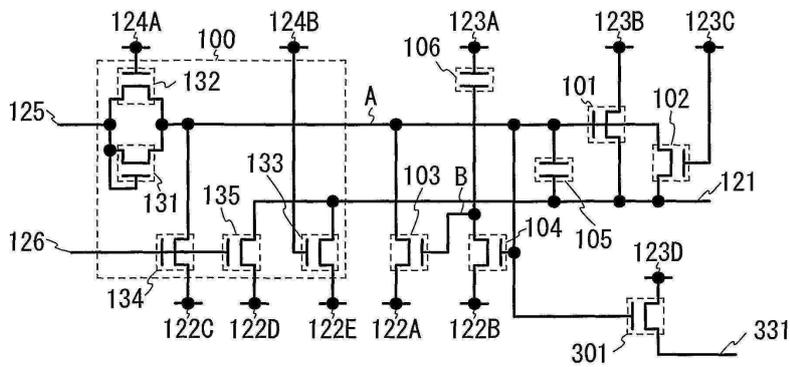
도면19a



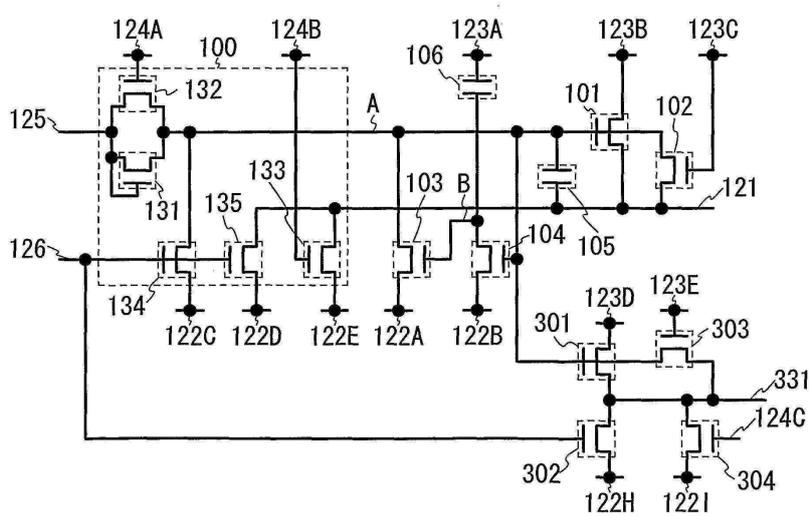
도면19b



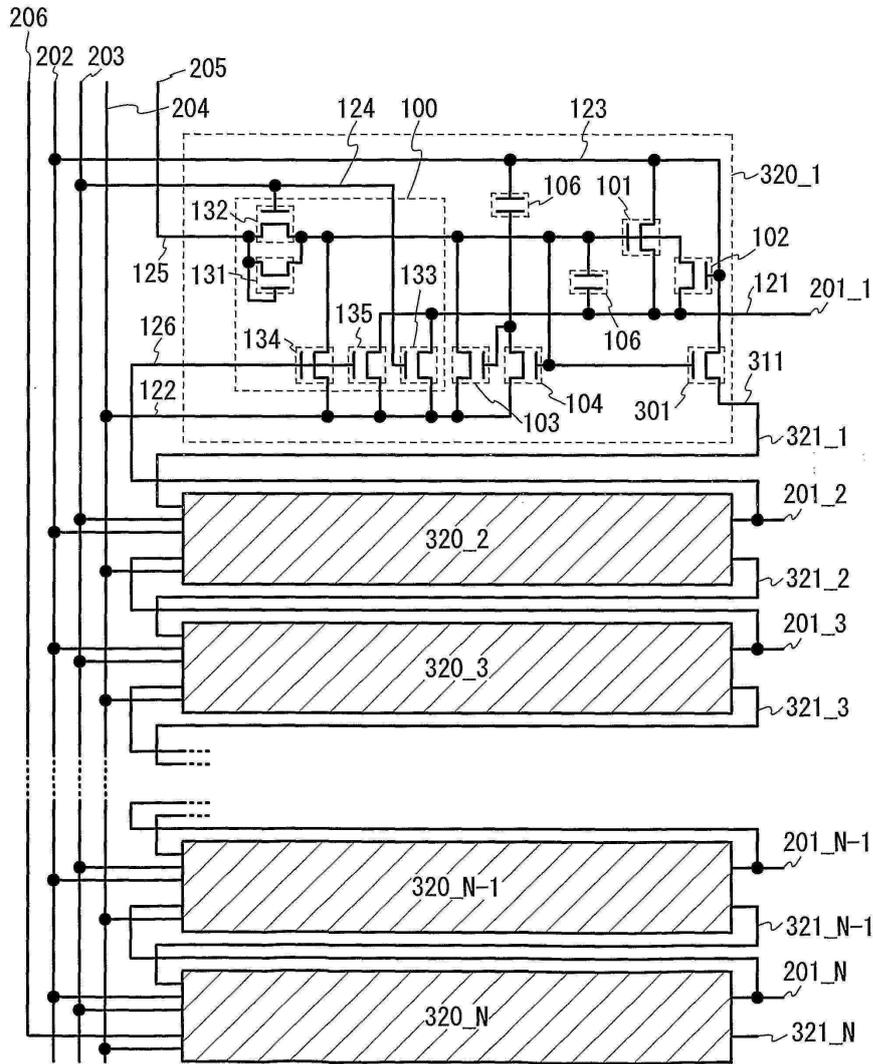
도면20a



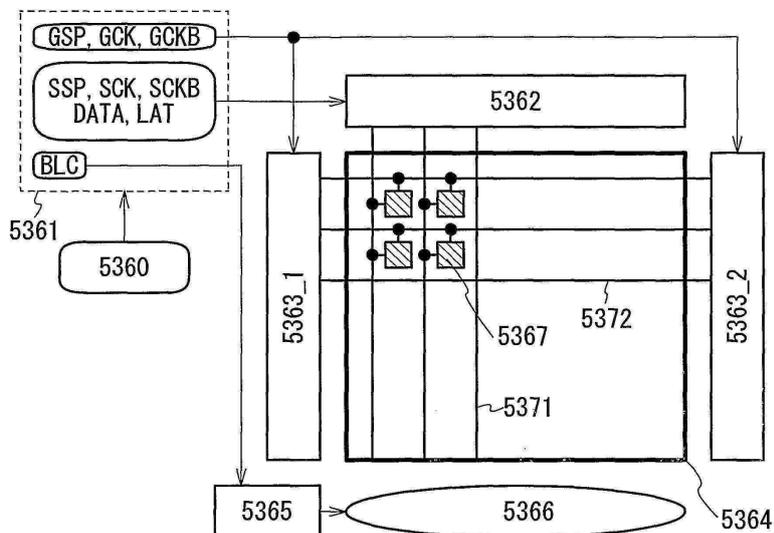
도면20b



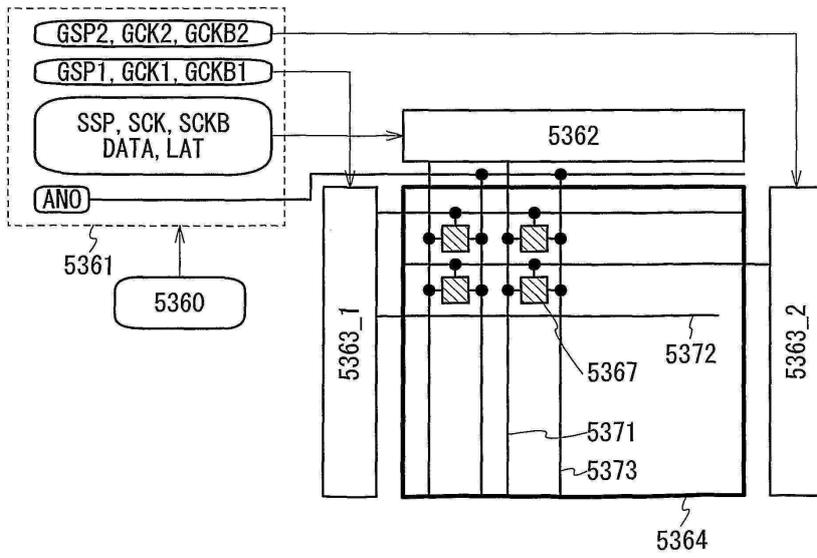
도면21



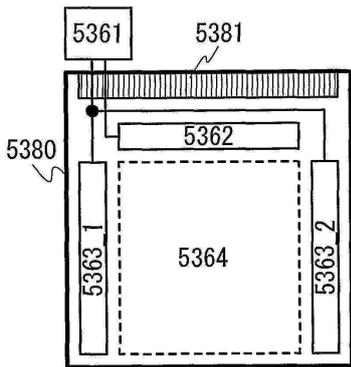
도면22a



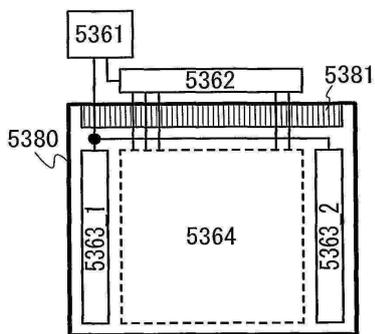
도면22b



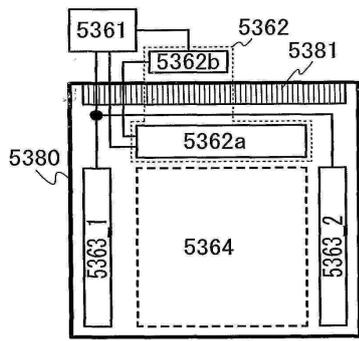
도면23a



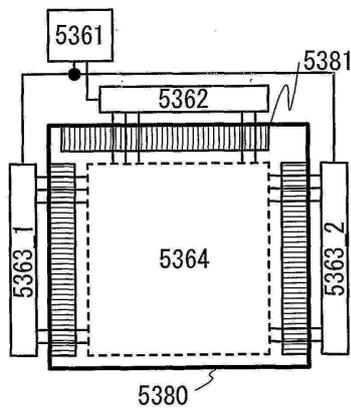
도면23b



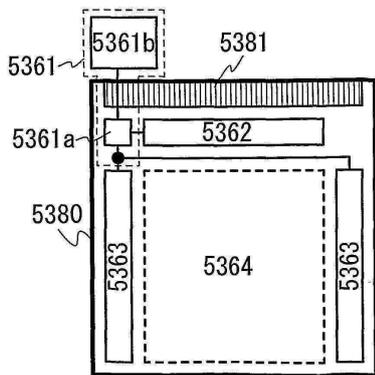
도면23c



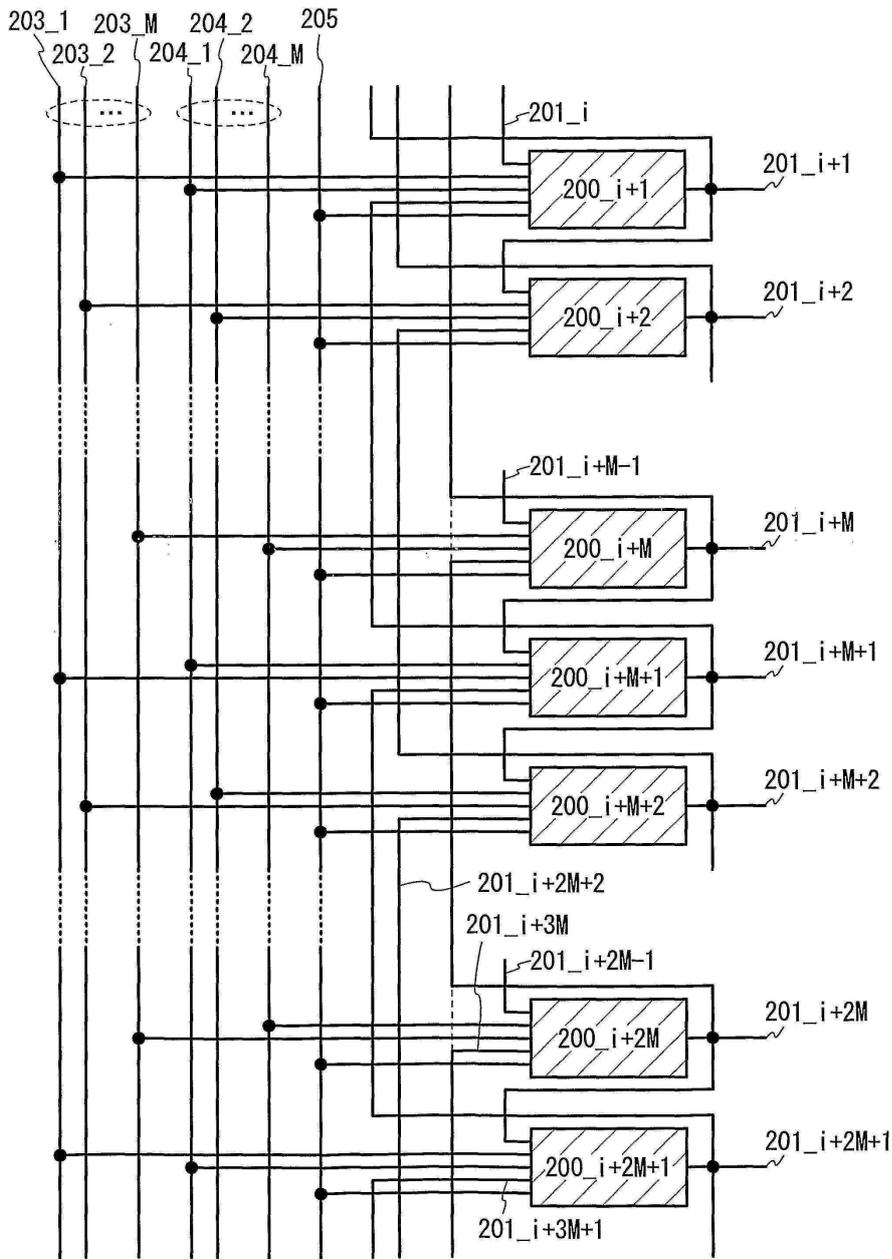
도면23d



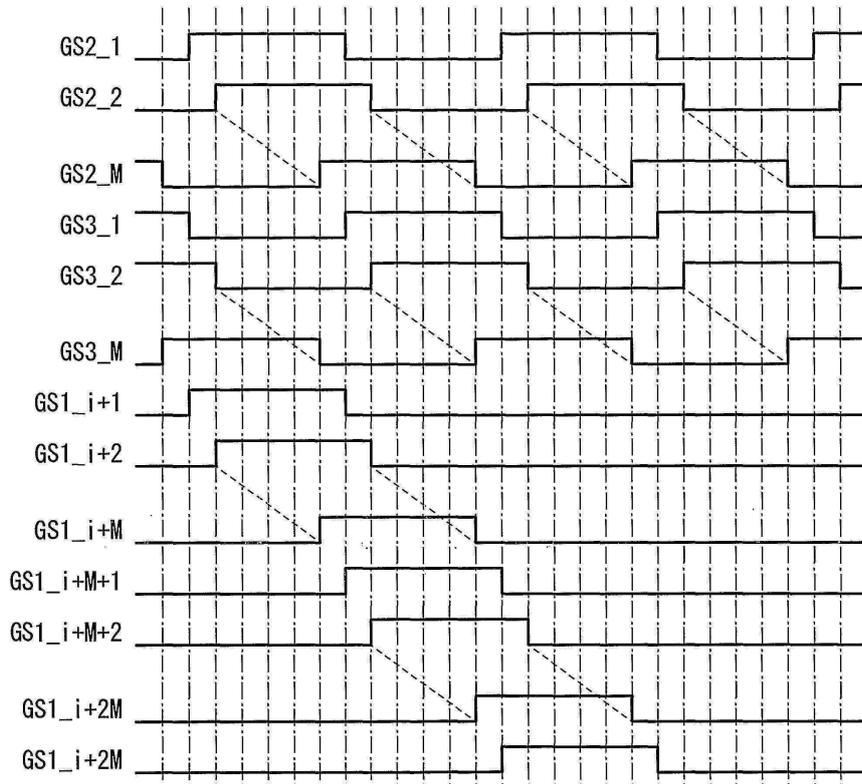
도면23e



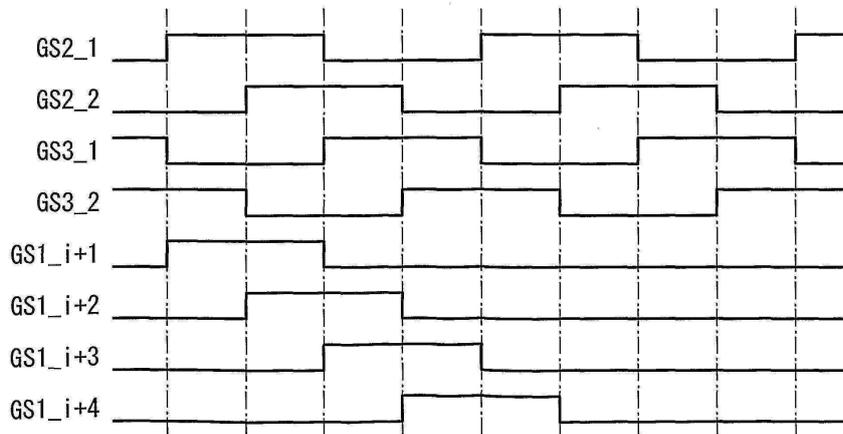
도면24



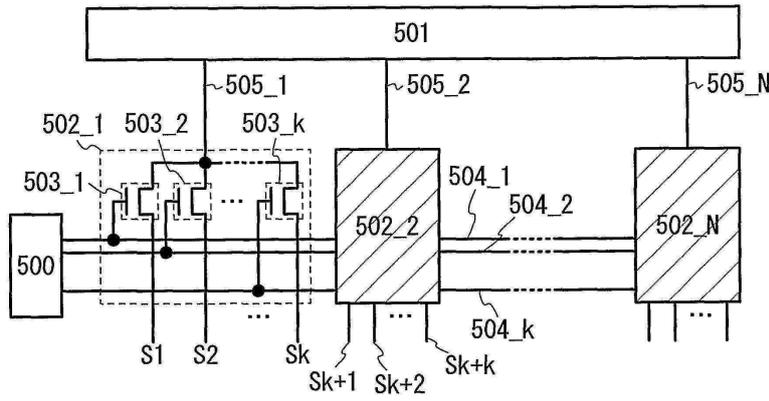
도면25a



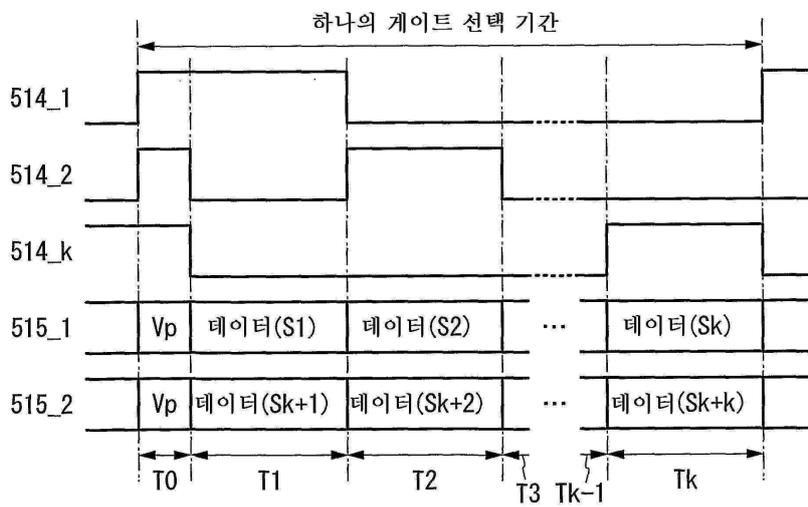
도면25b



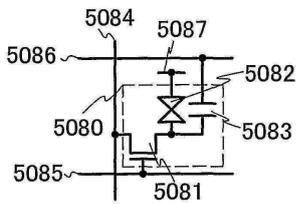
도면26a



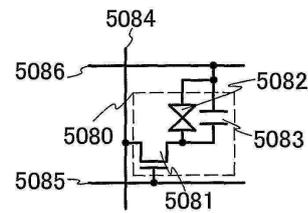
도면26b



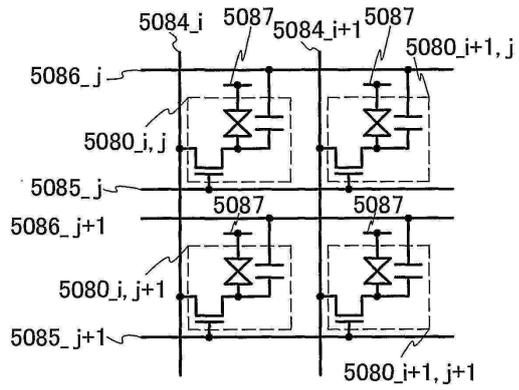
도면27a



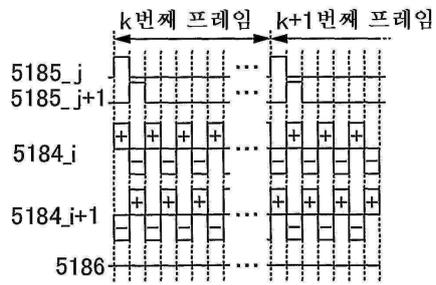
도면27b



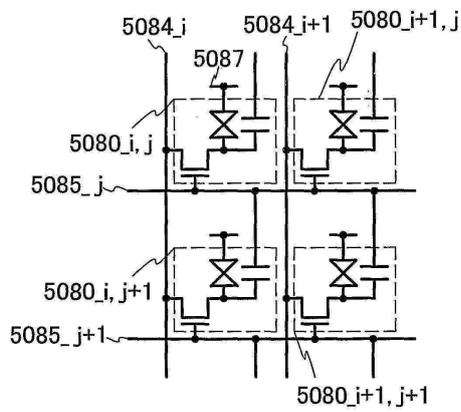
도면27c



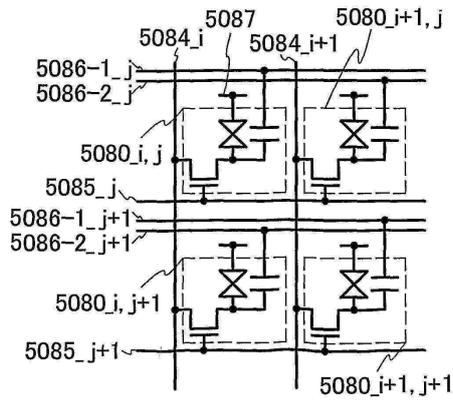
도면27d



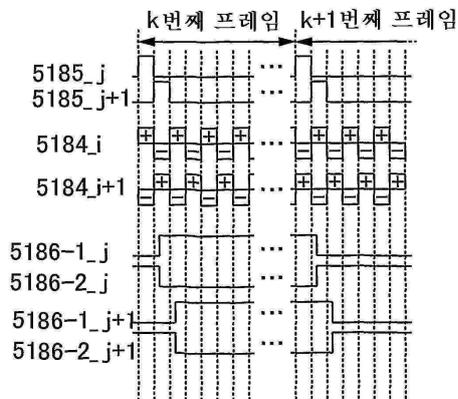
도면27e



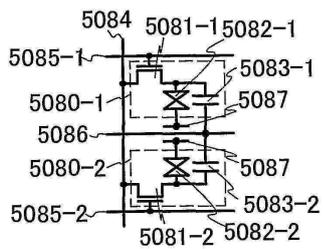
도면27f



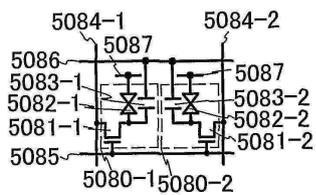
도면27g



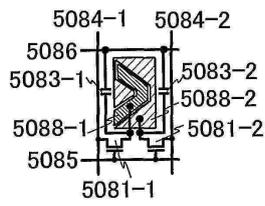
도면28a



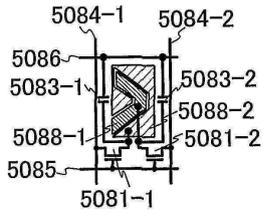
도면28b



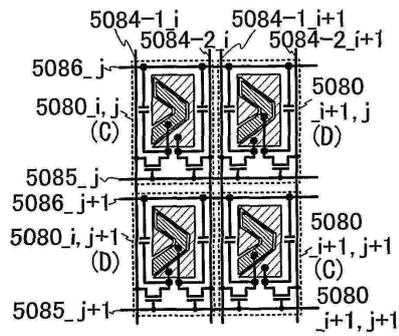
도면28c



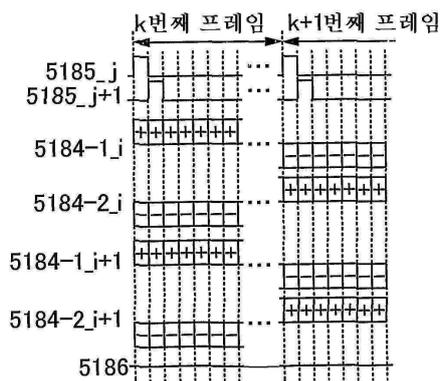
도면28d



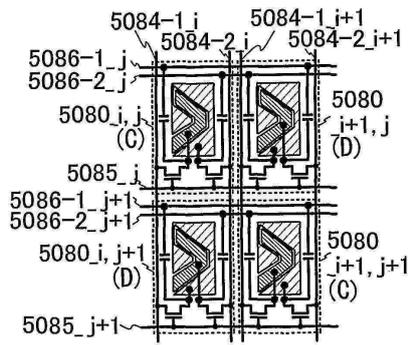
도면28e



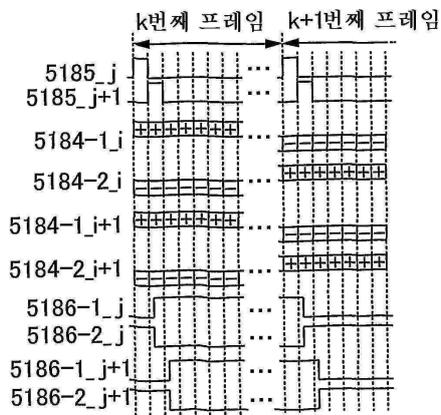
도면28f



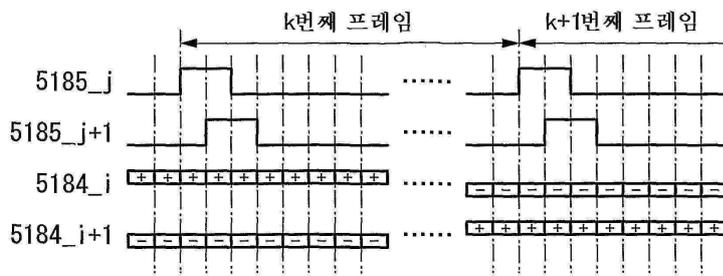
도면28g



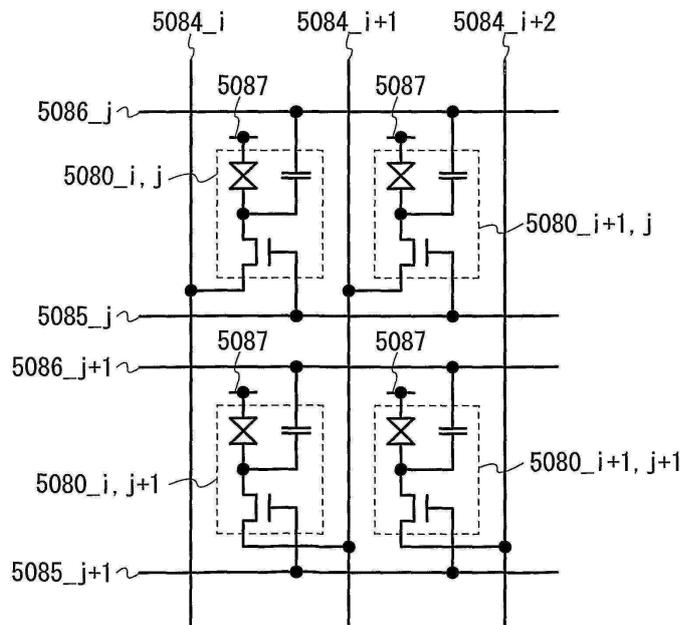
도면28h



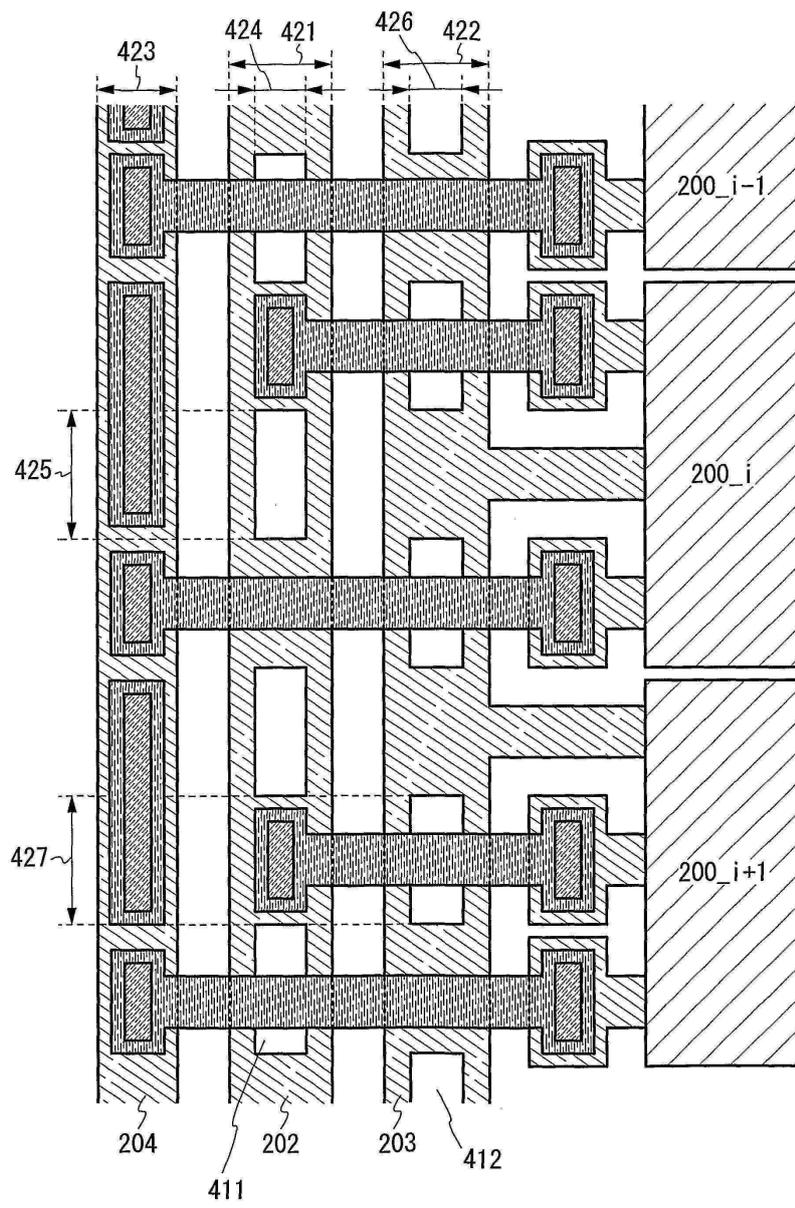
도면29a



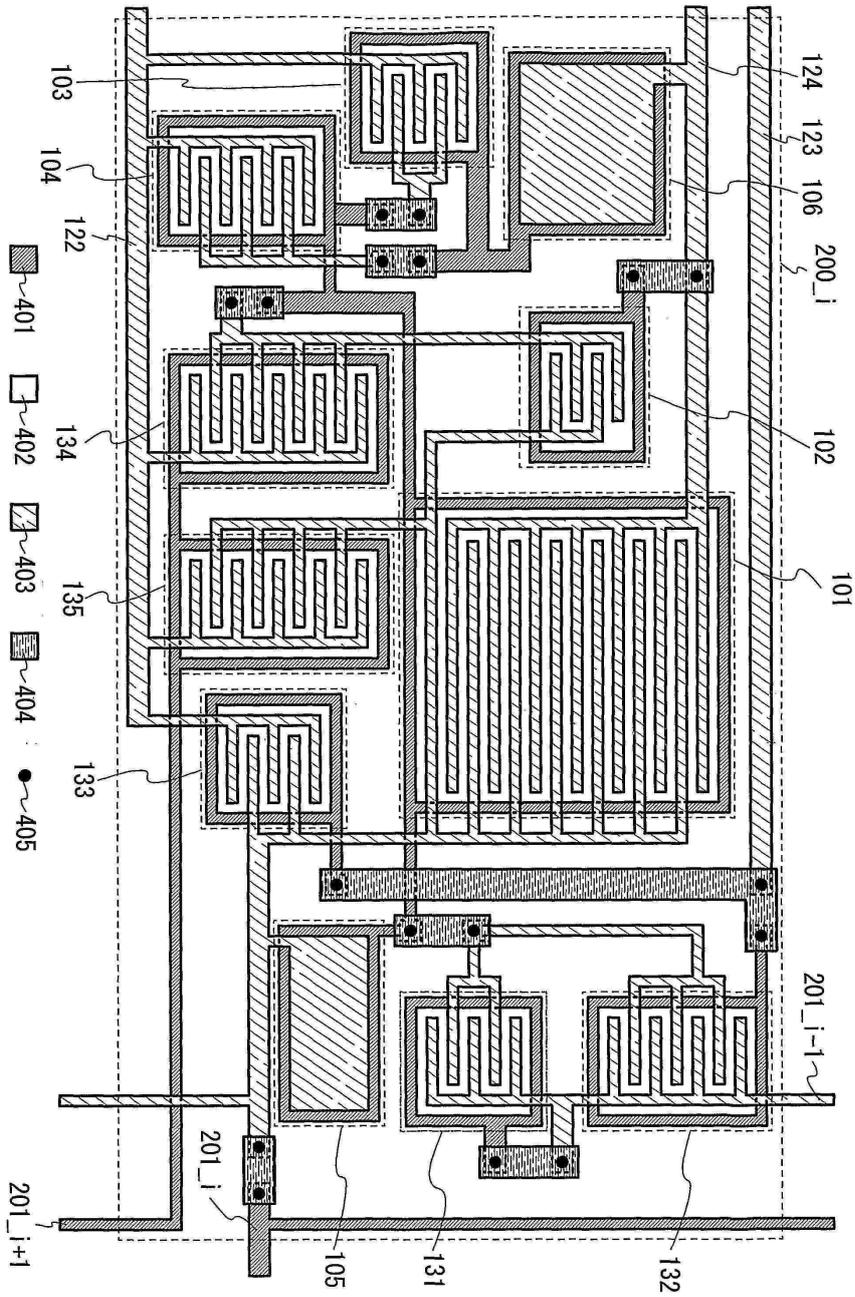
도면 29b



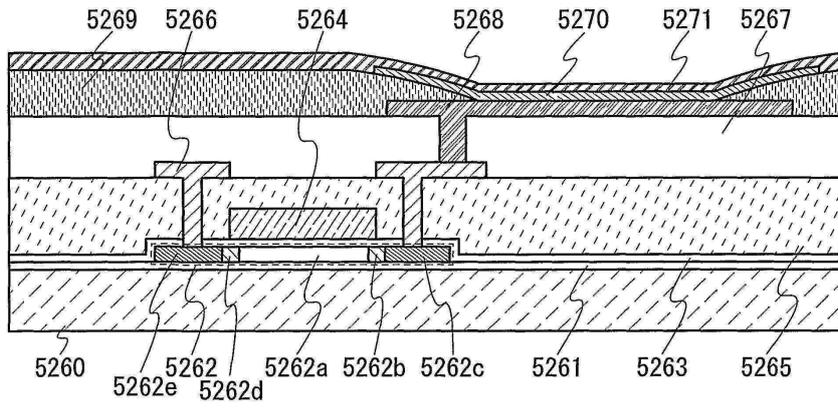
도면30



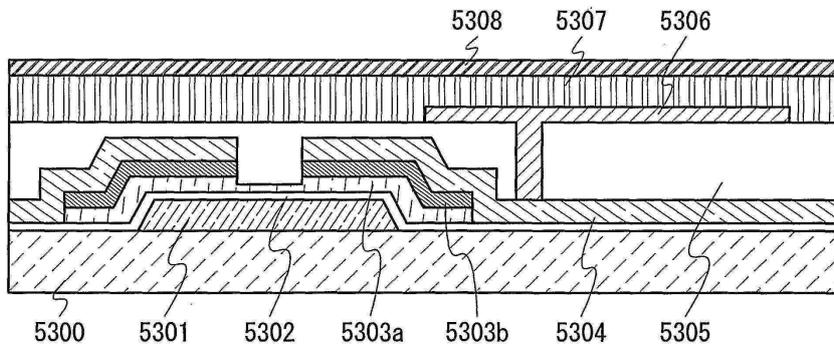
도면31



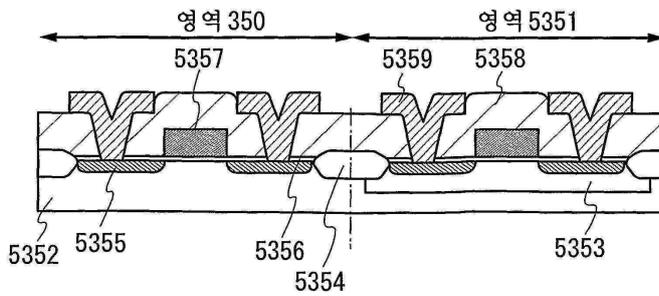
도면32a



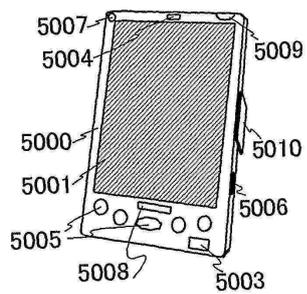
도면32b



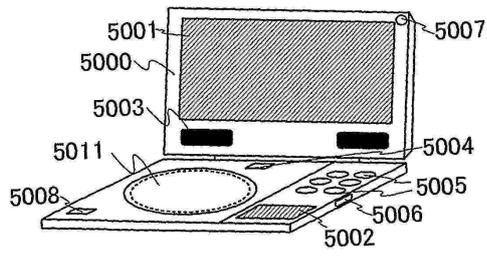
도면32c



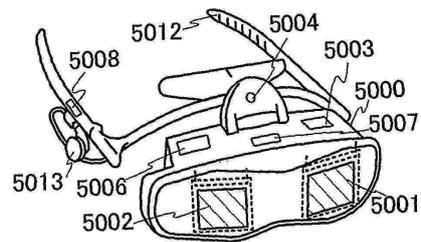
도면33a



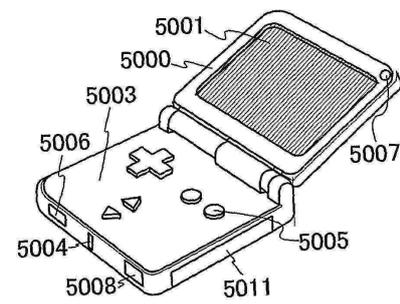
도면33b



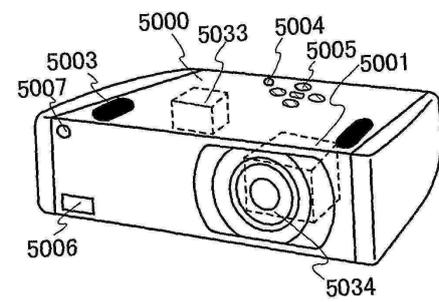
도면33c



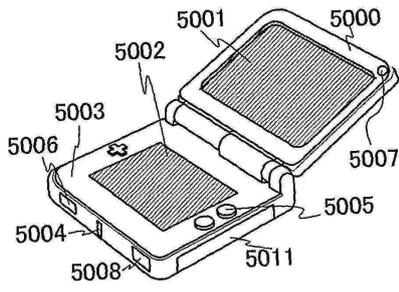
도면33d



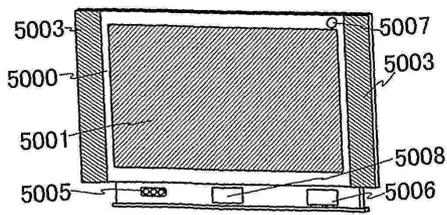
도면33e



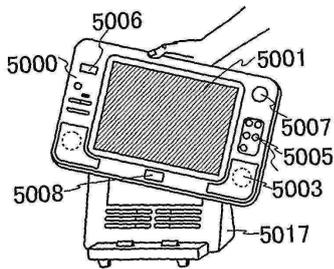
도면33f



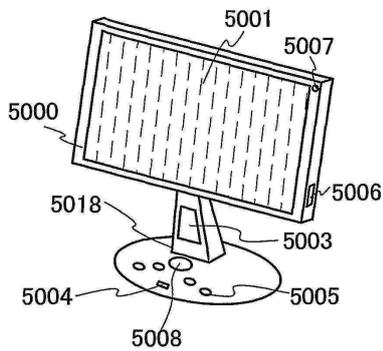
도면33g



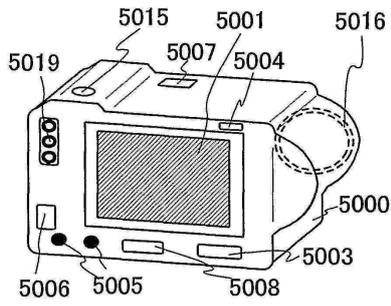
도면33h



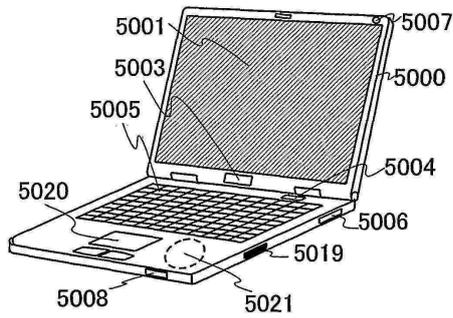
도면34a



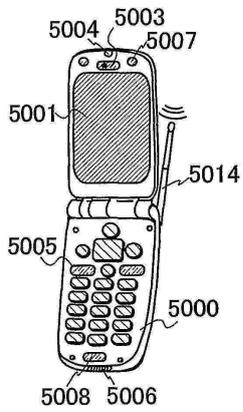
도면34b



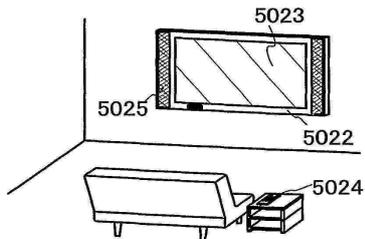
도면34c



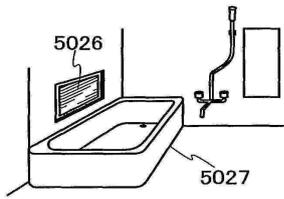
도면34d



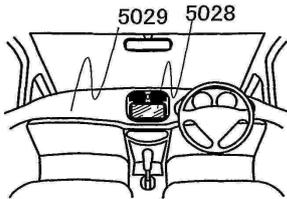
도면34e



도면34f



도면34g



도면34h

