

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-4738
(P2008-4738A)

(43) 公開日 平成20年1月10日(2008.1.10)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 3 O 1 V	5 F O 4 8
HO 1 L 21/8242 (2006.01)	HO 1 L 27/10 6 2 1 C	5 F O 8 3
HO 1 L 27/108 (2006.01)	HO 1 L 27/10 6 7 1 Z	5 F 1 4 0
HO 1 L 21/8234 (2006.01)	HO 1 L 27/08 1 O 2 C	
HO 1 L 27/088 (2006.01)		

審査請求 有 請求項の数 13 O L (全 17 頁)

(21) 出願番号	特願2006-172423 (P2006-172423)	(71) 出願人	500174247 エルピーダメモリ株式会社 東京都中央区八重洲2-2-1
(22) 出願日	平成18年6月22日 (2006.6.22)	(74) 代理人	100077838 弁理士 池田 憲保
		(74) 代理人	100082924 弁理士 福田 修一
		(74) 代理人	100129023 弁理士 佐々木 敬
		(72) 発明者	田中 義典 東京都中央区八重洲二丁目2番1号 エルピーダメモリ株式会社内

最終頁に続く

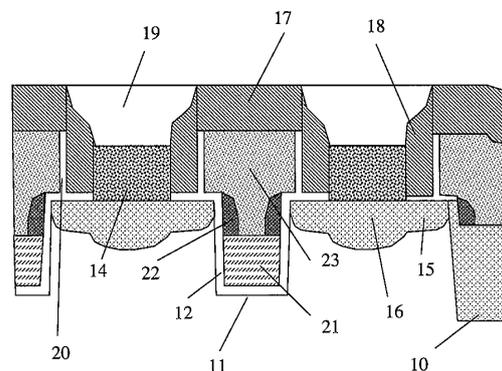
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 半導体装置の微細化に伴うトランジスタのショートチャネル対策として、トレンチゲートTrが開発されている。しかしながら、トレンチゲートTrはゲート電極と基板間の対向面積が増加するため、ゲート電極の寄生容量が大きくなるという問題がある。

【解決手段】 本発明のトレンチゲートTrは、溝の内部に第1のゲート電極と第2のゲート電極とを備えている。Trのチャネルとなる溝下部には、基板との間にゲート酸化膜を介した第1のゲート電極を備える。Trの不純物拡散層と対向する溝部上部には、ゲート酸化膜と溝サイドウォール膜とを介した第2のゲート電極を備える。溝部上部のゲート電極と基板間をゲート酸化膜と溝サイドウォールとの複合膜とすることでゲート電極の寄生容量を小さくできる。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

半導体基板に形成された溝と、前記溝の下部にゲート絶縁膜を介して形成された第 1 のゲート電極と、前記第 1 のゲート電極より上側にある溝上部の内壁に設けられたサイドウォールと、前記サイドウォールと前記第 1 のゲート電極の上面の一部とに接するように形成された第 2 のゲート電極とを有するトレンチゲートトランジスタを備えたことを特徴とする半導体装置。

【請求項 2】

前記第 1 のゲート電極は、トレンチゲートトランジスタのチャンネルとなる溝の下部領域に形成されたことを特徴とする請求項 1 に記載の半導体装置。

10

【請求項 3】

前記第 1 のゲート電極の上面の位置は、基板界面における不純物拡散層の底面よりも低く、前記不純物拡散層から拡張して形成される空乏層の遠端部よりも高い位置にあることを特徴とする請求項 2 に記載の半導体装置。

【請求項 4】

前記サイドウォールは、前記第 1 のゲート電極の上面と基板表面との間の溝内壁に沿って形成されたことを特徴とする請求項 1 に記載の半導体装置。

【請求項 5】

前記第 1 のゲート電極は、不純物をドーピングしたシリコン膜により形成されたことを特徴とする請求項 1 に記載の半導体装置。

20

【請求項 6】

前記第 2 のゲート電極は、シリコン膜、シリサイド膜、メタル膜、窒化メタル膜のうちのいずれか 1 つを少なくとも含む導電膜により形成されたことを特徴とする請求項 1 に記載の半導体装置。

【請求項 7】

前記サイドウォールは、シリコン酸化膜、シリコン窒化膜、シリコン酸窒化膜のうちのいずれか 1 つを少なくとも含む絶縁膜により形成されたことを特徴とする請求項 1 に記載の半導体装置。

【請求項 8】

前記半導体装置は、前記トレンチゲートトランジスタをメモリセルのトランスファゲートトランジスタとして使用したダイナミックランダムアクセスメモリであることを特徴とする請求項 1 乃至 7 のいずれか 1 項に記載の半導体装置。

30

【請求項 9】

半導体基板に溝を形成する工程と、前記溝の内部及び前記半導体基板上にゲート絶縁膜を形成する工程と、前記溝の下部に第 1 のゲート電極を形成する工程と、前記第 1 のゲート電極より上側の溝内壁にサイドウォールを形成する工程と、前記サイドウォールと前記第 1 のゲート電極の上面の一部とに接するように第 2 のゲート電極を形成する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項 10】

前記第 1 のゲート電極を形成する工程においては、電極となる導電膜を所定の厚さだけ溝内に残すようにエッチングすることを特徴とする請求項 9 に記載の半導体装置の製造方法。

40

【請求項 11】

前記第 1 のゲート電極は、不純物をドーピングしたシリコン膜により形成されることを特徴とする請求項 10 に記載の半導体装置の製造方法。

【請求項 12】

前記第 2 のゲート電極は、シリコン膜、シリサイド膜、メタル膜、窒化メタル膜のうちのいずれか 1 つを少なくとも含む導電膜により形成されることを特徴とする請求項 9 に記載の半導体装置の製造方法。

【請求項 13】

50

前記サイドウォールは、シリコン酸化膜、シリコン窒化膜、シリコン酸窒化膜のうちのいずれか1つを少なくとも含む絶縁膜により形成されることを特徴とする請求項9に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、トレンチゲートトランジスタを備えた半導体装置及びその製造方法に関する。

【背景技術】

【0002】

半導体装置の進歩は目覚しく、D R A M (Dynamic Random Access memory) を例に挙げると、ほぼ1~2年毎に2倍のペースで半導体素子の高集積化が為されている。この高集積化達成のためにM O S (Metal-Oxide-Semiconductor) トランジスタの寸法も縮小化されている。これらの寸法縮小によりM O S トランジスタ(以下トランジスタをT r と記す)のショートチャネル効果が顕著となっている。大容量のD R A M では、メモリセル寸法とともにトランスファージェートT r のチャネル長も縮小される。そのためトランスファージェートT r のパフォーマンスが低下し、D R A M メモリセルのリテンションや書き込み特性の悪化が問題となっている。以下の説明においては、メモリセルのトランスファージェートT r をメモリセルT r と記載する。

【0003】

T r のショートチャネル対策の1つとして、チャネルを3次元構造としたトレンチゲートT r が開発されている。トレンチゲートT r とは半導体基板に溝を形成し、3次元の溝界面をチャネルとすることでチャネル長を長くしている。このトレンチゲートT r (R C A T =Recess Channel Access Transistorとも呼ばれている)を用いたD R A M について、図1~3を参照して説明する。図1にはメモリセル平面図、図2には周辺回路T r の平面図、図3には図1のラインA - A 'におけるメモリセル断面図を示す。

【0004】

図1に示すメモリセルは、1つの活性領域1に2ビットのメモリセルが配置され、1ビットのセル領域としては $6F^2$ である。活性領域1の中央部にビット線コンタクトを有し、その左右にメモリセルT r と基板コンタクト5に接続されたキャパシタから構成される。横(X)方向に配線されたビット線6、縦(Y)方向に配線されたワード線(ゲート電極を含む)2を共通配線とし、多数のメモリセルが行列状に繰り返し配列される。ソース、ドレインとなる基板表面には選択エピタキシャル層3が形成され、ワード線2の側壁にはL D D サイドウォール4が形成されている。

【0005】

図2に示す周辺回路T r は、活性領域1内にゲート電極となるワード配線2と、ソース及びドレイン拡散層領域とをそれぞれ備えている。拡散層上には選択エピタキシャル層3が堆積されている。それぞれの拡散層は選択エピタキシャル層3上の基板コンタクト8により他の素子と接続される。ワード線2の側壁にはL D D サイドウォール4が形成されている。図3に示すメモリセルは、トレンチ分離絶縁膜10、溝11、ゲート酸化膜12、ゲート電極13、第1の基板コンタクト内導電膜層14、低濃度不純物拡散層15、高濃度不純物拡散層16、ゲート電極上絶縁膜マスク(S i N、A l₂O₃膜)17、第2の基板コンタクト内導電膜層19、ゲート電極側壁酸化膜20を備えている。

【0006】

トレンチゲートT r は、T r のチャネル部分を溝形状とし、T r のソース、ドレイン間の実効的な距離を長くすることで、T r のショートチャネル効果を抑制することができる。しかしながら本構造においては、ゲート電極13と基板間の対向面積が増加する。そのためワード線2の寄生容量が大きくなり、電位をオン状態にしたとき、その立ち上がり特性が悪化する問題がある。場合によっては、ワード線2の1本に繋がっているメモリセルの数を少なくする(つまりワード線1本の長さを短くする)必要があるため、チップサイ

10

20

30

40

50

ズが大きくなるデメリットがある。

【0007】

このようなトレンチゲートTrに関する先行文献として下記特許文献がある。特許文献1(特開2004-95745)では、トレンチゲート電極として第1導電層と第2導電層からなる下部ゲート電極を形成する。第1導電層を第2導電層表面より低くなるようにエッチングし、溝を形成する。その溝にサイドウォールを形成し、さらに上部ゲート電極を形成している。これらの構成とすることで上部ゲート電極のシリサイドとゲート絶縁膜の間隔を確保し、ゲート絶縁耐圧の劣化を抑制している。特許文献2(特開2005-354069)では、基板に形成された溝部をチャンネルとするRCATが示されている。これらの先行文献においては、本願発明の課題、半導体装置の構造、その製造方法に関する記載はなく、技術的示唆もない。

10

【0008】

【特許文献1】特開2004-95745号公報

【特許文献2】特開2005-354069号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

上記したように半導体装置の微細化にともない、Trのショートチャンネル効果が顕著となっている。このショートチャンネル効果を改善するためにトレンチゲートTrが開発されている。しかしながら、トレンチゲートTrはゲート電極と基板間の対向面積が増加するため、ゲート電極の寄生容量が大きくなるという問題がある。トレンチゲートTrを例えばDRAMのメモリセルTrに採用した場合には、ゲート電極を含むワード線の寄生容量が大きくなる。そのためワード線の電位をオン状態にしたとき、立ち上がり特性が悪化する問題がある。さらにワード線に繋がっているメモリセルの数を少なくする必要があるので、チップサイズが大きくなるデメリットもある。本発明の目的は、これらの問題に鑑み、ゲート電極の寄生容量が小さいトレンチゲートTrを備えた半導体装置と、その製造方法を提供することにある。

20

【課題を解決するための手段】

【0010】

本願は上記した課題を解決するため、基本的には下記に記載される技術を採用するものである。またその技術趣旨を逸脱しない範囲で種々変更できる応用技術も、本願に含まれることは言うまでもない。

30

【0011】

本発明の半導体装置は、半導体基板に形成された溝と、前記溝の下部にゲート絶縁膜を介して形成された第1のゲート電極と、前記第1のゲート電極より上側にある溝上部の内壁に設けられたサイドウォールと、前記サイドウォールと前記第1のゲート電極の上面の一部とに接するように形成された第2のゲート電極とを有するトレンチゲートトランジスタを備えたことを特徴とする。

【0012】

本発明の半導体装置の前記第1のゲート電極は、トレンチゲートトランジスタのチャンネルとなる溝の下部領域に形成されたことを特徴とする。

40

【0013】

本発明の半導体装置の前記第1のゲート電極の上面の位置は、基板界面における不純物拡散層の底面よりも低く、前記不純物拡散層から拡張して形成される空乏層の遠端部よりも高い位置にあることを特徴とする。

【0014】

本発明の半導体装置の前記サイドウォールは、前記第1のゲート電極の上面と基板表面との間の溝内壁に沿って形成されたことを特徴とする。

【0015】

本発明の半導体装置の前記第1のゲート電極は、不純物をドーピングしたシリコン膜に

50

より形成されたことを特徴とする。

【0016】

本発明の半導体装置の前記第2のゲート電極は、シリコン膜、シリサイド膜、メタル膜、窒化メタル膜のうちのいずれか1つを少なくとも含む導電膜により形成されたことを特徴とする。

【0017】

本発明の半導体装置の前記サイドウォールは、シリコン酸化膜、シリコン窒化膜、シリコン酸窒化膜のうちのいずれか1つを少なくとも含む絶縁膜により形成されたこと特徴とする。

【0018】

本発明の半導体装置は、前記トレンチゲートトランジスタをメモリセルのトランスファゲートトランジスタとして使用したダイナミックランダムアクセスメモリであることを特徴とする。

【0019】

本発明の半導体装置の製造方法は、半導体基板に溝を形成する工程と、前記溝の内部及び前記半導体基板上にゲート絶縁膜を形成する工程と、前記溝の下部に第1のゲート電極を形成する工程と、前記第1のゲート電極より上側の溝内壁にサイドウォールを形成する工程と、前記サイドウォールと前記第1のゲート電極の上面の一部に接するように第2のゲート電極を形成する工程とを備えたことを特徴とする。

【0020】

本発明の半導体装置の製造方法の前記第1のゲート電極を形成する工程においては、電極となる導電膜を所定の厚さだけ溝内に残すようにエッチングすることを特徴とする。

【0021】

本発明の半導体装置の製造方法における前記第1のゲート電極は、不純物をドーピングしたシリコン膜により形成されることを特徴とする。

【0022】

本発明の半導体装置の製造方法における前記第2のゲート電極は、シリコン膜、シリサイド膜、メタル膜、窒化メタル膜のうちのいずれか1つを少なくとも含む導電膜により形成されることを特徴とする。

【0023】

本発明の半導体装置の製造方法における前記サイドウォールは、シリコン酸化膜、シリコン窒化膜、シリコン酸窒化膜のうちのいずれか1つを少なくとも含む絶縁膜により形成されることを特徴とする。

【発明の効果】

【0024】

本発明の半導体装置は、第1のゲート電極と第2のゲート電極とを有するトレンチゲートTrを備えている。トレンチゲートTrの溝の下部にはゲート酸化膜と第1のゲート電極が形成されている。第1のゲート電極の上面の位置は、基板界面における不純物拡散層の底面よりも低く、前記不純物拡散層から拡張して形成される空乏層の遠端部よりも高い位置とする。さらに第1のゲート電極の上側にある溝の上部内壁に、第1のゲート電極上部表面の中央部分が露出するように溝サイドウォールを形成する。第1のゲート電極の上部表面の一部と接するように第2のゲート電極を設ける。溝上部のゲート電極と基板間をゲート酸化膜と溝サイドウォールとの複合膜とすることでゲート電極の寄生容量を小さくできる効果がある。さらに本発明のトレンチゲートTrをDRAMのメモリセルTrとすることで、ゲート電極の寄生容量、すなわちワード線の寄生容量を低減することによりメモリセルTrのオン特性の劣化を回避し、且つチップサイズの増加がない良好なデバイス特性をもったDRAMメモリセルを実現できる。

【発明を実施するための最良の形態】

【0025】

本発明の半導体装置とその製造方法について、図を参照して説明する。

10

20

30

40

50

【実施例 1】

【0026】

実施例 1 の半導体装置とその製造方法について、図 1、図 2、図 4 ~ 26 を参照して説明する。図 1 にはメモリセル平面図、図 2 には周辺回路 Tr 平面図を示す。図 4 には、図 1 の DRAM メモリセルのライン A - A ' における断面図を示す。図 5 ~ 26 には工程順に、(a) 図 1 の DRAM メモリセルのライン A - A ' の断面図、(b) 図 2 の周辺回路 Tr のライン B - B ' の断面図を示す。図 1、図 2 の平面図は基本的構成を示すものであることから、本発明にも適用される構成である。

【0027】

図 4 に示すトレンチゲート Tr は、シリコン基板内に設けられた溝 11 にゲート酸化膜 12 を介して第 1 のゲート電極 21 を形成する。第 1 のゲート電極 21 はシリコン基板表面より低く落ち込むように形成されている。この第 1 のゲート電極 21 の上面の位置は、基板界面における不純物拡散層の底面よりも低く、不純物拡散層から拡張して形成される空乏層の遠端部よりも高い位置とすることが好ましい。さらに溝サイドウォール 22 は、溝 11 の上部内壁と第 1 のゲート電極 21 に接するようにつ、第 1 のゲート電極 21 の表面中央部分を露出させるように形成されている。溝サイドウォール 22 並びに第 1 のゲート電極 21 の上表面の一部に接するようにつ第 2 のゲート電極 23 が形成されている。その他の構成は図 3 と同様であり、同じ符号としその説明を省略する。

【0028】

本発明のトレンチゲート Tr は、第 1 のゲート電極 21 と第 2 のゲート電極 23 とを有することを特徴とする。溝の下部でチャンネルとして動作する領域は、薄いゲート酸化膜を介した第 1 のゲート電極とする。溝上部においてソース不純物拡散層 / ドレイン不純物拡散層と接する領域は、ゲート酸化膜 12 と溝サイドウォール 22 を介した第 2 のゲート電極とする。このようにチャンネル以外の溝領域はゲート酸化膜 12 と溝サイドウォール 22 との多層絶縁膜とする。この構成により、ゲート電極の寄生容量を低減できる。その結果、特性の優れた Tr が得ることができる。

【0029】

以下に図 5 ~ 図 26 の断面図を参照して、工程順に製造方法を説明する。それぞれの図において、左側 (a) は図 1 の DRAM メモリセルのライン A - A ' における断面図、右側 (b) は図 2 の周辺回路 Tr のライン B - B ' における断面図を示す。本発明はメモリセル Tr にトレンチゲート Tr、周辺回路部の Tr には通常 Tr を用いた実施例である。

【0030】

図 5 に示すようにシリコン基板に STI (Shallow Trench Isolation) 法によりトレンチ分離絶縁膜 30 を形成し、各々の活性領域を絶縁分離する。シリコン基板全面に熱酸化法により 750 ~ 1100 程度の温度で熱酸化膜 31 を形成する。さらにその上に CVD (Chemical Vapor Deposition) 法でシリコン窒化膜 (以下、SiN 膜と記す) 32 を積層する。その後パターニングし、メモリセルの所望の領域に熱酸化膜 31 と SiN 膜 32 の積層パターンを残す。この時、周辺回路部はパターニングしない。

【0031】

熱酸化膜 31 と SiN 膜 32 の積層パターンを覆うように CVD 法で SiN 膜を堆積する。RIE による異方性エッチングを行い、積層パターンの側壁に SiN 膜サイドウォール 33 を形成する (図 6)。メモリセル内の熱酸化膜 31 と SiN 膜 32 との積層膜と、SiN 膜サイドウォール 33 で覆われていないシリコン基板部に RIE により異方性ドライエッチングすることでトレンチゲート Tr のチャンネル領域となる溝 34 を形成する。その際、STI の一部領域にも溝 35 が形成される (図 7)。

【0032】

トレンチゲート Tr の溝 34 を形成するときのマスクに使った SiN 膜 32、SiN 膜サイドウォール 33 を 100 ~ 200 程度の燐酸溶液で除去する。その後露出した熱酸化膜 31 をフッ酸 (HF) 溶液で除去する。酸及びアルカリ液での前処理を行った後、750 ~ 1100 で膜厚 10 nm 以下の熱酸化を行い、HF 溶液で除去する。再び酸及び

10

20

30

40

50

アルカリ液での前処理を行った後、750～1100 で熱酸化し、ゲート酸化膜36を形成する。さらに連続して不純物をドーピングしたシリコン膜からなる第1のゲート導電膜37を500～600 程度の温度でCVD法にて堆積する(図8)。

【0033】

周辺回路部にレジストパターン38を残し、メモリセル内をプラズマドライエッチする。このエッチングにより溝内底部のみにゲート導電膜37の一部からなる第1のゲート電極37'を形成する。第1のゲート電極37'の上面の位置は、基板界面における不純物拡散層の底面よりも低く、不純物拡散層から拡張して形成される空乏層の遠端部よりも高い位置にすることが好ましい。すなわち第1のゲート電極37'の高さを基板側の空乏層領域内とすることで、基板界面におけるTrのチャンネルとして機能する基板領域を効率よくカバーできる。この高さが低くなるとTrはオフセット状態となり、高すぎると寄生容量を小さくする効果が少なくなる(図9)。

10

【0034】

シリコン基板全面にシリコン酸化膜、SiN膜、シリコン窒化膜(SiON膜)、あるいはそれらの積層膜を溝サイドウォール膜39としてCVD法で堆積する(図10)。堆積された溝サイドウォール膜39の全面を、RIEにより異方性ドライエッチングする。この異方性ドライエッチングにより、第1のゲート電極37'が形成されていない溝の上部内壁に、溝サイドウォール膜39からなる溝サイドウォール39'を形成する。溝サイドウォール39'は、第1のゲート電極37'の上面から基板表面までの間の溝内壁に形成される。このとき第1のゲート電極37'の上面中央部は露出状態とする(図11)

20

【0035】

溝内部に形成した第1ゲート電極表面に接するように第2のゲート導電膜40としてCVD法によりシリコン膜を堆積する。第2のゲート導電膜40としてはシリコン膜の他に、シリサイド膜、W、Ti等のメタル膜、窒化メタル膜、あるいはそれらの積層膜が使用できる。その際周辺回路部は、第1のゲート電極とこれら導電膜が上下に完全に積層された構造となる。その後さらにSiN膜、酸化膜及びこれらの積層膜、あるいは酸化アルミニウム(Al₂O₃)等のメタル酸化膜の絶縁膜41をCVD法かスパッタ法で堆積する(図12)。

【0036】

メモリセル部及び周辺回路部の所望の領域にレジストパターン42、44を形成する。RIEによる異方性ドライエッチングによりメモリセル部の絶縁膜ハードマスク41'、第2のゲート電極40'及び周辺回路部の絶縁膜ハードマスク41''、第2のゲート電極40''、第1のゲート電極37''を形成する(図13)。これらのゲート電極をマスクとして、1e12～5e14cm⁻²程度の不純物をイオン注入する。その後900～1100の温度でアニールを行い、不純物拡散層を活性化する。メモリセルTr及び周辺回路部Trのソース、ドレインとなる低濃度不純物拡散層43、45を形成する(図14)

30

【0037】

ゲートエッチング時の基板ダメージを除去するためにランプ装置や炉内にて750～1100程度の温度でゲート電極の側壁を酸化する。メタル膜やメタル窒化膜を第2のゲート電極として用いる場合には、メタル膜やメタル窒化膜が酸化されず、シリコン膜のみが酸化される選択酸化条件を用いる。メモリセルのTr及び周辺回路部Trのゲート電極に側壁酸化膜51、55が形成される。続いてSiN膜、酸化膜及びこれらの積層膜、あるいはAl₂O₃等のメタル酸化膜からなるLDDサイドウォール52、56をゲート電極横に形成する。さらにその後このLDDサイドウォール52、56とトレンチ分離絶縁膜30に囲まれたシリコン基板表面に選択エピタキシャル層53、57を成膜する。この際、周辺回路部の不純物拡散層領域には再度1e15～1e16cm⁻²程度の高濃度の不純物を注入し、高濃度不純物拡散層54を形成する(図15)。

40

【0038】

50

シリコン酸化膜及びボロン(B)、リン(P)をドーピングしたシリコン酸化膜(BPSG: Boron Phosphorous Silicate Glass)からなる層間絶縁膜58をCVD法により堆積する。その後、熱処理を行うことによりBPSG膜を流動させて平坦化し、さらにCMP(Chemical Mechanical Polishing)法による研磨処理を追加して表面を平坦化する(図16)。メモリセル内の所望の領域にレジストパターン60をマスクにRIEによる異方性ドライエッチングをすることで、基板コンタクトホール59を選択エピタキシャル層上に開口する(図17)。

【0039】

基板コンタクトホール59内の選択エピタキシャル層表面に接触するように不純物をドーピングしたシリコンからなる導電膜61をシリコン基板全面に堆積する(図18)。RIEによる異方性ドライエッチング、CMPあるいはそれらの組み合わせプロセスによってエッチバックし、導電膜61をメモリセル内の基板コンタクト内部にコンタクトプラグ61'として残す。この時、絶縁膜ハードマスク41'、41"の表面が露出するまで、導電膜61と同時に層間絶縁膜58もエッチバックする(図19)。

10

【0040】

シリコン酸化膜からなる層間絶縁膜63をシリコン基板全面にCVD法により堆積する。メモリセルTrで挟まれたコンタクトプラグ61'にビット線コンタクトホール64をRIEによる異方性ドライエッチングで開口する。同時に周辺回路部のソース、ドレイン領域の選択エピタキシャル層上にもコンタクトホール65を開口する。メモリセルTrのソースドレインには、不純物をドーピングしたコンタクトプラグ61'からの不純物拡散により高濃度不純物拡散層66が形成される(図20)。

20

【0041】

DRAMメモリセルのビットラインとなるW、Ti、TiN、Al等からなるメタル配線69、71をメモリセル内及び周辺回路部内に各々形成する。その際、メタル配線とメモリセル部基板コンタクトプラグの界面及びメタル配線と周辺回路部選択エピタキシャル層界面には各々CoSi、TiSi、WSi等のメタルシリサイド膜67、68が形成される場合もある。さらにシリコン基板全面を覆うようにSiN膜やシリコン酸化膜及びそれらの積層膜からなる層間絶縁膜70をCVD法で堆積し、CMPで平坦化する(図21)。

【0042】

レジストパターン73をマスクとして、メモリセル部のコンタクトプラグの他方に接するようにコンタクトホール74をRIEによる異方性ドライエッチングで開口する(図22)。コンタクトホール74内部に不純物をドーピングしたシリコン膜、あるいはTi、TiN、W等のメタル膜、メタル窒化膜及びこれらの複合膜からなる導電プラグ75を形成する。その後、この導電プラグ75と同じような材質からなり、且つ、導電プラグ75の中心に対して、位置がずれるように導電プラグ引出しパッド76を形成する。さらにこの導電プラグ引出しパッド76を覆うようにSiN膜77及びシリコン酸化膜78からなる層間絶縁膜をCVD法により堆積する(図23)。

30

【0043】

キャパシタを形成するためのコンタクトホール79をメモリセルの層間絶縁膜に開口する。コンタクトホール79は、コンタクトホール79の中心と導電膜パッド76の中心がほぼ一致する位置に形成する(図24)。コンタクトホール79の内壁面を覆うように、かつ導電膜パッド76と接するようにキャパシタの下部電極80を形成する。下部電極80の材質として、シリコン膜やW、Ti、Pt、Ru等のメタル膜、さらにこれらメタルの窒化膜、あるいはこれらの積層膜をCVD法にて堆積する。その後、RIEによる異方性ドライエッチングやCMPにてコンタクト内部にキャパシタ下部電極80を形成する(図25)。キャパシタ下部電極80上にTa₂O₅、Al₂O₃、HfO、ZrOやこれらの積層及び混合膜からなるキャパシタ絶縁膜81を堆積する。さらにW、Ti、Pt、Ru等のメタル膜、これらメタルの窒化膜、あるいはこれらの積層膜からなるキャパシタ上部電極82を形成する(図26)。

40

50

【0044】

本実施例のトレンチゲートTrは、溝の内部に第1のゲート電極と第2のゲート電極を備える。溝の内部基板にゲート酸化膜を形成し、溝の下部に第1のゲート電極を形成する。第1のゲート電極が存在しない溝部上部内壁には、第1のゲート電極上部表面の中央部分が露出するように溝サイドウォールを形成する。溝サイドウォールに接し、第1のゲート電極の上部表面に接続するように第2のゲート電極を形成する。Trのチャンネル部分を3次元の溝形状とすることで、Trのソース、ドレイン間の実効的な距離を長くし、ショートチャンネル効果を抑制することができる。チャンネルとして機能する溝下部はゲート酸化膜を介した第1のゲート電極により所定のTrを形成する。一方チャンネルとして機能しない溝上部には溝サイドウォールを形成し、ゲート酸化膜と溝サイドウォールを介した第2のゲート電極とする。ゲート酸化膜と溝サイドウォールの多層膜とすることでゲート電極の寄生容量を小さくすることができる。本発明のトレンチゲートTrをメモリセルTrとして用いることにより、ワード線の寄生容量の増大を抑制し、オン特性の悪化やそれに伴うチップサイズの増加がない良好なデバイス特性をもったDRAMセルを実現できる。

10

【実施例2】

【0045】

実施例2として、キャパシタの下部電極を筒状にした実施例を示す。実施例2の断面図を図27に示す。図25に示す断面図までは実施例1と同様である。図25に示すようにキャパシタ下部電極80を形成した後、層間絶縁膜78を除去し、筒状のキャパシタ下部電極83を形成する。キャパシタ下部電極83上に、 Ta_2O_5 、 Al_2O_3 、 HfO 、 ZrO やこれらの積層及び混合膜からなるキャパシタ絶縁膜84を堆積する。さらにW、Ti、Pt、Ru等のメタル膜、これらメタルの窒化膜、あるいはこれらの積層膜からなるキャパシタ上部電極85を形成する。実施例2は、キャパシタ下部電極83の両壁面を利用することができることから、大きなキャパシタンスが得られる。

20

【0046】

本実施例のメモリセルTrは、トレンチゲートTr構造とする。実施例1と同様にワード線の寄生容量の増大を抑制し、オン特性の悪化やそれに伴うチップサイズの増加がない良好なデバイス特性をもったDRAMセルを実現できる。

【実施例3】

【0047】

実施例3として図28を参照して説明する。図28には、メモリセル内の基板コンタクトプラグ86を形成した断面図を示す。実施例3はメモリセル内の基板コンタクトを直接シリコン基板表面に接するシリコン膜のコンタクトプラグ86により形成する。実施例1における選択エピタキシャル層とコンタクトプラグからなる取り出し電極の代わりに、不純物をドーピングしたシリコン膜からなるコンタクトプラグ86を取り出し電極とする。選択エピタキシャル層を成膜しないで層間絶縁膜を堆積し、メモリセル内に基板コンタクトを開口し、コンタクトプラグ86を形成する。またメモリセルTrのソースドレイン不純物拡散層には、シリコン膜からの不純物拡散により高濃度不純物拡散層を形成する。

30

【0048】

本実施例のメモリセルTrは、トレンチゲートTr構造とする。実施例1と同様にワード線の寄生容量の増大を抑制し、メモリセルTrのオン特性の悪化やそれに伴うチップサイズの増加がない良好なデバイス特性をもったDRAMセルを実現できる。

40

【実施例4】

【0049】

実施例4として図29を参照して説明する。図29には、メモリセル内の基板コンタクトプラグを形成した断面図を示す。実施例4はコンタクトプラグをメタルプラグ90により形成する実施例である。メモリセル内の基板コンタクト開口後、W、Ti、TiNやこれらの積層膜からなるメタルプラグ90を形成する。またメタルプラグ90と基板表面の間にCoSi、WSi、TiSiなどのメタルシリサイド膜91を有している。メタルをプラグ材料とすることからシリコン基板とのコンタクト抵抗は小さくできる。ソースドレ

50

イン不純物拡散層とのコンタクト抵抗を小さくできることから、本実施例ではメモリセルTrの高濃度不純物拡散層は形成しない。

【0050】

本実施例のメモリセルTrは、トレンチゲートTr構造とする。他の実施例と同様にワード線の寄生容量の増大を抑制し、メモリセルTrのオン特性の悪化やそれに伴うチップサイズの増加がない良好なデバイス特性をもったDRAMセルを実現できる。

【0051】

本発明の半導体装置は、溝の内部に第1のゲート電極と第2のゲート電極とを有するトレンチゲートTrを備えている。Trのチャンネルとなる溝下部には、基板との間にゲート酸化膜を介した第1のゲート電極を備える。この第1のゲート電極の上面の位置は、基板界面における不純物拡散層の底面よりも低く、不純物拡散層から拡張して形成される空乏層の遠端部よりも高い位置とする。Trの不純物拡散層と対向する溝部上部には、ゲート酸化膜と溝サイドウォール膜とを介した第2のゲート電極を備える。溝部上部のゲート電極と基板間をゲート酸化膜と溝サイドウォールとの複合膜とすることでゲート電極の寄生容量を小さくできる効果が得られる。さらに本発明のトレンチゲートTrをDRAMのメモリセルTrとして用いることで、ワード線の寄生容量の増大を抑制し、オン特性の悪化やそれに伴うチップサイズの増加がない良好なデバイス特性をもったDRAMメモリセルを実現できる。

10

【0052】

以上本願発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その趣旨を逸脱しない範囲で種々変更して実施することが可能であり、本願に含まれることはいうまでもない。

20

【図面の簡単な説明】

【0053】

【図1】DRAMメモリセルの平面図である。

【図2】周辺回路トランジスタの平面図である。

【図3】従来例におけるDRAMメモリセルの断面図である。

【図4】本発明におけるDRAMメモリセルの断面図である。

【図5】実施例1の製造方法に係るDRAMメモリセル(a)、周辺トランジスタ(b)を工程順に説明する断面図である。

30

【図6】実施例1の製造方法に係るDRAMメモリセル(a)、周辺トランジスタ(b)を工程順に説明する断面図である。

【図7】実施例1の製造方法に係るDRAMメモリセル(a)、周辺トランジスタ(b)を工程順に説明する断面図である。

【図8】実施例1の製造方法に係るDRAMメモリセル(a)、周辺トランジスタ(b)を工程順に説明する断面図である。

【図9】実施例1の製造方法に係るDRAMメモリセル(a)、周辺トランジスタ(b)を工程順に説明する断面図である。

【図10】実施例1の製造方法に係るDRAMメモリセル(a)、周辺トランジスタ(b)を工程順に説明する断面図である。

40

【図11】実施例1の製造方法に係るDRAMメモリセル(a)、周辺トランジスタ(b)を工程順に説明する断面図である。

【図12】実施例1の製造方法に係るDRAMメモリセル(a)、周辺トランジスタ(b)を工程順に説明する断面図である。

【図13】実施例1の製造方法に係るDRAMメモリセル(a)、周辺トランジスタ(b)を工程順に説明する断面図である。

【図14】実施例1の製造方法に係るDRAMメモリセル(a)、周辺トランジスタ(b)を工程順に説明する断面図である。

【図15】実施例1の製造方法に係るDRAMメモリセル(a)、周辺トランジスタ(b)を工程順に説明する断面図である。

50

【図 1 6】実施例 1 の製造方法に係る D R A M メモリセル (a)、周辺トランジスタ (b) を工程順に説明する断面図である。

【図 1 7】実施例 1 の製造方法に係る D R A M メモリセル (a)、周辺トランジスタ (b) を工程順に説明する断面図である。

【図 1 8】実施例 1 の製造方法に係る D R A M メモリセル (a)、周辺トランジスタ (b) を工程順に説明する断面図である。

【図 1 9】実施例 1 の製造方法に係る D R A M メモリセル (a)、周辺トランジスタ (b) を工程順に説明する断面図である。

【図 2 0】実施例 1 の製造方法に係る D R A M メモリセル (a)、周辺トランジスタ (b) を工程順に説明する断面図である。

10

【図 2 1】実施例 1 の製造方法に係る D R A M メモリセル (a)、周辺トランジスタ (b) を工程順に説明する断面図である。

【図 2 2】実施例 1 の製造方法に係る D R A M メモリセル (a)、周辺トランジスタ (b) を工程順に説明する断面図である。

【図 2 3】実施例 1 の製造方法に係る D R A M メモリセル (a)、周辺トランジスタ (b) を工程順に説明する断面図である。

【図 2 4】実施例 1 の製造方法に係る D R A M メモリセル (a)、周辺トランジスタ (b) を工程順に説明する断面図である。

【図 2 5】実施例 1 の製造方法に係る D R A M メモリセル (a)、周辺トランジスタ (b) を工程順に説明する断面図である。

20

【図 2 6】実施例 1 の製造方法に係る D R A M メモリセル (a)、周辺トランジスタ (b) を工程順に説明する断面図である。

【図 2 7】実施例 2 の製造方法に係る D R A M メモリセル (a)、周辺トランジスタ (b) を説明する断面図である。

【図 2 8】実施例 3 の製造方法に係る D R A M メモリセルの断面図である。

【図 2 9】実施例 4 の製造方法に係る D R A M メモリセルの断面図である。

【符号の説明】

【 0 0 5 4 】

- 1 活性領域
- 2 ワード線 (ゲート電極を含む)
- 3 選択エピタキシャル層
- 4 L D D サイドウォール
- 5、8 基板コンタクト
- 6 ビット線
- 1 0 トレンチ分離絶縁膜
- 1 1 溝
- 1 2 ゲート酸化膜
- 1 3 ゲート電極
- 1 4 第 1 の基板コンタクト内導電膜層
- 1 5 低濃度不純物拡散層
- 1 6 高濃度不純物拡散層
- 1 7 ゲート電極上絶縁膜マスク
- 1 8 L D D サイドウォール
- 1 9 第 2 の基板コンタクト内導電膜層
- 2 0 ゲート電極側壁酸化膜
- 2 1 第 1 のゲート電極
- 2 2 溝サイドウォール
- 2 3 第 2 のゲート電極
- 3 0 トレンチ分離絶縁膜
- 3 1 熱酸化膜

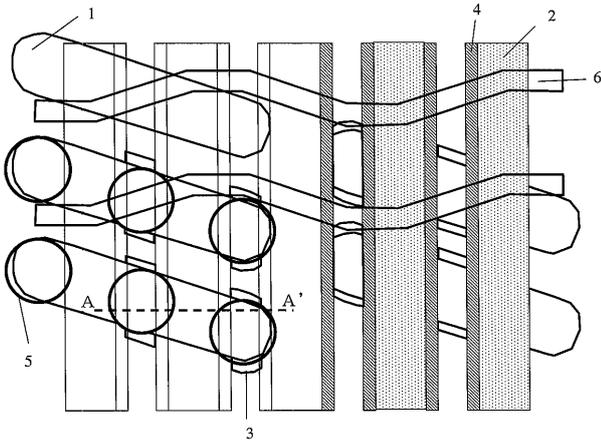
30

40

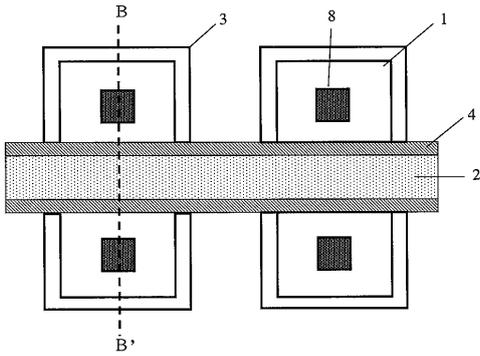
50

3 2	シリコン窒化膜 (S i N 膜)	
3 3	S i N 膜サイドウォール	
3 4、3 5	溝	
3 6	ゲート酸化膜	
3 7	第 1 のゲート導電膜	
3 7 ’	第 1 のゲート電極 (メモリセル部)	
3 7 ”	第 1 のゲート電極 (周辺回路部)	
3 8、4 2、4 4	レジスト	
3 9	溝サイドウォール膜	
3 9 ’	溝サイドウォール	10
4 0	第 2 のゲート導電膜	
4 0 ’	第 2 のゲート電極 (メモリセル部)	
4 0 ”	第 2 のゲート電極 (周辺回路部)	
4 1	絶縁膜	
4 1 ’	絶縁膜ハードマスク (メモリセル部)	
4 1 ”	絶縁膜ハードマスク (周辺回路部)	
4 3、4 5	低濃度不純物拡散層	
5 1、5 5	ゲート電極側壁の酸化膜	
5 2、5 6	L D D サイドウォール	
5 3、5 7	選択エピタキシャル層	20
5 4	高濃度不純物拡散層	
5 8、5 8 ’、5 8 ”	層間絶縁膜	
5 9	基板コンタクトホール	
6 0	レジストパターン	
6 1	コンタクトプラグ導電膜	
6 1 ’	コンタクトプラグ	
6 3	層間絶縁膜	
6 4	ビット線コンタクトホール	
6 5	コンタクトホール	
6 6	高濃度不純物拡散層	30
6 7、6 8	シリサイド膜	
6 9、7 1	メタル配線	
7 0	層間絶縁膜	
7 3	レジストパターン	
7 4	コンタクトホール	
7 5	導電プラグ	
7 6	導電プラグ引出しパッド	
7 7	S i N 膜	
7 8	シリコン酸化膜	
7 9	コンタクトホール	40
8 0	キャパシタの下部電極	
8 1、8 4	キャパシタ絶縁膜	
8 2、8 5	キャパシタ上部電極	
8 3	筒状のキャパシタ下部電極	
8 6	コンタクトプラグ	
9 0	メタルプラグ	
9 1	メタルシリサイド膜	

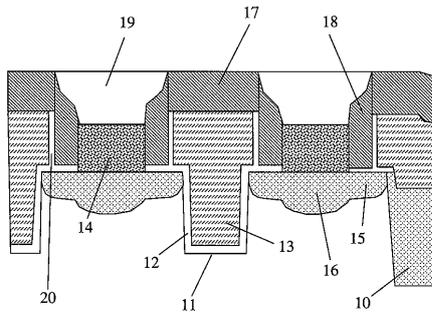
【 図 1 】



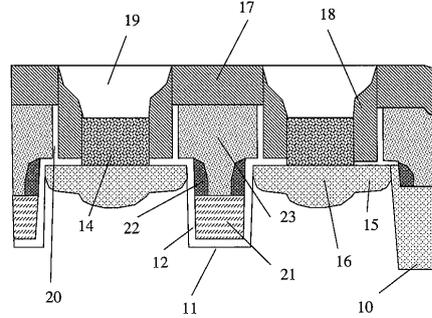
【 図 2 】



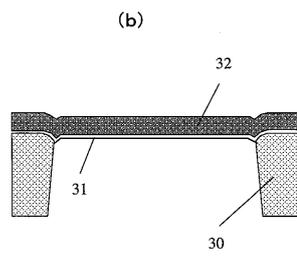
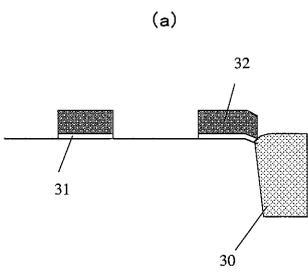
【 図 3 】



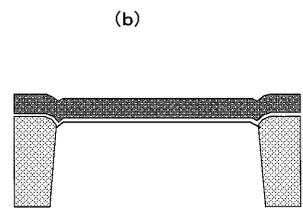
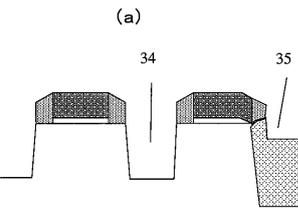
【 図 4 】



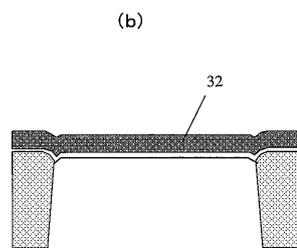
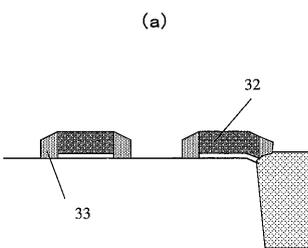
【 図 5 】



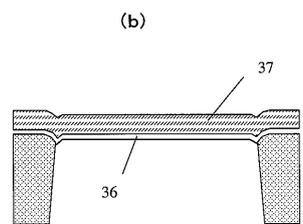
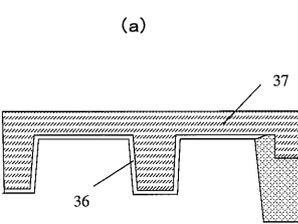
【 図 7 】



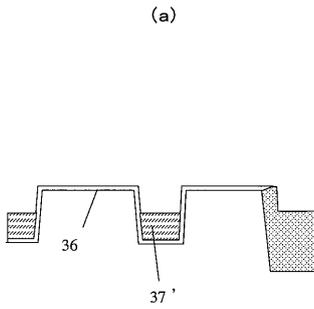
【 図 6 】



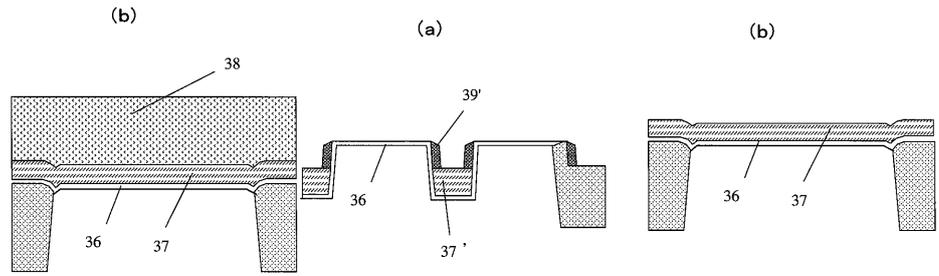
【 図 8 】



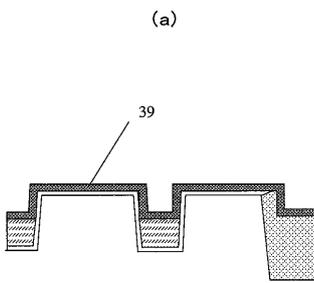
【 図 9 】



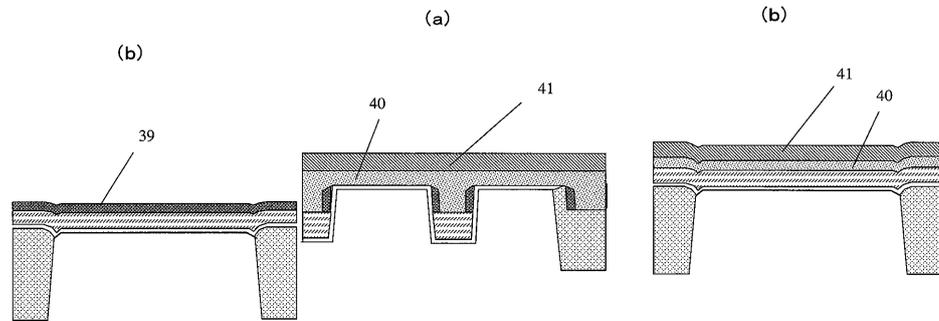
【 図 1 1 】



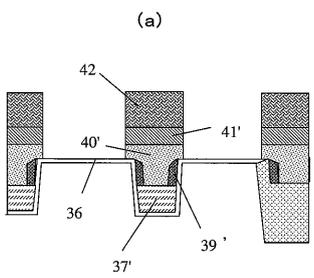
【 図 1 0 】



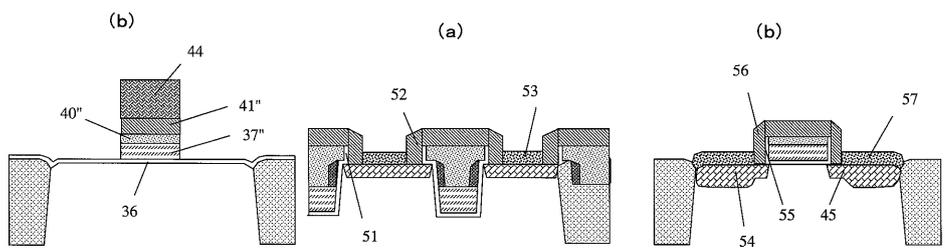
【 図 1 2 】



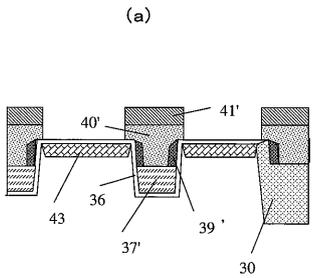
【 図 1 3 】



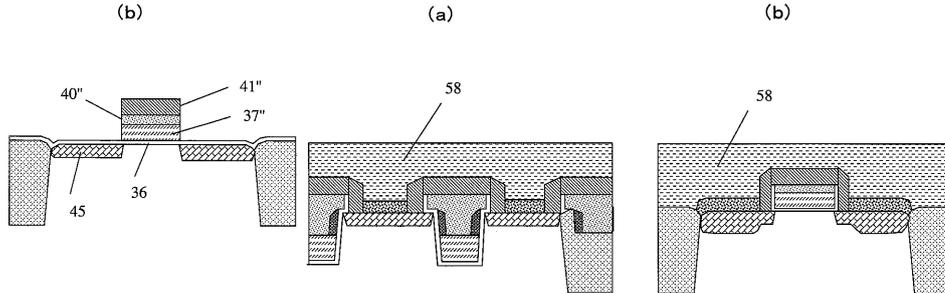
【 図 1 5 】



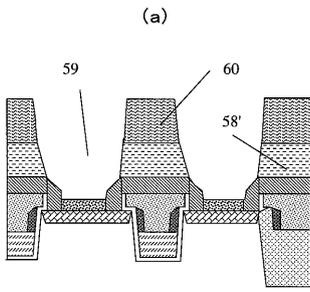
【 図 1 4 】



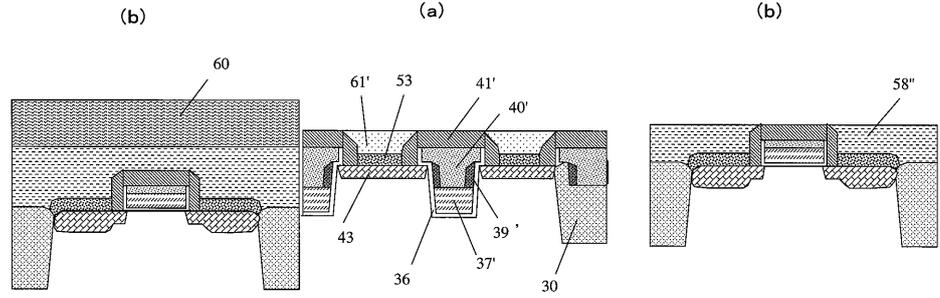
【 図 1 6 】



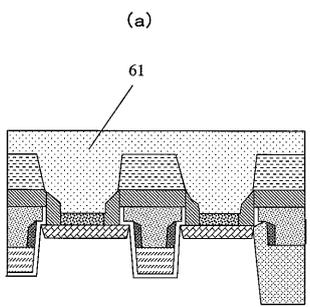
【 図 17 】



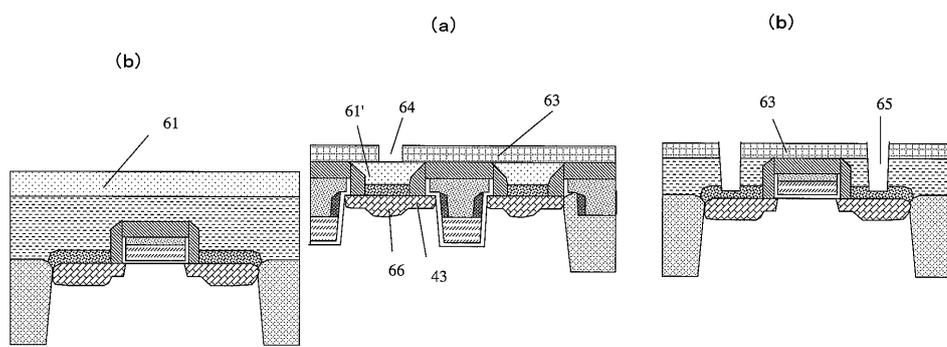
【 図 19 】



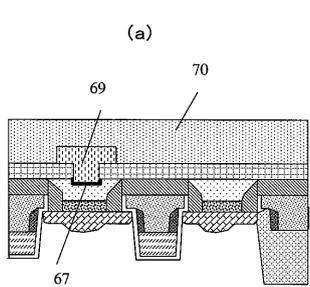
【 図 18 】



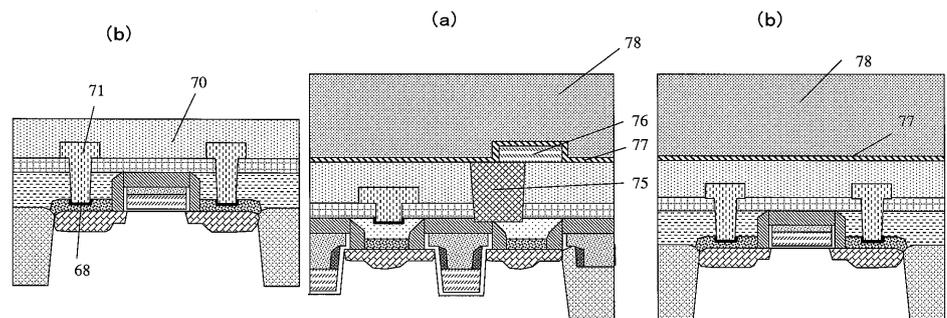
【 図 20 】



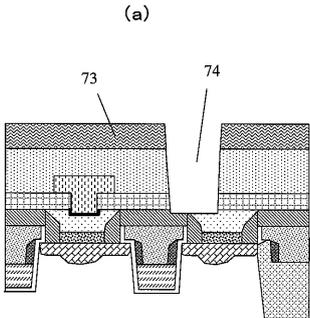
【 図 21 】



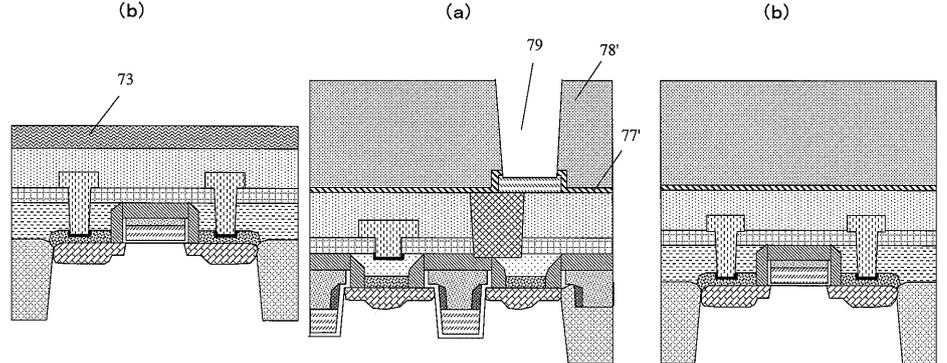
【 図 23 】



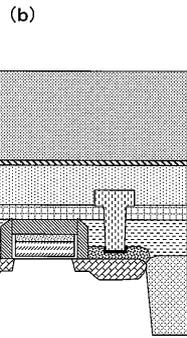
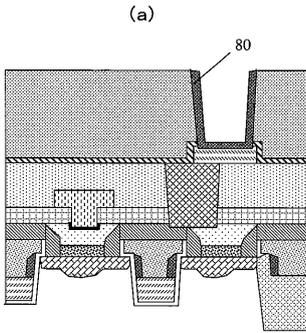
【 図 22 】



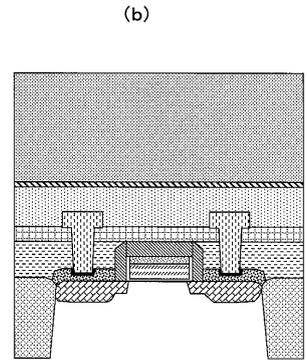
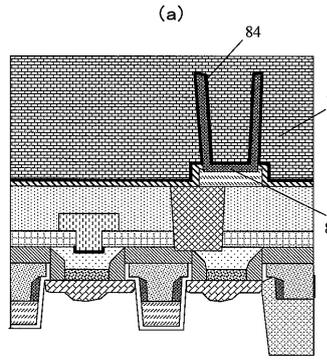
【 図 24 】



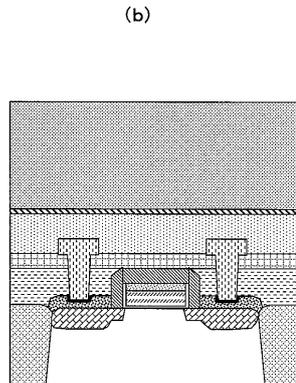
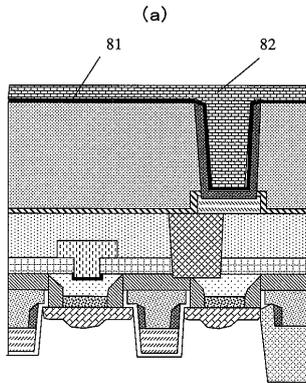
【 図 2 5 】



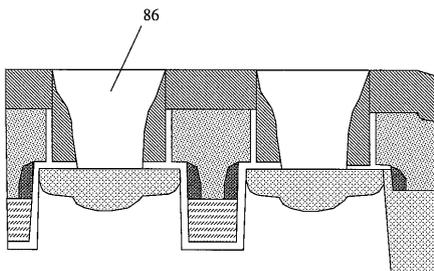
【 図 2 7 】



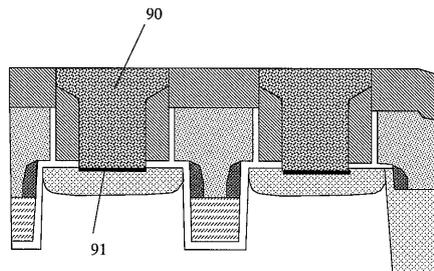
【 図 2 6 】



【 図 2 8 】



【 図 2 9 】



フロントページの続き

F ターム(参考) 5F048 AA01 AA07 AB01 AC01 AC10 BA19 BB01 BB02 BB06 BB07
BB08 BB09 BB12 BB20 BC01 BC06 BD01 BD07 BF06 BF07
BF11 BF15 BF16 BG13 DA25 DA27
5F083 AD04 AD10 AD24 AD48 AD49 AD56 GA03 JA02 JA06 JA35
JA36 JA38 JA39 LA21 MA06 MA17 MA20 NA01 PR25 PR44
PR45 PR54 PR55 ZA05
5F140 AA11 AA21 AA39 AB09 AC32 BA01 BB05 BB06 BC15 BE02
BE03 BE07 BF04 BF14 BF15 BF18 BF20 BF43 BG09 BG11
BG12 BG14 BG19 BG20 BG22 BG28 BG31 BG38 BG40 BG44
BG49 BG52 BG53 BH06 BH15 BJ04 BJ05 BJ07 BJ08 BJ10
BJ11 BJ15 BJ17 BJ18 BJ20 BJ27 BK02 BK13 BK16 BK18
BK21 BK27 BK29 CB04 CC07 CC08 CC20 CE07 CE20