



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년03월04일
 (11) 등록번호 10-0886973
 (24) 등록일자 2009년02월25일

(51) Int. Cl.

A61B 6/00 (2006.01)

(21) 출원번호 10-2002-0045652

(22) 출원일자 2002년08월01일

심사청구일자 2007년05월25일

(65) 공개번호 10-2004-0012209

(43) 공개일자 2004년02월11일

(56) 선행기술조사문헌

KR1020000024969 A

US5869837 B

JP09206293 A

KR1020000061397 A

전체 청구항 수 : 총 4 항

(73) 특허권자

하이디스 테크놀로지 주식회사

경기도 이천시 부발읍 아미리 산 136-1

(72) 발명자

임병천

서울특별시노원구하계1동한신청구아파트3동1112호

전정목

서울특별시광진구구의동587-84301호

(74) 대리인

나승택, 조영현

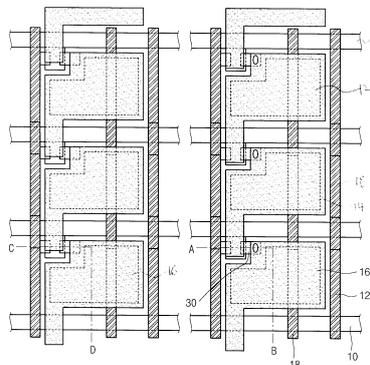
심사관 : 김건형

(54) 디지털 엑스레이 디텍터 및 그 제조 방법

(57) 요약

본 발명은 외부의 집적회로로 화소 내에 저장된 전하를 검출하여 정보를 표시하는 디지털 엑스레이 디텍터 및 그 제조 방법에 관해 개시한 것으로서, 절연 기판 위에 서로 교차 배열되는 게이트 배선 및 소오스/드레인 을 가진 데이터 배선과, 게이트 배선과 데이터 배선이 교차된 부분에 배열되는 에치스토퍼형 스위칭 소자와, 스위칭소자와 연결되는 스토리지 캐패시터용 제 1투명전극을 가지며 제 1투명전극이 스위칭 소자의 소오스 전극과 연결되는 화소어레이부와, 화소어레이의 주변에 상기 화소어레이부와 동일 구조를 갖되, 캐패시터의 일부를 구성 하는 제 2투명전극과 소오스 전극과 연결되지 않는 부가 화소어레이부를 포함한 것을 특징으로 한다.

대표도 - 도1



특허청구의 범위

청구항 1

절연 기판 위에 서로 교차 배열되는 게이트 배선 및 소오스/드레인을 가진 데이터 배선과,
 상기 게이트 배선과 상기 데이터 배선이 교차된 부분에 배열되는 에치스토퍼형 스위칭 소자와,
 상기 스위칭소자와 연결되는 스토리지 캐패시터용 제 1투명전극을 가지며, 상기 제 1투명전극이 상기 스위칭 소자의 소오스 전극과 연결되는 화소어레이부와,

상기 화소어레이의 주변에 상기 화소어레이부와 동일 구조를 갖되, 캐패시터의 일부를 구성하는 제 2 투명전극과 상기 소오스 전극과 연결되지 않는 부가 화소어레이부를 포함한 것을 특징으로 하는 엑스레이 디텍터.

청구항 2

절연 기판 위에 서로 교차 배열되는 게이트 배선 및 소오스/드레인을 가진 데이터 배선을 각각 형성하는 단계와,

상기 게이트 배선과 상기 데이터 배선이 교차된 부분에 배열되는 에치스토퍼형 스위칭 소자를 형성하는 단계와,

상기 스위칭소자와 연결되는 스토리지 캐패시터용 제 1투명전극을 가지며, 상기 제 1투명전극이 상기 스위칭 소자의 소오스 전극과 연결되는 화소어레이부 및 상기 화소어레이의 주변에 상기 화소어레이와 동일 구조를 갖되, 캐패시터의 일부를 구성하는 제 2투명전극과 상기 소오스가 연결되지 않는 부가 화소어레이부를 동시에 형성하는 단계를 포함한 것을 특징으로 하는 엑스레이 디텍터의 제조 방법.

청구항 3

제 2항에 있어서, 상기 제 1투명 전극 위에 실리콘 질화막, 실리콘 산화막 및 실리콘 옥시질화막 중 어느 하나의 단일막 또는 그들의 적층막을 이용하여 유전층을 형성하는 것을 특징으로 하는 엑스레이 디텍터의 제조 방법.

청구항 4

엑스 레이광을 받아서 전하를 발생시키는 광전환부 및 바이어스 라인과 연결되는 스토리지 캐패시터용 제 1투명전극과,

화소 전극을 포함하는 스토리지 캐패시터용 제 2투명 전극과,

상기 제 2투명 전극과 연결된 스위칭 소자를 가지며, 전하를 모으는 가드 링과,

상기 가드 링 하부에 형성되며, 상기 스위칭 소자에서 박막 트랜지스터의 누설양을 리드아웃하고 그 양만큼을 보정해 주기 위한 다크 라인을 포함한 것을 특징으로 하는 엑스레이 디텍터.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<9> 본 발명은 디지털 엑스레이 디텍터(digital x-ray detector) 및 그 제조 방법에 관한 것으로, 보다 상세하게는 외부의 집적회로로 화소 내에 저장된 전하를 검출하여 정보를 표시하는 디지털 엑스레이 디텍터 및 그 제조 방법에 관한 것이다.

<10> 현재 의료용으로 이용되고 있는 필름 인화에 의한 X-레이 촬영 방법은 필름 촬영 후 인화 과정을 거쳐야 하기 때문에 일정 시간이 흐른 후에 그 결과물을 인지할 수 있다는 단점 및 촬영 후 필름의 보관 및 보존에 어려움이

많은 단점이 있다. 따라서, 이러한 단점을 개선시키기 위해 최근 박막 트랜지스터 어레이를 사용하는 디지털 엑스레이 디텍터의 제조에 관해 많은 연구가 진행되고 있다.

- <11> 이러한 방법은 박막 트랜지스터를 이용하여 X-레이 촬영후 바로 결과물을 확인할 수 있고 디지털 신호로 결과물이 나오기 때문에 보관이 용이하고 반영구적으로 자료를 보관할 수 있다는 장점이 있다.
- <12> 현재 보편적으로 제안되고 있는 디지털 엑스레이 디텍터의 구조 및 동작 원리는 다음과 같다.
- <13> 통상적인 디지털 엑스레이 디텍터는, 절연기판 위에 X-레이에 의해 발생된 전하를 충전할 수 있는 캐패시터, 캐패시터에 충전된 전하를 외부의 리드아웃 집적회로로 보내기 위한 스위칭 소자, X-레이를 캐패시터에 충전시킬 수 있는 전하로 변환하는 광변환부, 광변환부에서 발생한 전하를 모을 수 있는 CCE(Charge Collecting Electrode) 및 광변환부에서 발생하는 전하를 캐패시터로 이동시키기 위하여 전압을 인가하는 고압직류장치를 포함하여 구성된다.
- <14> 상기 구성 요소 중에서, 화소부 주변에 발생하는 전하를 포획하는 가드 링(guard ring)의 형성에 의해 그 하부에 존재하는 박막 트랜지스터는 CCE(CCE) 전극과 연결되지 않는 구조를 가진다. 이러한 CCE전극과 박막 트랜지스터가 연결되지 않는 부분의 데이터라인을 다크 라인(dark line)이라 한다.
- <15> 상기 구성을 가진 디지털 엑스레이 디텍터의 동작을 살펴보면 다음과 같다.
- <16> 먼저, X-레이에 의해 광변환부에서 전자-정공쌍을 형성시킨다. 이렇게 형성된 전자-정공쌍은 고압 직류장치에 의해 각각의 방향으로 분리되고 전하는 CCE를 통해 캐패시터에 저장된다. 이렇게 저장된 전하는 박막 트랜지스터를 구동시켜 데이터 배선의 끝단에 연결된 집적회로부로 이동된다. 집적회로부로 전달된 전하를 영상 신호로 변환시켜 X-레이 촬영결과를 표시하게 된다.
- <17> 상기에서는 디지털 엑스레이 디텍터의 원리에 대해서만 설명하였으나, 박막 트랜지스터를 이용한 이미지 센서의 구동도 화소부에 충전된 전하를 박막 트랜지스터를 통하여 외부의 집적회로로 리드 아웃(read out)한다는 측면에서는 동일 원리를 가지며, 단지 화소부 캐패시터에 전하를 충전시키는 방법이 이미지 센서의 사용목적 등에 의해 달라질 뿐이다.

발명이 이루고자 하는 기술적 과제

- <18> 그러나, 종래의 기술에서는 센서들이 데이터 라인을 통해 전하를 검출하는 특성 때문에 외부 노이즈(noise)(원하지 않는 누설 전류, 스캔라인 펄스에 의한 전하주입)에 의한 정보 왜곡이 발생되었다.
- <19> 또한, 종래의 기술에서는 CCE전극과 박막 트랜지스터가 연결되지 않는 구조를 가짐에 따라, 다크 라인이 오픈되면 박막 트랜지스터의 누설 전류를 측정하여 측정된 양만큼을 보정하게 되는데, 누설량이 감소되므로 보정량 오차가 발생하는 문제점이 있었다.
- <20> 이에 본 발명은 상기 종래의 문제점을 해결하기 위해 안출된 것으로, 외부 노이즈를 보상하여 정보 왜곡 발생을 방지하고, 또한 다크라인이 오픈될 경우 동작 불량을 검출 가능한 디지털 엑스레이 디텍터 및 그 제조 방법을 제공함에 그 목적이 있다.

발명의 구성 및 작용

- <21> 상기 목적을 달성하기 위한 본 발명의 디지털 엑스레이 디텍터는 절연 기판 위에 서로 교차 배열되는 게이트 배선 및 소오스/드레인을 가진 데이터 배선과, 게이트 배선과 상기 데이터 배선이 교차된 부분에 배열되는 에치스토퍼형 스위칭 소자와, 스위칭소자와 연결되는 스토리지 캐패시터용 제 1투명전극을 가지며, 제 1투명전극이 상기 스위칭 소자의 소오스 전극과 연결되는 화소어레이부와, 화소어레이의 주변에 화소어레이부와 동일 구조를 갖되, 캐패시터의 일부를 구성하는 제 2투명전극과 소오스 전극과 연결되지 않는 부가 화소어레이부를 포함한 것을 특징으로 한다.
- <22> 상기 구성을 가진 본 발명의 엑스레이 디텍터의 제조 방법은, 절연 기판 위에 서로 교차 배열되는 게이트 배선 및 소오스/드레인을 가진 데이터 배선을 각각 형성하는 단계와, 기 게이트 배선과 상기 데이터 배선이 교차된 부분에 배열되는 에치스토퍼형 스위칭 소자를 형성하는 단계와, 스위칭소자와 연결되는 스토리지 캐패시터용 제 1투명전극을 가지며, 제 1투명전극이 상기 스위칭 소자의 소오스 전극과 연결되는 화소어레이부 및 화소어레이의 주변에 상기 화소어레이와 동일 구조를 갖되, 캐패시터의 일부를 구성하는 제 2투명전극과 소오스가 연결되지 않는 부가 화소어레이부를 동시에 형성하는 단계를 포함한 것을 특징으로 한다.

- <23> 상기 제 1투명 전극 위에 실리콘 질화막, 실리콘 산화막 및 실리콘 옥시질화막 중 어느 하나의 단일막 또는 그들의 적층막을 이용하여 유전층을 형성하는 것이 바람직하다.
- <24> 본 발명의 다른 실시예에 따른 엑스레이 디텍터는, 엑스 레이광을 받아서 전하를 발생시키는 광전환부 및 바이어스 라인과 연결되는 스토리지 캐패시터용 제 1투명전극과, 화소 전극을 포함하는 스토리지 캐패시터용 제 2투명 전극과, 제 2투명 전극과 연결된 스위칭 소자를 가지며, 전하를 모으는 가드 링과, 가드 링 하부에 형성되며 스위칭 소자에서 박막 트랜지스터의 누설양을 리드아웃하고 그 양만큼을 보정해 주기 위한 다크 라인을 포함한 것을 특징으로 한다.
- <25> 이하, 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 상세히 설명하면 다음과 같다.
- <26> 도 1은 본 발명에 따른 디지털 엑스레이 디텍터에서, 화소 어레이부의 화소 및 부가화소부의 화소 구조를 보인 평면도이다.
- <27> 또한, 도 2는 본 발명에 따른 디지털 엑스레이 디텍터에서의 화소 배치 및 부가 화소 배치도이다.
- <28> 한편, 도 3a 내지 도 3b는 본 발명에 따른 제 1실시예로서, 도 3a 도 1의 A-B선을 따라 절단한 화소 어레이부의 공정단면도이고 도 3b는 도 1의 C-D선을 따라 절단한 부가 화소 어레이부의 공정단면도이다.
- <29> 본 발명에 따른 디지털 엑스레이 디텍터는, 도 1에 도시된 바와 같이, 절연 기판 상에 게이트 배선(10) 및 데이터 배선(20)이 서로 교차되도록 배열되며, 상기 교차부분은 픽셀 어레이부로서, 게이트 전극, 소오스/드레인 전극을 포함한 박막 트랜지스터 구조의 스위칭 소자(A)가 형성된다.
- <30> 상기 픽셀 어레이부(도 1의 오른쪽 부분 및 도 3a)에는 엑스 레이와 반응하여 생긴 전하를 충전하는 캐패시터를 가지며, 상기 캐패시터의 일부분을 구성하는 제 1투명 전극(12)은 공통 전극(18)과 연결되고 제 2투명 전극(16)은 스위칭 소자의 소오스 전극(30)과 연결된다.
- <31> 또한, 픽셀 어레이부의 액티브층 외곽부에는 액티브층의 픽셀 구조와 유사한 형태의 부가 픽셀어레이부(도 1의 왼쪽 부분 및 도 3b)가 형성된다. 이때, 상기 부가 픽셀어레이부는, 도 3b에 도시된 바와 같이, 액티브층 내에 존재하는 픽셀 어레이부와는 달리 캐패시터를 구성하는 제 2투명 전극(16)이 박막 트랜지스터의 소오스 전극(30)과 연결되지 않은 구조를 가진다.
- <32> 한편, 상기 픽셀 어레이부 상부에는 Se 등의 X-레이에 반응하여 전자-정공쌍이 형성되는 물질이 화학 기상증착, 열진공증착, 스퍼터링 등에 의해 형성되며, 그 상부에는 Se 내에 형성된 전자-정공을 분리시키기 위하여 높은 전압을 걸기위한 전극(미도시)이 존재한다.
- <33> 다음으로, 게이트와 데이터 패드부에 구동 드라이버를 합착한 후 밀봉과정을 거치면 디지털 엑스레이 디텍터 모듈이 완성된다.
- <34> 본 발명의 제 1실시예에 따른 디지털 엑스레이 디텍터의 제조 방법은, 도 1, 3a 및 도 3에 도시된 바와 같이, 절연 기판(1) 위에 게이트 배선(10)을 형성한 후, 상기 기판 상에 게이트 절연막(11), 활성층(20) 및, 옴릭 콘택층(22)을 차례로 형성한다.
- <35> 이어, 스토리지 캐패시터의 제 1투명 전극(18)을 형성하고 나서, 게이트 전극(10)과 소오스/드레인 전극과의 접촉을 위한 제 1개구부(미도시)를 형성하고 소오스/드레인 전극 (30)(32)및 데이터 배선(20)을 형성한다.
- <36> 이때, 공통 전극(14)은 데이터 배선(20)과 평행한 방향을 배열되도록 형성하는데, 상기 공통 전극(14)은 제 1투명 전극(18)과 연결된다.
- <37> 그런 다음, 상기 결과의 기판 전면에 데이터 패드부 및 소오스 전극(30)을 노출시키는 제 2개구부(a)를 가진 보호막(13)을 형성한다. 이때, 도 2b에 도시된 바와 같이, 다크 라인부에서는 제 2투명 전극과 소오스 전극 사이가 연결되지 않기 때문에 소오스 전극 상부의 보호막이 제거되지 않는다.
- <38> 이 후, 상기 제 2개구부(a)를 통해 소오스 전극(30)과 연결되는 제 2투명 전극(16)을 형성한다. 이때, 도 3에 도시된 바와 같이, 다크 라인부에 존재하는 제 2투명 전극(16)은 서로 연결되며 화소 외곽의 신호선과 연결된다. 상기 다크 라인부의 캐패시터에 충전되는 전하들은 박막 트랜지스터를 통해 리드아웃되지 않고 회소 외곽으로 연결된 신호선을 통해 방출된다.
- <39> 상기 다크 라인부는, 도 2에 도시된 바와 같이, 화소 어레이부 한면 또는 양면에 형성할 수 있다. 상기

다크 라인부는 1개의 라인으로 형성하거나 또는 여러 개의 라인으로 형성할 수 있다.

- <40> 도 4 내지 도 4는 본 발명의 제 2실시예에 따른 디지털 엑스레이 디텍터를 설명하기 위한 공정 단면도이다.
- <41> 도 4a는 도 1의 A-B선을 따라 절단한 화소 어레이부의 공정단면도이고 도 4b는 도 1의 C-D선을 따라 절단한 부가 화소어레이부의 공정단면도이다.
- <42> 본 발명의 제 2실시예에 따른 디지털 엑스레이 디텍터는, 본 발명의 제 1실시예와 동일하게, 화소어레이의 주변에 화소 어레이부와 동일 구조를 갖되, 캐패시터의 일부를 구성하는 제 2투명전극과 소오스 전극과 연결되지 않는 부가 화소어레이부를 포함한 구성을 가진다.
- <43> 상기 구성을 가진 본 발명의 제 2실시예에 따른 디지털 엑스레이 디텍터의 제조 방법을 도 4a 내지 도 4b를 참고로 하여 설명한다.
- <44> 먼저, 유리 등의 절연 기판(100) 위에 게이트 배선(10)을 형성한 후, 게이트 절연막(11), 활성층(20) 및 오믹콘택층(22)을 차례로 형성한다.
- <45> 이어, 소오스/드레인 전극(30)(32) 및 데이터 배선(20)을 형성한다. 그런 다음, 상기 구조의 기판 전면에 제 1절연막(40)을 형성하고 나서, 공통 전극과 후속의 공정에서 형성될 제 1투명 전극과의 전기적 통로가 형성될 부분의 제 1절연막을 제거한다.
- <46> 이 후, 스토리지 캐패시터의 제 1투명 전극(18)을 형성하고 나서, 제 1투명 전극(18)을 포함한 기판 전면에 캐패시터의 유전층이 될 제 2절연막(42)을 형성한다. 이때, 상기 제 2절연막(42)은 실리콘 질화막, 실리콘 산화막 및 실리콘 옥시질화막 중 어느 하나의 단일막 또는 그들의 적층막을 이용하여 형성한다.
- <47> 이어, 제 1 및 제 2절연막(40)(42)을 식각함으로써, 활성영역 내의 화소에는 후속 공정에서 CCE 역할을 할 제 2투명 전극과 소오스 전극과의 연결을 위한 개구부(b)를 형성한다. 이때, 도 4b에 도시된 바와 같이, 활성영역 외곽에 형성되는 다크 라인부의 화소영역에서는 제 1 및 제 2절연막 식각 공정이 진행되지 않는다. 결과적으로, 다크 라인부의 소오스 전극(30)은 후속의 공정에서 형성되는 제 2투명 전극(16)과 연결되지 않는다.(도 2의 C 부분 참조)
- <48> 그런 다음, 상기 결과물에 개구부(b)를 통해 소오스 전극(30)과 연결되는 제 2투명 전극(16)을 형성한다.
- <49> 다크 라인부에 존재하는 CCE는 서로 연결되며 화소 외곽의 신호선과 연결되며, 다크 라인부의 캐패시터에 충전되는 전하들은 박막 트랜지스터를 통해 리드아웃되지 않고 화소 외곽으로 연결된 신호선을 통해 방출된다.
- <50> 본 발명의 제 1 및 제2실시예에서는 디지털 엑스레이 디텍터를 예로 하여 설명하였지만, 본 발명의 기본적인 개념인 디지털 엑스레이의 적용은 데이터라인을 통해 화소부에 저장된 전하를 외부의 집적 회로로 출력하여 정보를 표시하는 이미지 센서에도 적용할 수 있다.
- <51> 도 5는 본 발명의 제 3실시예에 따른 디지털 엑스레이 디텍터 구조도이다.
- <52> 또한, 도 6은 본 발명의 제 3실시예에 따른 디지털 엑스레이 디텍터에서, 리얼 픽셀, 다크 라인 픽셀 및 더미 다크 라인의 도시한 평면도이다.
- <53> 한편, 도 7a는 본 발명의 제 3실시예에 따른 디지털 엑스레이 디텍터에서, 다크 라인 픽셀을 보인 공정단면도이고, 도 7b는 본 발명의 제 3실시예에 따른 디지털 엑스레이 디텍터에서, 리얼 픽셀 및 더미 픽셀을 보인 공정단면도이다.
- <54> 본 발명의 제 3실시예에 따른 디지털 엑스레이 디텍터는, 도 5에 도시된 바와 같이, 엑스 레이광을 받아서 전하를 발생시키는 광전환부 및 바이어스 라인과 연결되는 스토리지 캐패시터용 제 1투명전극과, 화소 전극을 포함하는 스토리지 캐패시터용 제 2투명 전극과, 제 2투명 전극과 연결된 스위칭 소자를 가지며, 전하를 모으는 가드 링과, 가드 링 하부에 형성되며 상기 스위칭 소자에서 박막 트랜지스터의 누설양을 리드아웃하고 그 양만큼을 보정해 주기 위한 다크 라인을 포함하여 구성된다.
- <55> 상기 구성을 가진 본 발명의 제 3실시예에 따른 디지털 엑스레이 디텍터의 제조 방법은, 도 5에 도시된 바와 같이, 먼저, 스캔 라인을 형성하고 박막 트랜지스터의 전극으로 사용하기 위한 스캔 라인에서 일부 돌

출된 패턴을 형성한다.

<56> 이어, 절연막을 형성하고, 바이어스 전극용 금속을 패터닝 한 후 바이어스 신호를 전달해 주는 라인과 리드아웃 라인을 형성한다. 이때, 상기 공정과 동시에 박막 트랜지스터의 소스/드레인 전극(310)(312)이 형성된다. 그런 다음, CCE전극(314)을 형성하며, 상기 CCE전극(314)은 다음 단의 박막 트랜지스터 상부에 까지 연장하여 형성하며, 박막 트랜지스터 상부에 엑스레이 조사에 의해 생성된 전하를 제거할 수 있다.

<57> 상기의 공정이 진행되는 동안 외곽부에 형성되는 다크 라인과 스캔 라인의 처음과 끝에 형성된 더미 스캔 라인 사이에 형성된 화소가 동시에 형성된다.

<58> 상기 더미 화소는 실제 화소와 동일한 기능을 가지며 테스트 시 정상적으로 체크 가능하다. 만약 테스트를 진행하는 동안에 맨 끝에 형성된 화소가 동작 이상인 것으로 체크되면 다크 라인의 중간에서 오픈이 발생되었음을 알 수 있다.

<59> 도 7a 및 도 7b에서, 도면부호 300은 기판을, 302는 게이트 전극을, 304는 게이트 절연막을, 306은 보호막, 340은 상부 전극을 각각 도시한 것이다.

발명의 효과

<60> 이상에서와 같이, 본 발명은 화소 어레이부의 일부분에 활성층 내부의 화소와 유사한 구조를 가지되, 캐패시터의 일부를 구성하는 제 2투명전극과 상기 소오스가 연결되지 않는 부가 화소 어레이부를 형성함으로써, 디지털 엑스레이 구동시 중요한 요소인 데이터라인 리드아웃시의 시그널 노이즈를 검출하여 시그널 노이즈가 포함되지 않은 우수한 엑스레이 촬영 결과를 얻을 수 있다.

<61> 또한, 본 발명은 다크 라인에 연결되어 있는 화소들 중 일부분의 CCE전극을 박막 트랜지스터와 연결함으로써, 오픈 테스트가 가능하여 최종 공정으로의 불량 유입을 방지할 수 있는 이점이 있다.

<62> 기타, 본 발명은 그 요지를 일탈하지 않는 범위에서 다양하게 변경하여 실시할 수 있다.

도면의 간단한 설명

<1> 도 1은 본 발명에 따른 디지털 엑스레이 디텍터에서, 화소 어레이부의 화소 및 부가화소부의 화소 구조를 보인 평면도.

<2> 도 2는 본 발명에 따른 디지털 엑스레이 디텍터에서의 화소 배치 및 부가 화소 배치도.

<3> 도 3a 내지 도 3b는 본 발명에 따른 제 1실시예에 따른 디지털 엑스레이 디텍터를 설명하기 위한 공정단면도.

<4> 도 4a 내지 도 4b는 본 발명의 제 2실시예에 따른 디지털 엑스레이 디텍터를 설명하기 위한 공정단면도.

<5> 도 5는 본 발명의 제 3실시예에 따른 디지털 엑스레이 디텍터 구조도.

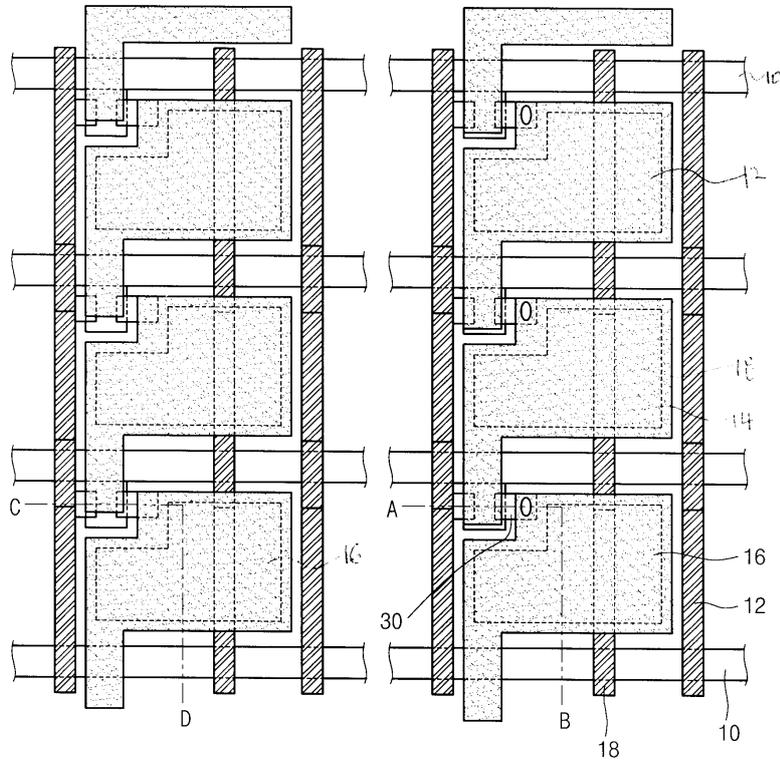
<6> 도 6은 본 발명의 제 3실시예에 따른 디지털 엑스레이 디텍터에서, 리얼 픽셀, 다크 라인 픽셀 및 더미 다크 라인의 도시한 평면도.

<7> 도 7a는 본 발명의 제 3실시예에 따른 디지털 엑스레이 디텍터에서, 다크 라인 픽셀을 보인 공정단면도.

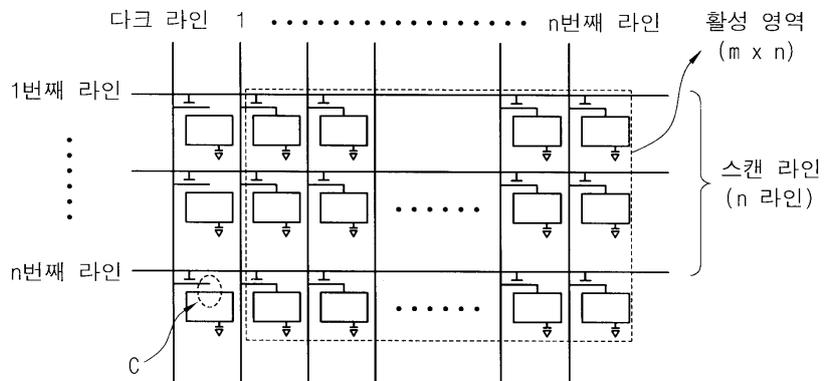
<8> 도 7b는 본 발명의 제 3실시예에 따른 디지털 엑스레이 디텍터에서, 리얼 픽셀 및 더미 픽셀을 보인 공정단면도.

도면

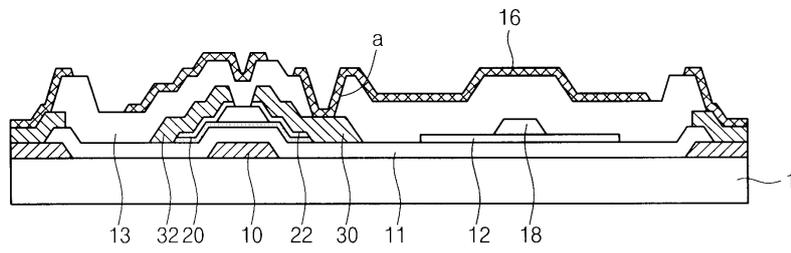
도면1



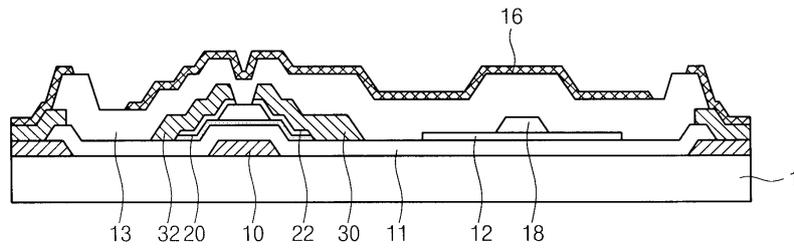
도면2



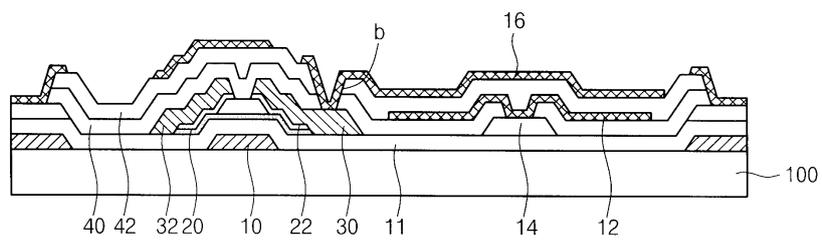
도면3a



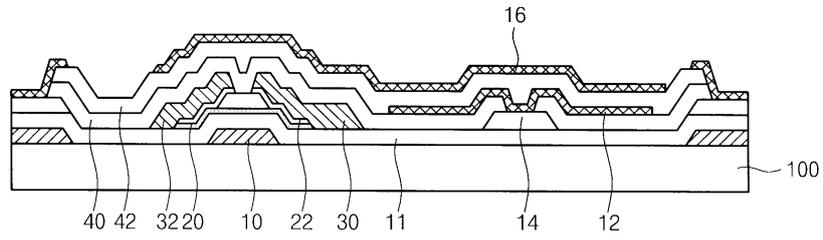
도면3b



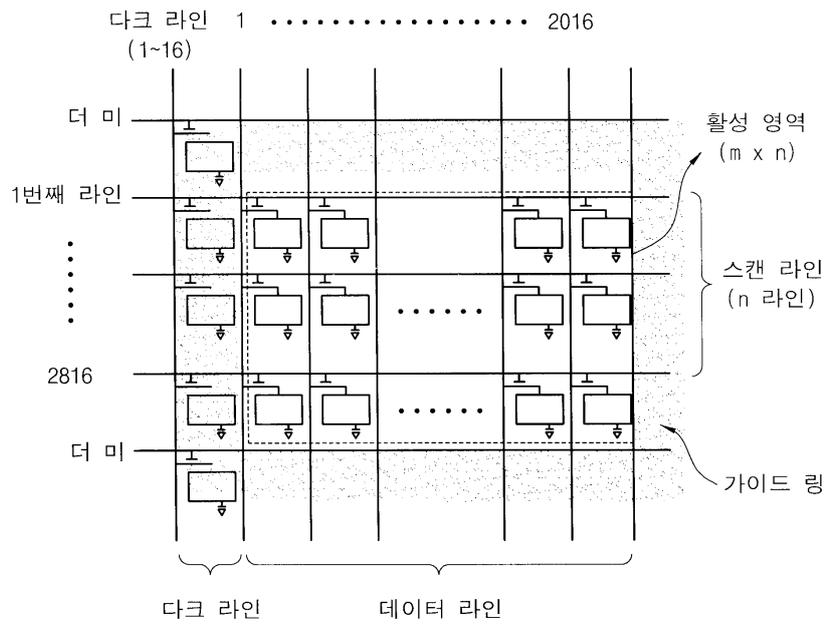
도면4a



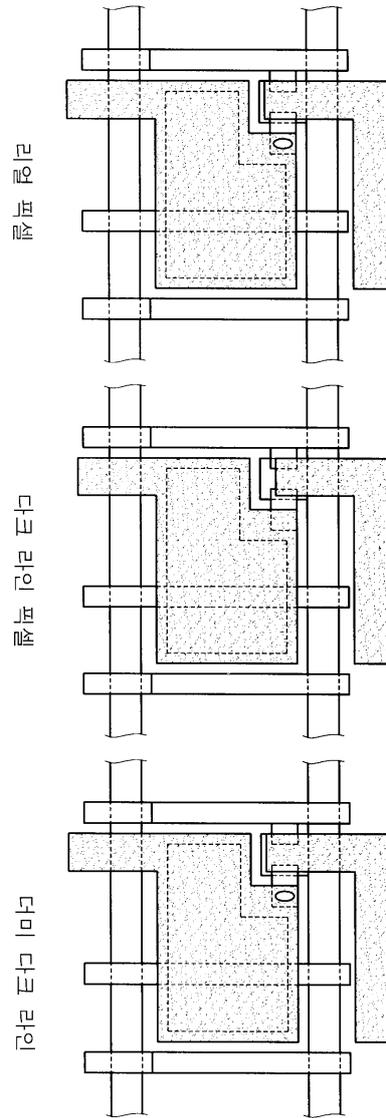
도면4b



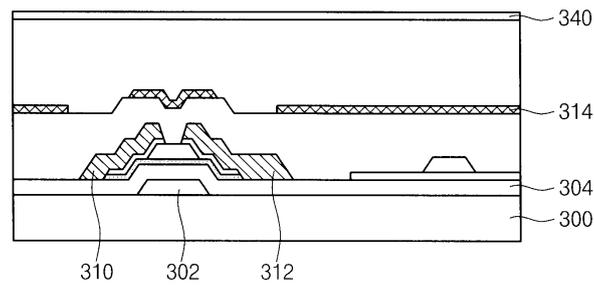
도면5



도면6



도면7a



도면7b

