

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)公開番号

特開2024-111263

(P2024-111263A)

(43)公開日 令和6年8月16日(2024.8.16)

(51)国際特許分類	F I			
H 0 1 L 29/786(2006.01)	H 0 1 L	29/78	6 1 6 V	
	H 0 1 L	29/78	6 1 8 B	
	H 0 1 L	29/78	6 1 7 U	
	H 0 1 L	29/78	6 1 7 T	
	H 0 1 L	29/78	6 1 6 U	
	審査請求 有	請求項の数	3 O L	(全22頁) 最終頁に続く

(21)出願番号	特願2024-100936(P2024-100936)	(71)出願人	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(22)出願日	令和6年6月24日(2024.6.24)	(72)発明者	山崎 舜平 神奈川県厚木市長谷398番地 株式 社半導体エネルギー研究所内
(62)分割の表示	特願2022-197939(P2022-197939))の分割	(72)発明者	野中 裕介 神奈川県厚木市長谷398番地 株式 社半導体エネルギー研究所内
原出願日	平成23年11月3日(2011.11.3)	(72)発明者	小俣 貴嗣 神奈川県厚木市長谷398番地 株式 社半導体エネルギー研究所内
(31)優先権主張番号	特願2010-248840(P2010-248840)	(72)発明者	本田 達也 神奈川県厚木市長谷398番地 株式 社半導体エネルギー研究所内
(32)優先日	平成22年11月5日(2010.11.5)		
(33)優先権主張国・地域又は機関	日本国(JP)		

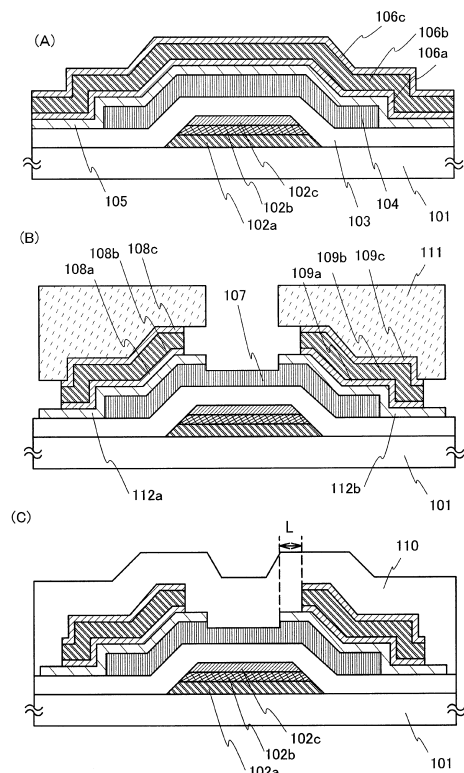
(54)【発明の名称】 半導体装置

(57)【要約】

【課題】新規な構造の半導体装置あるいはその作製方法を提供することを課題とする。例えば、高電圧若しくは大電流で駆動されるトランジスタの信頼性向上を図ることを課題とする。

【解決手段】トランジスタの信頼性向上を図るため、電界集中を緩和するバッファ層をドレイン電極層（またはソース電極層）と、酸化物半導体層との間に設け、バッファ層の端部をドレイン電極層（またはソース電極層）の側面から突出させた断面形状とする。バッファ層は、単層又は複数の層からなる積層で構成し、例えば窒素を含むIn-Ga-Zn-O膜、窒素を含むIn-Sn-O膜、SiOxを含むIn-Sn-O膜などを用いる。

【選択図】図1



【特許請求の範囲】

【請求項 1】

ゲート電極層と、
前記ゲート電極層上の領域を有するゲート絶縁層と、
前記ゲート絶縁層を介して前記ゲート電極層と重なる領域を有する酸化物半導体層と、
前記酸化物半導体層と接する領域を有する金属酸化物層と、
前記金属酸化物層に接する領域を有する電極と、を有し、
前記電極は、前記金属酸化物層を介して前記酸化物半導体層と電氣的に接続され、
前記金属酸化物層は、前記電極と重ならない領域において、前記酸化物半導体層を介して前記ゲート電極層と重なる領域を有し、
前記金属酸化物層は、前記ゲート電極層と重なる領域に、インジウムと、ガリウムと、亜鉛と、を有し、
前記酸化物半導体層は、前記ゲート電極層と重なる領域に、インジウムと、ガリウムと、亜鉛と、を有し、
前記酸化物半導体層は、結晶を有し、
前記金属酸化物層は、前記金属酸化物層の表面に対して垂直方向又は概略垂直方向に c 軸配向している領域を有する、半導体装置。

10

【請求項 2】

ゲート電極層と、
前記ゲート電極層上の領域を有するゲート絶縁層と、
前記ゲート絶縁層を介して前記ゲート電極層と重なる領域を有する酸化物半導体層と、
前記酸化物半導体層と接する領域を有する金属酸化物層と、
前記金属酸化物層に接する領域を有する電極と、を有し、
前記電極は、前記金属酸化物層を介して前記酸化物半導体層と電氣的に接続され、
前記金属酸化物層は、前記電極と重ならない領域において、前記酸化物半導体層を介して前記ゲート電極層と重なる領域を有し、
前記金属酸化物層は、前記ゲート電極層と重なる領域に、インジウムと、ガリウムと、亜鉛と、を有し、
前記酸化物半導体層は、前記ゲート電極層と重なる領域に、インジウムと、ガリウムと、亜鉛と、を有し、
前記酸化物半導体層は、結晶を有し、
前記金属酸化物層の結晶性は、前記酸化物半導体層の結晶性よりも高く、
前記金属酸化物層は、前記金属酸化物層の表面に対して垂直方向又は概略垂直方向に c 軸配向している領域を有する、半導体装置。

20

30

【請求項 3】

請求項 1 又は請求項 2 において、
前記ゲート絶縁層は、酸化シリコンと、窒化シリコンの積層である半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一形態は、トランジスタ若しくはトランジスタを含んで構成される回路を有する半導体装置に関する。例えば、酸化物半導体でチャネル形成領域が形成される、トランジスタ若しくはトランジスタを含んで構成される回路を有する半導体装置に関する。

40

【背景技術】

【0002】

チャネル形成領域に酸化物半導体膜を用いてトランジスタなどを作製し、表示装置に応用する技術が注目されている。例えば、酸化物半導体膜として酸化亜鉛 (ZnO) を用いるトランジスタや、 $InGaO_3(ZnO)_m$ を用いるトランジスタが挙げられる。これらの酸化物半導体膜を用いたトランジスタを、透光性を有する基板上に形成し、画像表示装置のスイッチング素子などに用いる技術が特許文献 1 及び特許文献 2 で開示されている。

50

【 0 0 0 3 】

半導体層としてIn、Ga、及びZnを含む酸化物半導体膜を用い、半導体層とソース電極及びドレイン電極層との間に金属酸化物でなるバッファ層が設けられた逆スタガ型（ボトムゲート構造）のトランジスタが特許文献3に開示されている。このトランジスタは、ソース電極層及びドレイン電極層と半導体層との間に、バッファ層として金属酸化物層を意図的に設けることによってオーミック性のコンタクトを形成している。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 4 】

【 特許文献 1 】 特開 2 0 0 7 - 1 2 3 8 6 1 号 公 報

10

【 特許文献 2 】 特開 2 0 0 7 - 9 6 0 5 5 号 公 報

【 特許文献 3 】 特開 2 0 1 0 - 0 5 6 5 3 9 号 公 報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 5 】

ところで表示装置には各種の方式があり、液晶表示装置ではブルー相液晶が注目されている。また、電子ペーパーと呼ばれる表示装置では、コントラストを電氣的に可変可能な媒体（電子インクなどとも呼ばれている）が用いられている。さらに、エレクトロルミネセンス材料を用いた自発光方式の表示装置も実用化が進展している。このような、新しい表示方式に対応するために、表示装置に用いられるトランジスタは、より高耐圧なものが求められている。

20

【 0 0 0 6 】

また、表示装置に用いられるトランジスタは、ゲート電圧が0Vにできるだけ近い正のしきい値電圧でチャンネルが形成されることが望ましい。トランジスタのしきい値電圧値がマイナスであると、ゲート電圧が0Vでもソース電極とドレイン電極の間に電流が流れる、所謂ノーマリーオンとなりやすい。アクティブマトリクス型の表示装置においては、回路を構成するトランジスタの電気特性が重要であり、この電気特性が表示装置の性能を左右する。特に、トランジスタの電気特性のうち、しきい値電圧（ V_{th} ）が重要である。電界効果移動度が高くとも、しきい値電圧値がマイナスであると、回路として制御することが困難である。負の電圧状態でもチャンネルが形成されてドレイン電流が流れるトランジスタは、回路に用いるトランジスタとしては不向きである。

30

【 0 0 0 7 】

本発明の一形態は、上記課題に鑑み、新規な構造の半導体装置あるいはその作製方法を提供することを課題とする。

【 0 0 0 8 】

トランジスタのしきい値電圧値をプラスとすることができ、所謂ノーマリーオフのスイッチング素子を実現できる構造の半導体装置を提供することを課題の一つとする。

【 0 0 0 9 】

また、材料や作製条件によっては、作製されたトランジスタがノーマリーオフとならない場合であっても、ノーマリーオフの特性に近づけることが重要であり、しきい値電圧値がマイナスである、所謂ノーマリーオンであっても、トランジスタのしきい値をゼロに近づける構成およびその作製方法を提供することも課題の一つとする。

40

【 0 0 1 0 】

また、高電圧若しくは大電流で駆動されるトランジスタの信頼性向上を図ることを課題の一つとする。

【 課題を解決するための手段 】

【 0 0 1 1 】

本発明の一形態は、酸化物半導体層と、酸化物半導体層と接するバッファ層と、バッファ層を介して酸化物半導体層と重なるソース電極層またはドレイン電極層と、酸化物半導体層と接するゲート絶縁層と、ゲート絶縁層を介して酸化物半導体層と重なるゲート電極層

50

と、を有し、ゲート電極層は積層構造であり、ゲート絶縁層と接するゲート電極層の一層は、窒素を含む金属酸化物であり、バッファ層は、窒素を含む金属酸化物であることを特徴とする半導体装置である。

【0012】

ゲート絶縁層と接するゲート電極層の一層として、窒素を含む金属酸化物、具体的には、窒素を含むIn-Ga-Zn-O膜や、窒素を含むIn-Sn-O膜や、窒素を含むIn-Ga-O膜や、窒素を含むIn-Zn-O膜や、窒素を含むSn-O膜や、窒素を含むIn-O膜や、金属窒化膜(InN、SnNなど)を用いる。これらの膜は5電子ボルト、好ましくは5.5電子ボルト以上の仕事関数を有し、ゲート電極層として用いた場合、トランジスタの電気特性のしきい値電圧をプラスにすることができ、所謂ノーマリーオフのスイッチング素子を実現できる。

10

【0013】

また、トランジスタの信頼性向上を図るため、バッファ層の端部をドレイン電極層(またはソース電極層)の側面から突出させた断面形状とし、それにより電界集中を緩和する。

【0014】

酸化物半導体層に用いる材料としては、少なくともインジウム(In)あるいは亜鉛(Zn)を含むことが好ましい。特にInとZnを含むことが好ましい。また、該酸化物を用いたトランジスタの電気特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム(Ga)を有することが好ましい。また、スタビライザーとしてスズ(Sn)を有することが好ましい。また、スタビライザーとしてハフニウム(Hf)を有することが好ましい。また、スタビライザーとしてアルミニウム(Al)を有することが好ましい。

20

【0015】

また、他のスタビライザーとして、ランタノイドである、ランタン(La)、セリウム(Ce)、プラセオジウム(Pr)、ネオジウム(Nd)、サマリウム(Sm)、ユウロピウム(Eu)、ガドリニウム(Gd)、テルビウム(Tb)、ジスプロシウム(Dy)、ホルミウム(Ho)、エルビウム(Er)、ツリウム(Tm)、イッテルビウム(Yb)、ルテチウム(Lu)のいずれか一種あるいは複数種を有してもよい。

【0016】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、二元系金属の酸化物であるIn-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物、In-Ga系酸化物、三元系金属の酸化物であるIn-Ga-Zn系酸化物(IGZOとも表記する)、In-Al-Zn系酸化物、In-Sn-Zn系酸化物(ITZO(登録商標)とも表記する)、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物、In-Hf-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、四元系金属の酸化物であるIn-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物を用いることができる。

30

40

【0017】

酸化物半導体は単結晶でも、非単結晶でもよい。後者の場合、アモルファスでも、多結晶でもよい。また、アモルファス中に結晶性を有する部分を含む構造でも、非アモルファスでもよい。

【0018】

バッファ層は、単層又は複数の層からなる積層で構成し、例えば窒素を含むIn-Ga-Zn-O膜、窒素を含むIn-Sn-O膜、SiO_xを含むIn-Sn-O膜などを用い

50

る。バッファ層の抵抗値は、窒素を含む In-Ga-Zn-O 膜であれば、窒素の含有量を調節することで適宜設定することができ、 SiO_x を含む In-Sn-O 膜であれば、 SiO_x の含有量を調節することで適宜設定することができる。また、バッファ層は、チャンネル形成領域を形成する酸化物半導体層と積層される構造を有するので、バッファ層の厚さを調整することによっても、バッファ層の抵抗値を調整することができる。

【0019】

また、バッファ層の光透過率は、酸化物半導体層よりも低くする。バッファ層として、窒素を含む In-Ga-Zn-O 膜を用いる場合は、 In-Ga-Zn-O 膜よりも光透過率が低く遮光性を有するため、バッファ層と重なる酸化物半導体層の領域への光照射を防止することができる。また、バッファ層として、窒素を含む In-Ga-Zn-O 膜を用いる場合は、バッファ層に含まれる窒素濃度を、バッファ層と接する酸化物半導体層よりも高い濃度とする。

10

【0020】

また、バッファ層は、酸化物半導体層及びゲート絶縁層を介してゲート電極層と少なくとも一部重なる。

【0021】

ゲート電極層としては、少なくとも一層にアルミニウム、銅などを用いる積層とすることが好ましい。銅をゲート電極層の一層として用いる場合、ゲート電極層形成後のプロセス温度は 450 以下とする。

【0022】

また、アルミニウムをゲート電極層の一層として用いる場合、ゲート電極層形成後のプロセス温度は 250 以上 380 以下、好ましくは 300 以上 350 以下とする。また、アルミニウムをゲート電極層の材料として用いる場合、酸化膜と接するアルミニウム表面に酸化物（アルミナなど）が形成される恐れがあるため、バリア層として窒化タンタルや窒化チタンを用いる。

20

【0023】

ゲート電極層の一層として、さらに、バリア層とゲート絶縁層の間に窒素を含む In-Ga-Zn-O 膜や、窒素を含む In-Sn-O 膜や、窒素を含む In-Ga-O 膜や、窒素を含む In-Zn-O 膜や、窒素を含む Sn-O 膜や、窒素を含む In-O 膜や、金属窒化膜（ InN 、 SnN など）を積層させたゲート電極層とすることが好ましい。積層であるゲート電極層のうち、一層はバッファ層と同じ材料とすることで、同じ共通のスパッタリングターゲットを使用でき、製造コストを低減することができる。

30

【0024】

ゲート絶縁層は、プラズマ CVD 法又はスパッタリング法等により、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化ガリウム、酸化アルミニウム、窒化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、酸化ハフニウム、又はこれらの混合材料を用いて単層で又は積層して形成することができる。ただし、トランジスタのゲート絶縁層として機能することを考慮して、酸化ハフニウム、酸化タンタル、酸化イットリウム、ハフニウムシリケート（ HfSi_xO_y ($x > 0$ 、 $y > 0$))、ハフニウムアルミネート（ HfAl_xO_y ($x > 0$ 、 $y > 0$))、窒素が添加されたハフニウムシリケート、窒素が添加されたハフニウムアルミネート、などの比誘電率が高い材料を採用しても良い。なお、水素や水などが混入しにくいという点では、スパッタリング法が好適である。

40

【0025】

酸化物半導体層を結晶化させる場合には、酸化物半導体層と接するゲート絶縁層や酸化物半導体層と接するパッシベーション層の材料として酸化物半導体層に含まれる結晶構造と整合する材料が好ましく、 Ga-Zn-O 膜や、六方晶構造をとる $-\text{Ga}_2\text{O}_3$ 膜を用いると、酸化物半導体層の結晶と、ゲート絶縁層あるいはパッシベーション層の結晶とを連続的に整合することができるため好ましい。例えば、第1の Ga-Zn-O 膜上に接して酸化物半導体層を有し、該酸化物半導体層上に接して第2の Ga-Zn-O 膜を有する

50

積層構造を含むトランジスタとすることが好ましい。

【発明の効果】

【0026】

トランジスタのしきい値電圧値をプラスとすることができ、所謂ノーマリーオフのスイッチング素子を実現できる。また、トランジスタがノーマリーオンであっても、トランジスタのしきい値をゼロに近づけることができる。また、高電圧若しくは大電流で駆動されるトランジスタの信頼性向上を図ることができる。

【図面の簡単な説明】

【0027】

【図1】本発明の一態様を示す工程断面図である。

10

【図2】光透過率を示すグラフである。

【図3】TDS測定結果を示すグラフである。

【図4】本発明の一態様を示す画素平面図である。

【図5】本発明の一態様を示す画素断面図である。

【図6】本発明の一態様を示す工程断面図である。

【図7】電子機器の一態様を示す図である。

【図8】XRD測定結果を示すグラフである。

【図9】ホール測定結果を示すグラフである。

【発明を実施するための形態】

【0028】

20

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、その形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。また、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0029】

(実施の形態1)

本実施の形態では、基板上にトランジスタを作製する一例を図1(A)、図1(B)、及び図1(C)を用いて説明する。

【0030】

まず、基板101上に材料の異なる3層の導電膜を形成し、それらの導電膜上に第1のフォトマスクを用いてレジストマスクの形成を行い、選択的にエッチングしてゲート電極層を形成する。その後レジストマスクを除去する。なお、必要であれば、導電膜を形成する前に酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコンなどの下地絶縁膜を設けてもよい。

30

【0031】

基板101は、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスなどのガラス材料を用いる。大量生産する上では、基板101は第8世代(2160mm×2460mm)、第9世代(2400mm×2800mm、または2450mm×3050mm)、第10世代(2950mm×3400mm)等のマザーガラスを用いることが好ましい。マザーガラスは、処理温度が高く、処理時間が長いと大幅に収縮するため、マザーガラスを使用して大量生産を行う場合、作製工程の加熱処理は、600以下、好ましくは450以下とすることが望ましい。

40

【0032】

なお、上記のガラス基板に代えて、セラミック基板、石英基板、サファイア基板などの絶縁体となる基板を基板101として用いることもできる。他にも、結晶化ガラスなどを用いることができる。さらには、シリコンウェハ等の半導体基板の表面や金属材料よりなる導電性の基板の表面に絶縁層を形成したものをを用いることもできる。

【0033】

第1の電極層102aは、低抵抗な導電膜、具体的にはアルミニウム膜や銅膜、またはこれらの膜にチタン(Ti)、タンタル(Ta)、タングステン(W)、モリブデン(Mo

50

)、クロム (Cr)、Nd (ネオジウム)、Sc (スカンジウム) から選ばれた元素を単数、又は複数組み合わせ合わせた合金膜を用いる。

【0034】

第2の電極層102bは、バリア層として機能する窒化金属膜、例えば窒化チタン、窒化タンタル、窒化タングステン、窒化モリブデン、窒化クロムなどを用いる。

【0035】

第3の電極層102cは、窒素を含むIn-Ga-Zn-O膜や、窒素を含むIn-Sn-O膜や、窒素を含むIn-Ga-O膜や、窒素を含むIn-Zn-O膜や、窒素を含むSn-O膜や、窒素を含むIn-O膜や、金属窒化膜 (InN、SnNなど) を用いる。

第3の電極層102cとして、これらの膜は5電子ボルト、好ましくは5.5電子ボルト以上の仕事関数を有し、トランジスタの電気特性のしきい値電圧をプラスにすることができ、所謂ノーマリーオフのスイッチング素子を実現できる。このことは、シリコンを用いたトランジスタと異なると言える。シリコンを用いたn型のトランジスタは、p型を付与する元素をゲート電極に用いる、或いはp型を付与する不純物元素をシリコンに微量にドーピングすることでしきい値をプラスにする。一方、In-Ga-Zn-O膜を半導体層に用いたトランジスタは、窒素を含むゲート電極とすることでしきい値電圧をプラスにすることができる。

【0036】

本実施の形態では、窒素を含むIn-Ga-Zn-O膜を用いる。成膜条件は、 $In_2O_3 : Ga_2O_3 : ZnO = 2 : 2 : 1$ [mol数比] の酸化物ターゲット (三井金属製) を用い、基板とターゲットの間の距離 (T-S距離とも呼ぶ) を40mm以上300mm以下、圧力0.4~0.6Pa、アルゴンガス流量0~175sccm、窒素ガス流量25~200sccm、電力1kW~5kW、基板温度80以上450未満とする。また、窒素を含むIn-Ga-Zn-O膜は、加熱処理を行うと抵抗が小さくなるため、必要であれば加熱処理を行って抵抗を小さくしてもよい。ただし、第1の電極層102aとしてアルミニウムを用いる場合は、380以下、第1の電極層102aとして銅を用いる場合は、450以下の加熱処理とする。なお、窒素を含むIn-Ga-Zn-O膜は、c軸配向を有する多結晶であり、結晶性が高い。また、窒素ガス流量40sccmとしてスパッタリング法で成膜した単膜を測定した結果、窒素を含むIn-Ga-Zn-O膜の仕事関数は、5.6電子ボルトである。

【0037】

また、石英基板上に膜厚300nmの成膜を行い、成膜後のサンプルと、窒素雰囲気下450、1時間の加熱処理を行った後のサンプルの窒素を含むIn-Ga-Zn-O膜のホール効果測定 (ホール効果装置: ResiTest 8300シリーズ、(株) 東陽テクニカ製を使用) を行った。その結果を図9に示す。図9に示すグラフの縦軸はキャリア濃度を示し、横軸は成膜ガス全体に対する窒素ガスの割合を示している。成膜ガス全体に対する窒素ガスの割合が多くなるにつれて、キャリア濃度が増加していることが図9から読み取れる。また、窒素を含むIn-Ga-Zn-O膜のキャリアタイプはN型となった。

【0038】

また、窒素ガス流量40sccmとしてスパッタリング法で成膜した単膜を測定した結果、窒素を含むIn-O膜の仕事関数は、5.4電子ボルトである。また、窒素ガス流量40sccmとしてスパッタリング法で成膜した単膜を測定した結果、窒素を含むIn-Sn-O膜の仕事関数は、5.5電子ボルトである。また、窒素ガス流量40sccmとしてスパッタリング法で成膜した単膜を測定した結果、窒素を含むIn-Ga-O膜の仕事関数は、5.4電子ボルトである。また、窒素ガス流量40sccmとしてスパッタリング法で成膜した単膜を測定した結果、窒素を含むIn-Zn-O膜の仕事関数は、5.5電子ボルトである。窒素ガス流量40sccmとしてスパッタリング法で成膜した単膜を測定した結果、窒素を含むSn-O膜の仕事関数は、5.1電子ボルトである。

【0039】

次いで、ゲート電極層を覆うゲート絶縁層103を形成する。ゲート絶縁層103は、膜

厚 10 nm 以上 300 nm 以下とする。

【0040】

ゲート絶縁層 103 は、プラズマ CVD 法又はスパッタリング法等を用いて、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化ガリウム、酸化亜鉛ガリウム (GZO と呼ぶ)、酸化アルミニウム、窒化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、酸化ハフニウム、又はこれらの混合材料を用いて単層で又は積層して形成することができる。例えば、成膜ガスとして、SiH₄、酸素及び窒素を用いてプラズマ CVD 法により酸化窒化珪素層を形成すればよい。

【0041】

次いで、ゲート絶縁層 103 上に酸化物半導体膜を形成する。

10

【0042】

酸化物半導体膜は、スパッタ法等を用いて、少なくとも亜鉛を含む金属酸化物ターゲットを用い、酸素のみ、又はアルゴン及び酸素の混合雰囲気下で得られる膜厚を 5 nm 以上 50 μm 以下とする。金属酸化物ターゲットの代表例としては、四元系金属酸化物である In-Sn-Ga-Zn-O 系金属酸化物や、三元系金属酸化物である In-Ga-Zn-O 系金属酸化物、In-Sn-Zn-O 系金属酸化物、In-Al-Zn-O 系金属酸化物、Sn-Ga-Zn-O 系金属酸化物、Al-Ga-Zn-O 系金属酸化物、Sn-Al-Zn-O 系金属酸化物や、二元系金属酸化物である In-Zn-O 系金属酸化物、Sn-Zn-O 系金属酸化物などのターゲットを用いることができる。

【0043】

20

また、トランジスタの電気特性のしきい値電圧をプラス方向にシフトさせるために、酸化物半導体膜に窒素を微量に含ませてフェルミ準位 (E_F) を下げてもよい。ただし、酸化物半導体膜に窒素を微量に含ませる場合、酸化物半導体膜の窒素濃度は、後に形成するバッファ層の窒素濃度よりも低い濃度とする。

【0044】

また、酸化物半導体膜の形成時に、スパッタリング装置の処理室の圧力を 0.4 Pa 以下とすることで、被成膜面及び被成膜物への、アルカリ金属、水素等の不純物の混入を低減することができる。なお、被成膜物に含まれる水素は、水素原子の他、水素分子、水、水酸基、または水素化物として含まれる場合もある。

【0045】

30

また、酸化物半導体膜の形成時に、ターゲットの間の距離 (T-S 間距離) を 40 mm 以上 300 mm 以下 (好ましくは 60 mm 以上) とする。

【0046】

また、スパッタリング法による酸化物半導体膜の形成時において、被成膜面の温度は 250 以上好ましくは基板の熱処理上限温度以下とする。250 は、水、水素などの不純物の被成膜物中への混入を防ぎ、チャンパー内の気相へ不純物を放出する温度である。また、スパッタリング法による成膜時における被成膜面の温度の上限は、基板の熱処理上限温度、或いは成膜物の上限温度 (その温度を超えると大きく成膜中の成分が変化する温度) とする。

【0047】

40

また、酸化物半導体膜の形成時に、スパッタリング装置の処理室のリークレートが 1×10^{-10} Pa・m³/秒以下とすることで、スパッタリング法による成膜途中における酸化物半導体膜中への、アルカリ金属、水素化物等の不純物の混入を低減することができる。また、排気系として吸着型の真空ポンプ (例えばクライオポンプなど) を用いることで、排気系からアルカリ金属、水素原子、水素分子、水、水酸基、または水素化物等の不純物の逆流を低減することができる。

【0048】

ゲート絶縁層 103、及び酸化物半導体膜は大気に曝さずに連続的に形成することが好ましい。連続して成膜すると、大気成分や大気中に浮遊する汚染不純物元素に汚染されることがなく各積層界面を形成することができる。

50

【0049】

酸化物半導体膜の形成後、必要であれば、水素及び水分をほとんど含まない雰囲気下（窒素雰囲気、酸素雰囲気、乾燥空気雰囲気（例えば、水分については露点 - 40 以下、好ましくは露点 - 60 以下）など）で加熱処理（温度範囲 200 以上 450 以下）を行ってもよい。この加熱処理は、酸化物半導体層中から H、OHなどを脱離させる脱水化または脱水素化とも呼ぶことができ、不活性雰囲気下で昇温し、途中で切り替え酸素を含む雰囲気下とする加熱処理を行う場合や、酸素雰囲気下で加熱処理を行う場合は、加酸化処理とも呼べる。

【0050】

次いで、酸化物半導体膜上に、第2のフォトリソマスクを用いてレジストマスクの形成を行い、選択的にエッチングして島状の酸化物半導体層 104 を形成する。その後レジストマスクを除去する。

10

【0051】

次いで、島状の酸化物半導体層 104 上にバッファ層 105、第1の導電膜 106a、第2の導電膜 106b、第3の導電膜 106c を形成する。この段階の断面図が図 1 (A) である。

【0052】

バッファ層 105 は、窒素を含む In - Ga - Zn - O 膜、または窒素を含む In - Sn - O 膜などを用いることができる。

【0053】

窒素を含む In - Ga - Zn - O 膜はバッファ層 105 やゲート電極層の一部に用いられ、酸化物半導体層に用いられる In - Ga - Zn - O 膜とは膜特性が大きく異なる。本明細書では、In - Ga - Zn - O 系酸化物半導体用ターゲットを用いる成膜時に酸素ガスをチャンバーに導入して得られる膜を In - Ga - Zn - O 膜と呼ぶ。

20

【0054】

図 2 (A) 及び図 2 (B) に実際に成膜して得られた In - Ga - Zn - O 膜及び窒素を含む In - Ga - Zn - O 膜の光透過率を示す。

【0055】

図 2 (A) に示すサンプルは全て同じターゲット (In₂O₃ : Ga₂O₃ : ZnO = 2 : 2 : 2 [mol 数比]) の酸化物ターゲット (三井金属製) を用い、T - S 距離を 60 mm、圧力 0.4 Pa、電力 500 W とし、基板温度を 200 とし、0.5 mm 厚の石英ガラス上に膜厚 100 nm 成膜した。成膜ガス流量の条件を振った結果が図 2 (A) である。サンプル 1 は、アルゴンガス流量 35 sccm、窒素ガス流量 5 sccm であり、サンプル 2 はアルゴンガス流量 20 sccm、窒素ガス流量 20 sccm であり、サンプル 3 は窒素ガス流量 40 sccm であり、サンプル 4 は酸素ガス流量 40 sccm であり、サンプル 5 は、酸素ガス流量 30 sccm、窒素ガス流量 10 sccm であり、サンプル 6 は酸素ガス流量 20 sccm、窒素ガス流量 20 sccm であり、サンプル 7 は、酸素ガス流量 10 sccm、窒素ガス流量 30 sccm である。

30

【0056】

また、図 2 (B) は成膜時の基板温度を 400 とした光透過率の結果である。図 2 (B) に示すサンプルは全て同じターゲット (In₂O₃ : Ga₂O₃ : ZnO = 2 : 2 : 2 [mol 数比]) の酸化物ターゲット (三井金属製) を用い、T - S 距離を 60 mm、圧力 0.4 Pa、電力 500 W とし、0.5 mm 厚の石英ガラス上に膜厚 100 nm 成膜した。サンプル 1' は、アルゴンガス流量 35 sccm、窒素ガス流量 5 sccm であり、サンプル 3' は窒素ガス流量 40 sccm であり、サンプル 4' は酸素ガス流量 40 sccm であり、サンプル 6' は酸素ガス流量 20 sccm、窒素ガス流量 20 sccm である。

40

【0057】

図 2 (A) 及び図 2 (B) に示したように、成膜時に酸素ガスをチャンバーに導入して得られる In - Ga - Zn - O 膜は光透過率が高くほぼ透明の膜である。一方、成膜時に酸

50

素ガスをチャンバーに導入せずに窒素を導入して得られる窒素を含む In - Ga - Zn - O 膜は褐色の膜であり、遮光性を有している。

【0058】

また、これらのサンプルをそれぞれ窒素雰囲気下で 450 、1時間の熱処理を行ったところ、光透過率にほとんど変化はなかった。また、サンプル1と同じ成膜条件のサンプルを昇温脱離分析装置 TDS (Thermal Desorption Spectroscopy) 測定で測定し、膜中から脱離した H₂O 分子の昇温脱離スペクトル結果を図3 (A) に示す。測定条件は、昇温約 30 /分とし、 1×10^{-8} (Pa) から測定を開始して、測定中は約 1×10^{-7} (Pa) の真空度である。

【0059】

また、サンプル8として、酸素ガス流量 15 sccm、窒素ガス流量 30 sccm として基板温度 200 として得られる In - Ga - Zn - O 膜 (膜厚: 50 nm) を TDS 測定し、膜中から脱離した H₂O 分子の昇温脱離スペクトル結果を図3 (B) に示す。

【0060】

図3 (A) 及び図3 (B) から同じ基板温度においてほぼ同等の H₂O 含有量であり、どちらの膜も熱安定性は同程度であると言える。また、ここでは図示しないが、同じサンプル1を TDS 測定して N₂ 分子を検出した結果と、サンプル1の窒素を含む In - Ga - Zn - O 膜を窒素雰囲気下、450 、1時間の熱処理を行った後で TDS 測定して N₂ 分子を検出した結果はほぼ同じであった。

【0061】

また、成膜条件を基板温度 400 、窒素ガス流量 40 sccm として石英基板上に 300 nm の成膜を行ったサンプル9と、成膜条件を基板温度 400 、酸素ガス流量 40 sccm として石英基板上に 300 nm の成膜を行ったサンプル10と、をそれぞれ OUTF PLANE での XRD 測定を行い、その結果を図8 (A) 及び図8 (B) に示す。窒素を含む In - Ga - Zn - O 膜 (サンプル9) は成膜直後で結晶性が高く、図8 (A) に示すように鋭いピークが確認できる。また、スパッタガスとして酸素ガスのみを用いて成膜した In - Ga - Zn - O 膜 (サンプル10) はサンプル9に比べて結晶性が低いことが分かる。このように成膜直後で In - Ga - Zn - O 膜と窒素を含む In - Ga - Zn - O 膜は、大きく膜質が異なっている。

【0062】

次いで、第3の導電膜 106 c 上に、第3のフォトマスクを用いてレジストマスク 111 の形成を行い、選択的にエッチングしてソース電極層 108 a ~ c またはドレイン電極層 109 a ~ c を形成する。このエッチングで、断面においてレジストマスク 111 の側面と、ソース電極層 108 a ~ c の側面またはドレイン電極層 109 a ~ c の側面が一致しないエッチング条件とする。

【0063】

そして、そのままレジストマスク 111 を用いて、バッファ層を選択的にエッチングして、第1のバッファ層 112 a、第2のバッファ層 112 b が形成される。なお、同じエッチング工程によって凹部を有する酸化物半導体層 107 が形成される。

【0064】

この段階の断面図が図1 (B) である。ソース電極層 108 a ~ c の側面よりも突出した断面形状を有する第1のバッファ層 112 a と、ドレイン電極層 109 a ~ c の側面よりも突出した断面形状を有する第2のバッファ層 112 b とが形成される。なお、図1 (B) と同じ断面が得られるのであればエッチングの順序等は問わない。

【0065】

その後レジストマスク 111 を除去する。

【0066】

次いで絶縁層 110 を形成する。絶縁層 110 は、パッシベーション層として機能する。この段階の断面図が図1 (C) である。

【0067】

10

20

30

40

50

絶縁層 110 は、プラズマ CVD 法又はスパッタリング法等を用いて、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化ガリウム、酸化亜鉛ガリウム、酸化アルミニウム、窒化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、酸化ハフニウム、又はこれらの混合材料を用いて単層で又は積層して形成することができる。例えば、成膜ガスとして、 SiH_4 、酸素及び窒素を用いてプラズマ CVD 法により酸化窒化珪素層を形成すればよい。

【0068】

こうして、フォトマスクを 3 枚用いて図 1 (C) に示すトランジスタを作製することができる。表示装置のスイッチング素子として図 1 (C) に示すトランジスタを作製する場合には、さらにゲート電極層またはドレイン電極層に達するコンタクトホールを絶縁層 110 に形成し、絶縁層 110 上に画素電極の形成を行えばよい。この場合、コンタクトホールのための第 4 のフォトマスクを用い、画素電極の形成のための第 5 のフォトマスクを用いるため、合計 5 枚のフォトマスクを用いる。

10

【0069】

トランジスタは、ソース電極層 108 a ~ c の側面よりも突出している第 1 のバッファ層 112 a と、ドレイン電極層 109 a ~ c の側面から突出している第 2 のバッファ層 112 b とを有し、これらのバッファ層により、電界集中の緩和がなされた構造となっている。

【0070】

なお、ドレイン電極層（あるいはソース電極層）の側面から突出しているバッファ層の領域のチャンネル長方向の長さ L は、エッチング条件などによって適宜調節が可能である。概バッファ層の領域のチャンネル長方向の長さ L は、ドレイン電極層 109 a ~ c（あるいはソース電極層 108 a ~ c）の下端部から第 2 のバッファ層 112 b（あるいは第 1 のバッファ層 112 a）の下端部までの水平距離とする。

20

【0071】

電界集中緩和領域であるバッファ層のテーパ部分の抵抗率は、その領域の厚さ、チャンネル長方向の長さ（L）にもよるが、実施者が適宜、バッファ層の材料の選択及び膜厚の設定、テーパ部分のサイズ設計などを行うことによって所望の抵抗率に調節すればよい。少なくともバッファ層のテーパ部分の抵抗率は、酸化物半導体層 107 のチャンネル形成領域よりも低い値とする。

30

【0072】

（実施の形態 2）

本実施の形態では、実施の形態 1 よりも 1 枚少ない合計フォトマスク数 4 枚でトランジスタ及び画素電極を作製する一例を図 4、図 5 を用いて説明する。なお、トランジスタの作製において、実施の形態 1 と一部異なるだけであるため、同一の部分の詳細な説明はここでは省略する。

【0073】

図 4 は、画素 310 の平面構成を示す上面図であり、図 5 は、画素 310 の積層構成を示す断面図である。なお、図 4 における A1 - A2、B1 - B2、C1 - C2、D1 - D2 の鎖線は、図 5 (A) 乃至図 5 (D) における断面 A1 - A2、断面 B1 - B2、断面 C1 - C2、断面 D1 - D2 に相当する。

40

【0074】

本実施の形態に示すトランジスタ 311 は、ドレイン電極層 206 b を、U 字型（C 字型、コの字型）のソース電極層 206 a で囲む形状としている。このような形状とすることで、トランジスタの面積が小さくても、十分なチャンネル幅を確保することが可能となり、トランジスタの導通時に流れる電流（オン電流ともいう）の量を増やすことが可能となる。

【0075】

配線 203 は、容量電極または容量配線として機能する。本実施の形態では、配線 203 とドレイン電極層 206 b を重畳させて容量素子 313 を形成している。

50

【 0 0 7 6 】

また、本実施の形態で説明する半導体装置は、工程簡略化のため実施の形態 1 における第 2 のフォトリソグラフィ工程やエッチング工程を行わないため、画素領域の全てに酸化物半導体層 205 が残る構成となる。その結果、配線 212 - i が 3 層構造のゲート電極層として機能し、配線 216 - j がソース電極層またはドレイン電極層の一方として機能し、配線 216 - j + 1 がソース電極層またはドレイン電極層の他方として機能する寄生トランジスタが生じる。

【 0 0 7 7 】

そこで、本実施の形態では、画素 310 に酸化物半導体層 205 が除去された溝部 230 を設け、上述の寄生トランジスタが生じない構成とする。溝部 230 を、配線 212 - i の線幅方向の両端部を越えて横切る様に設けることで、寄生トランジスタの生成を防ぐことができる。また、溝部 230 を、配線 203 の線幅方向の両端部を越えて横切る様に設けることで、他の寄生トランジスタの生成を防ぐことができる。なお、配線 212 - i 上の溝部 230 もしくは、配線 203 上の溝部 230 は、それぞれ複数設けてもよい。なお、溝部 230 は、配線 216 - j または配線 216 - j + 1 と平行に設けられている必要はなく、また、屈曲部または湾曲部を有していてもよい。

10

【 0 0 7 8 】

断面 A1 - A2 は、トランジスタ 311 及び容量素子 313 の積層構造を示している。トランジスタ 311 は、ボトムゲート構造のトランジスタである。断面 B1 - B2 は、画素電極 210 及び溝部 230 を含む、配線 216 - j から配線 216 - j + 1 までの積層構造を示している。また、断面 C1 - C2 は、配線 216 - j と、配線 212 - i の交差部における積層構造を示している。また、断面 D1 - D2 は、配線 216 - j + 1 と、配線 212 - i の交差部と、溝部 230 の積層構造を示している。

20

【 0 0 7 9 】

図 5 (A) に示す断面 A1 - A2 において、基板 200 上に下地絶縁層 201 が形成され、下地絶縁層 201 上にゲート電極層 202 及び配線 203 が形成されている。また、ゲート電極層 202 及び配線 203 上に、ゲート絶縁層 204 と酸化物半導体層 205 が形成されている。また、酸化物半導体層 205 上にバッファ層 312 a、312 b、ソース電極層 206 a 及びドレイン電極層 206 b が形成されている。また、酸化物半導体層 205 の一部に接し、ソース電極層 206 a 及びドレイン電極層 206 b 上に絶縁層 207 が形成されている。絶縁層 207 上には画素電極 210 が形成され、絶縁層 207 に形成されたコンタクトホール 208 を介してドレイン電極層 206 b に電氣的に接続されている。

30

【 0 0 8 0 】

図 5 (B) に示す断面 B1 - B2 において、基板 200 上に下地絶縁層 201 が形成され、下地絶縁層 201 上にゲート絶縁層 204 が形成され、ゲート絶縁層 204 上に酸化物半導体層 205 が形成されている。酸化物半導体層 205 上にバッファ層 312 a、312 c が形成され、バッファ層 312 a 上に配線 216 - j が形成され、バッファ層 312 c 上に配線 216 - j + 1 が形成され、酸化物半導体層 205 と、バッファ層 312 a、312 c、配線 216 - j 及び配線 216 - j + 1 上に絶縁層 207 が形成されている。また、絶縁層 207 上に画素電極 210 が形成されている。

40

【 0 0 8 1 】

図 5 (C) に示す断面 C1 - C2 において、基板 200 上に下地絶縁層 201 が形成され、下地絶縁層 201 上に配線 212 - i が形成されている。また、配線 212 - i 上に、ゲート絶縁層 204 と酸化物半導体層 205 が形成されている。また、酸化物半導体層 205 上にバッファ層 312 a が形成され、バッファ層 312 a 上に配線 216 - j が形成され、配線 216 - j 上に絶縁層 207 が形成されている。

【 0 0 8 2 】

図 5 (D) に示す断面 D1 - D2 において、基板 200 上に下地絶縁層 201 が形成され、下地絶縁層 201 上に配線 212 - i が形成されている。配線 212 - i は 3 層構造で

50

あり、本実施の形態では、銅膜、該銅膜上に窒化タングステン膜、該窒化タングステン膜上に窒素を含む In-Ga-Zn-O 膜の積層構造とする。また、配線 212-i 上に、ゲート絶縁層 204 と酸化物半導体層 205 が形成されている。また、酸化物半導体層 205 上にバッファ層 312c が形成され、バッファ層 312c 上に配線 216-j+1 が形成され、配線 216-j+1 上に絶縁層 207 が形成されている。本実施の形態では、バッファ層 312c として、 SiO_x を含む In-Sn-O 膜を用いる。また、ゲート絶縁層 204 の一部、酸化物半導体層 205 の一部、及び絶縁層 207 の一部が除去された溝部 230 が形成されている。

【0083】

溝部 230 の形成は、絶縁層 207 に形成されたコンタクトホール 208 の形成と同じフォトリソグラフィを用いて形成する。また、ここでは図示しないが、ゲート電極層に達するコンタクトホールも同じフォトリソグラフィを用いて形成する。

10

【0084】

また、酸化物半導体層 205 は十分な透光性を有しており、画素電極 210 と重なっていても特に透過型液晶表示装置において問題とならない。例えば、酸素ガスを導入して成膜して得られる In-Ga-Zn-O 膜は、図 2 (A) 及び図 2 (B) に示すように高い透光性を有しており、酸化物半導体層 205 の材料として適している。

【0085】

本実施の形態で説明する半導体装置は、ゲート電極層の形成用の第 1 のフォトリソグラフィマスク、バッファ層、ソース電極層、及びドレイン電極層の形成用の第 2 のフォトリソグラフィマスク、コンタクトホール及び溝部の形成用の第 3 のフォトリソグラフィマスク、画素電極の形成用の第 4 のフォトリソグラフィマスクの合計 4 枚のフォトリソグラフィマスクを用いて作製することができる。

20

【0086】

図 4 及び図 5 に示すトランジスタを含む画素を用いて液晶表示装置を作製する場合、対向基板を基板 200 と貼り合わせ、それらの間に液晶層を設ける。液晶表示装置がカラーフィルタ方式であれば、カラーフィルタやブラックマトリクスを画素電極とバックライトの間に設ける。また、液晶表示装置がフィールドシークンシャル方式であれば、異なる色を呈する複数の光源（例えば、R（赤）、G（緑）、B（青））を用い、特定色を呈する光毎に時間分割することで所望の色を形成する。

【0087】

また、液晶層として、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、カイラル剤や紫外線硬化樹脂を添加して温度範囲を改善する。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が $10 \mu\text{sec}$ 以上 $100 \mu\text{sec}$ 以下と短く、光学的等方性であるため配向処理が不要であり、視野角依存性が小さいため好ましい。

30

【0088】

図 4 及び図 5 に示すトランジスタを用いて有機発光表示装置を作製する場合、画素に 2 つ以上のトランジスタを設け、少なくとも一つのトランジスタと電氣的に接続する画素電極を陰極または陽極とする有機発光素子を形成する。なお、隣り合う画素電極の間に絶縁物からなる隔壁を設けるため、さらに隔壁をパターニングするためのフォトリソグラフィマスクを 1 枚用い、合計 5 枚のフォトリソグラフィマスク数で有機発光表示装置を作製することができる。

40

【0089】

（実施の形態 3）

実施の形態 1、及び実施の形態 2 はボトムゲート型のトランジスタの例を示したが、ここではトップゲート型のトランジスタの作製例を示す。なお、図 6 (A)、(B)、(C) において、図 1 (A)、図 1 (B)、図 1 (C) と同じ箇所には同じ符号を用いて説明する。

【0090】

50

また、本実施の形態では、酸化物半導体層を2回に分けて成膜する作製例である。

【0091】

まず、基板101上に下地絶縁層である酸化物絶縁膜160を形成する。

【0092】

酸化物絶縁膜160は、加熱により酸素の一部が放出する酸化物絶縁膜を用いて形成する。加熱により酸素の一部が放出する酸化物絶縁膜としては、化学量論比を満たす酸素よりも多くの酸素を含む酸化物絶縁膜を用いることが好ましい。加熱により酸素の一部が放出する酸化物絶縁膜は、加熱により結晶性酸化物半導体膜に酸素を拡散させることができる。酸化物絶縁膜160は、代表的には、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化ハフニウム、酸化イットリウム等で形成することができる。

10

【0093】

酸化物絶縁膜160は、Ga-Zn-O膜や、六方晶構造をとる $\text{-Ga}_2\text{O}_3$ 膜を用いると、後に形成する酸化物半導体層の結晶と、下地絶縁層である酸化物絶縁膜160の結晶とを連続的に整合することができるため好ましい。

【0094】

酸化物絶縁膜160は、50nm以上、好ましくは200nm以上500nm以下とする。酸化物絶縁膜160を厚くすることで、酸化物絶縁膜160からの酸素放出量を増加させることができると共に、その増加によって酸化物絶縁膜160及び後に形成される酸化物半導体膜との界面における欠陥を低減することが可能である。

20

【0095】

酸化物絶縁膜160は、スパッタリング法、CVD法等により形成する。なお、加熱により酸素の一部が放出する酸化物絶縁膜は、スパッタリング法を用いることで形成しやすいため好ましい。

【0096】

次いで、酸化物絶縁膜160上に膜厚1nm以上10nm以下の第1の酸化物半導体膜を形成する。

【0097】

本実施の形態では、酸化物半導体用ターゲット(In-Ga-Zn-O系酸化物半導体用ターゲット($\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:2$ [mol数比]))を用いて、基板とターゲットの間との距離を170mm、基板温度250、圧力0.4Pa、直流(DC)電源0.5kW、酸素のみ、又はアルゴン及び酸素雰囲気下で膜厚5nmの第1の酸化物半導体膜を成膜する。

30

【0098】

次いで、基板を配置するチャンパー雰囲気を窒素(水分については露点-50以下、好ましくは露点-60以下)、または乾燥空気(水分については露点-50以下、好ましくは露点-60以下)とし、第1の加熱処理を行う。第1の加熱処理の温度は、350以上750以下とする。また、第1の加熱処理の加熱時間は1分以上24時間以下とする。第1の加熱処理によって第1の結晶性酸化物半導体層164を形成する(図6(A)参照)。

40

【0099】

次いで、第1の結晶性酸化物半導体層164上に10nmよりも厚い第2の酸化物半導体膜を形成する。

【0100】

本実施の形態では、酸化物半導体用ターゲット(In-Ga-Zn-O系酸化物半導体用ターゲット($\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:2$ [mol数比]))を用いて、基板とターゲットの間との距離を170mm、基板温度400、圧力0.4Pa、直流(DC)電源0.5kW、酸素のみ、又はアルゴン及び酸素雰囲気下で膜厚25nmの第2の酸化物半導体膜を成膜する。

【0101】

50

次いで、基板を配置するチャンパー雰囲気を窒素（水分については露点 - 50 以下、好ましくは露点 - 60 以下）、または乾燥空気（水分については露点 - 50 以下、好ましくは露点 - 60 以下）とし、第2の加熱処理を行う。第2の加熱処理の温度は、350 以上750 以下とする。また、第2の加熱処理の加熱時間は1分以上24時間以下とする。第2の加熱処理によって第2の結晶性酸化物半導体層165を形成する（図6（B）参照）。図6（B）では、第1の結晶性酸化物半導体層164と第2の結晶性酸化物半導体層165の界面を点線で示し、酸化物半導体積層と説明しているが、明確な界面が存在しているのではなく、あくまで分かりやすく説明するために図示している。

【0102】

こうして得られた第1の結晶性酸化物半導体層164、及び第2の結晶性酸化物半導体層165は、単結晶構造ではなく、非晶質構造でもない構造であり、少なくとも一部が結晶化してc軸配向を有した結晶性酸化物半導体（C Axis Aligned Crystalline Oxide Semiconductor；CAAC-OSとも呼ぶ）である。

10

【0103】

また、酸化物絶縁膜160の形成から第2の加熱処理までの工程を大気に触れることなく連続的に行うことが好ましい。また、酸化物半導体積層の結晶化を助長するため、第1の酸化物半導体膜、或いは第2の酸化物半導体膜の成膜の際、微量の窒素を含む酸素ガスボンベまたは微量の窒素を含むアルゴンガスボンベを用いて成膜チャンパーに導入してもよい。

20

【0104】

次いで、第1の結晶性酸化物半導体層164と第2の結晶性酸化物半導体層165からなる酸化物半導体積層を加工して島状の酸化物半導体積層を形成する。

【0105】

酸化物半導体積層の加工は、第1のフォトリソマスクを用いて所望の形状のマスクを酸化物半導体積層上に形成した後、当該酸化物半導体積層をエッチングすることによって行うことができる。上述のマスクは、フォトリソグラフィなどの方法を用いて形成することができる。または、インクジェット法などの方法を用いてマスクを形成しても良い。

【0106】

なお、酸化物半導体積層のエッチングは、ドライエッチングでもウェットエッチングでもよい。もちろん、これらを組み合わせて用いてもよい。

30

【0107】

次いで、酸化物半導体積層上にバッファ層、第1の導電膜、第2の導電膜、及び第3の導電膜を形成する。バッファ層、第1の導電膜、第2の導電膜、及び第3の導電膜は実施の形態1に従って作製する。

【0108】

次いで、第3の導電膜上に、第2のフォトリソマスクを用いてマスクの形成を行い、選択的にエッチングしてソース電極層108a～cまたはドレイン電極層109a～cを形成する。このエッチングで、断面においてレジストマスクの側面と、ソース電極層108a～cの側面またはドレイン電極層109a～cの側面が一致しないエッチング条件とする。

40

【0109】

そして、そのままレジストマスクを用いて、バッファ層を選択的にエッチングして、第1のバッファ層112a、第2のバッファ層112bが形成される。その後レジストマスクを除去する。

【0110】

次いで、ソース電極層108a～cまたはドレイン電極層109a～cを覆い、且つ、酸化物半導体積層と接するゲート絶縁層103を形成する。ゲート絶縁層103は、Ga-Zn-O膜や、六方晶構造をとる $\text{-Ga}_2\text{O}_3$ 膜を用いると、酸化物半導体積層の結晶と、ゲート絶縁層103の結晶とを連続的に整合することができるため好ましい。

【0111】

50

次いで、ゲート絶縁層103上に第3の電極層102cを形成し、その上に、第2の電極層102bを形成し、さらにその上に第1の電極層102aを形成する。なお、本実施の形態では図1(A)のゲート電極層の積層と対応させるために同じ材料には同じ呼称を用いて説明する。

【0112】

ゲート絶縁層103上に接する第3の電極層102cは、実施の形態1と同様に、窒素を含むIn-Ga-Zn-O膜や、窒素を含むIn-Sn-O膜や、窒素を含むIn-Ga-O膜や、窒素を含むIn-Zn-O膜や、窒素を含むSn-O膜や、窒素を含むIn-O膜や、金属窒化膜(InN、SnNなど)などを用いる。

【0113】

以上の工程でトップゲート型のトランジスタが形成される(図6(C)参照)。トランジスタは、ソース電極層108a~cの側面よりも突出している第1のバッファ層112aと、ドレイン電極層109a~cの側面から突出している第2のバッファ層112bとを有し、これらのバッファ層により、電界集中の緩和がなされた構造となっている。

【0114】

なお、ドレイン電極層(あるいはソース電極層)の側面から突出しているバッファ層の領域のチャンネル長方向の長さLは、エッチング条件などによって適宜調節が可能である。概バッファ層の領域のチャンネル長方向の長さLは、ドレイン電極層109a~c(あるいはソース電極層108a~c)の下端部から第2のバッファ層112b(あるいは第1のバッファ層112a)の下端部までの水平距離とする。

【0115】

電界集中緩和領域であるバッファ層のテーパ部分の抵抗率は、その領域の厚さ、チャンネル長方向の長さ(L)にもよるが、実施者が適宜、バッファ層の材料の選択及び膜厚の設定、テーパ部分のサイズ設計などを行うことによって所望の抵抗率に調節すればよい。少なくともバッファ層のテーパ部分の抵抗率は、酸化物半導体層166a及び酸化物半導体層166bのチャンネル形成領域よりも低い値とする。

【0116】

なお、本実施の形態で得られる酸化物半導体積層は、積層全体が単結晶になっているのではなく、酸化物半導体積層の表面に対して垂直方向にc軸配向をしている非単結晶層であり、層内に複数の結晶を含んでいるが、それぞれのa-b面は一致していない。

【0117】

また、本実施の形態で得られるバッファ層は、バッファ層の表面に対して垂直方向にc軸配向をしている多結晶であり、酸化物半導体積層よりも結晶性が高い。

【0118】

なお、本実施の形態ではトップゲート構造の例を示したが特に限定されず、酸化物半導体積層を間に挟んで上下にゲート電極層を設ける構造としてもよい。

【0119】

また、本実施の形態は、実施の形態1または実施の形態2と自由に組み合わせることができる。例えば、本実施の形態で2回に分けて成膜を行い、c軸配向を有する酸化物半導体積層を実施の形態1の酸化物半導体層として用いることもできる。また、本実施の形態で2回に分けて成膜を行った酸化物半導体積層を実施の形態2の酸化物半導体層として用い、画素領域の全てに酸化物半導体層が残る構成としてもよい。

【0120】

(実施の形態4)

本明細書に開示する半導体装置は、さまざまな電子機器(遊技機も含む)に適用することができる。電子機器としては、例えば、テレビジョン装置(テレビ、またはテレビジョン受信機ともいう)、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラ等のカメラ、デジタルフォトフレーム、携帯電話機(携帯電話、携帯電話装置ともいう)、携帯型ゲーム機、携帯情報端末、音響再生装置、パチンコ機などの大型ゲーム機などが挙げられる。上記実施の形態で説明した表示装置を具備する電子機器の例について説明

10

20

30

40

50

する。

【0121】

図7(A)は、携帯型の情報端末であり、本体3001、筐体3002、表示部3003a、3003bなどによって構成されている。表示部3003bはタッチ入力機能を有するパネルとなっており、表示部3003bに表示されるキーボードボタン3004を触れることで画面操作や、文字入力を行うことができる。勿論、表示部3003aをタッチ入力機能を有するパネルとして構成してもよい。実施の形態1で示した半導体装置をスイッチング素子として液晶パネルや有機発光パネルを作製して表示部3003a、3003bに適用することにより、信頼性の高い携帯型の情報端末とすることができる。

【0122】

図7(A)は、様々な情報(静止画、動画、テキスト画像など)を表示する機能、カレンダー、日付又は時刻などを表示部に表示する機能、表示部に表示した情報を操作又は編集する機能、様々なソフトウェア(プログラム)によって処理を制御する機能、等を有することができる。また、筐体の裏面や側面に、外部接続用端子(イヤホン端子、USB端子など)、記録媒体挿入部などを備える構成としてもよい。

【0123】

また、図7(A)に示す携帯型の情報端末は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

【0124】

また、図7(A)に示す携帯型の情報端末は、2つの表示部3003a、3003bのうち、一方を取り外すことができ、取り外した場合の図を図7(B)に示している。表示部3003aもタッチ入力機能を有するパネルとし、持ち運びの際、さらなる軽量化を図ることができ、片手で筐体3002をもっともう片方の手で操作することができ、便利である。

【0125】

さらに、図7(B)に示す筐体3002にアンテナやマイク機能や無線機能を持たせ、携帯電話として用いてもよい。

【0126】

図7(C)は、テレビジョン装置の一例を示している。テレビジョン装置9600は、筐体9601に表示部9603が組み込まれている。表示部9603により、映像を表示することが可能である。また、ここでは、CPUを内蔵したスタンド9605により筐体9601を支持した構成を示している。実施の形態1で示した半導体装置を表示部9603に適用することにより、信頼性の高いテレビジョン装置9600とすることができる。

【0127】

テレビジョン装置9600の操作は、筐体9601が備える操作スイッチや、別体のリモコン操作機により行うことができる。また、リモコン操作機に、当該リモコン操作機から出力する情報を表示する表示部を設ける構成としてもよい。

【0128】

なお、テレビジョン装置9600は、受信機やモデムなどを備えた構成とする。受信機により一般のテレビ放送の受信を行うことができ、さらにモデムを介して有線または無線による通信ネットワークに接続することにより、一方向(送信者から受信者)または双方向(送信者と受信者間、あるいは受信者間同士など)の情報通信を行うことも可能である。

【0129】

また、テレビジョン装置9600は、外部接続端子9604や、記憶媒体再生録画部9602、外部メモリスロットを備えている。外部接続端子9604は、USBケーブルなどの各種ケーブルと接続可能であり、パーソナルコンピュータなどとのデータ通信が可能である。記憶媒体再生録画部9602では、ディスク状の記録媒体を挿入し、記録媒体に記憶されているデータの読み出し、記録媒体への書き込みが可能である。また、外部メモリスロットに差し込まれた外部メモリ9606にデータ保存されている画像や映像などを表

10

20

30

40

50

示部 9 6 0 3 に映し出すことも可能である。

【 0 1 3 0 】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

【 符号の説明 】

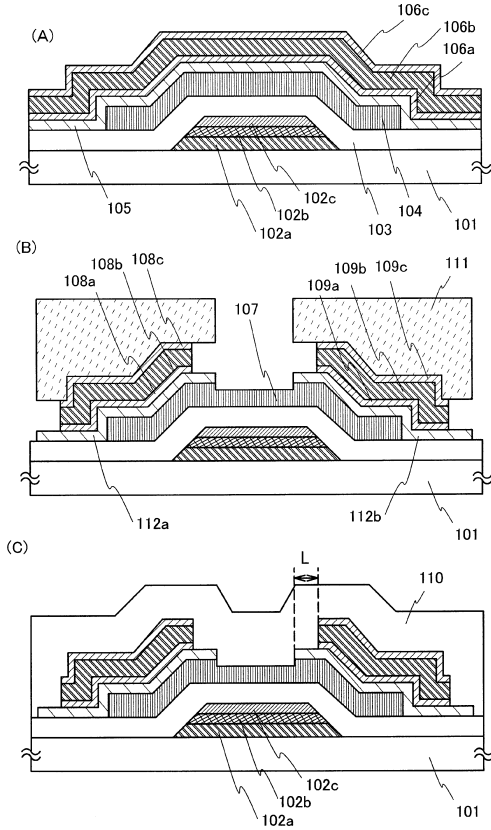
【 0 1 3 1 】

1 0 1	基板	
1 0 2 a ~ 1 0 2 c	ゲート電極層	
1 0 3	ゲート絶縁層	
1 0 4	酸化物半導体層	10
1 0 5	バッファ層	
1 0 6 a ~ 1 0 6 c	導電膜	
1 0 7	酸化物半導体層	
1 0 8 a ~ 1 0 8 c	ソース電極層	
1 0 9 a ~ 1 0 9 c	ドレイン電極層	
1 1 0	絶縁層	
1 1 1	レジストマスク	
1 1 1	後レジストマスク	
1 1 2 a	バッファ層	
1 1 2 b	バッファ層	20
1 6 0	酸化物絶縁膜	
1 6 4	結晶性酸化物半導体層	
1 6 5	結晶性酸化物半導体層	
1 6 6 a、1 6 6 b	酸化物半導体層	
2 0 0	基板	
2 0 1	下地絶縁層	
2 0 2	ゲート電極層	
2 0 3	配線	
2 0 4	ゲート絶縁層	
2 0 5	酸化物半導体層	30
2 0 6 a	ソース電極層	
2 0 6 b	ドレイン電極層	
2 0 7	絶縁層	
2 0 8	コンタクトホール	
2 1 0	画素電極	
2 1 2	配線	
2 1 6	配線	
2 3 0	溝部	
3 1 0	画素	
3 1 1	トランジスタ	40
3 1 2 a	バッファ層	
3 1 2 b	バッファ層	
3 1 2 c	バッファ層	
3 1 3	容量素子	
3 0 0 1	本体	
3 0 0 2	筐体	
3 0 0 3 a	表示部	
3 0 0 3 b	表示部	
3 0 0 4	キーボードボタン	
9 6 0 0	テレビジョン装置	50

- 9 6 0 1 筐体
- 9 6 0 2 記憶媒体再生録画部
- 9 6 0 3 表示部
- 9 6 0 4 外部接続端子
- 9 6 0 5 スタンド
- 9 6 0 6 外部メモリ

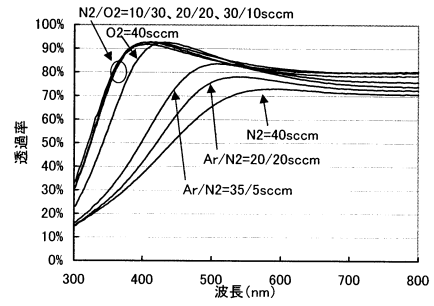
【図面】

【図1】



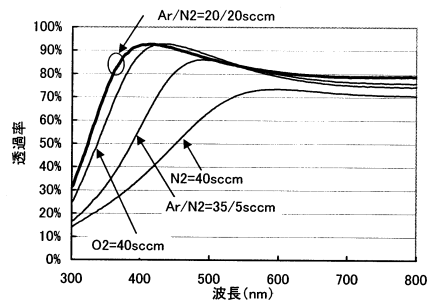
【図2】

(A) Tsub=200°C



10

(B) Tsub=400°C



20

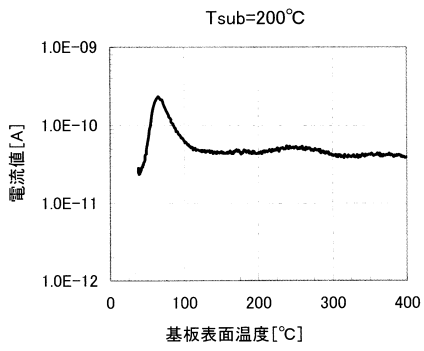
30

40

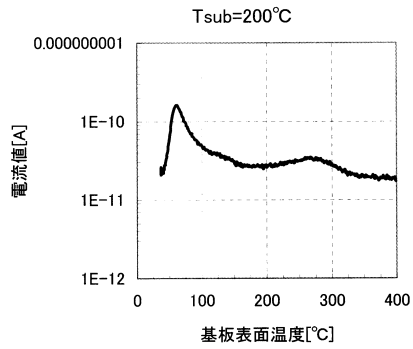
50

【 図 3 】

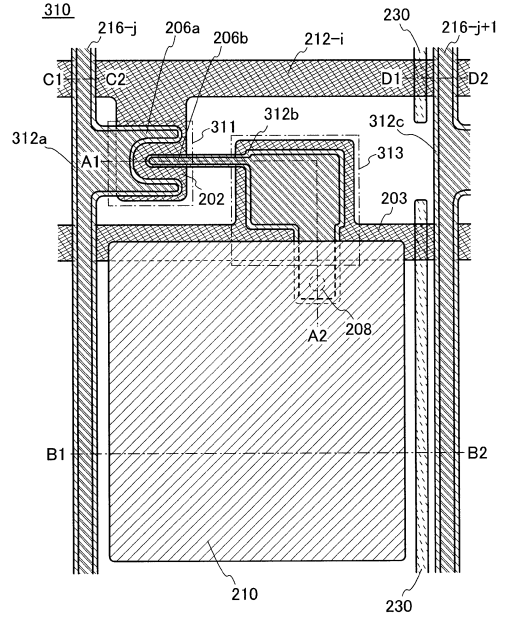
(A)



(B)



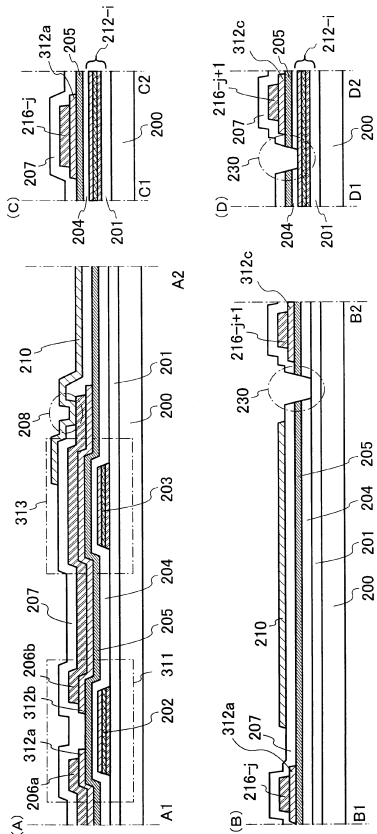
【 図 4 】



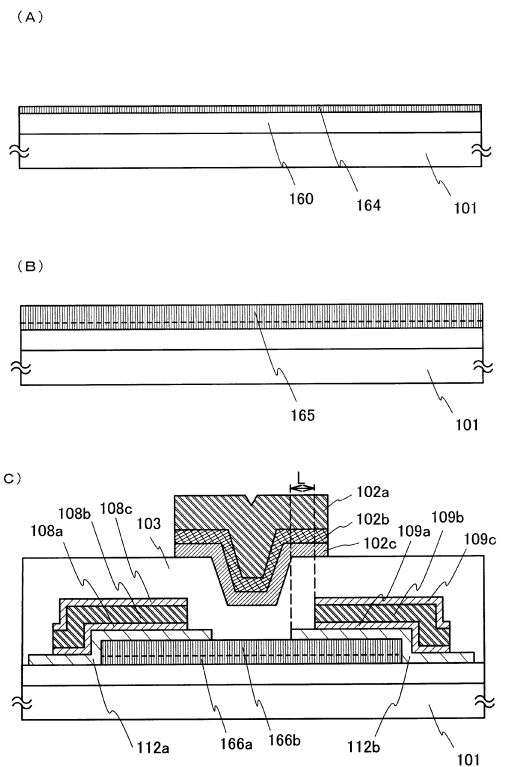
10

20

【 図 5 】



【 図 6 】

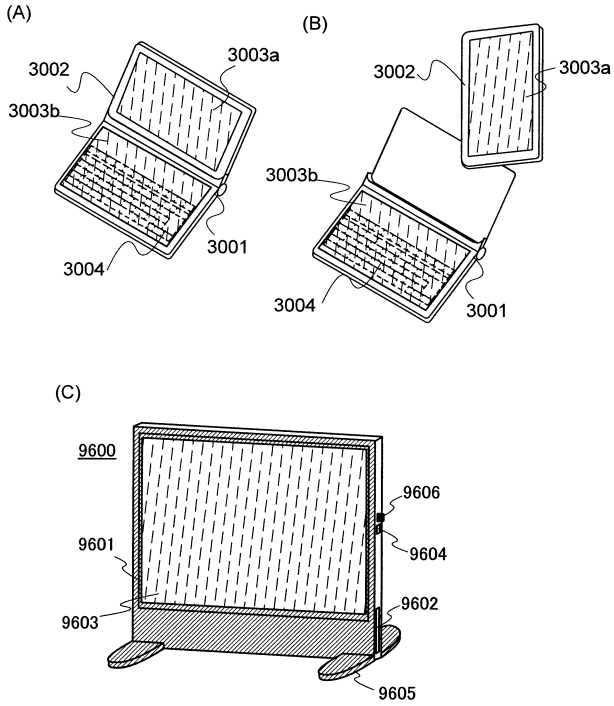


30

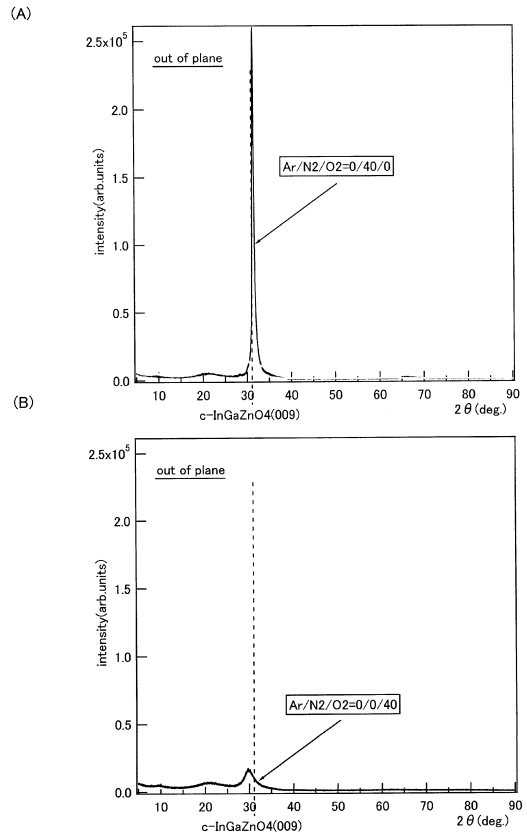
40

50

【 図 7 】



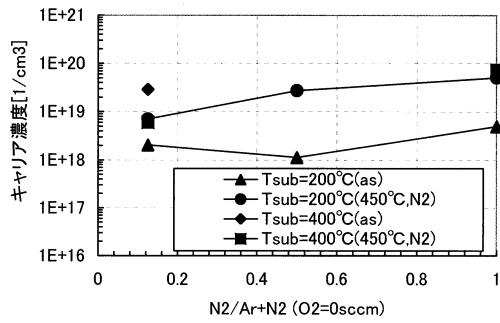
【 図 8 】



10

20

【 図 9 】



30

40

50

フロントページの続き

(51)国際特許分類

F I

H 0 1 L 29/78 6 1 6 T

(72)発明者 宮永 昭治

神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

(72)発明者 大原 宏樹

神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内