



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I608986 B

(45) 公告日：中華民國 106 (2017) 年 12 月 21 日

(21) 申請案號：102126930

(22) 申請日：中華民國 102 (2013) 年 07 月 26 日

(51) Int. Cl. : **B82Y30/00 (2011.01)****B82Y40/00 (2011.01)****H05K3/46 (2006.01)****H01L23/488 (2006.01)**

(71) 申請人：東海大學 (中華民國) TUNGHAI UNIVERSITY (TW)

臺中市西屯區臺灣大道 4 段 1727 號

(72) 發明人：蕭錫鍊 HSIAO, HSILIEN (TW)

(74) 代理人：蔡坤財；李世章

(56) 參考文獻：

US 2010/0112373A1

US 2011/0242731A1

US 2013/0129465A1

審查人員：古朝璟

申請專利範圍項數：6 項 圖式數：11 共 29 頁

(54) 名稱

半導體奈米層狀結構及其製作方法

SEMICONDUCTOR FREE-STANDING NANO LAYER STRUCTURE AND MANUFACTURE METHOD THEREOF

(57) 摘要

本發明提供一種可獨立存在的半導體奈米層狀結構，其包含至少一半導體奈米線膜，半導體奈米線膜由多數獨立成形之半導體奈米線彼此以特定或任意角度交織排列而形成。本發明並提供一種半導體奈米層狀結構的製作方法，先在第一基板上合成一半導體奈米線陣列，再以一具有一吸附表面的第二基板與第一基板壓合，令半導體奈米線斷裂壓擠形成一緻密的半導體奈米層狀結構，並進行離膜程序，令半導體奈米層狀結構脫離第一及第二基板，再進行一局部電焦耳熱鍵結熔合，令半導體奈米層狀結構之各半導體奈米線彼此熔接或各半導體奈米層狀結構彼此熔接。

A semiconductor free-standing nano layer structure is provided. The semiconductor free-standing nano layer structure includes at least one nanowires membrane; each nanowires membrane is composed of a plurality of nanowires, wherein the nanowires are mutually-crossed arranged in a pre-determined or random-arranged angle. A semiconductor free-standing nano layer structure manufacturing method is also provided. The manufacturing method includes: at least one semiconductor nanowires forest is formed on a first substrate; a second substrate with adhesion layer is prepared; a roll imprinting process is performed to push down and break the semiconductor nanowires from the first substrate and make the semiconductor nanowires being attached and compressed on the second substrate; a de-lamination process is then performed to lift the second substrate off; a local electrical joule heat welding is finally conducted to bond the semiconductor nanowires or membranes to improve the electrical conductivity and mechanical strength. Finally, a free-standing semiconductor nano layer structure is formed.

指定代表圖：

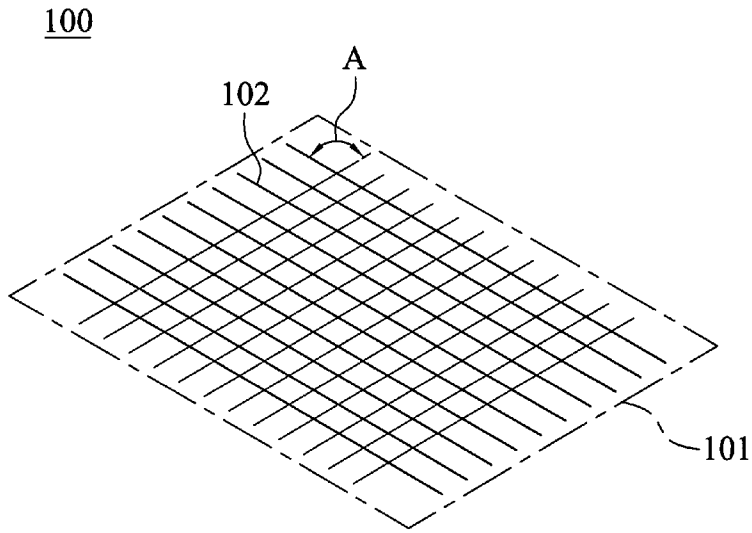
符號簡單說明：

100 ··· 半導體奈米層狀結構

101 ··· 半導體奈米線膜

102 ··· 半導體奈米線

A ··· 角度



第 1 圖

發明專利說明書

【發明名稱】(中文/英文)

半導體奈米層狀結構及其製作方法

SEMICONDUCTOR FREE-STANDING NANO LAYER
STRUCTURE AND MANUFACTURE METHOD THEREOF

【技術領域】

【0001】 一種奈米層狀結構及其製作方法，特別是指一種由半導體奈米線膜組成之半導體奈米層狀結構及其製作方法。

【先前技術】

【0002】 隨著對電子器件的小型化要求，現今之研究人員莫不汲汲於想辦法縮減電子元件的尺度，以便能在同一晶片內置入數量更多的元件，使效能更好。再者，當電子元件的大小減縮至奈米尺度時，將因表面及量子效應的影響，致材料特性產生相當大程度的改變。此外，高效能、低成本、大面積、可捲曲的顯示或光電轉換裝置在能源及行動資訊科技應用上有迫切需求，使得傳統晶圓式高效能、高成本的積體電路製作方法與玻璃基板低效能、低成本的顯示器、薄膜太陽能電池製作工藝必須尋求突破，才有可能滿足下一代能源及行動資訊科技應用上的需求。

【0003】 近來，一維半導體奈米結構由於其獨特的機械、傳導、光學、熱力學、化學性質，使其成為下一代電子、光電、感測器及能源轉換裝置的基本構成要件；雖然已有各式各樣的半導體奈米結構被合成，同時也有許多研究團隊利用這些奈米

結構製作各種功能的器件，但目前相關技術發展所面臨的最大挑戰是如何大規模、大面積、精密控制、均勻、可重複的將各式各樣的半導體一維奈米結構轉移 (transfer)、組裝 (assembly)、加工 (processing)、集成 (integrate) 形成具特定功能的電子裝置。而製作奈米電子裝置方法之一，即為利用半導體奈米線 (nanowire) 排列而製作一層狀陣列。例如有學者曾於論文期刊中發表，在一基板上製作一有機高分子膜，然後再浸泡於具有半導體奈米線的懸浮液中，藉此令半導體奈米線排列於基板上，而製作一半導體奈米線膜。

【0004】 無論如何，目前多種以半導體奈米線排列而製作奈米線膜的方法皆遭逢到諸多的困難，最根本的問題在於難以控制半導體奈米線排列的對位、堆疊方向達到製作一大面積之層狀陣列。再者，以往奈米線成膜必須排列附著於一基板上，此會造成後續加工、製造處理上的侷限，因此亟需開發能以半導體奈米線製作出獨立之大面積奈米層狀結構的方法。

【發明內容】

【0005】 本發明提供一種半導體奈米層狀結構及其製作方法。半導體奈米層狀結構可由半導體奈米線膜排列或逐層堆疊而形成，而半導體奈米線膜由半導體奈米線交織排列而成。本發明並提供一種半導體奈米層狀結構之製作方法，由一第一基板及一第二基板配合滾壓印方法離膜後製作成獨立之半導體奈米層狀結構，並配合局部焦耳熱鍵結熔合法將半導體奈米層狀結構中的半導體奈米線鍵結熔合或將兩半導體奈米層狀結構之間鍵結熔合。

【0006】本發明之一態樣在提供一種半導體奈米層狀結構，半導體奈米層狀結構包含至少一半導體奈米線膜，各半導體奈米線膜由多數獨立成形之半導體奈米線彼此以特定或任意角度交織排列而形成。

【0007】在一實施例中，半導體奈米線彼此形成規則或不規則排列，且角度為 90 度、一銳角或一鈍角。此外，由多數半導體奈米線膜逐層堆疊或連接而形成多層之半導體奈米層狀結構。半導體奈米線膜由多數獨立成形之半導體奈米線彼此平躺於 X-Y 平面或延 Z 軸方向交織排列而成。另外，各半導體奈米線長度介於 1 到 500 微米。

【0008】本發明另一態樣在提供一種半導體奈米元件，半導體奈米元件包含至少一半導體奈米線膜摻雜層以及至少一電極層。電極層形成於半導體奈米線膜摻雜層上。

【0009】在一實施例中，半導體奈米線膜摻雜層包含至少一 P 型半導體奈米線膜或一 N 型半導體奈米線膜。

【0010】本發明又一態樣在提供一種半導體奈米層狀結構的製作方法，包含：提供一第一基板；在第一基板上合成多數個獨立成形之半導體奈米線，半導體奈米線彼此互不交纏或以任意角度交織排列於第一基板而形成至少一半導體奈米線陣列；提供一第二基板，第二基板具有一吸附表面；令第一基板或第二基板固定在一圓柱滾筒上；滾動壓合第一基板及第二基板，令半導體奈米線斷裂、轉移及吸附在第二基板上；在第二基板上形成一半導體奈米層狀結構；進行離膜程序，令半導體奈米層狀結構脫離第二基板；以及進行一局部電焦耳熱鍵結熔合程序，令半導體奈米層狀結構之各半導體奈米線彼此熔接或各半導體奈米層狀結構彼此

熔接。

【0011】 在一實施例中，第二基板之吸附表面為一靜電吸附層、一高分子聚合物層或一於加熱或照光產生吸附作用之黏性層。此外，令半導體奈米層狀結構之各半導體奈米線彼此熔接或各半導體奈米層狀結構彼此熔接可使用一直接鍵結熔合法、一中間介質層鍵結熔合法或一黏接法。

【0012】 本發明再一態樣在提供一種半導體奈米層狀結構的製作方法，包含：提供一包含多數半導體奈米線的化學溶液；令化學溶液形成流動狀態；提供一層析膜片，將層析膜片浸泡於化學溶液中；提供一篩選膜片，令篩選膜片相對層析膜片作動，並令半導體奈米線透過篩選膜片彼此以特定或任意角度交織排列於層析膜片上；令層析膜片上之半導體奈米線交織排列形成至少一半導體奈米線膜，並令各半導體奈米線膜堆疊或連接形成一半導體奈米層狀結構；進行一乾燥程序，以去除水分及化學溶液；進行一離膜程序，將半導體奈米層狀結構剝離層析膜片；以及進行一局部電焦耳熱鍵結熔合程序，令半導體奈米層狀結構之各半導體奈米線彼此熔接或各半導體奈米層狀結構彼此熔接。

【0013】 在一實施例中，令半導體奈米層狀結構之各半導體奈米線彼此熔接或各半導體奈米層狀結構彼此熔接可使用一直接鍵結熔合法、一中間介質層鍵結熔合法或一黏接法。此外，可包含一摻雜程序，摻雜程序為加入一奈米線、一奈米管、一奈米顆粒或一高分子纖維於化學溶液中。另外，篩選膜片相對層析膜片作動係指篩選膜片相對層析膜片靜止、移動或轉動。

【圖式簡單說明】

【0014】

第 1 圖為本發明之半導體奈米層狀結構之一實施例示意圖。

第 2 圖為本發明之半導體奈米層狀結構之另一實施例示意圖。

第 3 圖為本發明之半導體奈米層狀結構之再一實施例示意圖。

第 4A 圖為半導體奈米線連接方式之一實施例示意圖。

第 4B 圖為半導體奈米線連接方式另一實施例示意圖。

第 5 圖為本發明之半導體奈米層狀結構製作方法之一實施例流程示意圖。

第 6 圖為本發明之半導體奈米層狀結構製作方法之另一實施例流程示意圖。

第 7A 圖至第 7E 圖為本發明之半導體奈米層狀結構製作方法之一實施例步驟圖。

第 8 圖為依據第 7C 圖中圓柱滾筒之另一使用方式示意圖。

第 9 圖為在一基板上所合成筆直豎立半導體奈米線陣列之掃描電子顯微鏡側視圖。

第 10 圖為在一基板上所合成交織排列之半導體奈米線陣列之掃描電子顯微鏡側視圖。

第 11 圖為依據本發明一實施例的半導體奈米元件示意圖。

【實施方式】

【0015】 以下將結合圖式對本發明之實施例作進一步說明。

【0016】 請參照第 1 圖，第 1 圖為本發明之半導體奈米層狀結構 100 之一實施例示意圖。第 1 圖中，半導體奈米層狀結構 100 包含至少一奈米線膜 101，奈米線膜 101 由多數半導

體奈米線 102 交織排列而成。各半導體奈米線 102 之間可規則或不規則排列，其長度可為 1 微米至 500 微米。在第 1 圖中，各半導體奈米線 102 之間彼此垂直交錯排列而形成半導體奈米線膜 101，可重複延伸接續半導體奈米線膜 101 而形成半導體奈米層狀結構 100，亦可將半導體奈米線膜 101 堆疊排列而形成半導體奈米層狀結構 100。本發明之半導體奈米線膜 101 與習知之奈米線膜有一不同點，在於本發明之半導體奈米線膜 101 可獨立成形一單膜，無需依附於任何支撐結構。習知奈米線膜必須附著在基板上，此將造成後續加工、製造以及應用上之侷限。

【0017】請參照第 2 圖，第 2 圖為本發明之半導體奈米層狀結構 100 之另一實施例示意圖。半導體奈米線膜 101 中，各半導體奈米線 102 彼此可以一預設角度 A 交錯排列。上述第 1 圖中，角度 A 為 90 度，而在第 2 圖中，角度 A 為一鈍角。在其他情況中，角度 A 亦可為銳角，使用何種角度 A 端視實際狀況所需。且半導體奈米線 102 並可於 X-Y 平面上互相交織，或沿 Z 軸互相交織。

【0018】請參照第 3 圖，第 3 圖為本發明之半導體奈米層狀結構 100 之再一實施例示意圖。第 3 圖中，半導體奈米線膜 101 由半導體奈米線 102 交織形成。此種交織的形式係以半導體奈米線 102 之間彼此以特定或任意角度交織排列而形成，藉此可增加支撐強度。

【0019】請參照第 4A 圖及第 4B 圖，第 4A 圖為半導體奈米線 102 連接方式之一實施例示意圖，而第 4B 圖為半導體奈米線 102 連接方式另一實施例示意圖。第 4A 圖中，各半導體奈米線 102 彼此以一角度 B 交錯排列並延伸連接成長條

狀，角度 B 可以是 90 度、銳角或鈍角。第 4B 圖中，各半導體奈米線 102 則彼此互相頭尾相連而形成長條狀。藉由第 4A 圖及第 4B 圖的連接方式，半導體奈米線 102 可重複延伸連接而形成前述圖中的半導體奈米線膜 101。且由於半導體奈米線 102 彼此可具有複雜型式的交織排列，使得由半導體奈米線 102 形成的半導體奈米線膜 101 支撐強度更強，結構更為穩固。

【0020】請參照第 5 圖，第 5 圖為本發明之半導體奈米層狀結構 100 製作方法之一實施例流程示意圖。包含：步驟 501，準備一第一基板；步驟 502，在第一基板上合成多數個獨立成形之半導體奈米線 102，半導體奈米線 102 彼此互不交纏或以任意角度交織排列於第一基板上而形成至少一半導體奈米線陣列；步驟 503，準備一第二基板，第二基板具有一吸附表面；步驟 504，令第一基板或第二基板固定於圓柱滾筒上，並令第一基板上的半導體奈米線陣列面對第二基板吸附表面；步驟 505，滾動壓合第一基板及第二基板，令多數半導體奈米線 102 斷裂、轉移及吸附在第二基板上，並在第二基板上形成一半導體奈米層狀結構 100；步驟 506，進行離膜程序，令半導體奈米層狀結構 100 脫離第二基板；以及步驟 507，進行一局部電焦耳熱鍵結熔合程序，令半導體奈米層狀結構之各半導體奈米線 102 彼此熔接或各半導體奈米層狀結構 100 彼此熔接。

【0021】步驟 502 中，合成半導體奈米線 102 的方法需藉由金屬觸媒催化反應控制半導體奈米線 102 的形貌，因此必須先在第一基板上形成觸媒金屬薄膜。催化奈米線成長所需的

觸媒金屬薄膜，其材質可選自鋅(Zn)、鋁(Al)、鎵(Ga)、銦(In)、金(Au)、銀(Ag)、銅(Cu)、鉑(Pt)、鐵(Fe)、鈷(Co)、鎳(Ni)等元素或含有上述元素成分的合金、化合物、奈米顆粒或多層薄膜結構(如 Au/Ga 雙層、Au/Ga/Au 三層薄膜結構)。其厚度可介於一奈米至數十奈米之間。

【0022】觸媒金屬薄膜可以透過蒸鍍(vacuum evaporation)、濺鍍(sputtering)、電鍍(electroplating)、壓印(imprint)、塗佈(dip coating)、印刷(screen printing)或噴墨(ink jet)等方法形成於第一基板上。也可以先合成觸媒金屬的奈米顆粒，形成奈米顆粒溶液，再利用塗佈或噴墨方式轉移到基板表面，也可以直接將基板浸入含有觸媒金屬奈米顆粒溶液中，在基板上形成均勻覆蓋的奈米金屬顆粒薄膜。

【0023】合成半導體奈米線陣列可使用電漿輔助化學氣相沉積(plasma enhanced chemical vapor deposition)、熱燈絲輔助化學氣相沉積(hot-wire assisted chemical vapor deposition)、化學氣相沉積(chemical vapor deposition)及氣相傳輸合成(vapor phase transport deposition)等方法。在上述方法中控制製程參數，可形成本質或具有 P 或 N 型摻雜等特性的半導體奈米線 102。

【0024】步驟 503 中，吸附表面可為一靜電吸附層、一高分子聚合物層或一於加熱或照光產生吸附作用之黏性層。

【0025】步驟 505 中，壓合第一基板及第二基板可使用滾輪或其他壓合機構。

【0026】步驟 506 中的離膜程序可使用化學蝕刻或機械剝離等方法。

【0027】 步驟 507 為一相當重要的步驟，因為經由此步驟可使各半導體奈米線 102 之間、各半導體奈米線膜 101 之間或各半導體奈米層狀結構 100 之間穩固接續，使支撐強度更強，並形成各種更為廣闊的應用，其中關鍵，在於局部焦耳熱鍵結熔合法。

【0028】 所謂局部焦耳熱鍵結熔合是指在半導體奈米層狀結構 100 上下各用一點狀或條狀或平面金屬電極接觸，在電極兩端施加一適當電壓，形成一或多個導電迴路，產生電流，並藉由半導體奈米線 102 與半導體奈米線 102 間具有較高接觸電阻的特性，產生局部的焦耳熱(local joule heating)，使半導體奈米線 102 與半導體奈米線 102 之間鍵結熔合，或使半導體奈米線膜 101 與半導體奈米線膜 101 之間鍵結熔合，或使由半導體奈米線膜 101 排列或堆疊而成的半導體奈米層狀結構 100 彼此熔合。除局部焦耳熱鍵結熔合法之外，亦可使用如直接鍵結熔合法、中間介質層鍵結熔合法或黏接法等各種方法。

【0029】 步驟 507 的主要功能列示如下：透過局部焦耳熱鍵結熔合，將製作完成之半導體奈米線膜 101 中各分散的半導體奈米線 102 鍵結熔合形成一相連網狀陣列；將具有相同特性的半導體奈米線膜 101 結合在一起，增加其厚度、或使其具有交叉排列的結構，增強其機械強度或達到二維均勻導電的特性；將具有不同特性的半導體奈米線膜 101 結合在一起，使其具有特定功能，或形成特殊的接面(junction)；以及將具有不同功能的半導體奈米線膜 101 結合在一起，使其具有多功能應用。

【0030】 在應用上述方法後，由半導體奈米線膜 101 的連接或堆疊即可形成一單獨之半導體奈米層狀結構 100，無須再依附於其他支撐結構上。

【0031】 請參照第 6 圖，第 6 圖為本發明之半導體奈米層狀結構 100 製作方法之另一實施例流程示意圖。包含：步驟 601，提供一包含多數半導體奈米線 102 的化學溶液；步驟 602，令化學溶液形成流動狀態；步驟 603，提供一層析膜片，並將層析膜片浸泡於化學溶液中；步驟 604，提供一篩選膜片，令篩選膜片相對層析膜片作動，並令半導體奈米線 102 透過篩選膜片彼此以特定或任意角度交織排列於層析膜片上；步驟 605，令層析膜片上之半導體奈米線 102 交織排列形成至少一半導體奈米線膜 101，並令各半導體奈米線膜 101 堆疊或連接形成一半導體奈米層狀結構 100；步驟 606，進行一乾燥程序去除水分及化學溶液；步驟 607，進行一離膜程序，將半導體奈米層狀結構 100 剝離層析膜片；以及步驟 608，進行一局部電焦耳熱鍵結熔合程序，令半導體奈米層狀結構 100 之各半導體奈米線 102 彼此熔接或各半導體奈米層狀結構 100 彼此熔接。

【0032】 步驟 602 中，係利用壓力推擠(apply pressure to pull)或真空吸引(vacuum pull)，使包含有半導體奈米線 102 的溶液形成流動狀態。在上述的方法中，可進行一摻雜程序，將一奈米線、一奈米管、一奈米顆粒或一高分子纖維添加於化學溶液中。

【0033】 步驟 604 中，通過一層析膜片(filter)，使半導體奈米線 102 散布在層析膜片上，並交織排列堆疊形成半導體奈

米線膜 101。層析膜片具有孔徑大小為 0.1 微米至 5 微米的多個孔洞，其材質可為玻璃、金屬箔片(不銹鋼、鋁等)、玻璃纖維(glass fiber)、鐵氟龍(PTFE)、塑膠、橡膠或紙等。層析膜片面對流體方向，可以加入一篩選膜片(screening membrane/mask)。篩選膜片具有長條狀孔洞，孔洞的窄邊小於 10 微米，長邊大於 50 微米，可用來控制半導體奈米線 102 分散在層析膜片上的方位，使其形成規則或不規則排列，藉此加強半導體奈米線膜 101 之機械強度。篩選膜片孔洞可透過雷射切割或顯影蝕刻形成，其材質可以是玻璃或金屬箔片(不銹鋼、鋁)等。篩選膜片相對於層析膜片可以靜止不動，也可以轉動或移動。

【0034】 步驟 607 中之離膜程序及步驟 608 中之局部電焦耳熱鍵結熔合程序同於前述第 5 圖中所揭示之方法，特不再贅述。

【0035】 上述第 5 圖及第 6 圖中之半導體奈米層狀結構 100 的製作方法可以是各自獨立的製作方法，亦可互相搭配，例如先以第 5 圖所揭示之方法形成一半導體奈米層狀結構 100，再將此半導體奈米層狀結構 100 製作成如步驟 601 的包含多數半導體奈米線 102 的化學溶液。

【0036】 為使本發明之半導體奈米層狀結構 100 的製作方法能更為清楚了解，以下以圖式揭示半導體奈米層狀結構 100 的製造步驟之一實施例。

【0037】 請參照第 7A 至 7E 圖，第 7A 圖至第 7E 圖為本發明之半導體奈米層狀結構製作方法之一實施例步驟圖。其步驟流程如下：

【0038】 第 7A 圖中，準備一第一基板 201，先在一第一基板

201 上製作多數半導體奈米線 102。第一基板 201 材質可為半導體、金屬箔片或玻璃，如矽基板、不銹鋼片、鋁片、玻璃，或使用其他材質。

【0039】第 7B 圖中，準備一第二基板 202，第二基板 202 為一表面塗佈有高分子聚合物之可撓曲基板。第二基板 202 材質可為紡織品、紙、塑膠、玻璃、橡膠、高分子聚合物或金屬箔片。本實施例中，第二基板 202 之一吸附表面 202a 塗佈有一黏附層 203。另外一種方式為選擇表面具有黏性之高分子聚合物。

【0040】第 7C 圖中，將第一基板 201 或第二基板 202 固定於圓柱滾筒 204 上，並令第一基板 201 上的半導體奈米線 102 陣列面對第二基板 202 之吸附表面 202a；滾動壓合第一基板 201 及第二基板 202，令多數半導體奈米線 102 斷裂、轉移及吸附在第二基板 202 上，在第二基板 202 上形成一半導體奈米層狀結構 100。

【0041】第 7D 圖中，進行離膜程序，使半導體奈米層狀結構 100 脫離第二基板 202。離膜程序其中一種方式為將第 7C 圖製作之結構浸泡於一化學溶液 205 中，使半導體奈米層狀結構 100 與黏附層 203 脫離。或是亦可使用機械方式使半導體奈米層狀結構 100 與黏附層 203 脫離。

【0042】第 8 圖為依據第 7C 圖中圓柱滾筒之另一使用方式示意圖。上述第 7C 圖中，第一基板 201 及第二基板 202 皆可使用可撓曲基板，因此於製程步驟上，可先將第一基板 201 纏繞於圓柱滾筒 204 上，或先將第二基板 202 纏繞於圓柱滾筒 204 上。

【0043】第 7E 圖中，形成一半導體奈米層狀結構 100。

【0044】本發明之特點在於以本發明提供之製作方法所形成之半導體奈米層狀結構100具有一般半導體晶圓(如矽晶圓、鍺晶圓、砷化鎵晶圓)所具有的優異半導體特性，又可克服目前半導體晶圓技術發展所遇到瓶頸(如薄化困難、不可撓曲、易碎、大面積晶圓長晶困難、部分半導體材料難以長晶製成晶圓)，可獨立存在，有助於半導體奈米線102的後續加工處理，如氧化、蝕刻、摻雜、光阻塗佈；且可直接在半導體奈米線102合成的過程中，直接合成具特定功能多層或多節半導體奈米線102結構，不需複雜製程，即可形成完整的元件結構。

【0045】請參照第9圖及第10圖。第9圖為在一基板上所合成筆直豎立半導體奈米線陣列之掃描電子顯微鏡側視圖。第10圖為在一基板上所合成交織排列之半導體奈米線陣列之掃描電子顯微鏡側視圖。從第9圖及第10圖中，可看出未進行上述壓合程序前，半導體奈米線102排列於基板上形成半導體奈米線陣列的狀況，半導體奈米線102可以是規則的筆直豎立排列(第9圖)或不規則的交織排列(第10圖)。

【0046】第11圖為依據本發明一實施例的半導體奈米元件示意圖。本發明揭示之半導體奈米層狀結構100的製作方法具有多種應用，可以製成不同的半導體奈米元件。值得一提的是，由於本發明的半導體奈米層狀結構100為獨立存在，無需任何支撐結構，因此在製作時，即可以本身的結構為基板，此可解決習知以奈米膜或奈米紙為主要結構的奈米元件中基板匹配的問題。第11圖所揭示為一簡單形式的發光二極體300，在此結構中，發光二極體300包含二電極層301、一

P-型半導體奈米線膜摻雜層302及一N-型半導體奈米線膜摻雜層303。此發光二極體300揭示了本發明之一特點，即無需使用基板，直接以本身之結構即可以構成一完整半導體奈米元件。

【0047】 綜上所述，本發明提供一種半導體奈米層狀結構100及其製作方法。基於半導體奈米層狀結構100可單獨成形無需支撐結構的特性，使本發明之半導體奈米層狀結構100具有應用上的彈性，並且可根據半導體奈米線102本身材料特性任意組合，而能使用於各種光電元件或器械上，可獲致良好的表現。

【符號說明】

【0048】

100：半導體奈米層狀結構	303：N-型半導體奈米線膜摻雜層
101：半導體奈米線膜	
102：半導體奈米線	202a：吸附表面
201：第一基板	203：黏附層
202：第二基板	204：圓柱滾筒
300：發光二極體	205：化學溶液
301：電極層	A、B：角度
302：P-型半導體奈米線膜摻雜層	501~507：步驟
	601~608：步驟

發明摘要

※申請案號：102126930

※申請日：102/07/26

※IPC分類：B82Y 30/00 (2011.01)
B82Y 40/00 (2011.01)
H05K 3/46 (2006.01)
H01L 23/488 (2006.01)

【發明名稱】(中文/英文)

半導體奈米層狀結構及其製作方法

SEMICONDUCTOR FREE-STANDING NANO LAYER
STRUCTURE AND MANUFACTURE METHOD THEREOF

【中文】

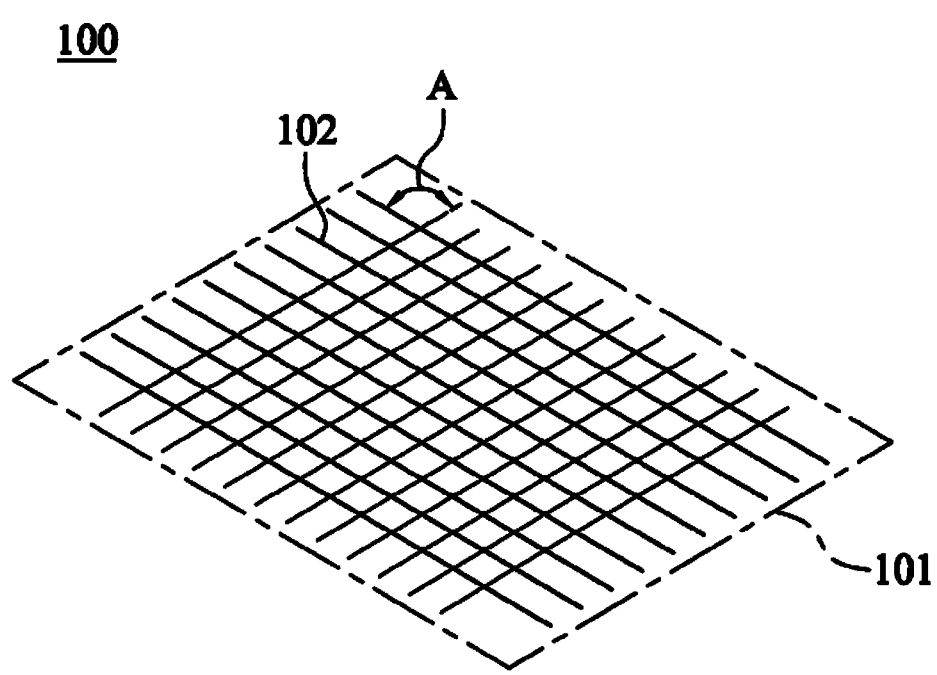
本發明提供一種可獨立存在的半導體奈米層狀結構，其包含至少一半導體奈米線膜，半導體奈米線膜由多數獨立成形之半導體奈米線彼此以特定或任意角度交織排列而形成。本發明並提供一種半導體奈米層狀結構的製作方法，先在第一基板上合成一半導體奈米線陣列，再以一具有一吸附表面的第二基板與第一基板壓合，令半導體奈米線斷裂壓擠形成一緻密的半導體奈米層狀結構，並進行離膜程序，令半導體奈米層狀結構脫離第一及第二基板，再進行一局部電焦耳熱鍵結熔合，令半導體奈米層狀結構之各半導體奈米線彼此熔接或各半導體奈米層狀結構彼此熔接。

【英文】

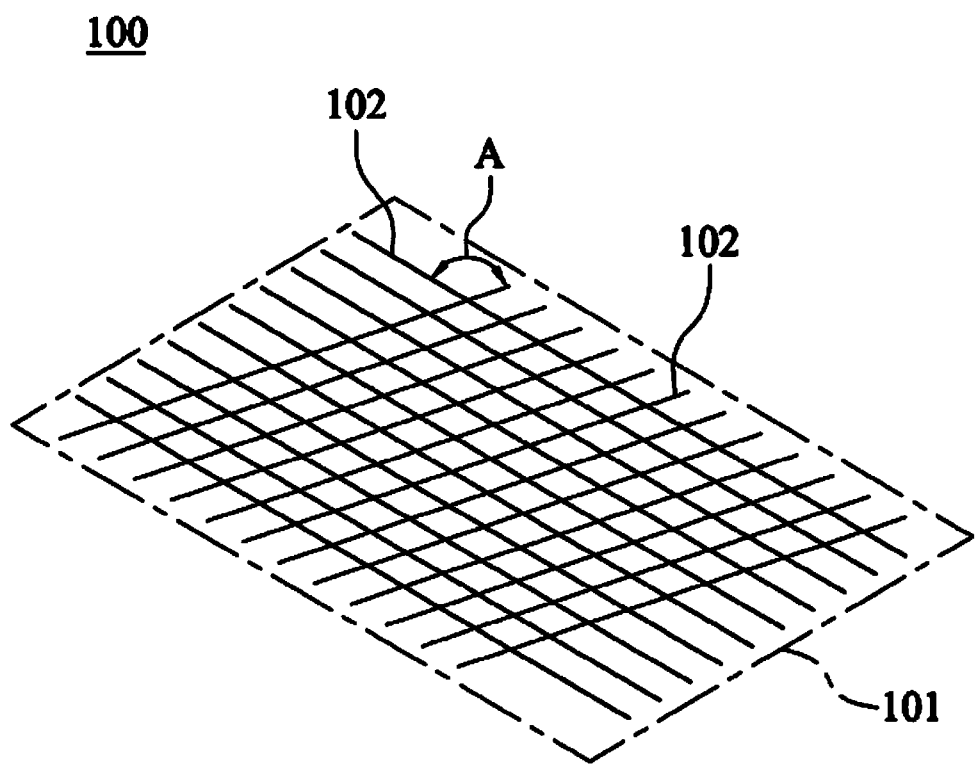
A semiconductor free-standing nano layer structure is provided. The semiconductor free-standing nano layer structure includes at least one nanowires membrane; each

nanowires membrane is composed of a plurality of nanowires, wherein the nanowires are mutually-crossed arranged in a pre-determined or random-arranged angle. A semiconductor free-standing nano layer structure manufacturing method is also provided. The manufacturing method includes: at least one semiconductor nanowires forest is formed on a first substrate; a second substrate with adhesion layer is prepared; a roll imprinting process is performed to push down and break the semiconductor nanowires from the first substrate and make the semiconductor nanowires being attached and compressed on the second substrate; a de-lamination process is then performed to lift the second substrate off; a local electrical joule heat welding is finally conducted to bond the semiconductor nanowires or membranes to improve the electrical conductivity and mechanical strength. Finally, a free-standing semiconductor nano layer structure is formed.

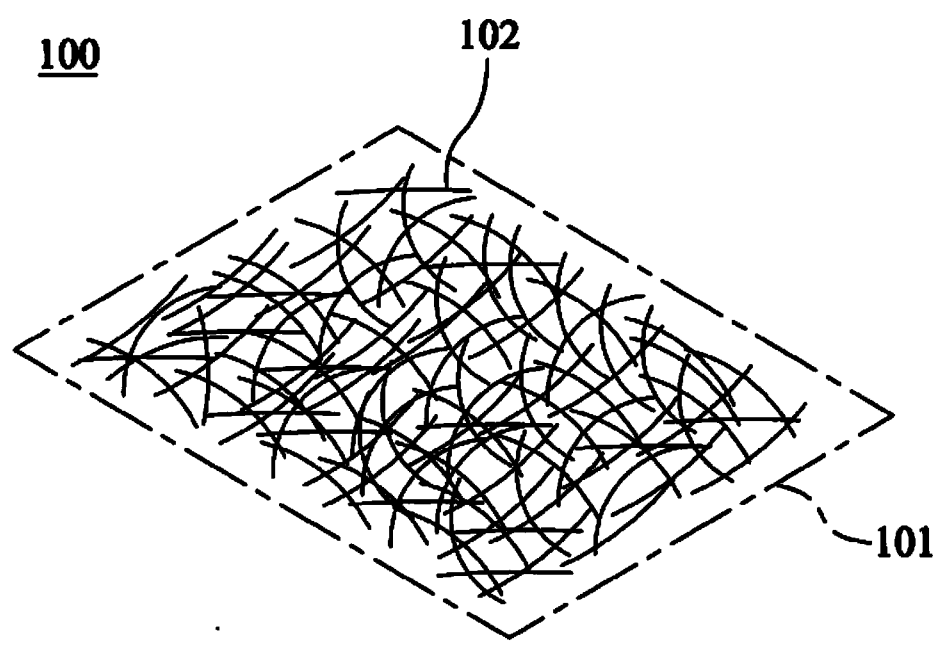
圖式



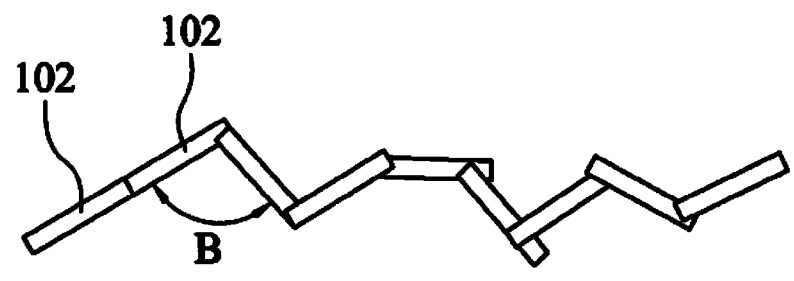
第 1 圖



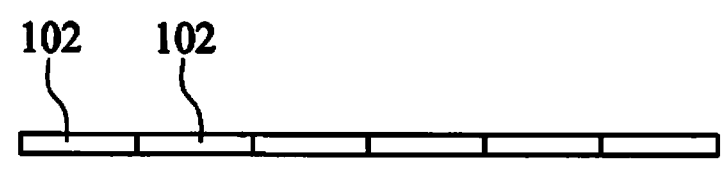
第 2 圖



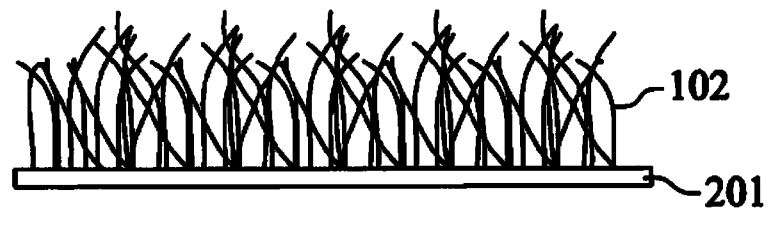
第 3 圖



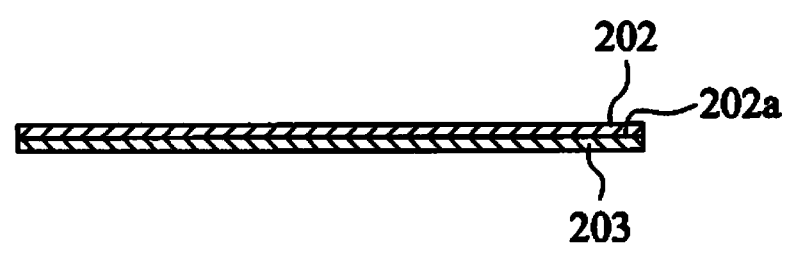
第 4A 圖



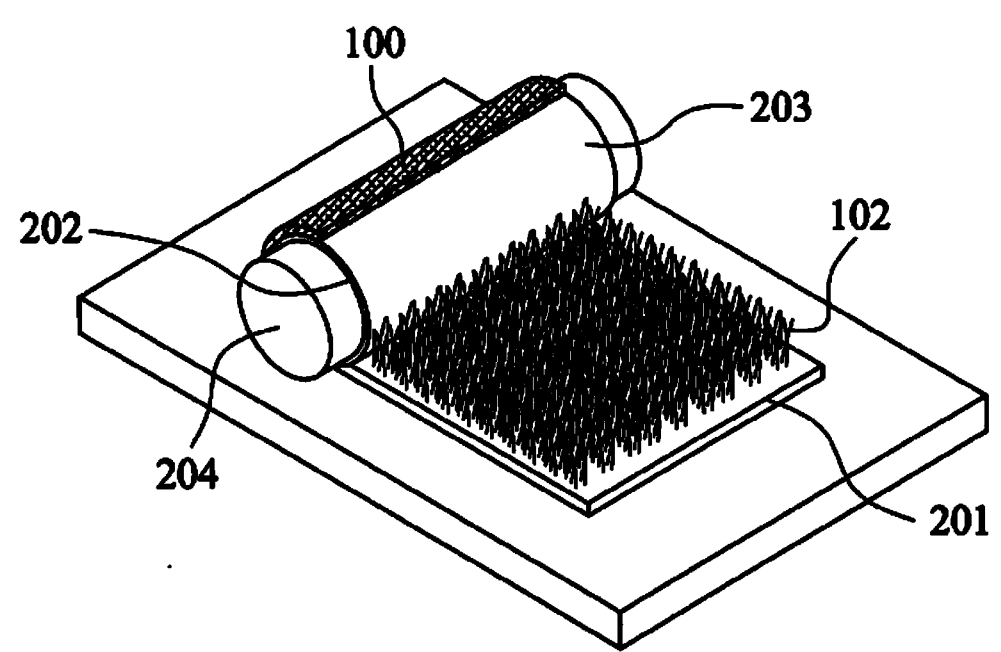
第 4B 圖



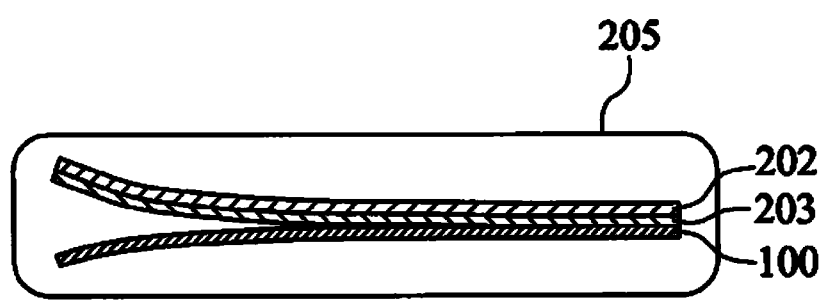
第 7A 圖



第 7B 圖



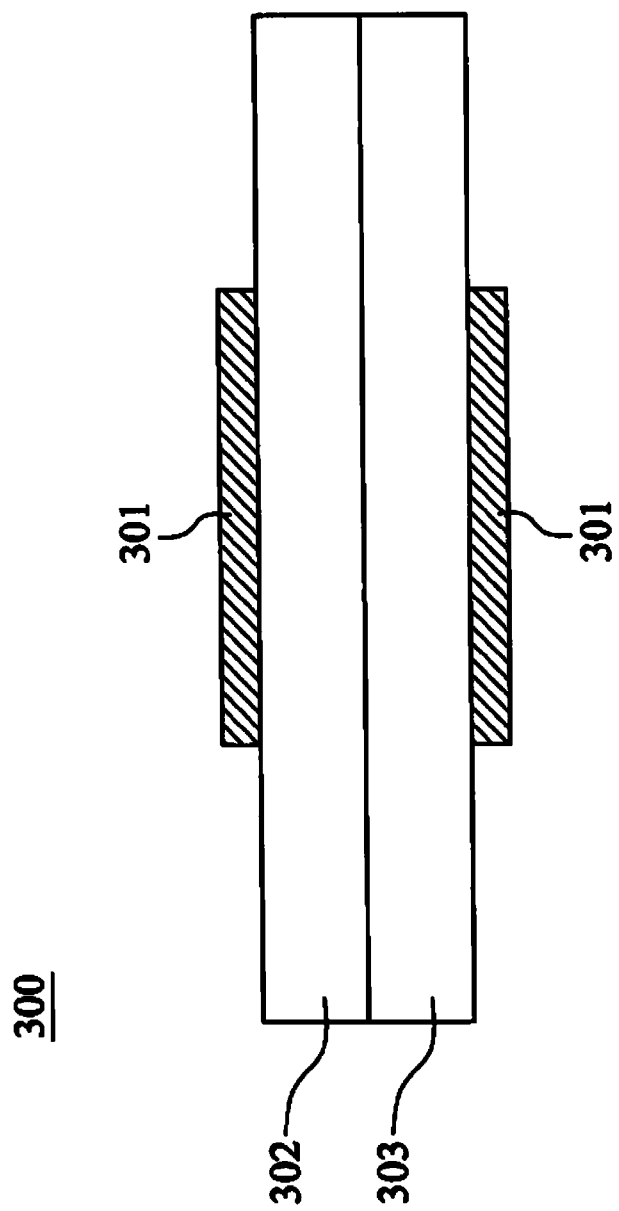
第 7C 圖



第 7D 圖



第 7E 圖



第 11 圖

【代表圖】

【本案指定代表圖】：第（ 1 ）圖。

【本代表圖之符號簡單說明】：

100：半導體奈米層狀結構

101：半導體奈米線膜

102：半導體奈米線

A：角度

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

申請專利範圍

1. 一種半導體奈米層狀結構的製作方法，包含：

提供一第一基板；

在該第一基板上合成多數個獨立成形之半導體奈米線，該些半導體奈米線彼此互不交纏或以任意角度交織排列於該第一基板上形成至少一半導體奈米線膜；

提供一第二基板，該第二基板具有一吸附表面；

令該第一基板或該第二基板固定在一圓柱滾筒上，令該第一基板上之半導體奈米線膜面對該第二基板之該吸附表面；

滾動壓合該第一基板及該第二基板，令該些半導體奈米線斷裂、轉移及吸附在該第二基板上，並在該第二基板上形成一半導體奈米層狀結構；

進行一離膜程序，令該半導體奈米層狀結構脫離該第二基板；以及

進行一局部電焦耳熱鍵結熔合程序，令該半導體奈米層狀結構之各該半導體奈米線彼此熔接或各該半導體奈米層狀結構彼此熔接。

2. 如請求項 1 之半導體奈米層狀結構的製作方法，其中該第二基板之該吸附表面為一靜電吸附層、一高分子聚合物層或一於加熱或照光產生吸附作用之黏性層。

3. 如請求項 1 之半導體奈米層狀結構的製作方法，其中令該半導體奈米層狀結構之各半導體奈米線彼此熔接或各該半導體奈

米層狀結構彼此熔接係使用一直接鍵結熔合法、一中間介質層鍵結熔合法或一黏接法。

4. 一種半導體奈米層狀結構，以請求項 1 的半導體奈米層狀結構的製作方法所製成，該半導體奈米層狀結構包含至少一半導體奈米線膜，各該半導體奈米線膜由多數獨立成形之半導體奈米線彼此以特定或任意角度交織排列而形成。

5. 如請求項 4 之半導體奈米層狀結構，其中由多數該半導體奈米線膜逐層堆疊或連接而形成多層之該半導體奈米層狀結構。

6. 如請求項 4 之半導體奈米層狀結構，其中各該半導體奈米線長度介於 1 到 500 微米。