(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H01L 21/768

(45) 공고일자 1999년10월15일
(11) 등록번호 10-0226726
(24) 등록일자 1999년07월29일

(21) 출원번호 10-1997-0016749
(22) 출원일자 1997년04월30일
(65) 공개번호 특1998-0079084
(43) 공개일자 1998년11월25일

(73) 특허권자 엘지반도체주식회사 구본준
충청북도 청주시 흥덕구 향정동 1번지
(72) 발명자 양천수
경상북도 구미시 공단2동 엘지반도체사원 아파트가-505
(74) 대리인 김용인, 강용복

심사관 : 김용정

(54) 반도체소자의 배선형성 방법

요약

본 발명은 다층의 메탈배선을 갖는 반도체소자에 있어서, 메탈배선시 단차취약부에 더미패턴을 형성하여 단차를 개선함과 동시에 노광시 초점의 심도를 증가시켜 미세패턴의 단락 및 왜곡을 방지하기 위한 반도체소자의 배선 형성방법에 관한 것으로서 부분적으로 형성된 복수개의 소자들에 의해 단차를 갖는 반도체기판상에 제 1 절연층을 형성하는 공정과, 상기 소자 상측의 제 1 절연층상에 제 1 메탈라인을 형성하는 공정과, 제 1 메탈라인을 포함한 반도체기판 전면에 복수개의 절연층을 형성하여 평탄화시키는 공정과, 상기 제 1 메탈라인 상측의 절연층상에 제 2 메탈층을 형성한 후 선택적으로 제거하여 제 1 메탈라인을 형성하고, 상기 제 1 메탈라인에 의해 가장 심하게 단차가 발생되는 부위에 더미패턴을 형성하는 공정과, 상기 더미패턴 및 제 1 메탈라인을 포함한 반도체기판 전면을 평탄화시키는 공정을 포함하여 이루어진다.

대표도

도3d

명세서

도면의 간단한 설명

도 1a 내지 1d는 종래 반도체소자의 배선 형성방법을 설명하기 위한 공정단면도

도 2a는 종래기술에 따른 노광시 미세패턴의 단락상태를 보여주는 도면

도 2b는 종래기술에 따른 노광시 미세패턴의 왜곡상태를 보여주는 도면

도 3a 내지 3d는 본 발명의 반도체소자 배선 형성방법을 설명하기 위한 공정단면도

도면의 주요부분에 대한 부호의 설명

11,31 : 반도체기판17,37 : 제 1 메탈라인

23a,43a : 제 2 메탈라인27,47 : 제 3 메탈층

25,25a,49 : 감광제43b : 더미패턴

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체소자에 관한 것으로서 특히, 메탈라인간의 단차를 최소화하여 미세패턴의 단락을 방지하고 노광시 초점심도를 개선시키는데 적당하도록 한 반도체소자의 배선형성 방법에 관한 것이다.

이하, 종래 반도체소자의 배선 형성방법을 첨부된 도면을 참조하여 설명하기로 한다.

도 1a 내지 1d는 종래 반도체소자의 배선 형성방법을 설명하기 위한 공정단면도이다.

도 1a에 도시한 바와같이 부분적으로 형성된 복수개의 소자(13)들에 의해 단차가 발생된 반도체기판(11)상에 층간절연막으로서 BPSG(Borophosphorsilicate Glass)층(15)을 형성한다.

여기서 게이트 및 각종소자(13)가 반도체기판(11)상에 부분적으로 형성되므로 인해 전체적으로 단차가 발

생된다.

도 1a에서와 같이 BPSG층(15)상에 메탈을 증착한 후 선택적으로 제거하여 제 1 메탈라인(17)들은 형성한다.

제 1 메탈라인(17)들을 형성한 후 제 1 메탈라인(17)들을 포함한 반도체기판(11)전면에 제 1 TEOS(Tetra-ethyl-ortho-silicate)층(19), 제 1 SOG(Spin On Glass)층(21) 그리고 제 2 TEOS층(19a)을 차례로 형성하여 평탄화공정을 수행한다.

여기서 평탄화공정은 제 1 TEOS층(19)상에 형성된 제 1 SOG층(21)을 에치백(etchback)하여 제 1 메탈라인(17)에 의해 발생된 단차를 개선시킨 다음, 다시 제 2 TEOS층(19a)을 형성한다.

그리고 도면에는 도시되지 않았지만 제 1 메탈라인(17)상측의 제 2 TEOS층(19a)과 제 1 TEOS층(19)을 선택적으로 제거하여 비아홀을 형성시킨다.

이후 비아홀을 포함한 반도체기판(11)전면에 제 2 메탈(23)을 증착한다.

이어 제 2 메탈(23)상부에 감광제(25)를 도포한다.

다음, 도 1b에 도시한 바와같이 감광제(25)를 노광 및 현상공정을 통해 패터닝하고 패터닝된 감광제(25)를 마스크로 이용한 식각공정으로 제 2 메탈(23)을 선택적으로 제거하여 상기 제 1 메탈라인(17)상측에서 비아홀을 통해 제 1 메탈라인(17)과 연결되는 제 2 메탈라인(23a)들을 형성한다.

이후, 잔존하는 감광제(25)만을 제거한다.

이어, 도 1c에 도시한 바와같이 다시 평탄화공정을 실시하게 되는데 상기 평탄화공정은 다음과 같이 이루어진다.

즉, 제 2 메탈라인(23a)들을 포함한 반도체기판(11)전면에 제 3 TEOS층(19b)을 형성한 후 제 3 TEOS층(19b)상에 제 2 SOG층(21a)을 형성한다.

그리고 제 2 SOG층(21a)을 에치백하여 제 2 메탈라인(23a)들에 의해 발생되는 단차를 개선시킨다.

따라서 제 2 메탈라인(23a)들 사이에서 발생되는 단차는 제 2 SOG층(21a)에 의해 미량이나마 개선된다.

이후, 제 2 SOG층(21a) 및 제 3 TEOS층(19b)을 포함한 반도체기판(11)전면에 제 4 TEOS층(19c)을 형성한다.

그리고 도면에는 도시되지 않았지만 후공정에서 형성될 제 3 메탈라인과 제 2 메탈라인(23a)과의 전기적인 접촉을 위하여 상기 제 2 메탈라인(23a)상측의 제 4 TEOS층(19c) 및 제 3 TEOS층(19b)을 포토리소그래피(photolithography)공정을 통해 선택적으로 제거하여 비아홀을 형성한다.

이어, 도 1d에 도시한 바와같이 상기 비아홀을 포함한 반도체기판(11)전면에 제 3 메탈층(27)을 형성한다.

그리고 제 3 메탈층(27)을 포함한 전면에 감광제(25a)를 도포한다.

이후, 노광 및 현상공정을 실시하는데 노광공정은 다음과 같이 이루어진다.

먼저, 노광장치에서 초점을 설정함에 있어 단차가 가장 높은곳과 반대로 가장 낮은곳의 중간부분에서 노광되도록 초점을 설정한다.

초점이 설정되었으면 노광을 실시하고 이후 노광이 완료되면 현상공정을 수행한다.

도 2a는 초점설정시 단차가 가장 높은곳에 설정할 경우에 발생되는 패턴의 단락을 도시한 것이고 도 2b는 단차가 가장 낮은곳에 초점을 설정할 경우 패턴의 왜곡상태를 도시한 것이다.

도 2a에 도시한 바와같이 제 2 메탈라인(23a)과 제 3 메탈층(27)에 의해 단차가 발생되는데 상기 제 2 메탈라인(23a)이 없는 부분의 제 3 메탈층(27)과, 상기 제 2 메탈라인(23a)상의 제 3 메탈층(27)을 비교할 경우 서로 단차를 갖게된다.

이러한 경우 단차가 가장 높은곳에 노광시 초점을 설정할 경우 상기 단차가 가장 높은곳의 포토레지트스(25a)는 정확하게 제거되지만 상대적으로 가장 낮은부위의 감광제(25a)는 정확하게 제거되지 않고 일부가 단락되게 된다.

그리고 도 2b에 도시한 바와같이 가장 낮은곳에 초점을 설정할 경우 도 2a에서와 같이 제거되어야 할 부분의 감광제(25a)가 제거되지 않게 되는 현상은 발생하지 않으나 패터닝된 감광제(25a)가 왜곡을 갖게된다.

발명이 이루고자 하는 기술적 과제

그러나 이와같은 종래 반도체소자의 배선 형성방법은 다음과 같은 문제점이 있었다.

첫째, 노광시 단차를 가지는 웨이퍼에 미세패턴을 형성하기 위해서 단차가 높은곳에 초점을 맞추면 단차가 낮은 곳이 단락되고 반대로 단차가 낮은곳에 초점을 맞추면 단차가 높은곳의 감광제 패턴에 왜곡이 발생된다.

둘째, 첫 번째 문제점을 해결하기 위해 단차가 높은곳과 낮은곳의 중간부위에 초점을 맞추어야 하는데 이는 초점의 폭을 감소시켜 공정의 변화에 따른 융통성이 감소되므로 공정진행이 어렵게 된다.

본 발명은 상기한 문제점을 해결하기 위해 안출한 것으로서 더미패턴을 이용하여 단차를 개선시켜 미세패턴에 따른 패턴의 단락 및 패턴의 왜곡을 방지하는데 적당한 반도체소자의 배선 형성방법을 제공하는데

그 목적이 있다.

발명의 구성 및 작용

상기의 목적을 달성하기 위한 본 발명의 반도체소자의 배선 형성방법은 부분적으로 형성된 복수개의 소자들에 의해 단차를 갖는 반도체기판상에 제 1 절연층을 형성하는 공정과, 상기 소자 상측의 제 1 절연층상에 제 1 메탈라인을 형성하는 공정과, 제 1 메탈라인을 포함한 반도체기판 전면에 복수개의 절연층을 형성하여 평탄화시키는 공정과, 상기 제 1 메탈라인 상측의 절연층상에 제 2 메탈층을 형성한 후 선택적으로 제거하여 제 1 메탈라인을 형성하고, 상기 제 1 메탈라인에 의해 가장 심하게 단차가 발생되는 부위에 더미패턴을 형성하는 공정과, 상기 더미패턴 및 제 1 메탈라인을 포함한 반도체기판 전면을 평탄화시키는 공정을 포함하여 이루어진다.

먼저, 본 발명의 반도체소자 배선 형성방법은 웨이퍼 프로세싱 과정의 후반부에서 평탄화과정을 거치더라도 소자의 설계특성에 따라 각 메탈라인들간의 단차로 인하여 초점심도를 잘못 설정하거나 허용범위 부족으로 인하여 감광제 패턴이 단락 또는 왜곡되게 되는데 이를 개선시키기 위해 평탄화공정전에 단차가 심한 부분에 더미패턴을 형성하여 초점심도의 마진을 확보하고 미세패턴의 단락 또는 왜곡을 방지하고자 한 것이다.

이하, 본 발명에 따른 반도체소자의 배선 형성방법을 첨부된 도면을 참조하여 설명하기로 한다.

도 3a 내지 3d는 본 발명에 따른 반도체소자의 배선 형성방법을 설명하기 위한 공정단면도이다.

먼저, 도 3a에 도시한 바와같이 부분적으로 형성된 복수개의 소자(33)들에 의해 단차가 발생된 반도체기판(31)상에 제 1 절연층(35)을 형성한다.

이때 제 1 절연층(35)의 물질은 BPSG(Borophosphorsilicate Glass)이다.

여기서 도면에 도시되지는 않았지만 게이트 및 각종소자가 반도체기판(31)상에 부분적으로 형성되므로 인해 전체적으로 단차가 발생된다.

도 3a에서와 같이 제 1 절연층(35)상에 메탈을 증착한 후 선택적으로 제거하여 제 1 메탈라인(37)들은 형성한다.

제 1 메탈라인(37)들을 형성한 후 제 1 메탈라인(37)들을 포함한 반도체기판(31)전면에 제 2 절연층(39)과 제 3 절연층(41)을 차례로 형성한다.

그리고 제 3 절연층(41)을 에치백하여 단차가 심한곳에만 남기고 상기 제 1 메탈라인(37)상측의 제 2 절연층(39)상의 제 3 절연층(41)은 모두 제거한다.

이때 제 2 절연층(39)의 물질은 TEOS(Tetra-ethyl-ortho-silicate)이고 제 3 절연층(41)의 물질은 SOG(Spin On Glass)이다.

이어 제 2, 제 3 절연층(39,41)을 포함한 반도체기판(31)전면에 제 4절연층(39a)을 형성하여 평탄화공정을 수행한다.

이때 제 4 절연층(39a)의 물질은 TEOS이다.

그리고 도면에는 도시되지 않았지만 제 1 메탈라인(37)상측의 제 2 절연층(39)과 제 4 절연층(39a)을 선택적으로 제거하여 비아홀을 형성시킨 후 비아홀을 포함한 반도체기판(31)전면에 제 2 메탈(43)을 증착한다.

이어 제 2 메탈(43)상부에 감광제(45)를 도포한다.

이때 사용되는 감광제(45)는 포토레지스트이다.

상기 감광제(45)를 노광시키기 위해 노광마스크를 형성함에 있어서 제 1 메탈라인(37)과 후공정에서 형성될 제 2 메탈라인에 의해 단차가 발생되는데 이중 가장 심하게 단차가 발생되는 부분에 더미패턴을 형성하기 위한 마스크를 동시에 형성한다.

상기 더미패턴을 형성하기 위한 마스크가 함께 형성된 노광마스크를 이용하여 감광제(45)를 노광시켜 감광제(45)를 패터닝한다.

이어, 패터닝된 감광제(45)를 마스크로 이용한 식각공정으로 상기 제 2 메탈(23)를 선택적으로 제거하여 도 3b에 도시한 바와같이 제 2 메탈라인(43a)과 더미패턴(43b)을 형성한다.

그리고 상기 감광제(45)를 제거한 후 도 3c에 도시한 바와같이 평탄화공정을 수행한다.

여기서 평탄화공정은 다음과 같이 이루어진다.

먼저, 제 2 메탈라인(43a)과 더미패턴(43b)을 포함한 반도체기판(11)전면에 제 5 절연층(39b)을 형성하고 제 5 절연층(39b)상에 제 6 절연층(41a)을 차례로 증착한다.

이때 상기 제 5 절연층(39b)의 물질은 TEOS이고 제 6 절연층(41a)의 물질은 SOG이다.

이와같이 형성된 제 6 절연층(41a)을 에치백공정을 실시한 후 다시 전면에 제 7 절연층(39c)을 형성한다.

이때 제 7 절연층(39c)의 물질은 TEOS이다.

그리고 도면에 도시되지는 않았지만 상기 제 2 메탈라인(43a)상측의 제 7 절연층(39c)과 제 5 절연층(39b)을 소정부분 제거하여 비아홀을 형성한다.

이때 상기 제 2 메탈라인(43a)상측에는 제 6 절연층(41a)이 존재하지 않는데 이는 에치백공정을 통해 제

거되었기 때문이다.

그리고 상기 비아홀은 제 2 메탈라인(43a)과 후공정에서 형성될 제 3 메탈라인과의 전기적연결을 위한 것이다.

이어, 도 3d에 도시한 바와같이 상기 비아홀을 포함한 반도체기판(11)전면에 제 3 메탈층(47)을 형성한다.

그리고 제 3 메탈층(47)상에 감광제(49)를 도포한다.

이때 상기 더미패턴(43b)에 의해 단차발생의 정도가 현저하게 개선된다.

단차발생의 정도가 개선된다는 것은 감광제(49)를 노광시킬 때 초점심도가 증가될 뿐만 아니라 패터닝 공정이 완료된 감광제(49)가 왜곡되거나 단락되는 것을 현저하게 감소된다는 것을 의미한다.

발명의 효과

이상 상술한 바와같이 본 발명의 반도체소자 배선 형성방법은 다음과 같은 효과가 있다.

첫째, 최종적으로 메탈라인을 형성함에 있어 반도체기판상의 단차를 최소화하므로서 미세패턴의 단락을 방지한다.

둘째, 단차가 최소화되므로 노광공정시 초점심도를 증가시켜 미세패턴의 왜곡을 방지한다.

(57) 청구의 범위

청구항 1

부분적으로 형성된 복수개의 소자들에 의해 단차를 갖는 반도체기판상에 제 1 절연층을 형성하는 공정과,

상기 소자 상측의 제 1 절연층상에 제 1 메탈라인을 형성하는 공정과,

제 1 메탈라인을 포함한 반도체기판 전면에 복수개의 절연층을 형성하여 평탄화시키는 공정과,

상기 제 1 메탈라인 상측의 절연층상에 제 2 메탈층을 형성한 후 선택적으로 제거하여 제 1 메탈라인을 형성하고, 상기 제 1 메탈라인에 의해 가장 심하게 단차가 발생되는 부위에 더미패턴을 형성하는 공정과,

상기 더미패턴 및 제 1 메탈라인을 포함한 반도체기판 전면을 평탄화시키는 공정을 포함하여 이루어지는 것을 특징으로 하는 반도체소자의 배선 형성방법.

청구항 2

제 1 항에 있어서,

상기 평탄화시키는 공정은

하측의 메탈라인을 포함한 전면에 TEOS층을 형성하는 공정과,

상기 TEOS층상에 SOG층을 형성하는 공정과,

상기 SOG층을 에치백한 후 전면에 다시 TEOS층을 형성하는 공정을 더 포함하여 이루어지는 것을 특징으로 하는 반도체소자의 배선 형성방법.

청구항 3

제 1 항에 있어서,

상기 더미패턴 형성공정은

제 1 메탈라인을 형성한 후 절연층을 형성하여 평탄화를 실시하는 공정과,

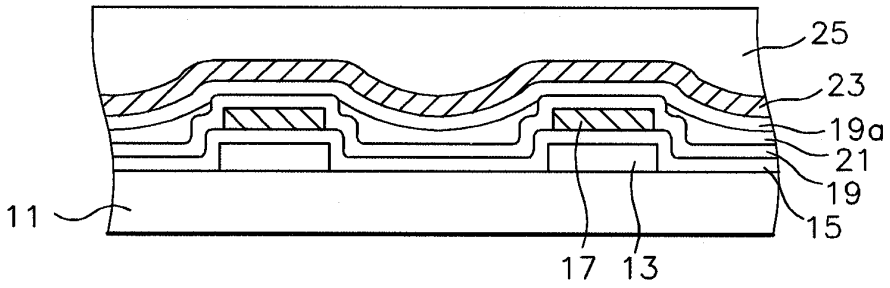
상기 절연층상에 제 2 메탈층을 형성한 후 제 2 메탈층상에 감광제를 도포하는 공정과,

상기 제 2 메탈라인 및 더미패턴 형성용 노광마스크를 이용하여 감광제를 패터닝하는 공정과,

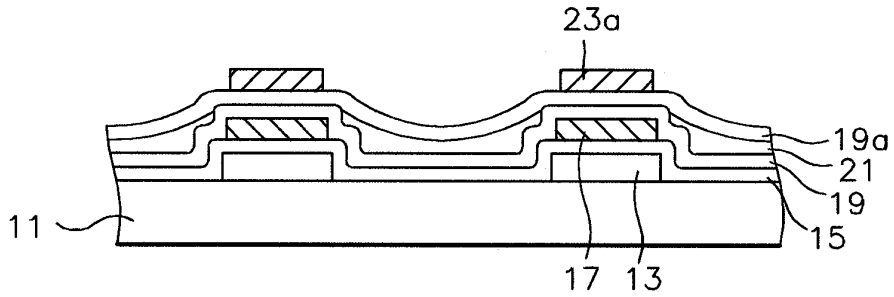
패터닝된 노광마스크를 이용한 식각공정으로 상기 제 2 메탈층을 선택적으로 제거하여 제 2 메탈라인 및 더미패턴을 형성하는 공정을 더 포함하여 이루어지는 것을 특징으로 하는 반도체소자의 배선 형성방법.

도면

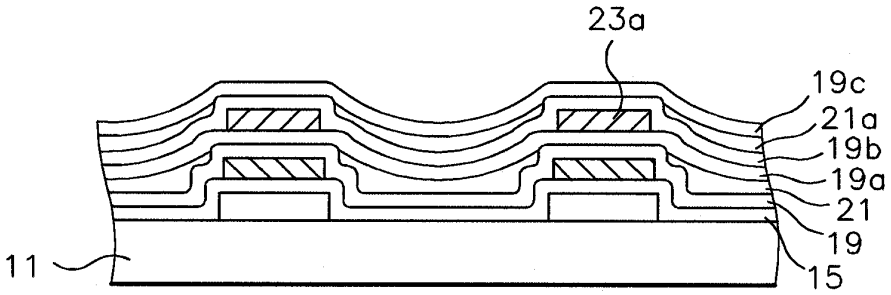
도면1a



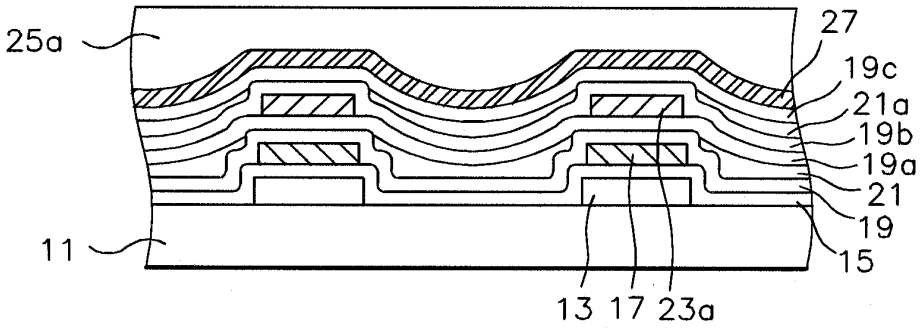
도면1b



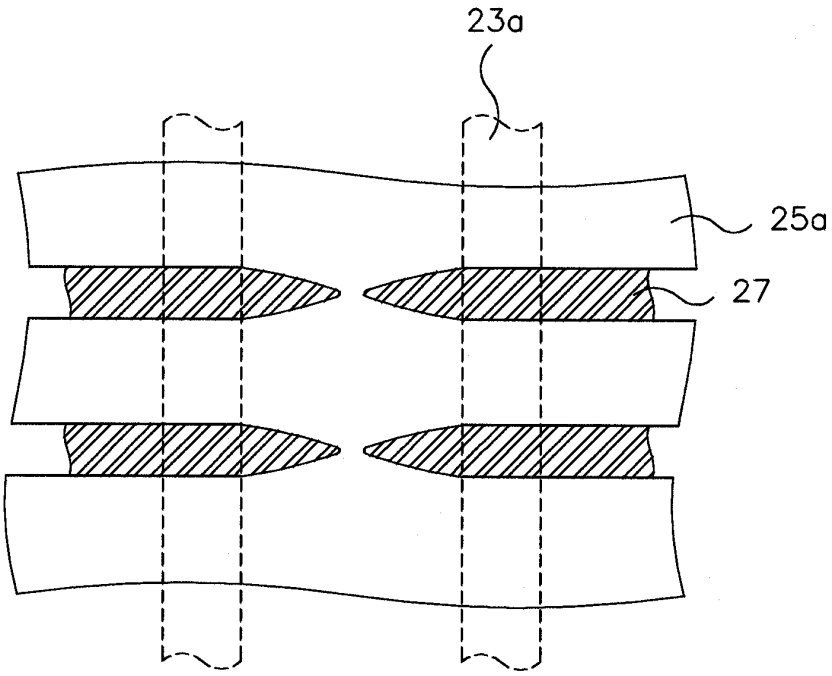
도면1c



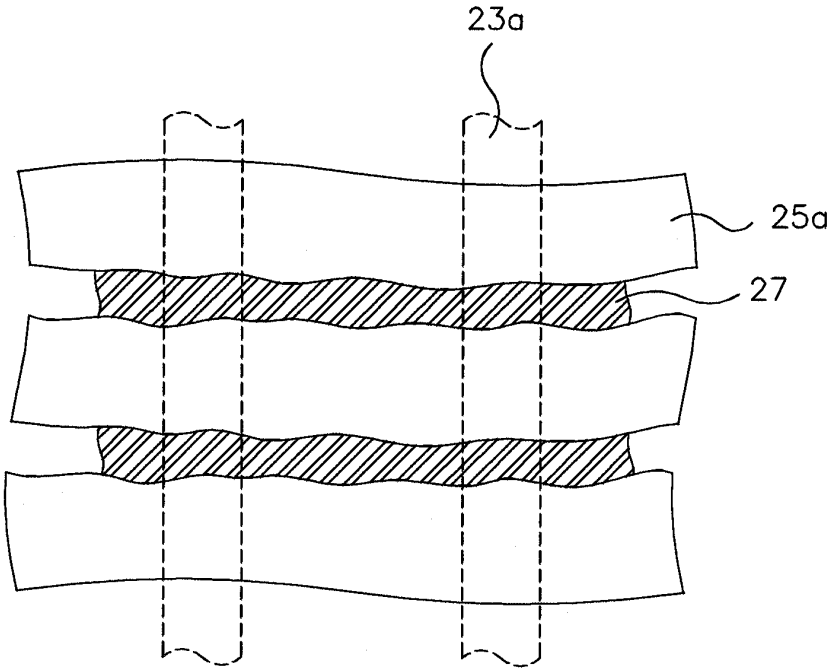
도면1d



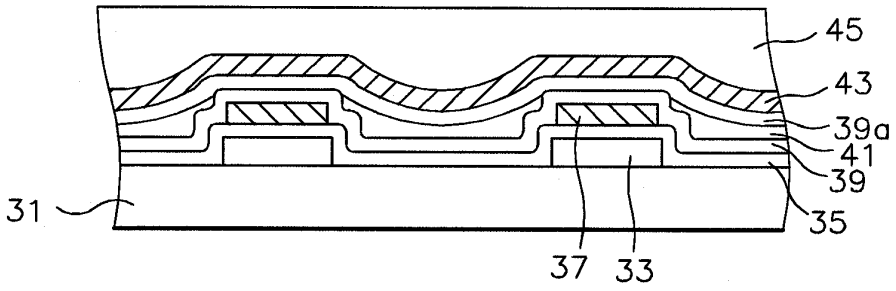
도면2a



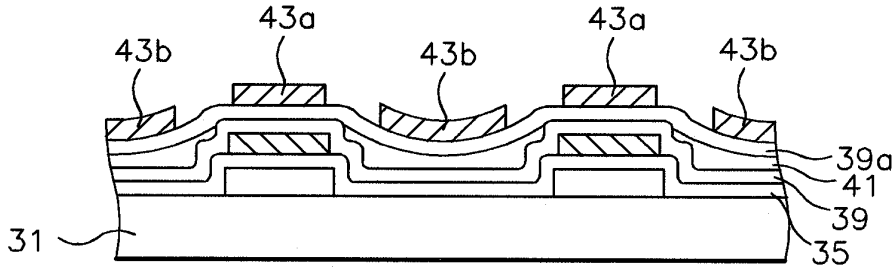
도면2b



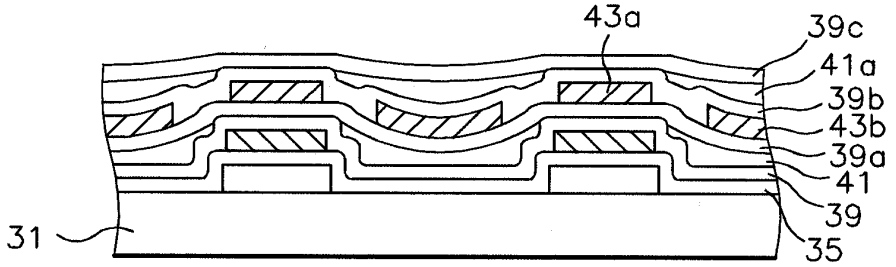
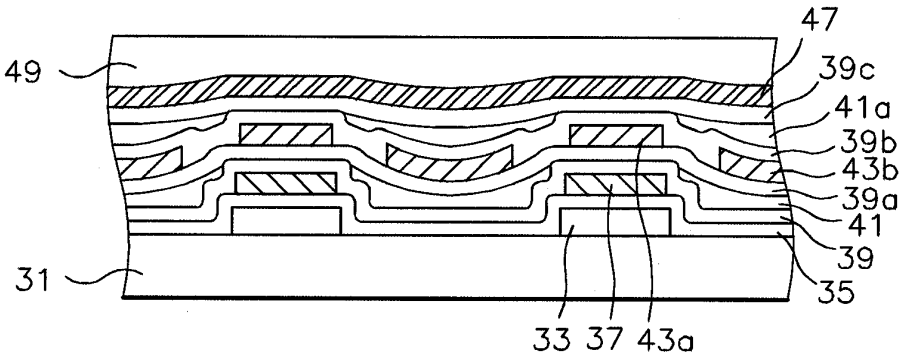
도면3a



도면3b



도면3c



도면3d