

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2021-150511
(P2021-150511A)

(43) 公開日 令和3年9月27日(2021.9.27)

| (51) Int.Cl. | F I | テーマコード (参考) |
|---------------------------|----------------------|-------------|
| HO 1 L 27/11582 (2017.01) | HO 1 L 27/11582 | 5 F 0 3 3 |
| HO 1 L 27/00 (2006.01) | HO 1 L 27/00 3 O 1 C | 5 F 0 4 8 |
| HO 1 L 27/11575 (2017.01) | HO 1 L 27/11575 | 5 F 0 8 3 |
| HO 1 L 27/11573 (2017.01) | HO 1 L 27/11573 | 5 F 1 0 1 |
| HO 1 L 21/336 (2006.01) | HO 1 L 29/78 3 7 1 | |

審査請求 未請求 請求項の数 12 O L (全 25 頁) 最終頁に続く

(21) 出願番号 特願2020-49532 (P2020-49532)
(22) 出願日 令和2年3月19日 (2020.3.19)

(71) 出願人 318010018
キオクシア株式会社
東京都港区芝浦三丁目1番21号

(74) 代理人 100119035
弁理士 池上 徹真

(74) 代理人 100141036
弁理士 須藤 章

(74) 代理人 100178984
弁理士 高下 雅弘

(72) 発明者 佐貫 朋也
東京都港区芝浦三丁目1番21号 キオクシア株式会社内

(72) 発明者 中塚 圭祐
東京都港区芝浦三丁目1番21号 キオクシア株式会社内

最終頁に続く

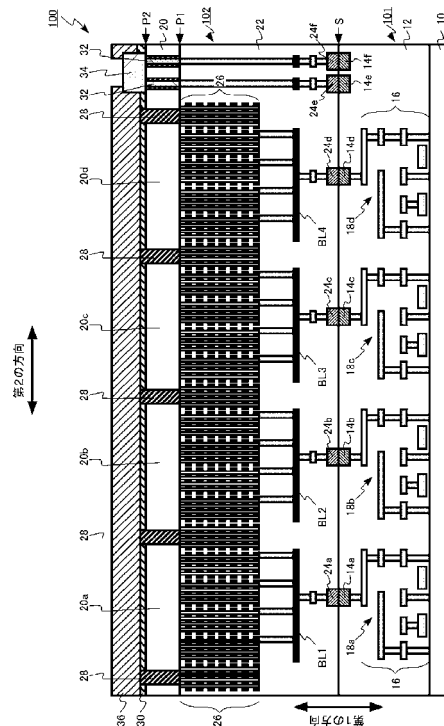
(54) 【発明の名称】 半導体記憶装置

(57) 【要約】 (修正有)

【課題】 それぞれに集積回路が形成された2枚のウェハを貼り合わせることにより高い機能を実現する半導体記憶装置を提供する。

【解決手段】 半導体記憶装置であるフラッシュメモリ100は、制御チップ101と、メモリチップ102を含む。制御チップ101は、第1の半導体基板10、第1の層間領域12、複数の第1の金属パッド14a~14f及び制御回路16を含む。制御回路16は、第1~第4のセンスアンプ回路18a~18dを含む。メモリチップ102は、第2の半導体基板20、第2の層間領域22、複数の第2の金属パッド24a~24f、メモリセルアレイ26、素子分離絶縁層28、裏面絶縁層30、貫通電極32、ターミナルパッド34、パッシベーション膜36、第1~第4のビット線BL1~BL4、第1~第8のプレーン、ワード線コンタクト領域及びターミナルパッド領域を含む。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 の半導体基板と、
 第 1 のパッドと、
 第 2 のパッドと、
 半導体回路と、
 を含む第 1 のチップと、
 第 2 の半導体基板と、
 前記第 1 のパッドに接する第 3 のパッドと、
 前記第 2 のパッドに接する第 4 のパッドと、
 前記第 2 の半導体基板と前記第 1 のチップとの間に設けられたメモリセルアレイであっ
 て、
 第 1 の方向に、互いに離間して繰り返し配置された複数のゲート電極層を含み、前記第
 1 の方向に垂直な第 2 の方向に第 1 の幅を有し、前記第 2 の方向に第 1 の間隔で離間して
 繰り返し配置された複数の積層体と、
 前記積層体の中に設けられ、前記第 1 の方向に延び、前記第 1 の方向に垂直な面内にお
 いて、規則的に配置された複数の半導体層と、
 前記複数の半導体層の内の少なくとも一つと、前記複数のゲート電極層の内の少なくと
 も一つとの間に設けられた電荷蓄積層と、
 を含むメモリセルアレイと、
 前記メモリセルアレイと前記第 1 のチップとの間に設けられ、前記第 2 の方向に延び、
 前記複数の半導体層の内の一つである第 1 の半導体層に電氣的に接続された第 1 の配線と
 、
 前記メモリセルアレイと前記第 1 のチップとの間に設けられ、前記第 2 の方向に延び、
 前記第 1 の配線の延長線上に位置し、前記第 1 の配線と離間し、前記複数の半導体層の内
 の別の一つである第 2 の半導体層に電氣的に接続された第 2 の配線と、
 を含む第 2 のチップと、
 を備える半導体記憶装置。

【請求項 2】

前記第 1 の配線と前記第 2 の配線の間部分と、前記第 2 の半導体基板との間に、前記
 複数の積層体の内の少なくとも一つが位置する請求項 1 記載の半導体記憶装置。

【請求項 3】

前記第 1 の配線と前記第 2 の配線の間距離は、前記第 1 の幅の 3 倍よりも小さい請求
 項 2 記載の半導体記憶装置。

【請求項 4】

前記第 1 の配線と前記第 2 の配線の間部分と、前記第 2 の半導体基板との間に、前記
 複数の積層体の内の隣り合う 2 つの積層体の間部分が位置し、前記第 1 の配線と前記第
 2 の配線の間距離は、前記第 1 の幅よりも小さい請求項 1 記載の半導体記憶装置。

【請求項 5】

前記第 1 の配線と前記第 2 の配線の間距離は、前記第 1 の間隔よりも小さい請求項 4
 記載の半導体記憶装置。

【請求項 6】

前記第 1 の配線は前記第 3 のパッドに電氣的に接続され、前記第 2 の配線は前記第 4 の
 パッドに電氣的に接続される請求項 1 ないし請求項 5 いずれか一項記載の半導体記憶装置
 。

【請求項 7】

前記第 1 のパッド及び前記第 2 のパッドは前記半導体回路に電氣的に接続される請求項
 1 ないし請求項 6 いずれか一項記載の半導体記憶装置。

【請求項 8】

前記第 2 の半導体基板は、第 1 の半導体領域と、前記第 1 の半導体領域と離間した第 2

10

20

30

40

50

の半導体領域を有し、前記第 1 の半導体層は、前記第 1 の半導体領域に電氣的に接続され、前記第 2 の半導体層は前記第 2 の半導体領域に電氣的に接続される請求項 1 ないし請求項 7 いずれか一項記載の半導体記憶装置。

【請求項 9】

前記第 1 の半導体領域は、前記第 2 の半導体基板の前記メモリセルアレイの側の第 1 の面から、前記第 2 の半導体基板の前記メモリセルアレイの反対側の第 2 の面まで連続する第 1 の絶縁層で囲まれる請求項 8 記載の半導体記憶装置。

【請求項 10】

前記第 2 の半導体領域は、前記第 1 の面から、前記第 2 の面まで連続する第 2 の絶縁層で囲まれ、前記第 1 の絶縁層と前記第 2 の絶縁層は離間する請求項 9 記載の半導体記憶装置。

10

【請求項 11】

前記第 1 の半導体領域に電氣的に接続される前記半導体層を含む前記メモリセルアレイの第 1 の領域は、メモリ動作上、第 1 のプレーンに含まれ、

前記第 2 の半導体領域に電氣的に接続される前記半導体層を含む前記メモリセルアレイの第 2 の領域は、メモリ動作上、前記第 1 のプレーンと異なる第 2 のプレーンに含まれる請求項 8 記載の半導体記憶装置。

【請求項 12】

前記半導体回路は、第 1 のセンスアンプ回路と第 2 のセンスアンプ回路とを、更に含み、

20

前記第 1 のセンスアンプ回路は、前記第 1 のパッドに電氣的に接続され、

前記第 2 のセンスアンプ回路は、前記第 2 のパッドに電氣的に接続される請求項 1 ないし請求項 11 いずれか一項記載の半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、半導体記憶装置に関する。

【背景技術】

【0002】

貼合技術は、それぞれに集積回路が形成された 2 枚のウェハを貼り合わせることにより、高機能又は高集積の半導体デバイスを実現する。例えば、メモリセルアレイが形成された半導体ウェハと、メモリセルアレイを制御する制御回路が形成された半導体ウェハを貼り合わせる。その後、貼り合わされた半導体ウェハを、ダイシングにより複数のチップに分割することで、高機能又は高集積の半導体メモリが実現できる。

30

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2019 - 140178 号明細書

【発明の概要】

【発明が解決しようとする課題】

40

【0004】

本発明が解決しようとする課題は、高い機能を実現する半導体記憶装置を提供することにある。

【課題を解決するための手段】

【0005】

実施形態の半導体記憶装置は、第 1 の半導体基板と、第 1 のパッドと、第 2 のパッドと、半導体回路と、を含む第 1 のチップと、第 2 の半導体基板と、前記第 1 のパッドに接する第 3 のパッドと、前記第 2 のパッドに接する第 4 のパッドと、前記第 2 の半導体基板と前記第 1 のチップとの間に設けられたメモリセルアレイであって、第 1 の方向に、互いに離間して繰り返し配置された複数のゲート電極層を含み、前記第 1 の方向に垂直な第 2 の

50

方向に第 1 の幅を有し、前記第 2 の方向に第 1 の間隔で離間して繰り返し配置された複数の積層体と、前記積層体の中に設けられ、前記第 1 の方向に延び、前記第 1 の方向に垂直な面内において、規則的に配置された複数の半導体層と、前記複数の半導体層の内の少なくとも一つと、前記複数のゲート電極層の内の少なくとも一つとの間に設けられた電荷蓄積層と、を含むメモリセルアレイと、前記メモリセルアレイと前記第 1 のチップとの間に設けられ、前記第 2 の方向に延び、前記複数の半導体層の内の一つである第 1 の半導体層に電氣的に接続された第 1 の配線と、前記メモリセルアレイと前記第 1 のチップとの間に設けられ、前記第 2 の方向に延び、前記第 1 の配線の延長線上に位置し、前記第 1 の配線と離間し、前記複数の半導体層の内の別の一つである第 2 の半導体層に電氣的に接続された第 2 の配線と、を含む第 2 のチップと、を備える。

10

【図面の簡単な説明】

【0006】

【図 1】第 1 の実施形態の半導体記憶装置の模式断面図。

【図 2】第 1 の実施形態の半導体記憶装置の配置図。

【図 3】第 1 の実施形態の半導体記憶装置の模式断面図。

【図 4】第 1 の実施形態の半導体記憶装置の模式断面図。

【図 5】第 1 の実施形態の半導体記憶装置の模式図。

【図 6】第 1 の実施形態の半導体記憶装置の配置図。

【図 7】第 1 の実施形態の半導体記憶装置の模式断面図。

【図 8】第 1 の実施形態の半導体記憶装置の製造方法を示す模式断面図。

20

【図 9】第 1 の実施形態の半導体記憶装置の製造方法を示す模式断面図。

【図 10】第 1 の実施形態の半導体記憶装置の製造方法を示す模式断面図。

【図 11】第 1 の実施形態の半導体記憶装置の製造方法を示す模式断面図。

【図 12】第 1 の実施形態の半導体記憶装置の製造方法を示す模式断面図。

【図 13】第 1 の実施形態の半導体記憶装置の製造方法を示す模式断面図。

【図 14】第 1 の実施形態の半導体記憶装置の製造方法を示す模式断面図。

【図 15】第 1 の実施形態の半導体記憶装置の製造方法を示す模式断面図。

【図 16】第 2 の実施形態の半導体記憶装置の模式図。

【図 17】第 2 の実施形態の半導体記憶装置の配置図。

【図 18】第 3 の実施形態の半導体記憶装置の模式図。

30

【図 19】第 4 の実施形態の半導体記憶装置の配置図。

【図 20】第 4 の実施形態の半導体記憶装置の変形例の配置図。

【発明を実施するための形態】

【0007】

以下、図面を参照しつつ本発明の実施形態を説明する。なお、以下の説明では、同一又は類似の部材などには同一の符号を付し、一度説明した部材などについては適宜その説明を省略する。

【0008】

また、本明細書中、便宜上「上」、又は、「下」という用語を用いる場合がある。「上」、又は、「下」とは、例えば、図面内での相対的位置関係を示す用語である。「上」、又は、「下」という用語は、必ずしも、重力に対する位置関係を規定する用語ではない。

40

【0009】

本明細書中の半導体記憶装置を構成する部材の化学組成の定性分析及び定量分析は、例えば、二次イオン質量分析法 (Secondary Ion Mass Spectrometry: SIMS)、エネルギー分散型 X 線分光法 (Energy Dispersive X-ray Spectroscopy: EDX) により行うことが可能である。また、半導体記憶装置を構成する部材の厚さ、部材間の距離等の測定には、例えば、透過型電子顕微鏡 (Transmission Electron Microscope: TEM) 又は走査型電子顕微鏡 (Scanning Electron Microscope: SEM) を用いることが可能である。

50

【 0 0 1 0 】

(第1の実施形態)

第1の実施形態の半導体記憶装置は、第1の半導体基板と、第1のパッドと、第2のパッドと、半導体回路と、を含む第1のチップと、第2の半導体基板と、第1のパッドに接する第3のパッドと、第2のパッドに接する第4のパッドと、第2の半導体基板と第1のチップとの間に設けられたメモリセルアレイであって、第1の方向に、互いに離間して繰り返し配置された複数のゲート電極層を含み、第1の方向に垂直な第2の方向に第1の幅を有し、第2の方向に第1の間隔で離間して繰り返し配置された複数の積層体と、積層体の中に設けられ、第1の方向に延び、第1の方向に垂直な面内において、規則的に配置された複数の半導体層と、複数の半導体層の内の少なくとも一つと、複数のゲート電極層の内の少なくとも一つとの間に設けられた電荷蓄積層と、を含むメモリセルアレイと、メモリセルアレイと第1のチップとの間に設けられ、第2の方向に延び、複数の半導体層の内の一つである第1の半導体層に電氣的に接続された第1の配線と、メモリセルアレイと第1のチップとの間に設けられ、第2の方向に延び、第1の配線の延長線上に位置し、第1の配線と離間し、複数の半導体層の内の別の一つである第2の半導体層に電氣的に接続された第2の配線と、を含む第2のチップと、を備える。

10

【 0 0 1 1 】

第1の実施形態の半導体記憶装置は、フラッシュメモリ100である。フラッシュメモリ100は、メモリセルを3次元的に配置した3次元NANDフラッシュメモリである。

【 0 0 1 2 】

図1は、第1の実施形態の半導体記憶装置の模式断面図である。図2は、第1の実施形態の半導体記憶装置の配置図である。図2には、フラッシュメモリ100のメモリチップ102のプレーン、メモリセルアレイ、ワード線コンタクト領域、及び、ターミナルパッド領域の配置が示される。図1は、図2のAA'断面である。

20

【 0 0 1 3 】

第1の実施形態のフラッシュメモリ100は、制御チップ101と、メモリチップ102を含む。制御チップ101は、第1のチップの一例である。メモリチップ102は、第2のチップの一例である。

【 0 0 1 4 】

制御チップ101は、第1の半導体基板10、第1の層間領域12、複数の第1の金属パッド14a、14b、14c、14d、14e、14f、及び、制御回路16を含む。制御回路16は、第1のセンスアンプ回路18a、第2のセンスアンプ回路18b、第3のセンスアンプ回路18c、及び、第4のセンスアンプ回路18dを含む。

30

【 0 0 1 5 】

第1の金属パッド14aは、第1のパッドの一例である。第1の金属パッド14bは、第2のパッドの一例である。制御回路16は、半導体回路の一例である。

【 0 0 1 6 】

以下、第1の金属パッド14a、14b、14c、14d、14e、14fを簡略化のため、単に、第1の金属パッド14a~14fと記述する場合がある。また、第1の金属パッド14a~14f、及び、これらと同様の機能を有する金属パッドを、総称して、単に、第1の金属パッド14と記述する場合がある。

40

【 0 0 1 7 】

メモリチップ102は、第2の半導体基板20、第2の層間領域22、複数の第2の金属パッド24a、24b、24c、24d、24e、24f、メモリセルアレイ26、素子分離絶縁層28、裏面絶縁層30、貫通電極32、ターミナルパッド34、パッシベーション膜36、第1のビット線BL1、第2のビット線BL2、第3のビット線BL3、第4のビット線BL4、第1のプレーンPL1、第2のプレーンPL2、第3のプレーンPL3、第4のプレーンPL4、第5のプレーンPL5、第6のプレーンPL6、第7のプレーンPL7、第8のプレーンPL8、ワード線コンタクト領域WLC、及び、ターミナルパッド領域TPを含む。

50

【 0 0 1 8 】

第2の金属パッド24 aは、第3のパッドの一例である。第2の金属パッド24 bは、第4のパッドの一例である。第1のビット線BL 1は、第1の配線の一例である。第2のビット線BL 2は、第2の配線の一例である。

【 0 0 1 9 】

以下、第2の金属パッド24 a、24 b、24 c、24 d、24 e、24 fを簡略化のため、単に、第2の金属パッド24 a～24 fと記述する場合がある。また、第2の金属パッド24 a～24 f、及び、これらと同様の機能を有する金属パッドを、総称して、単に、第2の金属パッド24と記述する場合がある。

【 0 0 2 0 】

また、第1のビット線BL 1、第2のビット線BL 2、第3のビット線BL 3、及び、第4のビット線BL 4、及び、これらと同様の機能を有するビット線を、総称して、単に、ビット線BLと記述する場合がある。

10

【 0 0 2 1 】

第2の半導体基板20は、第1のプレート領域20 a、第2のプレート領域20 b、第3のプレート領域20 c、及び、第4のプレート領域20 dを有する。第1のプレート領域20 aは、第1の半導体領域の一例である。第2のプレート領域20 bは、第2の半導体領域の一例である。

【 0 0 2 2 】

メモリセルアレイ26は、複数のワード線ブロックWLB、複数のチャンネル層40、及び、図1、2には、図示しない電荷蓄積層42を含む。複数のワード線ブロックWLBは、それぞれ、複数のワード線WLを含む。

20

【 0 0 2 3 】

メモリセルアレイ26は、第1の領域26 a、第2の領域26 b、第3の領域26 c、第4の領域26 d、第5の領域26 e、第6の領域26 f、第7の領域26 g、及び、第8の領域26 hを含む。

【 0 0 2 4 】

素子分離絶縁層28は、第1の絶縁層の一例である。

【 0 0 2 5 】

ワード線ブロックWLBは、積層体の一例である。チャンネル層40は、半導体層の一例である。ワード線WLは、ゲート電極層の一例である。

30

【 0 0 2 6 】

複数のチャンネル層40は、第1のチャンネル層40 a、第2のチャンネル層40 bを含む。複数のチャンネル層40は、半導体層の一例である。第1のチャンネル層40 aは、第1の半導体層の一例である。第2のチャンネル層40 bは、第2の半導体層の一例である。

【 0 0 2 7 】

図1に示すように、制御チップ101とメモリチップ102は、貼合面S (s t i c k i n g i n t e r f a c e) で接合している。

【 0 0 2 8 】

制御チップ101は、メモリチップ102を制御する機能を有する。

40

【 0 0 2 9 】

第1の半導体基板10は、例えば、単結晶シリコンである。

【 0 0 3 0 】

第1の半導体基板10とメモリチップ102との間に、制御回路16が設けられる。制御回路16は、複数のトランジスタ等の半導体素子、及び、半導体素子間を電氣的に接続する多層配線層を含む。

【 0 0 3 1 】

制御回路16には、第1のセンスアンプ回路18 a、第2のセンスアンプ回路18 b、第3のセンスアンプ回路18 c、及び、第4のセンスアンプ回路18 dが含まれる。第1のセンスアンプ回路18 a、第2のセンスアンプ回路18 b、第3のセンスアンプ回路1

50

8 c、及び、第4のセンスアンプ回路18 dは、メモリチップ102のメモリセルから読み出されるデータを増幅し、メモリセルのデータを検出する機能を有する。

【0032】

第1の層間領域12は、第1の半導体基板10のメモリチップ102側に設けられる。第1の層間領域12は、制御回路16の複数のトランジスタ等の半導体素子、及び、多層配線層の電氣的絶縁を確保する機能を有する。第1の層間領域12は、例えば、酸化シリコンを含む。

【0033】

第1の金属パッド14 a ~ 14 fは、第1の層間領域12のメモリチップ102側に設けられる。第1の金属パッド14 a ~ 14 fは、第1の層間領域12の中に設けられる。

10

【0034】

第1の半導体基板10と第1の金属パッド14 a ~ 14 fとの間に、制御回路16が設けられる。

【0035】

第1の金属パッド14 a ~ 14 fは、制御回路16に電氣的に接続される。第1の金属パッド14 aは、第1のセンスアンプ回路18 aに電氣的に接続される。第1の金属パッド14 bは、第2のセンスアンプ回路18 bに電氣的に接続される。第1の金属パッド14 cは、第3のセンスアンプ回路18 cに電氣的に接続される。第1の金属パッド14 dは、第4のセンスアンプ回路18 dに電氣的に接続される。

【0036】

20

第1の金属パッド14 a ~ 14 fは、第2の金属パッド24 a ~ 24 fに接する。第1の金属パッド14 a ~ 14 fは、制御チップ101とメモリチップ102とを電氣的に接続する機能を有する。

【0037】

第1の金属パッド14 a ~ 14 fは、例えば、銅(Cu)を含む。第1の金属パッド14 a ~ 14 fは、例えば、銅(Cu)である。

【0038】

図1に示すように、メモリチップ102は、第2の半導体基板20と制御チップ101との間にメモリセルアレイ26を有する。メモリセルアレイ26には、複数のメモリセルが3次的に積層されている。複数のメモリセルが3次的に配置されることにより、大容量のフラッシュメモリ100が実現できる。

30

【0039】

第2の半導体基板20は、第1の面P1と第2の面P2とを有する。第1の面P1は、メモリセルアレイ26側の面であり、第2の面P2は、メモリセルアレイ26と反対側の面である。

【0040】

第2の半導体基板20は、例えば、単結晶シリコンである。

【0041】

図1に示すように、メモリセルアレイ26と制御チップ101との間に、第1のビット線BL1、第2のビット線BL2、第3のビット線BL3、及び、第4のビット線BL4が設けられる。第1のビット線BL1 ~ BL4は、第2の方向に延びる。第1のビット線BL1 ~ BL4は、それぞれ離間している。

40

【0042】

ビット線BLは、メモリセルアレイ26のメモリセルからデータを読み出す機能を有する。ビット線BLは、例えば、金属である。ビット線BLは、例えば、タンゲステンや銅である。

【0043】

図2に示すように、メモリチップ102は、8個のプレーンを備える。メモリチップ102は、第1のプレーンPL1、第2のプレーンPL2、第3のプレーンPL3、第4のプレーンPL4、第5のプレーンPL5、第6のプレーンPL6、第7のプレーンPL7

50

、及び、第 8 のプレーン P L 8 を備える。

【 0 0 4 4 】

プレーンは、メモリ動作上、同一のプレーンに属する異なるメモリセルに対して、異なるコマンドの同時実行が制限される範囲である。同一のプレーンに属する異なるメモリセルに対しては、同時に異なるコマンドを実行することができない。例えば、同一のプレーンに属する異なるメモリセルに対しては、書き込みコマンド、読み出しコマンド、及び、消去コマンドの中の異なる 2 つのコマンドを同時に実行することができない。

【 0 0 4 5 】

例えば、第 1 のプレーン P L 1 に属する異なるメモリセルに対して、同時に異なるコマンドを実行することができない。一方、第 1 のプレーン P L 1 に属するメモリセルと、第 2 のプレーン P L 2 に属するメモリセルに対しては、異なるコマンドを実行することができる。したがって、プレーンの数を増やすことで、フラッシュメモリのバンド幅を広げることが可能となる。

10

【 0 0 4 6 】

第 1 のプレーン P L 1、第 2 のプレーン P L 2、第 3 のプレーン P L 3、及び、第 4 のプレーン P L 4 は、第 2 の方向に並んで配置される。メモリセルアレイ 2 6 は、第 1 のプレーン P L 1 と第 2 のプレーン P L 2 との境界、第 2 のプレーン P L 2 と第 3 のプレーン P L 3 との境界、及び、第 3 のプレーン P L 3 と第 4 のプレーン P L 4 との境界を跨いで、配置される。メモリセルアレイ 2 6 の中で、第 1 のプレーン P L 1、第 2 のプレーン P L 2、第 3 のプレーン P L 3、及び、第 4 のプレーン P L 4 に属する領域が、それぞれ、第 1 の領域 2 6 a、第 2 の領域 2 6 b、第 3 の領域 2 6 c、及び、第 4 の領域 2 6 d である。

20

【 0 0 4 7 】

第 5 のプレーン P L 5、第 6 のプレーン P L 6、第 7 のプレーン P L 7、及び、第 8 のプレーン P L 8 は、第 2 の方向に並んで配置される。メモリセルアレイ 2 6 は、第 5 のプレーン P L 5 と第 6 のプレーン P L 6 との境界、第 6 のプレーン P L 6 と第 7 のプレーン P L 7 との境界、及び、第 7 のプレーン P L 7 と第 8 のプレーン P L 8 との境界を跨いで、配置される。メモリセルアレイ 2 6 の中で、第 5 のプレーン P L 5、第 6 のプレーン P L 6、第 7 のプレーン P L 7、及び、第 8 のプレーン P L 8 に属する領域が、それぞれ、第 5 の領域 2 6 e、第 6 の領域 2 6 f、第 7 の領域 2 6 g、及び、第 8 の領域 2 6 h である。

30

【 0 0 4 8 】

メモリセルアレイ 2 6 の第 3 の方向には、ワード線コンタクト領域 W L C が設けられる。第 3 の方向は、第 1 の方向及び第 2 の方向に垂直な方向である。ワード線コンタクト領域 W L C には、ワード線 W L への電氣的接続を得るための構造が形成される。

【 0 0 4 9 】

第 1 のプレーン P L 1、第 2 のプレーン P L 2、第 3 のプレーン P L 3、第 4 のプレーン P L 4、第 5 のプレーン P L 5、第 6 のプレーン P L 6、第 7 のプレーン P L 7、及び、第 8 のプレーン P L 8 の第 2 の方向に、ターミナルパッド領域 T P を含む。ターミナルパッド領域 T P には、制御チップ 1 0 1 への電氣的接続を得るための構造が形成される。

40

【 0 0 5 0 】

図 1 に示す、貫通電極 3 2、及び、ターミナルパッド 3 4 が、ターミナルパッド領域 T P に設けられる。

【 0 0 5 1 】

図 3 は、第 1 の実施形態の半導体記憶装置の模式断面図である。図 3 は、図 1 の一部を拡大した図である。

【 0 0 5 2 】

メモリセルアレイ 2 6 は、複数のワード線ブロック W L B を含む。ワード線ブロック W L B は、第 1 の方向に互いに離間して繰り返し配置された複数のワード線 W L を含む。第 1 の方向は、第 2 の半導体基板 2 0 の第 1 の面 P 1 の法線方向である。

50

【 0 0 5 3 】

1 個のワード線ブロック W L B は、例えば、メモリ動作上の消去単位であるブロックを構成するが、それに限らず、ブロックは、複数のワード線ブロック W B L によって構成されても良い。

【 0 0 5 4 】

ワード線 W L は、メモリセルアレイ 2 6 に含まれるメモリセルトランジスタのゲート電極層として機能する。ワード線 W L とワード線 W L との間は、第 2 の層間領域 2 2 で電氣的に分離される。ワード線ブロック W L B とワード線ブロック W L B との間でワード線 W L は分割されている。

【 0 0 5 5 】

ワード線 W L は、導電層である。ワード線 W L は、例えば、金属である。ワード線 W L は、例えば、タングステンである。

【 0 0 5 6 】

ワード線ブロック W L B は、第 1 の方向に垂直な第 2 の方向に、一定の間隔で繰り返し配置される。

【 0 0 5 7 】

なお、ワード線ブロック W L B とワード線ブロック W L B との間に、図示しない板状の導電層を設けることも可能である。例えば、導電層を第 2 の半導体基板 2 0 に電氣的に接続させることで、メモリセルアレイ 2 6 の制御チップ 1 0 1 側から、第 2 の半導体基板 2 0 への電氣的導通を得ることが可能になる。

【 0 0 5 8 】

メモリセルアレイ 2 6 は、複数のチャンネル層 4 0 を含む。チャンネル層 4 0 は、ワード線ブロック W L B の中に設けられる。チャンネル層 4 0 は、第 1 の方向に延びる。チャンネル層 4 0 は、第 1 の方向に垂直な面内において、規則的に配置される。

【 0 0 5 9 】

チャンネル層 4 0 の一端は、第 2 の半導体基板 2 0 に電氣的に接続される。チャンネル層 4 0 の他端は、ビット線 B L に電氣的に接続される。チャンネル層 4 0 は、メモリセルアレイ 2 6 に含まれるメモリセルトランジスタのチャンネル領域として機能する。

【 0 0 6 0 】

チャンネル層 4 0 は、半導体である。チャンネル層 4 0 は、例えば、多結晶シリコンである。

【 0 0 6 1 】

第 1 のビット線 B L 1 は、第 2 の方向に延びる。第 1 のビット線 B L 1 は、複数のチャンネル層 4 0 の内の少なくとも一つである第 1 のチャンネル層 4 0 a に電氣的に接続される。第 1 のチャンネル層 4 0 a は、第 1 のプレート領域 2 0 a に電氣的に接続される。

【 0 0 6 2 】

また、第 2 のビット線 B L 2 は、第 2 の方向に延びる。第 2 のビット線 B L 2 は、複数のチャンネル層 4 0 の内の少なくとも一つである第 2 のチャンネル層 4 0 b に電氣的に接続される。第 2 のチャンネル層 4 0 b は、第 2 のプレート領域 2 0 b に電氣的に接続される。

【 0 0 6 3 】

図 4 は、第 1 の実施形態の半導体記憶装置の模式断面図である。図 4 は、メモリセルアレイ 2 6 の一部の模式断面図である。図 4 は、一つのワード線ブロック W L B の一部の模式断面図である。図 4 (a) は図 4 (b) の D D ' 断面、図 4 (b) は図 4 (a) の C C ' 断面である。図 4 (a) 中、点線枠で囲まれる領域が、1 個のメモリセル M C である。

【 0 0 6 4 】

電荷蓄積層 4 2 は、ワード線 W L とチャンネル層 4 0 との間に設けられる。電荷蓄積層 4 2 は、例えば、トンネル絶縁膜 4 2 a、電荷トラップ膜 4 2 b、及び、ブロック絶縁膜 4 2 c を有する。トンネル絶縁膜 4 2 a、電荷トラップ膜 4 2 b、及び、ブロック絶縁膜 4 2 c は、例えば、それぞれ酸化シリコン膜、窒化シリコン膜、酸化シリコン膜である。

【 0 0 6 5 】

10

20

30

40

50

電荷蓄積層 4 2 に蓄積される電荷の量に応じて、メモリセル M C のトランジスタの閾値電圧が変化する。この閾値電圧の変化を利用することで、1 個のメモリセル M C がデータを記憶することが可能となる。

【 0 0 6 6 】

チャンネル層 4 0 は、例えば、円柱状である。チャンネル層 4 0 は、例えば、内側に絶縁層が設けられた円筒状であっても構わない。

【 0 0 6 7 】

図 5 は、第 1 の実施形態の半導体記憶装置の模式図である。図 5 は、第 1 の方向に垂直な面から見た、ワード線 W L、ワード線ブロック W L B、チャンネル層 4 0、素子分離絶縁層 2 8、第 1 のビット線 B L 1、及び、第 2 のビット線 B L 2 の位置関係を示す。

10

【 0 0 6 8 】

図 5 は、図 2 中の領域 X の拡大図である。図 5 は、第 1 のプレーン P L 1 と第 2 のプレーン P L 2 との境界を含む図である。

【 0 0 6 9 】

ワード線ブロック W L B は、第 2 の方向に第 1 の幅 (図 5 中の $w 1$) を有する。ワード線ブロック W L B は、第 2 の方向に第 1 の間隔 (図 5 中の $d 1$) で離間して、繰り返し配置される。ワード線ブロック W L B は、第 2 の方向に一定の周期、すなわち、 $w 1 + d 1$ の周期で配置される。

【 0 0 7 0 】

ワード線ブロック W L B の周期的な配置は、メモリセルアレイ 2 6 の第 2 の方向の一方の端部から、他方の端部まで、保たれる。例えば、第 1 のプレーン P L 1 の端部から、第 4 のプレーン P L 4 の端部まで、各プレーンの中で途切れることなく、ワード線ブロック W L B の周期的な配置が保たれる。

20

【 0 0 7 1 】

チャンネル層 4 0 は、第 1 の方向に垂直な面内において、規則的に配置される。チャンネル層 4 0 は、ワード線ブロック W L B の中にある。

【 0 0 7 2 】

第 1 のビット線 B L 1 及び第 2 のビット線 B L 2 は、第 2 の方向に延びる。第 2 のビット線 B L 2 は、第 1 のビット線 B L 1 の延長線上にある。第 2 のビット線 B L 2 と、第 1 のビット線 B L 1 は離間する。第 2 のビット線 B L 2 と、第 1 のビット線 B L 1 は、物理的にも電気的にも分割されている。

30

【 0 0 7 3 】

分割された第 1 のビット線 B L 1 と第 2 のビット線 B L 2 との間の部分には、複数のワード線ブロック W L B の内の一つが位置する。第 1 のビット線 B L 1 と第 2 のビット線 B L 2 との間の部分と、第 2 の半導体基板 2 0 との間には、ワード線ブロック W L B が一つ存在する。

【 0 0 7 4 】

第 1 のビット線 B L 1 と第 2 のビット線 B L 2 との間の部分に位置するワード線ブロック W L B 中のチャンネル層 4 0 は、第 1 のビット線 B L 1 及び第 2 のビット線 B L 2 のいずれにも電気的に接続されない。第 1 のビット線 B L 1 と第 2 のビット線 B L 2 との間の部分に位置するワード線ブロック W L B 中のメモリセルは、メモリセルとして動作しない、いわゆるダミーセルである。

40

【 0 0 7 5 】

第 1 のビット線 B L 1 と第 2 のビット線 B L 2 との間の距離 (図 5 中の $d 2$) は、例えば、ワード線ブロック W L B の第 1 の幅 $w 1$ の 3 倍よりも小さい。第 1 のビット線 B L 1 と第 2 のビット線 B L 2 との間の距離 (図 5 中の $d 2$) は、例えば、ワード線ブロック W L B の第 1 の幅 $w 1$ の 2 倍よりも小さい。

【 0 0 7 6 】

第 1 のビット線 B L 1 は、第 1 のプレーン P L 1 に属する。第 2 のビット線 B L 2 は、第 2 のプレーン P L 2 に属する。

50

【 0 0 7 7 】

第1のビット線BL1は、制御チップ101の第1のセンスアンプ回路18aに電氣的に接続される。第2のビット線BL2は、制御チップ101の第2のセンスアンプ回路18bに電氣的に接続される。

【 0 0 7 8 】

第1のビット線BL1と第2のビット線BL2との間の部分に位置するワード線ブロックWLBの第2の半導体基板20の側に、素子分離絶縁層28が設けられる。例えば、第1のビット線BL1と第2のビット線BL2との間の部分に位置するワード線ブロックWLBの中の、少なくとも一部のチャンネル層40が、素子分離絶縁層28に接する。

【 0 0 7 9 】

図6は、第1の実施形態の半導体記憶装置の配置図である。図6には、フラッシュメモリ100のメモリチップ102の素子分離絶縁層の配置が示される。

【 0 0 8 0 】

素子分離絶縁層28は、メモリセルアレイ26の、第1の領域26a、第2の領域26b、第3の領域26c、第4の領域26d、第5の領域26e、第6の領域26f、第7の領域26g、及び、第8の領域26hを囲むように設けられる。素子分離絶縁層28は、格子状に設けられる。

【 0 0 8 1 】

図1に示すように、メモリチップ102の第2の半導体基板20は、第1のプレート領域20a、第2のプレート領域20b、第3のプレート領域20c、及び、第4のプレート領域20dを有する。第1のプレート領域20aと第2のプレート領域20bとの間、第2のプレート領域20bと第3のプレート領域20cとの間、第3のプレート領域20cと第4のプレート領域20dとの間は、素子分離絶縁層28で分離される。第1のプレート領域20aと第2のプレート領域20bとの間、第2のプレート領域20bと第3のプレート領域20cとの間、第3のプレート領域20cと第4のプレート領域20dとの間は、素子分離絶縁層28で物理的及び電氣的に分離される。

【 0 0 8 2 】

素子分離絶縁層28は、第2の半導体基板20のメモリセルアレイ26側の第1の面P1から、第2の半導体基板20のメモリセルアレイ26の反対側の第2の面P2まで連続して設けられる。素子分離絶縁層28は、第2の半導体基板20を貫通する。

【 0 0 8 3 】

素子分離絶縁層28は、絶縁体である。素子分離絶縁層28は、例えば、酸化シリコンである。

【 0 0 8 4 】

第1のプレート領域20a、第2のプレート領域20b、第3のプレート領域20c、及び、第4のプレート領域20dは、メモリ動作上、それぞれ、第1のプレーンPL1、第2のプレーンPL2、第3のプレーンPL3、及び、第4のプレーンPL4に属する。

【 0 0 8 5 】

図3に示すように、メモリセルアレイ26の第1の領域26aに含まれるチャンネル層40は、第1のプレート領域20aに電氣的に接続される。第1のプレート領域20aに電氣的に接続されるチャンネル層40に、第1のチャンネル層40aが含まれる。

【 0 0 8 6 】

また、メモリセルアレイ26の第2の領域26bに含まれるチャンネル層40は、第2のプレート領域20bに電氣的に接続される。第2のプレート領域20bに電氣的に接続されるチャンネル層40に、第2のチャンネル層40bが含まれる。

【 0 0 8 7 】

図1に示すように、第2の金属パッド24a~24fは、第2の層間領域22のメモリチップ102側に設けられる。第2の金属パッド24a~24fは、第2の層間領域22の中に設けられる。

【 0 0 8 8 】

10

20

30

40

50

第2の半導体基板20と第2の金属パッド24a~24fとの間に、メモリセルアレイ26が設けられる。

【0089】

第2の層間領域22は、第2の半導体基板20の制御チップ101側に設けられる。第2の半導体基板20は、制御チップ101との間に、第2の層間領域22を挟む。

【0090】

第2の層間領域22は、メモリセルアレイ26の電氣的絶縁を確保する機能を有する。第2の層間領域22は、例えば、酸化シリコンを含む。

【0091】

第2の金属パッド24a~24fは、メモリセルアレイ26に電氣的に接続される。第2の金属パッド24aは、第1のビット線BL1に電氣的に接続される。第2の金属パッド24bは、第2のビット線BL2に電氣的に接続される。第2の金属パッド24cは、第3のビット線BL3に電氣的に接続される。第2の金属パッド24dは、第4のビット線BL4に電氣的に接続される。

10

【0092】

第2の金属パッド24a~24fは、第1の金属パッド14a~14fに接する。第2の金属パッド24aは、第1の金属パッド14aに接する。第2の金属パッド24bは、第1の金属パッド14bに接する。第2の金属パッド24cは、第1の金属パッド14cに接する。第2の金属パッド24dは、第1の金属パッド14dに接する。

【0093】

第2の金属パッド24a~24fは、第1の金属パッド14a~14fに電氣的に接続される。第2の金属パッド24aは、第1の金属パッド14aに電氣的に接続される。第2の金属パッド24bは、第1の金属パッド14bに電氣的に接続される。第2の金属パッド24cは、第1の金属パッド14cに電氣的に接続される。第2の金属パッド24dは、第1の金属パッド14dに電氣的に接続される。

20

【0094】

第2の金属パッド24a~24fは、メモリチップ102と制御チップ101とを電氣的に接続する機能を有する。

【0095】

第2の金属パッド24a~24fは、例えば、銅(Cu)を含む。第2の金属パッド24a~24fは、例えば、銅(Cu)である。

30

【0096】

図7は、第1の実施形態の半導体記憶装置の模式断面図である。図7は、図2のBB'断面である。図7は、ワード線コンタクト領域WLCの断面図である。

【0097】

ワード線コンタクト領域WLCでは、メモリセルアレイ26から第3の方向に延びるワード線WLが、階段構造を形成している。第2の金属パッド24から延びる導電層により、第2の金属パッド24とワード線WLとが電氣的に接続される。第2の金属パッド24は、それぞれ、第1の金属パッド14に接する。

【0098】

メモリセルアレイ26の第2の半導体基板20側に、素子分離絶縁層28が設けられる。なお、素子分離絶縁層28が設けられる位置は、ビット線BLが接続されるチャネル層40よりチップ端部側であれば、特に、限定されない。例えば、素子分離絶縁層28が設けられる位置は、ワード線WLの階段構造の第2の半導体基板20側であっても構わない。

40

【0099】

裏面絶縁層30は、第2の半導体基板20の上に設けられる。裏面絶縁層30は、第2の半導体基板20の第2の面P2に接して設けられる。裏面絶縁層30は、例えば、酸化シリコンである。

【0100】

50

パッシベーション膜 36 は、裏面絶縁層 30 の上に設けられる。パッシベーション膜 36 は、裏面絶縁層 30 に接して設けられる。パッシベーション膜 36 は、例えば、ポリイミドである。

【0101】

次に、第 1 の実施形態の半導体記憶装置の製造方法の一例について説明する。図 8、図 9、図 10、図 11、図 12、図 13、図 14、図 15 は、第 1 の実施形態の半導体記憶装置の製造方法を示す模式断面図である。

【0102】

最初に、第 1 の半導体基板 10 の上に、複数の制御チップ 101 となる領域を有する第 1 のウェハ W1 を製造する (図 8)。制御チップ 101 となる領域には、制御回路 16 が形成される。第 1 のウェハ W1 の表面には、第 1 の金属パッド 14a ~ 14f が露出する。

10

【0103】

次に、第 2 の半導体基板 20 の上に、複数のメモリチップ 102 となる領域を有する第 2 のウェハ W2 を製造する (図 9)。メモリチップ 102 となる領域には、メモリセルアレイ 26 が形成される。第 2 のウェハ W2 の表面には、第 2 の金属パッド 24a ~ 24f が露出する。

【0104】

次に、第 1 のウェハ W1 と第 2 のウェハ W2 を、機械的圧力により貼り合わせる (図 10、図 11)。第 1 のウェハ W1 と第 2 のウェハ W2 を、第 1 の金属パッド 14a ~ 14f と第 2 の金属パッド 24a ~ 24f が接するように貼り合わせる。次に、第 1 のウェハ W1 と第 2 のウェハ W2 をアニールする。アニールの温度は、例えば、400 である。アニールにより、第 1 のウェハ W1 と第 2 のウェハ W2 とが接合する。

20

【0105】

次に、第 2 の半導体基板 20 を薄膜化した後、裏面絶縁層 30 を形成する (図 12)。第 2 の半導体基板 20 の薄膜化は、例えば、Chemical Mechanical Polishing 法 (CMP 法) を用いて行う。裏面絶縁層 30 の形成は、例えば、Chemical Vapor Deposition 法 (CVD 法) による膜の堆積を用いて行う。

【0106】

次に、第 2 の半導体基板 20 に開口部 50 を形成する (図 13)。開口部 50 は、例えば、リソグラフィ法によるパターンングと、Reactive Ion Etching 法 (RIE 法) によるエッチングを用いて行う。

30

【0107】

次に、開口部 50 に素子分離絶縁層 28 を形成する (図 14)。素子分離絶縁層 28 は、例えば、CVD 法による膜の堆積と、CMP 法による膜の平坦化により形成する。

【0108】

次に、公知のプロセス技術を用いて、貫通電極 32、及び、ターミナルパッド 34 を形成する (図 15)。貫通電極 32 の形成では、図 13 の半導体基板 20 に形成する開口部 50 と同時に RIE などで開口部を形成することもできる。また、貫通電極 32 の中の伝導体材料は、図 15 の Pad 電極 34 と同じ材料を同時に埋め込んで形成することもでき、伝導体材料は例えば Al などである。

40

【0109】

次に、裏面絶縁層 30 及びターミナルパッド 34 の上に、パッシベーション膜を形成する。その後、接合された第 1 のウェハ W1 と第 2 のウェハ W2 を、例えば、ブレードダイシングにより切断する。第 1 のウェハ W1 と第 2 のウェハ W2 とを切断することにより、図 1 に示す、制御チップ 101 とメモリチップ 102 とが接合されたフラッシュメモリ 100 のチップが、複数個製造される。

【0110】

次に、第 1 の実施形態の半導体記憶装置の作用及び効果について説明する。

50

【0111】

フラッシュメモリは、メモリセルアレイを多数のプレーンに分割することによりバンド幅を大きくすることが可能となる。しかし、プレーンの数が増えると、各プレーンを制御するセンスアンプ回路等の制御回路の数も増え、制御回路のチップ占有率が高くなる。したがって、メモリセルアレイのチップ占有率が低下し、メモリの大容量化が困難となる。

【0112】

第1の実施形態のフラッシュメモリ100は、製造に貼合技術を用いる。制御回路16とメモリセルアレイ26を、異なる2枚のウェハ上に製造した後、2枚のウェハを貼り合わせ、接合させる。接合された2枚のウェハをダイシングすることで、制御回路16を有する制御チップ101と、メモリセルアレイ26を有するメモリチップ102が上下に接合されたチップが製造される。

10

【0113】

メモリチップ102には、メモリセルアレイ26のみが形成される。したがって、プレーンの数が増えても、メモリセルアレイのチップ占有率の低下が抑制される。よって、バンド幅が広く、大容量のフラッシュメモリが実現できる。

【0114】

また、制御回路16をメモリセルアレイ26と異なるウェハ上に製造するため、熱工程の短いプロセスで制御回路16を形成することができる。このため、制御回路16を構成するトランジスタの微細化が可能になる。したがって、制御回路16の面積の縮小が容易になる。よって、プレーンの数が増え、各プレーンを制御するセンスアンプ回路等の制御回路の数が増えた場合でも、制御チップ101のサイズが増大することを抑制できる。

20

【0115】

メモリセルアレイを多数のプレーンに分割する場合、プレーン毎にビット線BLを分割することが必要となる。すなわち、プレーンを構成するメモリセルアレイと、別のプレーンを構成するメモリセルアレイとの境界で、ビット線BLを分割することが必要となる。

【0116】

例えば、メモリセルアレイを2つのプレーンの間の境界領域で分割する場合を考える。メモリセルアレイを境界領域で分割すると、境界領域の近傍でパターンの周期性が乱れる。このため、境界領域に隣り合うメモリセルアレイのパターン、例えば、チャンネル層形成のためのメモリホルのパターンの形状異常が生じやすくなる。したがって、境界領域に隣り合うメモリセルアレイに、メモリセルとして機能させないダミーセル領域を設ける必要が生じる。ダミーセル領域を設けることは、メモリとして機能するメモリセルアレイのチップ占有率を低下させるため、プレーンの数を多くする上での阻害要因となる。

30

【0117】

第1の実施形態のフラッシュメモリ100では、2つのプレーンの間の境界領域でメモリセルアレイを分割しない。言い換えれば、2つのプレーンの間で、メモリセルアレイの周期性を変化させない。

【0118】

具体的には、図5に示すように、第1のプレーンPL1と第2のプレーンPL2との境界で、メモリセルアレイ26の周期性が変化しない。第1のプレーンPL1に属するメモリセルアレイ26の第1の領域26aと、第2のプレーンPL2に属するメモリセルアレイ26の第2の領域26bとの間で、メモリセルアレイ26の周期性は変化しない。

40

【0119】

第1の領域26aから第2の領域26bの間で、ワード線ブロックWLBは、第1の方向に垂直な第2の方向に、一定の第1の幅w1を有し、一定の第1の間隔d1で繰り返し配置される。すなわち、ワード線ブロックWLBは、第2の方向に一定の周期、すなわち、 $w1 + d1$ の周期で配置される。

【0120】

第1のプレーンPL1に属する第1のビット線BL1と、第2のプレーンPL2に属する第2のビット線BL2は、パターンの周期性に変化がないメモリセルアレイ26の上で

50

分割される。

【0121】

第1のプレーンPL1と第2のプレーンPL2との境界で、メモリセルアレイ26は分割されず、メモリセルアレイ26の周期性は変化しない。このため、メモリセルアレイ26にダミーセル領域を設ける必要はない。したがって、プレーンの分割数を多くしても、メモリとして機能するメモリセルアレイ26のチップ占有率が低下することを抑制できる。よって、プレーンの数を多くすることが容易となる。

【0122】

第1の実施形態のフラッシュメモリ100は、第2の半導体基板20を貫通する素子分離絶縁層28を備える。第2の半導体基板20を貫通する素子分離絶縁層28を備えること
10
 ことで、第1のプレート領域20aと第2のプレート領域20bを短い距離で電氣的に分離することが可能となる。このため、第1のプレート領域20aと第2のプレート領域20bとの間の距離が小さくできる。したがって、プレーンとプレーンとの間の素子分離のために、メモリとして機能するメモリセルアレイ26のチップ占有率が低下することを抑制できる。よって、プレーンの数を多くすることが容易となる。

【0123】

以上、第1の実施形態によれば、プレーンの数を多くすることで、バンド幅が大きくなり、高い機能を実現する半導体記憶装置が提供できる。

【0124】

(第2の実施形態)

第2の実施形態の半導体記憶装置は、第1の配線と第2の配線の間部分と、第2の半導体基板との間に、複数の積層体の内の二つが位置し、第1の半導体領域は、第2の半導体基板のメモリセルアレイ側の第1の面から、第2の半導体基板のメモリセルアレイの反対側の第2の面まで連続する第1の絶縁層で囲まれ、第2の半導体領域は、第1の面から、第2の面まで連続する第2の絶縁層で囲まれ、第1の絶縁層と第2の絶縁層は離間する点で、第1の実施形態の半導体記憶装置と異なっている。以下、第1の実施形態と重複する内容については、一部記述を省略する。
20

【0125】

図16は、第2の実施形態の半導体記憶装置の模式図である。

【0126】

図16は、第1の方向に垂直な面から見た、ワード線WL、ワード線ブロックWLB、チャンネル層40、素子分離絶縁層28、第1のビット線BL1、及び、第2のビット線BL2の位置関係を示す。図16は、第1の実施形態の図5に対応する図である。
30

【0127】

図17は、第2の実施形態の半導体記憶装置の配置図である。図17には、メモリチップ102のプレーン、メモリセルアレイ、ワード線コンタクト領域、ターミナルパッド領域、及び、素子分離絶縁層の配置が示される。図17は、第1の実施形態の図6に対応する図である。

【0128】

図16は、図17中の領域Yの拡大図である。図16は、第1のプレーンPL1と第2のプレーンPL2との境界を含む図である。
40

【0129】

分割された第1のビット線BL1と第2のビット線BL2との間の部分には、複数のワード線ブロックWLBの内の二つが位置する。第1のビット線BL1と第2のビット線BL2との間の部分と、第2の半導体基板20の間には、ワード線ブロックWLBが二つ存在する。

【0130】

第1のビット線BL1と第2のビット線BL2との間の部分に位置する二つのワード線ブロックWLBの中のチャンネル層40は、第1のビット線BL1及び第2のビット線BL2のいずれにも電氣的に接続されない。第1のビット線BL1と第2のビット線BL2と
50

の間の部分に位置する二つのワード線ブロックWLBの中のメモリセルは、メモリセルとして動作しない、いわゆるダミーセルである。

【0131】

第1のビット線BL1と第2のビット線BL2との間の距離(図16中のd2)は、例えば、ワード線ブロックWLBの第1の幅w1の3倍よりも小さい。

【0132】

第1のビット線BL1と第2のビット線BL2との間の部分に位置する二つのワード線ブロックWLBの第2の半導体基板20の側に、第1の素子分離絶縁層28aと第2の素子分離絶縁層28bが設けられる。例えば、第1のビット線BL1と第2のビット線BL2との間の部分に位置するワード線ブロックWLBの中の、少なくとも一部のチャンネル層40が、第1の素子分離絶縁層28a又は第2の素子分離絶縁層28bに接する。

10

【0133】

図17に示すように、第1の素子分離絶縁層28aは、メモリセルアレイ26の、第1の領域26aを囲むように設けられる。第1の素子分離絶縁層28aは、枠状である。

【0134】

第2の素子分離絶縁層28bは、メモリセルアレイ26の、第2の領域26bを囲むように設けられる。第2の素子分離絶縁層28bは、枠状である。

【0135】

第1の素子分離絶縁層28aと第2の素子分離絶縁層28bは離間する。第1の素子分離絶縁層28aと第2の素子分離絶縁層28bは、分離されている。

20

【0136】

第1の実施形態の素子分離絶縁層28は、格子状である。素子分離絶縁層28が格子状の場合、3重点又は4重点が形状の特異箇所として存在する。このような、特異箇所では、素子分離絶縁層28の形状不良が生じやすい。

【0137】

第2の実施形態の第1の素子分離絶縁層28a及び第2の素子分離絶縁層28bは枠状であることにより、3重点又は4重点のような形状の特異箇所が存在しない。したがって、第1の素子分離絶縁層28a及び第2の素子分離絶縁層28bの形状不良は生じにくい。

【0138】

第3の素子分離絶縁層28c、第4の素子分離絶縁層28d、第5の素子分離絶縁層28e、第6の素子分離絶縁層28f、第7の素子分離絶縁層28g、及び、第8の素子分離絶縁層28hは、第1の素子分離絶縁層28a及び第2の素子分離絶縁層28bと同様の構成を備える。したがって、第1の素子分離絶縁層28a及び第2の素子分離絶縁層28bと同様の作用及び効果を有する。

30

【0139】

以上、第2の実施形態によれば、プレーンの数を多くすることで、バンド幅が大きくなり、高い機能を実現する半導体記憶装置が提供できる。また、形状不良の生じにくい半導体記憶装置が提供できる。

【0140】

(第3の実施形態)

第3の実施形態の半導体記憶装置は、第1の配線と第2の配線の間部分と、第2の半導体基板との間に、複数の積層体の内の隣り合う2つの積層体間の部分が位置し、第1の配線と第2の配線間の距離は、第1の幅よりも小さい点で、第1の実施形態の半導体記憶装置と異なっている。以下、第1の実施形態と重複する内容については、一部記述を省略する。

40

【0141】

図18は、第3の実施形態の半導体記憶装置の模式図である。

【0142】

図18は、第1の方向に垂直な面から見た、ワード線WL、ワード線ブロックWLB、

50

チャンネル層 40、素子分離絶縁層 28、第 1 のビット線 BL1、及び、第 2 のビット線 BL2 の位置関係を示す。図 18 は、第 1 の実施形態の図 5 に対応する図である。

【0143】

分割された第 1 のビット線 BL1 と第 2 のビット線 BL2 との間の部分には、複数のワード線ブロック WLB の内の隣り合う 2 つのワード線ブロック WLB の間の部分が位置する。第 1 のビット線 BL1 と第 2 のビット線 BL2 との間の部分と、第 2 の半導体基板 20 との間には、複数のワード線ブロック WLB の内の隣り合う 2 つのワード線ブロック WLB の間の部分が位置する。

【0144】

第 1 のビット線 BL1 と第 2 のビット線 BL2 との間の距離（図 18 中の d_2 ）は、例えば、ワード線ブロック WLB の第 2 の方向の第 1 の間隔（図 18 中の d_1 ）よりも小さい。

10

【0145】

第 1 のビット線 BL1 と第 2 のビット線 BL2 との間の部分の第 2 の半導体基板 20 の側に、素子分離絶縁層 28 が設けられる。隣り合う 2 つのワード線ブロック WLB の間の部分の第 2 の半導体基板 20 の側に、素子分離絶縁層 28 が設けられる。

【0146】

第 3 の実施形態では、第 1 のビット線 BL1 と第 2 のビット線 BL2 を分割する領域、言い換えれば、第 1 のプレーン PL1 と第 2 のプレーン PL2 の境界に、メモリセルとして動作しない、いわゆるダミーセルを設ける必要がない。したがって、メモリとして機能するメモリセルアレイ 26 のチップ占有率が低下することを抑制できる。よって、プレーンの数を多くすることが容易となる。

20

【0147】

以上、第 3 の実施形態によれば、プレーンの数を多くすることで、バンド幅が大きくなり、高い機能を実現する半導体記憶装置が提供できる。

【0148】

（第 4 の実施形態）

第 4 の実施形態の半導体記憶装置は、プレーンの数が異なる点で、第 1 ないし第 3 の半導体記憶装置と異なっている。以下、第 1 の実施形態と重複する内容については、一部記述を省略する。

30

【0149】

図 19 は、第 4 の実施形態の半導体記憶装置の配置図である。図 19 には、メモリチップ 102 のプレーン、メモリセルアレイ、ワード線コンタクト領域、ターミナルパッド領域、及び、素子分離絶縁層の配置が示される。図 19 は、第 1 の実施形態の図 6 に対応する図である。

【0150】

図 19 に示すように、メモリチップ 102 は、4 個のプレーンを備える。メモリチップ 102 は、第 1 のプレーン PL1、第 2 のプレーン PL2、第 3 のプレーン PL3、及び、第 4 のプレーン PL4 を備える。

【0151】

第 1 のプレーン PL1、第 2 のプレーン PL2 は、第 2 の方向に並んで配置される。メモリセルアレイ 26 は、第 1 のプレーン PL1 と第 2 のプレーン PL2 との境界を跨いで、配置される。メモリセルアレイ 26 の中で、第 1 のプレーン PL1、及び、第 2 のプレーン PL2 に属する領域が、それぞれ、第 1 の領域 26a、及び、第 2 の領域 26b である。

40

【0152】

第 3 のプレーン PL3、及び、第 4 のプレーン PL4 は、第 2 の方向に並んで配置される。メモリセルアレイ 26 は、第 3 のプレーン PL3 と第 4 のプレーン PL4 との境界を跨いで、配置される。メモリセルアレイ 26 の中で、第 3 のプレーン PL3、及び、第 4 のプレーン PL4 に属する領域が、それぞれ、第 3 の領域 26c、及び、第 4 の領域 26

50

dである。

【0153】

図20は、第4の実施形態の半導体記憶装置の変形例の配置図である。図20は、図19に対応する図である。

【0154】

第1の素子分離絶縁層28aは、メモリセルアレイ26の、第1の領域26aを囲むように設けられる。第1の素子分離絶縁層28aは、棒状である。

【0155】

第2の素子分離絶縁層28bは、メモリセルアレイ26の、第2の領域26bを囲むように設けられる。第2の素子分離絶縁層28bは、棒状である。

10

【0156】

第1の素子分離絶縁層28aと第2の素子分離絶縁層28bは離間する。第1の素子分離絶縁層28aと第2の素子分離絶縁層28bは、分断されている。

【0157】

第3の素子分離絶縁層28cは、メモリセルアレイ26の、第3の領域26cを囲むように設けられる。第3の素子分離絶縁層28cは、棒状である。

【0158】

第4の素子分離絶縁層28dは、メモリセルアレイ26の、第4の領域26dを囲むように設けられる。第4の素子分離絶縁層28dは、棒状である。

【0159】

第3の素子分離絶縁層28cと第4の素子分離絶縁層28dは離間する。第3の素子分離絶縁層28cと第4の素子分離絶縁層28dは、分断されている。

20

【0160】

以上、第4の実施形態及びその変形例によれば、プレーンの数を多くすることで、バンド幅が大きくなり、高い機能を実現する半導体記憶装置が提供できる。

【0161】

第1の実施形態ないし第4の実施形態において、メモリチップ102のプレーンの数が8個又は4個の場合を例に説明したが、プレーンの数は2個以上であれば、8個又は4個に限定されるものではない。

【0162】

第1の実施形態ないし第4の実施形態において、素子分離絶縁層28が、第2の半導体基板20を貫通する形態を例に説明したが、素子分離絶縁層が第2の半導体基板20を貫通しない形態とすることも可能である。

30

【0163】

第1の実施形態ないし第4の実施形態において、貼合面Sを定義している。フラッシュメモリの最終製品では、制御チップ101及びメモリチップ102の貼合面Sの位置が、明瞭に認識できない場合がある。しかし、例えば、第1の金属パッド14と第2の金属パッド24との位置ずれ等から、貼合面Sの位置は確定できる。

【0164】

以上、本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。例えば、一実施形態の構成要素を他の実施形態の構成要素と置き換え又は変更してもよい。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

40

【符号の説明】

【0165】

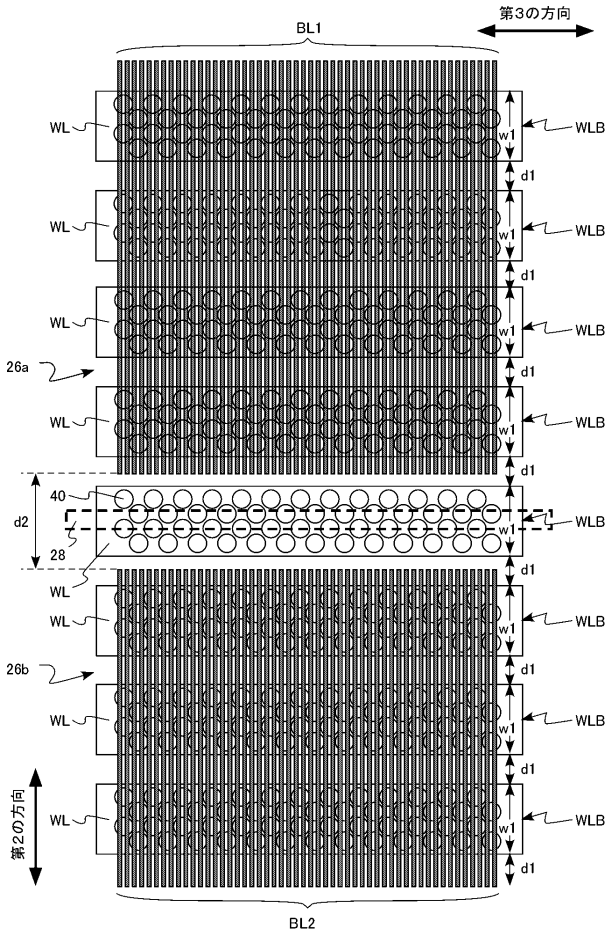
10 第1の半導体基板

14a 第1の金属パッド(第1のパッド)

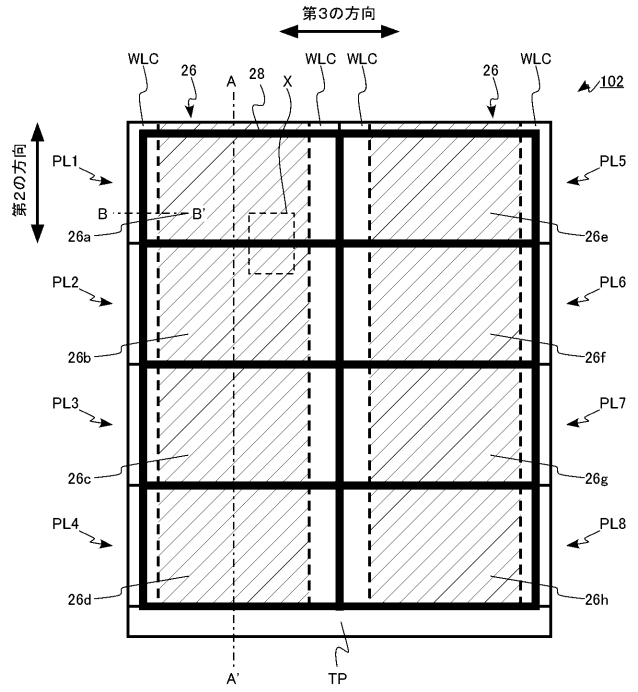
50

| | | |
|-------|----------------------------|----|
| 1 4 b | 第 1 の金属パッド (第 2 のパッド) | |
| 1 6 | 制御回路 (半導体回路) | |
| 1 8 a | 第 1 のセンスアンプ回路 | |
| 1 8 b | 第 2 のセンスアンプ回路 | |
| 2 0 | 第 2 の半導体基板 | |
| 2 0 a | 第 1 のプレート領域 (第 1 の半導体領域) | |
| 2 0 b | 第 2 のプレート領域 (第 2 の半導体領域) | |
| 2 4 a | 第 2 の金属パッド (第 3 のパッド) | |
| 2 4 b | 第 2 の金属パッド (第 4 のパッド) | |
| 2 6 | メモリセルアレイ | 10 |
| 2 6 a | 第 1 の領域 | |
| 2 6 b | 第 2 の領域 | |
| 2 8 | 素子分離絶縁層 (第 1 の絶縁層) | |
| 2 8 a | 第 1 の素子分離絶縁層 (第 1 の絶縁層) | |
| 2 8 b | 第 2 の素子分離絶縁層 (第 2 の絶縁層) | |
| 4 0 | チャンネル層 (半導体層) | |
| 4 0 a | 第 1 のチャンネル層 (第 1 の半導体層) | |
| 4 0 b | 第 2 のチャンネル層 (第 2 の半導体層) | |
| 4 2 | 電荷蓄積層 | |
| 1 0 0 | フラッシュメモリ (半導体記憶装置) | 20 |
| 1 0 1 | 制御チップ (第 1 のチップ) | |
| 1 0 2 | メモリチップ (第 2 のチップ) | |
| B L 1 | 第 1 のビット線 (第 1 の配線) | |
| B L 2 | 第 2 のビット線 (第 2 の配線) | |
| P 1 | 第 1 の面 | |
| P 2 | 第 2 の面 | |
| P L 1 | 第 1 のプレーン | |
| P L 2 | 第 2 のプレーン | |
| W L | ワード線 (ゲート電極層) | |
| W L B | ワード線ブロック (積層体) | 30 |
| w 1 | 第 1 の幅 | |
| d 1 | 第 1 の間隔 | |
| d 2 | 距離 | |

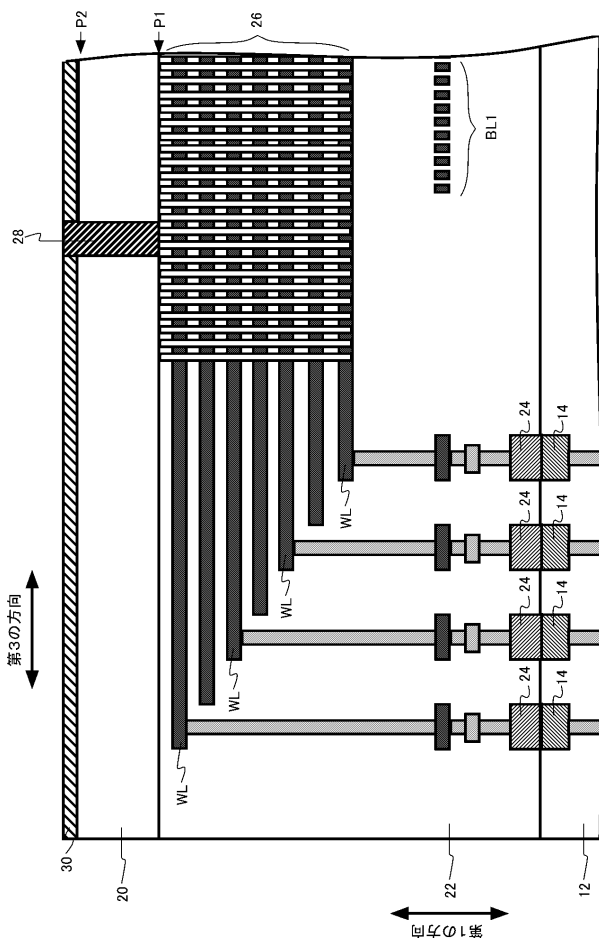
【 図 5 】



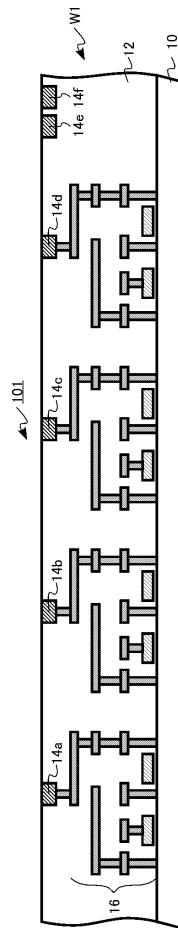
【 図 6 】



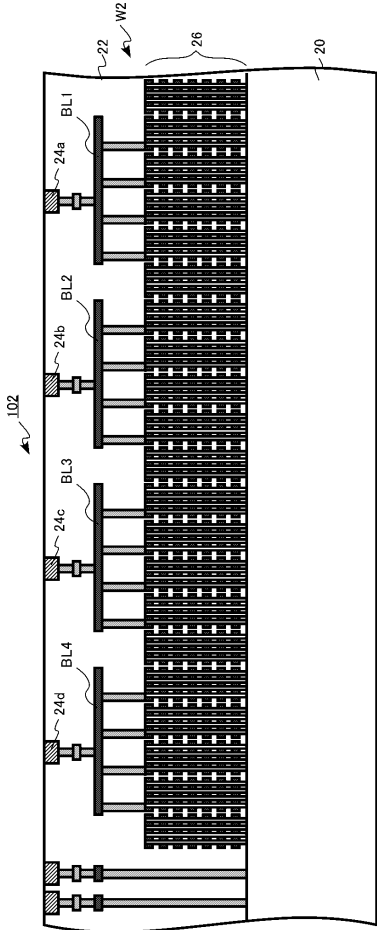
【 図 7 】



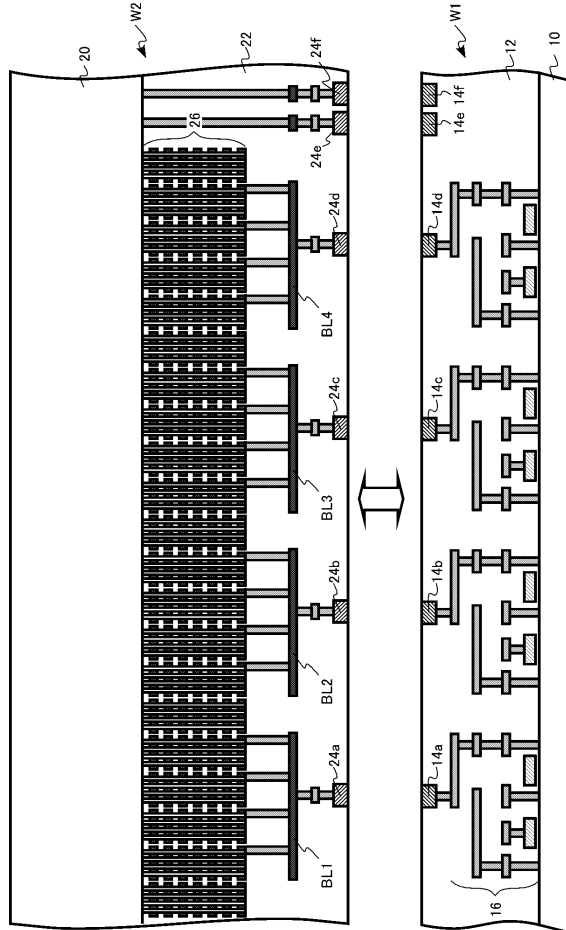
【 図 8 】



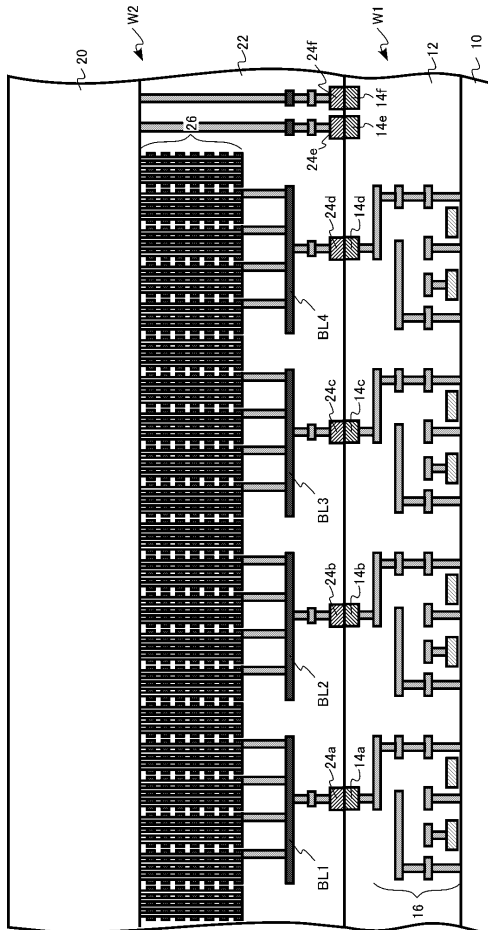
【 図 9 】



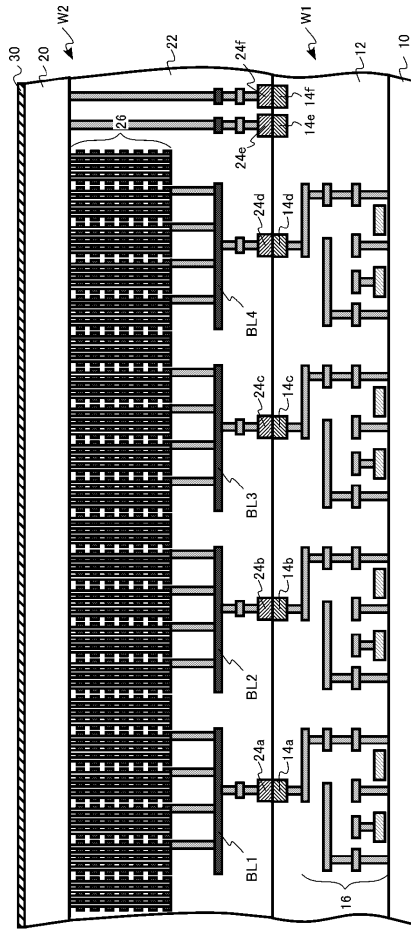
【 図 10 】



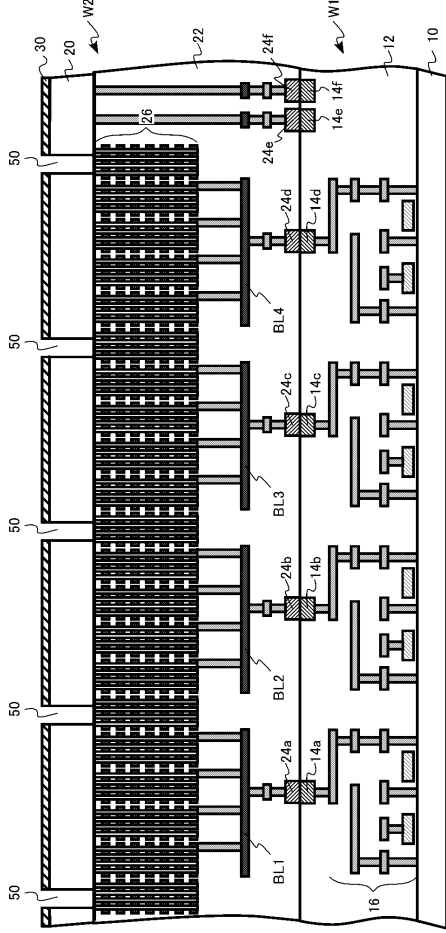
【 図 11 】



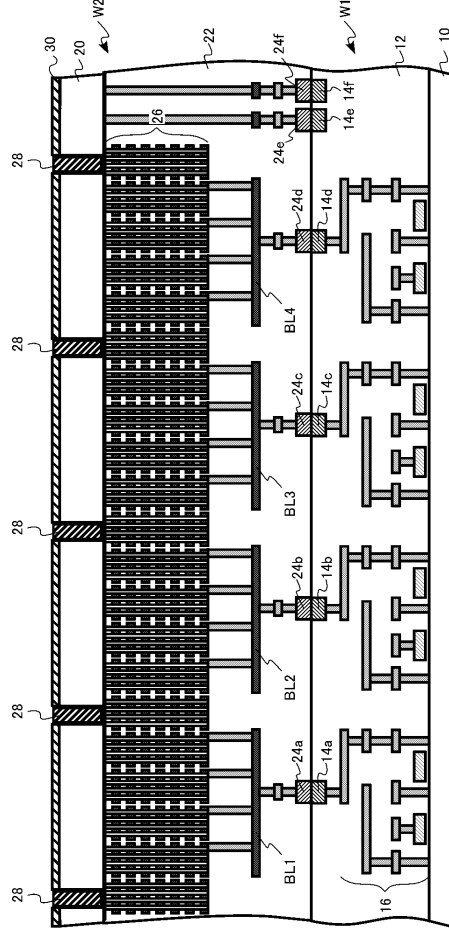
【 図 12 】



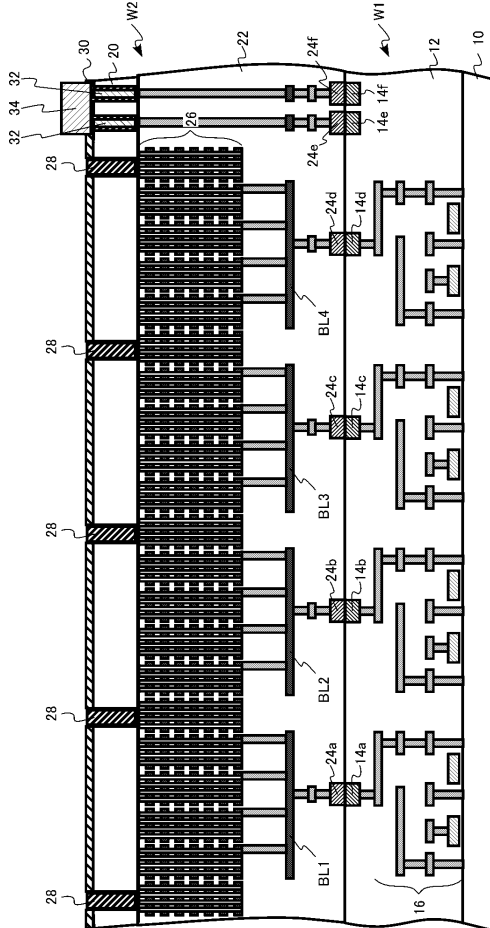
【図 13】



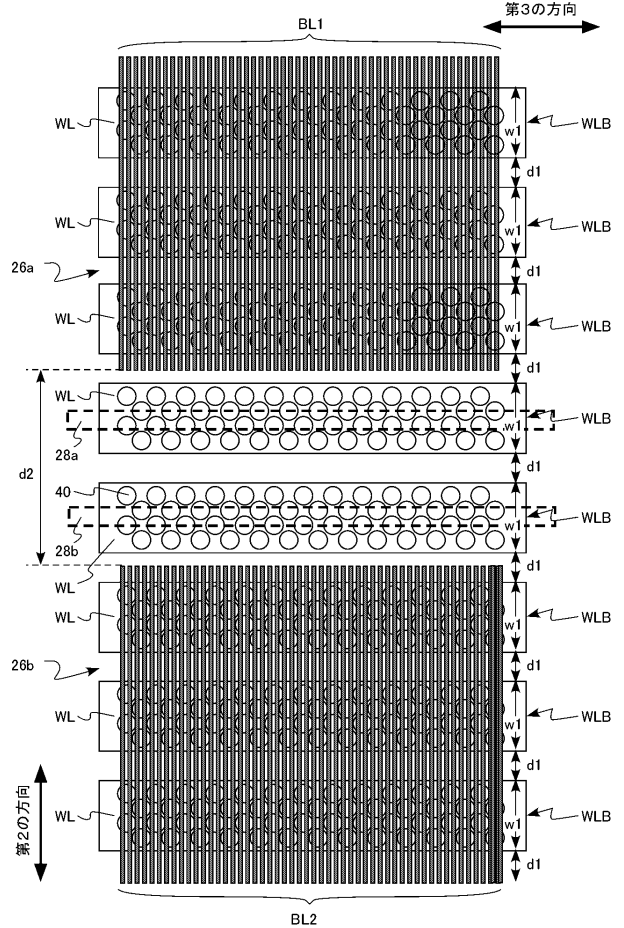
【図 14】



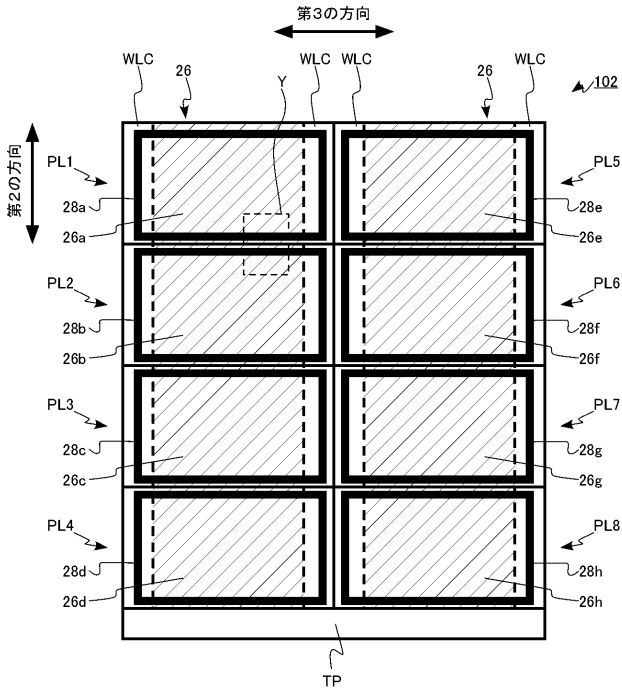
【図 15】



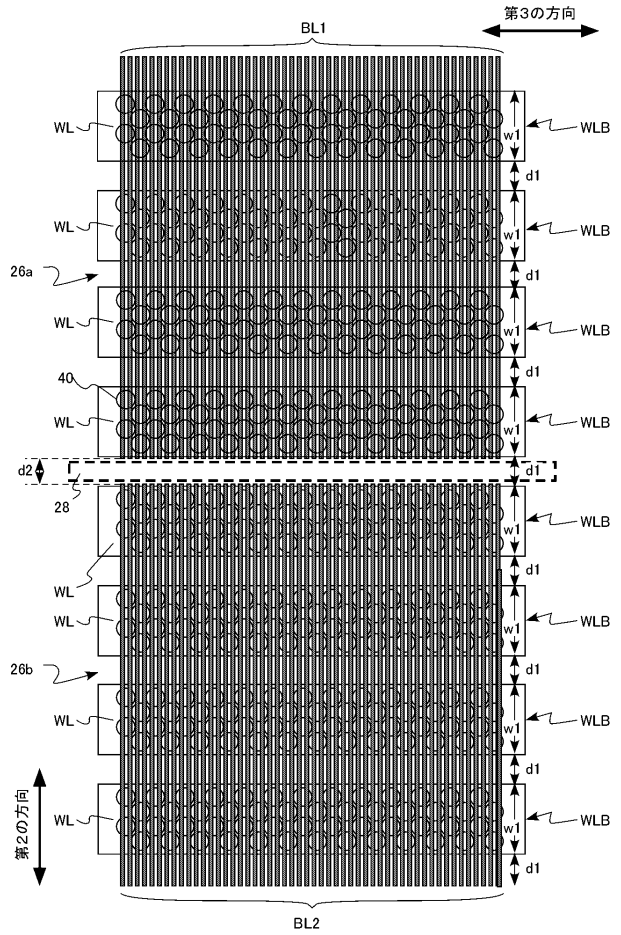
【図 16】



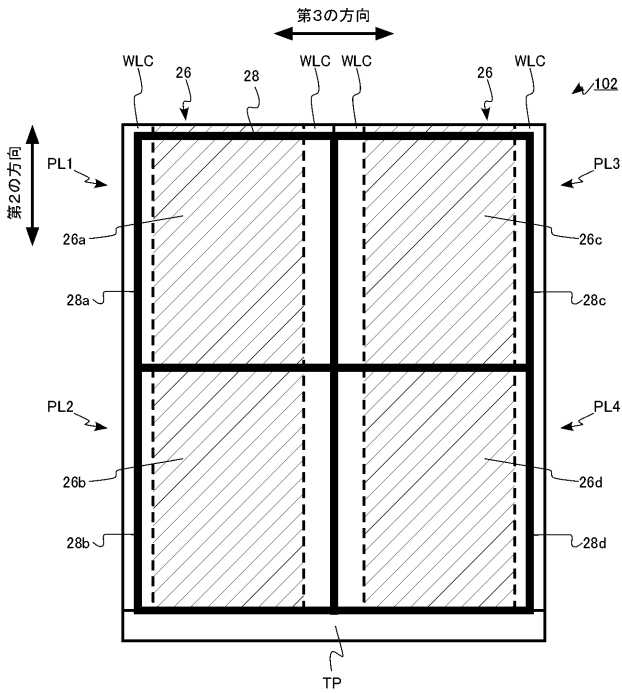
【 図 1 7 】



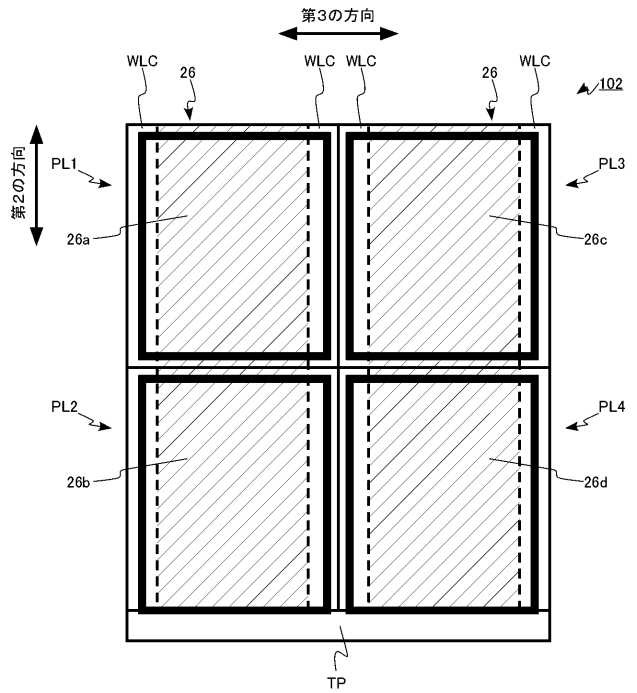
【 図 1 8 】



【 図 1 9 】



【 図 2 0 】



フロントページの続き

| (51)Int.Cl. | | F I | | テーマコード(参考) |
|-------------|---------|-----------|---------|------------|
| H 0 1 L | 29/788 | (2006.01) | H 0 1 L | 27/088 E |
| H 0 1 L | 29/792 | (2006.01) | H 0 1 L | 21/88 T |
| H 0 1 L | 21/8234 | (2006.01) | | |
| H 0 1 L | 27/088 | (2006.01) | | |
| H 0 1 L | 21/3205 | (2006.01) | | |
| H 0 1 L | 21/768 | (2006.01) | | |
| H 0 1 L | 23/522 | (2006.01) | | |

(72)発明者 前嶋 洋
東京都港区芝浦三丁目1番2号 キオクシア株式会社内

(72)発明者 吉井 謙一郎
東京都港区芝浦三丁目1番2号 キオクシア株式会社内

(72)発明者 前田 高志
東京都港区芝浦三丁目1番2号 キオクシア株式会社内

(72)発明者 和田 秀雄
東京都港区芝浦三丁目1番2号 キオクシア株式会社内

Fターム(参考) 5F033 HH08 HH11 MM30 QQ13 VV07 VV16
5F048 AA01 AB01 AC01 BA01 BA19 BA20 BB09 BB11 BC03 BC18
BD07 BF07 BF12 BF15 BF16 CB01 CB03 CB04
5F083 EP18 EP22 EP76 ER23 GA10 JA04 JA19 JA37 JA39 KA01
KA05 KA11 LA03 LA10 LA21 LA25 MA06 MA16 MA19 MA20
ZA28
5F101 BA45 BB02 BD16 BD30 BD34 BE02