

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷
H01L 21/336

(11) 공개번호 10-2005-0122477
(43) 공개일자 2005년12월29일

(21) 출원번호 10-2004-0047587
(22) 출원일자 2004년06월24일

(71) 출원인 주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136-1

(72) 발명자 최웅
서울특별시 광진구 구의2동 77-62 201호

(74) 대리인 특허법인아주

심사청구 : 없음

(54) 리세스 게이트를 갖는 트랜지스터의 제조 방법

요약

본 발명은 고집적화에 따른 디램 메모리 셀에 있어서, 리세스 영역과 게이트 패턴 형성 영역의 오정렬을 방지하여 소자의 특성을 안정화시키는 리세스 게이트를 갖는 트랜지스터의 제조 방법에 관한 것이다.

이는 반도체 기판 위에 패드 산화막 및 패드 질화막을 순차적으로 형성하여 소자분리영역을 정의하는 단계와, 소자분리영역의 실리콘 기판을 소정 깊이만큼 식각하여 제1 트렌치를 형성하는 단계와, 제1 트렌치 내에 캡필산화막을 매립하여 소자 분리막을 형성하는 단계와, 패드 질화막 위에 리세스 영역을 정의하는 감광막 패턴을 형성하는 단계와, 감광막 패턴을 마스크로 패드 질화막과 패드 산화막 및 반도체 기판의 일부분을 식각하여 제2 트렌치를 형성하는 단계와, 제2 트렌치의 내벽에 게이트 산화막을 형성하는 단계와, 게이트 산화막이 형성된 결과물 전면에 도전막을 형성하는 단계와, 도전막을 패드 질화막의 상부 표면이 드러나는 시점까지 화학기계적 연마하여 게이트 전극을 형성하는 단계와, 패드 질화막 및 패드 산화막을 제거하는 단계와, 게이트 전극의 측벽에 게이트 스페이서를 형성하는 단계를 포함한다.

대표도

도 1i

색인어

리세스게이트, 단채널효과, 리프레쉬, 오정렬, 다마신

명세서

도면의 간단한 설명

도 1a 내지 도 1i는 본 발명의 일 실시예에 따른 리세스 게이트를 갖는 트랜지스터의 제조 방법을 설명하기 위해 순차적으로 나타낸 공정 단면도이다.

- 도면의 주요부분에 대한 부호의 설명 -

- 100 : 반도체 기판 110 : 패드 산화막
- 120 : 패드 질화막 125 : 제1 감광막 패턴
- 130 : 제1 트렌치 140 : 소자 분리막
- 150 : 제2 감광막 패턴 160 : 제2 트렌치
- 170 : 게이트 산화막 185 : 게이트 전극
- 190 : 게이트 스페이서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 리세스 게이트를 갖는 트랜지스터의 제조 방법에 관한 것으로, 보다 상세하게는 고집적화에 따른 디램 메모리 셀에 있어서, 리세스 영역과 게이트 패턴 형성 영역의 오정렬을 방지하여 소자의 특성을 안정화하도록 하는 리세스 게이트를 갖는 트랜지스터의 제조 방법에 관한 것이다.

현재 디램 메모리 셀의 고집적화로 인하여 소자의 디자인 룰(design rule)이 감소됨에 따라, 셀 트랜지스터의 크기가 감소되어 트랜지스터의 채널 길이 또한 짧아지고 있다. 채널 길이가 짧아지게 되면, 트랜지스터의 단채널 효과(Short-Channel Effect)를 심화시켜 문턱 전압을 감소시킨다.

이에 따라, 종래에는 트랜지스터의 단채널 효과로 인하여 문턱 전압이 감소하는 것을 방지하기 위해 채널의 도핑 농도를 증가시켜 원하는 크기의 문턱전압을 얻었다.

그러나, 이러한 채널 도핑 농도의 증가는 소오스 접합부에서의 전계 집중 현상을 유발하고, 누설 전류를 증가시켜 디램 메모리 셀의 리프레쉬 특성을 악화시키는 문제가 있다.

따라서, 이를 해결하기 위한 방안으로 최근에는 리세스 게이트(recess gate)를 갖는 트랜지스터에 대한 연구가 집중되고 있다.

일반적인 종래 리세스 게이트를 갖는 트랜지스터의 제조 방법은 먼저, 실리콘 기판 위에 소자분리막을 형성하여 소자 분리 영역과 활성 영역을 구분 한 다음, 활성 영역의 기판 위에 게이트의 리세스 영역을 정의하는 마스크를 형성하고, 이를 식각 마스크로 실리콘 기판을 소정 두께만큼 식각하여 트렌치를 형성한다. 그리고, 기판 위에 일반적인 게이트 형성 공정 즉, 게이트 산화막, 게이트 전극 및 하드 마스크를 순차 적층한 다음, 그 위에 트렌치와 중첩하도록 게이트 형성 영역을 정의하는 마스크를 형성하고, 이를 식각 마스크로 하드 마스크, 게이트 전극 및 게이트 산화막을 식각하여 게이트 패턴을 형성한다. 그 다음, 게이트 패턴의 측벽에 게이트 스페이서를 형성한다.

앞서 설명한 바와 같이, 종래 기술에 의해 제조된 리세스 게이트를 갖는 트랜지스터는 활성 영역의 게이트 형성 영역에 대응하는 위치의 실리콘 기판 내에 소정 깊이를 가지는 트렌치를 가짐으로써, 채널의 길이가 트렌치의 프로파일을 따라 길게 형성하여 소자의 고집적화에 따른 단채널 효과의 발생을 최소화하고 있다.

그러나, 종래 리세스 게이트를 갖는 트랜지스터의 제조 방법은 제1 마스크 공정에 의해 기판 내에 리세스 하기 위한 트렌치를 먼저 형성한 다음, 트렌치가 형성된 기판에 제2 마스크 공정을 진행하여 트렌치와 중첩하는 게이트 패턴을 형성하는 바, 이와 같이, 두 번에 걸친 마스크 공정은 디램 메모리 셀의 고집적화로 인하여 상기 트렌치 위에 정확히 일치되게 게이트 패턴을 정렬시키는데 어려움이 있다. 즉, 상기 트렌치와 게이트 패턴이 오정렬되어 소자의 특성이 불안정해지는 문제가 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명이 이루고자 하는 기술적 과제는 고집적화에 따른 디램 메모리 셀에 있어서, 리세스 영역과 게이트 패턴 형성 영역을 다마신 방법에 의해 정렬시켜 소자의 특성을 안정화시킬수 있는 리세스 게이트를 갖는 트랜지스터의 제조 방법을 제공하기 위한 것이다.

발명의 구성 및 작용

상기한 목적을 달성하기 위해 본 발명은 반도체 기판 위에 패드 산화막 및 패드 질화막을 순차적으로 형성하여 소자분리영역을 정의하는 단계와, 상기 소자분리영역의 실리콘 기판을 소정 깊이만큼 식각하여 제1 트렌치를 형성하는 단계와, 상기 제1 트렌치 내에 캡필산화막을 매립하여 소자 분리막을 형성하는 단계와, 상기 패드 질화막 위에 리세스 영역을 정의하는 감광막 패턴을 형성하는 단계와, 상기 감광막 패턴을 마스크로 상기 패드 질화막과 패드 산화막 및 반도체 기판의 일부분을 식각하여 제2 트렌치를 형성하는 단계와, 상기 제2 트렌치의 내벽에 게이트 산화막을 형성하는 단계와, 상기 게이트 산화막이 형성된 결과물 전면에도 전막을 형성하는 단계와, 상기 도전막을 상기 패드 질화막의 상부 표면이 드러나는 시점까지 화학기계적 연마하여 게이트 전극을 형성하는 단계와, 상기 패드 질화막 및 패드 산화막을 제거하는 단계와, 상기 게이트 전극의 측벽에 게이트 스페이서를 형성하는 단계를 포함하는 리세스 게이트를 갖는 트랜지스터의 제조 방법을 마련한다.

여기서, 상기 게이트 스페이서를 형성하는 단계 이후에 상기 기판 내에 소오스/드레인 형성용 이온을 주입하여 소오스/드레인 영역을 형성하는 단계를 더 포함하고, 상기 게이트 스페이서를 형성하는 단계는 상기 게이트 전극이 형성된 기판 전면에도 절연물을 증착하는 단계와, 상기 절연물을 선택적 식각하여 게이트 전극의 측벽에만 잔류시키는 단계를 포함하는 것이 바람직하다.

또한, 상기 제1 트렌치의 깊이는 상기 제2 트렌치의 깊이보다 깊은 깊이를 가지게 형성하는 것이 바람직하다.

또한, 상기 제1 트렌치 내에 캡필산화막을 매립하여 소자 분리막을 형성하는 단계는 상기 제1 트렌치가 형성된 기판에 제1 트렌치가 매립되도록 캡필 산화막을 증착하는 단계와, 상기 캡필 산화막을 상기 패드 질화막의 상부 표면이 드러나는 시점까지 화학기계적 연마하는 단계를 포함하는 것이 바람직하다.

이하 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다.

이제 본 발명의 실시예에 따른 리세스 게이트를 갖는 트랜지스터의 제조 방법에 대하여 도면을 참고로 하여 상세하게 설명한다.

도 1a 내지 도 1i는 본 발명의 실시예에 따른 리세스 게이트를 갖는 트랜지스터의 제조 방법을 설명하기 위해 순차적으로 나타낸 공정 단면도이다.

먼저, 도 1a에 도시한 바와 같이, 반도체 기판(100) 위에 패드 산화막(110)과 패드 질화막(120)을 순차적으로 형성한 다음, 그 위에 소자 분리 영역을 정의하는 제1 감광막 패턴(125)을 형성한다. 여기서, 상기 패드 산화막(110)은 약 100Å 정도의 두께로 증착하여 실리콘 기판(100)과 패드 질화막(120)의 스트레스를 완화하는 역할 및 후속 패드 질화막(120) 제거 시, 식각정지막 역할을 하고, 상기 패드 질화막(120)은 후속 각종 트렌치 식각 공정 시, 식각 마스크 역할을 하거나 화학기계적연마 공정에서 연마 정지막 역할을 한다.

이어, 상기 제1 감광막 패턴(125)을 마스크로 상기 패드 질화막(120) 및 패드 산화막(110)을 순차 식각하여 기판(100) 상부에 소자 분리 영역을 정의한다.

그리고, 도 1b에 도시한 바와 같이, 상기 패터닝된 패드 질화막(120)을 마스크로 상기 반도체 기판(100)을 소정 깊이로 식각하여 반도체 기판(100) 내에 제1 트렌치(130)를 형성한다

그 다음, 도 1c에 도시한 바와 같이, 상기 제1 트렌치(130)가 충분히 매립되도록 기판(100) 전면에서 깎필 산화막(도시하지 않음)을 증착한 다음, 상기 패드 질화막(120)을 식각 정지막으로 이용하여 패드 질화막(120)의 상부 표면이 노출되는 시점까지 상기 깎필 산화막을 화학기계적연마(CMP)한다. 이에 따라, 상기 깎필 산화막은 제1 트렌치(130) 내부에만 매립되어 있는 소자 분리막(140)을 형성하고, 소자 분리막(140)은 기판(100)을 활성 영역과 소자 분리영역으로 구분한다.

그리고, 도 1d에 도시한 바와 같이, 상기 소자 분리막(140)이 형성된 기판(100)의 패드 질화막(120) 위에 리세스 영역을 정의하는 동시에 게이트 형성 영역을 정의하는 제2 감광막 패턴(150)을 형성한다.

이어, 도 1e에 도시한 바와 같이, 상기 제2 감광막 패턴(150)을 마스크로 패드 질화막(120)과 패드 산화막(110) 및 반도체 기판(100)을 소정 깊이로 식각하여 반도체 기판(100) 내에 제2 트렌치(160)를 형성한다. 여기서, 상기 기판(100)의 표면을 기준으로 기판(100) 아래에 형성된 제2 트렌치(160)는 리세스 영역을 정의하고, 기판(100) 위에 패터닝된 패드 질화막(120) 및 패드 산화막(110)은 게이트 형성 영역을 정의한다. 다시 말해서, 본 발명은 패드 질화막(120)을 이용한 다마신(damascene) 기술을 게이트 형성 영역 및 리세스 영역을 정의하는 공정에 적용함으로써, 단 한번의 마스크 공정으로 게이트 형성 영역 및 리세스 영역이 정확히 일치되도록 자기 정렬시킬 수 있다. 이에 따라, 종래의 두 번에 걸친 마스크 공정으로 인하여 게이트 형성 영역 및 리세스 영역이 오정렬되는 문제를 해결하게 된다.

또한, 상기 제2 트렌치(160)의 깊이는 소자 분리막(140)을 형성하는 제1 트렌치(130)의 깊이에 비해 작은 깊이를 가지게 형성하는 것이 바람직하다. 또한, 상기 제2 트렌치(160)를 형성하기 위한 식각 공정 시, 소자 분리막(140)의 상부 표면 또한 일부 손실될 수 있으며, 이에 따라, 소자 분리막(140)의 높이는 낮아진다.

그 후, 도 1f에 도시한 바와 같이, 상기 제2 트렌치(160)가 형성된 기판(100)에 열 산화 공정을 진행하여 제2 트렌치(160)의 내벽에 게이트 산화막(170)을 형성한 다음, 그 위에 제2 트렌치(160)가 완전히 매립되도록 충분히 두꺼운 두께를 가지는 도전막(180)을 형성한다.

그리고, 도 1g에 도시한 바와 같이, 상기 도전막(180)을 패드 질화막(120)의 상부 표면이 노출되는 시점까지 화학기계적연마(CMP)하여 도전막(180)으로 이루어진 게이트 전극(185)을 형성한다.

이어, 도 1h에 도시한 바와 같이, 상기 패드 질화막(120) 및 패드 산화막(110)을 제거한다. 한편, 상기 패드 질화막(120) 및 패드 산화막(110) 제거 공정 시, 소자 분리막(140)의 상부 표면 일부분이 제거되어 기판(100) 표면 위로 드러난 소자 분리막(140)의 높이가 낮아진다.

그 후, 도 1i에 도시한 바와 같이, 상기 게이트 전극(185)이 형성된 기판(100)의 전면에서 절연물을 증착한 다음, 이를 선택적 식각하여 게이트 적극(185)의 측벽에만 잔류시켜 게이트 스페이서(190)를 형성한다.

이어, 후속 공정으로 게이트 스페이서(190)를 마스크로 기판(100) 내에 소오스/드레인 형성용 이온을 주입하여 소오스/드레인 접합부(도시하지 않음)를 형성한다.

이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

발명의 효과

상기한 바와 같이 본 발명은 패드 질화막을 이용한 다마신 기술을 사용하여 단 한번의 마스크 공정으로 게이트 형성 영역 및 리세스 영역을 정확히 일치되게 자기 정렬시킴으로써, 고집적화에 따른 디램 메모리 셀에 있어서, 리세스 영역과 게이트 패턴 형성 영역의 오정렬을 방지하여 소자의 특성을 안정화시킬 수 있다.

(57) 청구의 범위

청구항 1.

반도체 기판 위에 패드 산화막 및 패드 질화막을 순차적으로 형성하여 소자분리영역을 정의하는 단계와,

상기 소자분리영역의 실리콘 기판을 소정 깊이만큼 식각하여 제1 트렌치를 형성하는 단계와,

상기 제1 트렌치 내에 깎필산화막을 매립하여 소자 분리막을 형성하는 단계와,

상기 패드 질화막 위에 리세스 영역을 정의하는 감광막 패턴을 형성하는 단계와,

상기 감광막 패턴을 마스크로 상기 패드 질화막과 패드 산화막 및 반도체 기판의 일부분을 식각하여 제2 트렌치를 형성하는 단계와,

상기 제2 트렌치의 내벽에 게이트 산화막을 형성하는 단계와,

상기 게이트 산화막이 형성된 결과물 전면에 도전막을 형성하는 단계와,

상기 도전막을 상기 패드 질화막의 상부 표면이 드러나는 시점까지 화학기계적 연마하여 게이트 전극을 형성하는 단계와,

상기 패드 질화막 및 패드 산화막을 제거하는 단계와,

상기 게이트 전극의 측벽에 게이트 스페이서를 형성하는 단계를 포함하는 리세스 게이트를 갖는 트랜지스터의 제조 방법.

청구항 2.

제1항에 있어서,

상기 게이트 스페이서를 형성하는 단계 이후에 상기 기판 내에 소오스/드레인 형성용 이온을 주입하여 소오스/드레인 영역을 형성하는 단계를 더 포함하는 리세스 게이트를 갖는 트랜지스터의 제조 방법.

청구항 3.

제1항에 있어서,

상기 게이트 스페이서를 형성하는 단계는 상기 게이트 전극이 형성된 기판 전면에 절연물을 증착하는 단계와, 상기 절연물을 선택적 식각하여 게이트 전극의 측벽에만 잔류시키는 단계를 포함하는 리세스 게이트를 갖는 트랜지스터의 제조 방법.

청구항 4.

제1항에 있어서,

상기 제1 트렌치의 깊이는 상기 제2 트렌치의 깊이보다 깊은 깊이를 가지게 형성하는 리세스 게이트를 갖는 트랜지스터의 제조 방법.

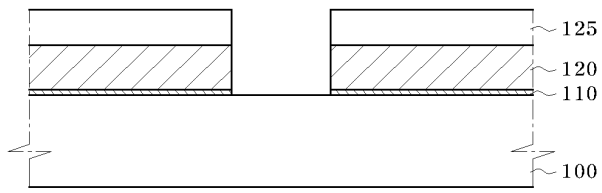
청구항 5.

제1항에 있어서,

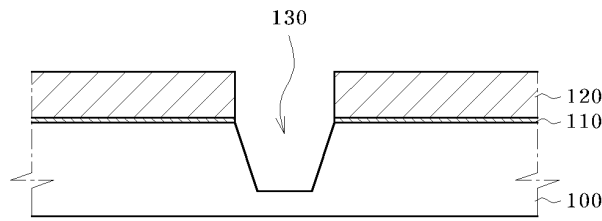
상기 제1 트렌치 내에 깎필산화막을 매립하여 소자 분리막을 형성하는 단계는 상기 제1 트렌치가 형성된 기판에 제1 트렌치가 매립되도록 깎필 산화막을 증착하는 단계와, 상기 깎필 산화막을 상기 패드 질화막의 상부 표면이 드러나는 시점까지 화학기계적 연마하는 단계를 포함하는 리세스 게이트를 갖는 트랜지스터의 제조 방법.

도면

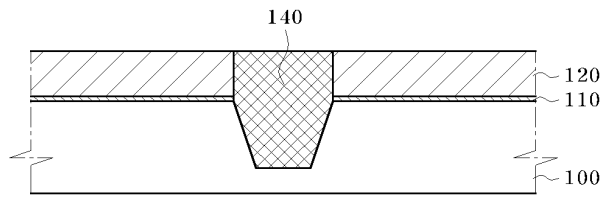
도면1a



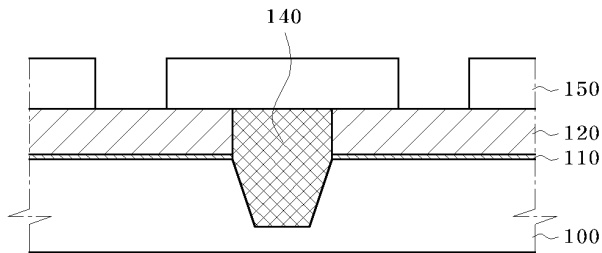
도면1b



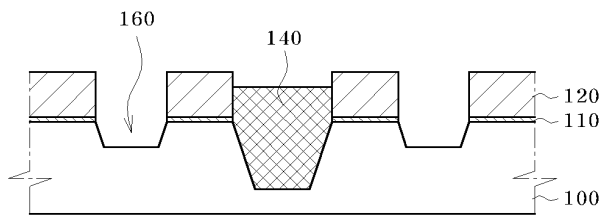
도면1c



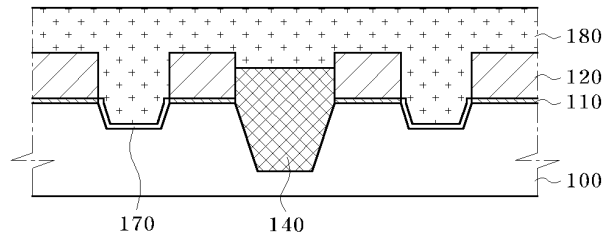
도면1d



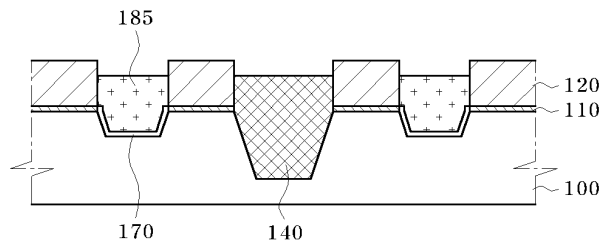
도면1e



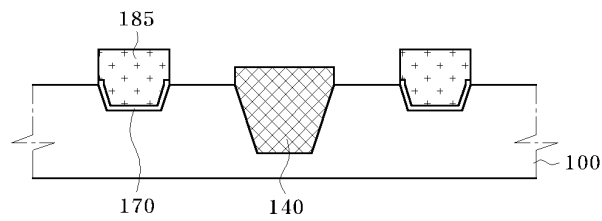
도면1f



도면1g



도면1h



도면1i

