

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-21870

(P2009-21870A)

(43) 公開日 平成21年1月29日(2009.1.29)

(51) Int.Cl.	F I	テーマコード (参考)
H03K 5/1532 (2006.01)	H03K 5/00 E	5J023
H03H 19/00 (2006.01)	H03H 19/00	5J039
H03H 11/04 (2006.01)	H03H 11/04 J	5J098
H03K 5/15 (2006.01)	H03K 5/15 G	

審査請求 未請求 請求項の数 9 O L (全 20 頁)

(21) 出願番号 特願2007-183484 (P2007-183484)
 (22) 出願日 平成19年7月12日 (2007.7.12)

(71) 出願人 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100095957
 弁理士 亀谷 美明
 (74) 代理人 100096389
 弁理士 金本 哲男
 (74) 代理人 100101557
 弁理士 萩原 康司
 (72) 発明者 吉澤 淳
 東京都港区港南1丁目7番1号 ソニー株
 式会社内
 (72) 発明者 飯田 幸生
 東京都港区港南1丁目7番1号 ソニー株
 式会社内

最終頁に続く

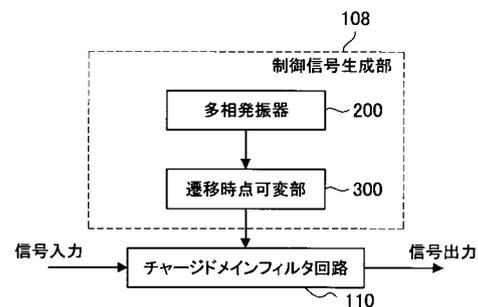
(54) 【発明の名称】 信号生成装置、フィルタ装置、信号生成方法およびフィルタ方法

(57) 【要約】

【課題】 信号生成装置、フィルタ装置、信号生成方法およびフィルタ方法を提供すること。

【解決手段】 信号レベルが第1のレベルと第2のレベルの間で遷移し、各々が同一の周波数および所定の位相の差分を有する複数の基礎信号であって、任意の基礎信号の信号レベルが第1のレベルである期間、および該任意の基礎信号に対して前記所定の位相遅れを有する次の基礎信号の信号レベルが第1のレベルである期間が重複する複数の基礎信号を生成する多相発振部と、前記各基礎信号の第1のレベルから第2のレベルへの遷移時点を、前記各基礎信号の前記次の基礎信号の第2のレベルから第1のレベルへの遷移時点以前に変化させてパルス信号を生成する遷移時点可変部300と、を備える信号生成装置。

【選択図】 図9



【特許請求の範囲】**【請求項 1】**

各々が同一の周波数を有し、且つ、所定の位相差を有する複数の基礎信号であって、(1)任意の基礎信号、および(2)該任意の基礎信号に対して前記所定の位相遅れを有する次の基礎信号が、共に第1のレベルに維持される期間が重複する複数の基礎信号を生成する多相発振部と；

前記各基礎信号の第1のレベルから第2のレベルへの遷移時点を、前記各基礎信号の前記次の基礎信号の第2のレベルから第1のレベルへの遷移時点以前に変化させてパルス信号を生成する遷移時点可変部と；

を備えることを特徴とする信号生成装置。

10

【請求項 2】

前記遷移時点可変部は、前記多相信号生成部により生成された一の基礎信号と、前記一の基礎信号と前記所定の位相差を有する基礎信号の反転信号と、の論理積を演算して一のパルス信号を生成する論理演算部を備えることを特徴とする、請求項1に記載の信号生成装置。

【請求項 3】

前記遷移時点可変部は、

前記多相信号生成部により生成された一の基礎信号の信号レベルが反転され、前記所定の位相差以下の位相が遅延された信号を生成する遅延部と；

前記一の基礎信号と、前記遅延部により生成された信号との論理積を演算して一のパルス信号を生成する論理演算部と；

を備えることを特徴とする、請求項1に記載の信号生成装置。

20

【請求項 4】

入力信号を順次異なる第1のキャパシタがサンプリングし、前記サンプリングにより複数の第1のキャパシタに蓄えられた電荷の少なくとも一部を出力するフィルタ装置であって；

各々が同一の周波数を有し、且つ、所定の位相差を有する複数の基礎信号であって、(1)任意の基礎信号、および(2)該任意の基礎信号に対して前記所定の位相遅れを有する次の基礎信号が、共に第1のレベルに維持される期間が重複する複数の基礎信号を生成する多相発振部と；

30

前記各基礎信号の第1のレベルから第2のレベルへの遷移時点を、前記各基礎信号の前記次の基礎信号の第2のレベルから第1のレベルへの遷移時点と同一、または遷移時点以前に変化させてパルス信号を生成する遷移時点可変部と；

前記複数のパルス信号に基づいて、前記第1のキャパシタの各々に順次入力信号をサンプリングさせるスイッチング部と；

を備えることを特徴とする、フィルタ装置。

【請求項 5】

前記遷移時点可変部は、前記多相信号生成部により生成された一の基礎信号と、前記一の基礎信号と前記所定の位相差を有する基礎信号の反転信号と、の論理積を演算して一のパルス信号を生成する論理演算部を備えることを特徴とする、請求項4に記載のフィルタ装置。

40

【請求項 6】

前記遷移時点可変部は、

前記多相信号生成部により生成された一の基礎信号の信号レベルが反転され、前記所定の位相差以下の位相が遅延された信号を生成する遅延部と；

前記一の基礎信号と、前記遅延部により生成された信号との論理積を演算して一のパルス信号を生成する論理演算部と；

を備えることを特徴とする、請求項4に記載のフィルタ装置。

【請求項 7】

前記第1のキャパシタは、前記第1のキャパシタの静電容量を減少させるパルス信号が

50

入力される制御端子を備えることを特徴とする、請求項 4 に記載のフィルタ回路。

【請求項 8】

各々が同一の周波数を有し、且つ、所定の位相差を有する複数の基礎信号であって、(1) 任意の基礎信号、および(2) 該任意の基礎信号に対して前記所定の位相遅れを有する次の基礎信号が、共に第 1 のレベルに維持される期間が重複する複数の基礎信号を生成するステップと；

前記各基礎信号の第 1 のレベルから第 2 のレベルへの遷移時点を、前記各基礎信号の前記次の基礎信号の第 2 のレベルから第 1 のレベルへの遷移時点以前に変化させてパルス信号を生成するステップと；

を含むことを特徴とする、信号生成方法。

10

【請求項 9】

入力信号を順次異なる第 1 のキャパシタがサンプリングし、前記サンプリングにより複数の第 1 のキャパシタに蓄えられた電荷の少なくとも一部を出力するフィルタ装置において実行されるフィルタ方法であって：

各々が同一の周波数を有し、且つ、所定の位相差を有する複数の基礎信号であって、(1) 任意の基礎信号、および(2) 該任意の基礎信号に対して前記所定の位相遅れを有する次の基礎信号が、共に第 1 のレベルに維持される期間が重複する複数の基礎信号を生成するステップと；

前記各基礎信号の第 1 のレベルから第 2 のレベルへの遷移時点を、前記各基礎信号の前記次の基礎信号の第 2 のレベルから第 1 のレベルへの遷移時点と同一、または遷移時点以前に変化させてパルス信号を生成するステップと；

20

前記複数のパルス信号に基づいて、前記第 1 のキャパシタの各々に順次入力信号をサンプリングさせるステップと；

含むことを特徴とする、フィルタ方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、信号生成装置、フィルタ装置、信号生成方法およびフィルタ方法に関する。

【背景技術】

【0002】

無線通信においては、動画データ、静止画データ、音楽データなどの各種データが送受信されている。近年、上記各種データは、精度の向上と共にデータ量も増加する傾向にあるため、無線通信には、より高速な通信速度（送受信性能）が要求されている。一般に、高速な通信速度を得るためには、広範にわたる周波数帯域が必要である。例えば、数百 Mbps ~ 数 Gbps の通信速度を得るためには、無線通信装置は、数百 MHz ~ 数 GHz の周波数帯域を利用する必要がある。

30

【0003】

また、無線通信装置は、このように広範に渡る周波数帯域を有する広帯域信号に対し、増幅、周波数変換、周波数選択、および利得調整などの信号処理を CMOS プロセスを用いて適切に行う必要がある。一方、CMOS の微細化に伴い、素子間の特性のばらつき、電源電圧の低下などの設計上の制約が生じているため、広帯域信号を取り扱う高性能な回路を実現することが困難になりつつある。特に、周波数選択を行なうフィルタ回路においては、一般に高い素子精度が要求されるため、従来の連続時間アナログ回路に基づく設計方法では、無線通信装置設計上のボトルネックになりかねない。

40

【0004】

かかる事情に鑑みて、フィルタ回路として、周波数特性がリコンフィギュラブルであるチャージドメインフィルタ回路が提案されている（非特許文献 1 参照。）。チャージドメインフィルタ回路は複数のキャパシタと、各キャパシタと入力端子を制御信号に基づいて導通させ、異なるキャパシタに順次入力信号をサンプリングさせる複数のスイッチを備える。

50

【 0 0 0 5 】

したがって、各スイッチに供給される制御信号は、オン（信号レベルが第1のレベル）である期間が重複していない必要がある。このような制御信号は、例えば複数のシフトレジスタを駆動することにより生成することができる。

【 0 0 0 6 】

また、非特許文献2には、各々が所定の位相差を有する多相のクロック信号を複数生成することが可能なリングオシレータが記載されている。

【 0 0 0 7 】

【非特許文献1】2006 IEEE International Solid-State Circuits Conference 26.6 「A n800MHz to 5GHz Software-Defined Radio Receiver in 90nm CMOS」

10

【非特許文献2】IEEE Journal of Solid-State Circuits, VOL.36, NO.6, JUNE 2001 「A 1.25GHz 0.35 μ m Monolithic CMOS PLL Based on a Multiphase Ring Oscillator」

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 0 8 】

しかし、上述したように、チャージドメインフィルタ回路に供給する制御信号を生成するために複数のシフトレジスタを駆動するとすれば、取り扱う周波数の向上に伴い、消費電力が増大してしまう。また、上記リングオシレータが生成する多相のクロック信号は、各々がオンである期間が重複するため、チャージドメインフィルタ回路に供給する制御信号として用いることはできなかった。

20

【 0 0 0 9 】

そこで、本発明は、上記問題に鑑みてなされたものであり、本発明の目的とするところは、消費電力を抑制しつつ、信号レベルが第1のレベルである期間が各々重複しない複数のパルス信号を生成することが可能な、新規かつ改良された信号生成装置、フィルタ装置、信号生成方法およびフィルタ方法を提供することにある。

【 課題を解決するための手段 】

【 0 0 1 0 】

上記課題を解決するために、本発明のある観点によれば、各々が同一の周波数を有し、且つ、所定の位相差を有する複数の基礎信号であって、(1)任意の基礎信号、および(2)該任意の基礎信号に対して前記所定の位相遅れを有する次の基礎信号が、共に第1のレベルに維持される期間が重複する複数の基礎信号を生成する多相発振部と、前記各基礎信号の第1のレベルから第2のレベルへの遷移時点を、前記各基礎信号の前記次の基礎信号の第2のレベルから第1のレベルへの遷移時点以前に変化させてパルス信号を生成する遷移時点可変部と、を備える信号生成装置が提供される。

30

【 0 0 1 1 】

かかる構成においては、多相発振部が複数の基礎信号を生成し、遷移時点可変部が、各基礎信号の第1のレベルから第2のレベルへの遷移時点を、各基礎信号に対して上記所定の位相遅れを有する次の基礎信号の第2のレベルから第1のレベルへの遷移時点以前に変化させる。すなわち、遷移時点可変部は、多相発振部により生成された基礎信号に基づいて、信号レベルが第1のレベルに維持される期間が各々重複しない複数のパルス信号を生成することができる。

40

【 0 0 1 2 】

前記遷移時点可変部は、前記多相信号生成部により生成された一の基礎信号と、前記一の基礎信号と前記所定の位相差を有する基礎信号の反転信号と、の論理積を演算して一のパルス信号を生成する論理演算部を備えてもよい。かかる構成においては、多数のシフトレジスタを動作させることなく信号レベルが第1のレベルである期間が各々重複しない複数のパルス信号を生成することができるため、消費電力を抑制することができる。

【 0 0 1 3 】

前記遷移時点可変部は、前記多相信号生成部により生成された一の基礎信号の信号レベルが反転され、前記所定の位相差以下の位相が遅延された信号を生成する遅延部と、前記

50

一の基礎信号と、前記遅延部により生成された信号との論理積を演算して一のパルス信号を生成する論理演算部と、を備えてもよい。かかる構成においては、論理演算部は、遅延部により遅延された位相に対応する期間長さだけ信号レベルが第1のレベルであるパルス信号を生成する。したがって、例えば遅延部が上記所定の位相差に満たない位相が遅延された信号を生成することにより、各々の信号レベルが第1のレベルである期間に間隔を設けることができる。

【0014】

前記多相発振部は、入力された信号の信号レベルが反転され、前記所定の位相だけ遅延された信号を出力する複数の遅延素子を含むリングオシレータであって、前記複数の基礎信号は、前記複数の遅延素子から出力される信号であってよい。

10

【0015】

また、上記課題を解決するために、本発明の別の観点によれば、入力信号を順次異なる第1のキャパシタがサンプリングし、前記サンプリングにより複数の第1のキャパシタに蓄えられた電荷の少なくとも一部を出力するフィルタ装置であって、各々が同一の周波数を有し、且つ、所定の位相差を有する複数の基礎信号であって、(1)任意の基礎信号、および(2)該任意の基礎信号に対して前記所定の位相遅れを有する次の基礎信号が、共に第1のレベルに維持される期間が重複する複数の基礎信号を生成する多相発振部と、前記各基礎信号の第1のレベルから第2のレベルへの遷移時点を、前記各基礎信号の前記次の基礎信号の第2のレベルから第1のレベルへの遷移時点と同一、または遷移時点以前に変化させてパルス信号を生成する遷移時点可変部と、前記複数のパルス信号に基づいて、前記第1のキャパシタの各々に順次入力信号をサンプリングさせるスイッチング部と、備えるフィルタ装置が提供される。

20

【0016】

かかる構成においては、多相発振部が複数の基礎信号を生成し、遷移時点可変部が、各基礎信号の第1のレベルから第2のレベルへの遷移時点を、各基礎信号に対して上記所定の位相遅れを有する基礎信号の第2のレベルから第1のレベルへの遷移時点と同一、または該遷移時点以前に変化させる。すなわち、遷移時点可変部は、多相発振部により生成された基礎信号に基づいて、信号レベルが第1のレベルである期間が各々重複しない複数のパルス信号を生成することができる。また、スイッチング部は、遷移時点可変部により生成された複数のパルス信号に基づいて第1のキャパシタの各々に順次入力信号をサンプリングさせる。このように、当該フィルタ装置は、上記パルス信号を生成するために多数のシフトレジスタを動作させる必要がないため、消費電力を抑制することができる。

30

【0017】

前記遷移時点可変部は、前記多相信号生成部により生成された一の基礎信号と、前記一の基礎信号と前記所定の位相差を有する基礎信号の反転信号と、の論理積を演算して一のパルス信号を生成する論理演算部を備えてもよい。かかる構成においては、多数のシフトレジスタを動作させることなく信号レベルが第1のレベルである期間が各々重複しない複数のパルス信号を生成することができるため、消費電力を抑制することができる。

【0018】

前記遷移時点可変部は、前記多相信号生成部により生成された一の基礎信号の信号レベルが反転され、前記所定の位相差以下の位相が遅延された信号を生成する遅延部と、前記一の基礎信号と、前記遅延部により生成された信号との論理積を演算して一のパルス信号を生成する論理演算部と、を備えてもよい。かかる構成においては、論理演算部は、遅延部により遅延された位相に対応する期間長さだけ信号レベルが第1のレベルであるパルス信号を生成する。したがって、例えば遅延部が上記所定の位相差に満たない位相が遅延された信号を生成することにより、各々の信号レベルが第1のレベルである期間に間隔を設けることができる。

40

【0019】

前記第1のキャパシタは、前記第1のキャパシタの静電容量を減少させるパルス信号が入力される制御端子を備えてもよい。

50

【 0 0 2 0 】

また、上記課題を解決するために、本発明の別の観点によれば、各々が同一の周波数を有し、且つ、所定の位相差を有する複数の基礎信号であって、(1)任意の基礎信号、および(2)該任意の基礎信号に対して前記所定の位相遅れを有する次の基礎信号が、共に第1のレベルに維持される期間が重複する複数の基礎信号を生成するステップと、前記各基礎信号の第1のレベルから第2のレベルへの遷移時点を、前記各基礎信号の前記次の基礎信号の第2のレベルから第1のレベルへの遷移時点以前に変化させてパルス信号を生成するステップと、を含む信号生成方法が提供される。

【 0 0 2 1 】

また、上記課題を解決するために、本発明の別の観点によれば、入力信号を順次異なる第1のキャパシタがサンプリングし、前記サンプリングにより複数の第1のキャパシタに蓄えられた電荷の少なくとも一部を出力するフィルタ装置において実行されるフィルタ方法であって、各々が同一の周波数を有し、且つ、所定の位相差を有する複数の基礎信号であって、(1)任意の基礎信号、および(2)該任意の基礎信号に対して前記所定の位相遅れを有する次の基礎信号が、共に第1のレベルに維持される期間が重複する複数の基礎信号を生成するステップと、前記各基礎信号の第1のレベルから第2のレベルへの遷移時点を、前記各基礎信号の前記次の基礎信号の第2のレベルから第1のレベルへの遷移時点と同一、または遷移時点以前に変化させてパルス信号を生成するステップと、前記複数のパルス信号に基づいて、前記第1のキャパシタの各々に順次入力信号をサンプリングさせるステップと、含むフィルタ方法が提供される。

【 発明の効果 】

【 0 0 2 2 】

以上説明したように本発明にかかる信号生成装置、フィルタ装置、信号生成方法およびフィルタ方法によれば、消費電力を抑制しつつ、信号レベルが第1のレベルである期間が各々重複しない複数のパルス信号を生成することができる。

【 発明を実施するための最良の形態 】

【 0 0 2 3 】

以下に添付図面を参照しながら、本発明の好適な実施の形態について詳細に説明する。なお、本明細書及び図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複説明を省略する。

【 0 0 2 4 】

また、以下に示す項目の順序にしたがって当該「発明を実施するための最良の形態」を説明する。

- 〔 1 〕 本実施形態にかかるフィルタ装置の概要
- 〔 2 〕 本実施形態に関連するクロックパルス生成回路の課題
- 〔 3 〕 フィルタ装置を構成する制御信号生成部
 - 〔 3 - 1 〕 遷移時点可変部の第1の構成例
 - 〔 3 - 2 〕 遷移時点可変部の第2の構成例
 - 〔 3 - 3 〕 遷移時点可変部の第3の構成例
- 〔 4 〕 フィルタ装置において実行されるフィルタ方法
- 〔 5 〕 まとめ

【 0 0 2 5 】

- 〔 1 〕 本実施形態にかかるフィルタ装置の概要

まず、図1～図4を参照しつつ、本実施形態にかかるフィルタ装置100の概要を説明する。

【 0 0 2 6 】

図1は、本実施形態にかかるフィルタ装置100の構成を示した説明図である。図2は、フィルタ装置100の動作により得られる出力信号の周波数特性を示した説明図である。図3は、制御信号生成部108により生成される制御信号を示した説明図である。

【 0 0 2 7 】

10

20

30

40

50

図 1 に示したように、フィルタ装置 100 は、周波数特性設定部 104 と、制御信号生成部 108 と、チャージドメインフィルタ回路 110 とを備える。周波数特性設定部 104 は、チャージドメインフィルタ回路 110 を介して得られる出力信号の周波数特性（図 2 参照。）を設定する。周波数特性設定部 104 は、ユーザが所望の周波数特性を得るために、ユーザにより操作されるユーザインターフェースを備えてもよい。

【0028】

制御信号生成部 108 は、周波数特性設定部 104 により設定されたチャージドメインフィルタ回路 110 の周波数特性を実現するような制御信号（パルス信号）を生成し、チャージドメインフィルタ回路 110 に出力する。同一の信号組（1r ~ 4、制御信号 1r ~ 制御信号 4）に含まれる制御信号は、例えば図 3 に示したように、互いに所定の位相差を有し、周波数が同一であり、信号レベルが H である期間が各々重複しない。また、当該制御信号は、チャージドメインフィルタ回路 110 の回路モード（回路構成）を切替えるためのモード切替信号としての機能を有する。

10

【0029】

チャージドメインフィルタ回路 110 は、制御信号生成部 108 が生成した図 3 に示す制御信号に基づいて動作し、入力信号をフィルタリングする。チャージドメインフィルタ回路 110 を構成する後述の第一のフィルタ回路段 120 介して出力される信号は、例えば図 2 に示したような周波数特性を有する。

【0030】

図 2 に示したように、後述の第一のフィルタ回路段 120 介して出力される信号の周波数特性は、制御信号生成部 108 が生成する制御信号の周期に応じて特定される周波数 f_s と、その整数倍の周波数とがゼロ点あるいはヌル点となるものである。かかる周波数特性は SINC 関数と形状が類似するため、このような周波数特性を与えられる回路を SINC フィルタ回路と称することもできる。また、かかる周波数特性は、制御信号生成部 108 が生成する制御信号を可変とするのみで変更することができるため、異なる周波数特性を得るために複数のフィルタ回路を設ける必要が無い点で有利である。

20

【0031】

次に、チャージドメインフィルタ回路 110 の詳細な回路構成を図 4 を参照しつつ説明する。

【0032】

図 4 は、本実施形態にかかるチャージドメインフィルタ回路 110 の回路構成を示した説明図である。チャージドメインフィルタ回路 110 は、トランスコンダクタ (gm) 114 と、IIR キャパシタ 118 と、第一のフィルタ回路段 120 と、第二のフィルタ回路段 160 と、内部または外部に出力キャパシタ 170 とを備える。また、チャージドメインフィルタ回路 110 は、図 3 に示した制御信号が入力されるものとする。また、以下では、第二のフィルタ回路段 160 で第一のフィルタ回路段 120 の標本化速度を 1/2 に落とす（デシメーション）場合を例に説明する。

30

【0033】

トランスコンダクタ 114 は、入力された信号の電圧を、該電圧に比例する電流に変換して出力する信号電流出力部として機能する。IIR キャパシタ 118 は、トランスコンダクタ 12 と接続され、チャージドメインフィルタ回路 110 に IIR 特性を付与するよう機能する。なお、チャージドメインフィルタ回路 110 に IIR 特性を付与することは、本実施形態の本質でないため、チャージドメインフィルタ回路 110 に必ずしも IIR キャパシタ 118 を設けなくてもよい。

40

【0034】

第一のフィルタ回路段 120 は、キャパシタ C1、C2、C3 および C4 と、スイッチング部としてのスイッチ S1、S2、S3、S5、S6、S7、S9、S10、S11、S13、S14 および S15 と、を含む。

【0035】

キャパシタ C1、C2、C3 および C4 は、電荷を蓄積する機能を有する。また、本実

50

施形態にかかるキャパシタC 1、C 2、C 3およびC 4は、容量が可変であるMOSを用いたバリキャップ（バラクタ）や、可変容量ダイオードなどであってもよい。上記MOSは、インバージョン・モードで動作するものであっても、アキュムレーション・モードで動作するものであってもよい。

【0036】

また、本実施形態において、キャパシタC 1の脇に記載された 4は、チャージドメインフィルタ回路110に入力される制御信号 4がHレベルである間に、キャパシタC 1の容量値が減少されることを示している。キャパシタC 2、3および4の脇に記載された 2または 4も同様である。すなわち、各キャパシタCは、容量値が減少される制御信号が入力される制御端子を備える。キャパシタCがMOSキャパシタである場合には、制御端子は、例えばソースおよびドレインに該当する。

10

【0037】

スイッチS 1は、キャパシタC 1とトランスコンダクタ114とを導通、または非導通させるためスイッチである。スイッチS 1の脇に記載した 1は、チャージドメインフィルタ回路110に入力される制御信号 1がHレベルである間、スイッチS 1が閉じ、キャパシタC 1とトランスコンダクタ114とを導通させることを示している。すなわち、 1は、チャージドメインフィルタ回路110の少なくとも一部の回路モードを切替えるモード切替信号として機能する。制御信号 2～ 4、制御信号 1r～ 4r、制御信号 1～ 4および制御信号 1r～ 4rも同様にモード切替信号として機能する。

20

【0038】

スイッチS 2は、キャパシタC 1と、キャパシタC 2と、第二のフィルタ回路段160のキャパシタC 5またはC 7とを導通、または非導通させるためスイッチである。スイッチS 2の脇に記載した 4は、チャージドメインフィルタ回路110に入力される制御信号 4がHレベルである間、スイッチS 2が閉じ、キャパシタC 1と、キャパシタC 2と、第二のフィルタ回路段160のキャパシタC 5またはC 7とを導通させようとすることを示している。

【0039】

スイッチS 3は、キャパシタC 1をVcomと導通、または非導通させるためスイッチである。スイッチS 3の脇に記載した 1rは、チャージドメインフィルタ回路110に入力される制御信号 1rがHレベルである間、スイッチS 3が閉じ、キャパシタC 1とVcomとを導通させることを示している。

30

【0040】

スイッチS 1と同様に、スイッチS 5は制御信号 2に基づいてキャパシタC 2とトランスコンダクタ114とを導通、または非導通させるためスイッチである。また、スイッチS 9は制御信号 3に基づいてキャパシタC 3とトランスコンダクタ114とを導通、または非導通させるためスイッチである。また、スイッチS 13は制御信号 4に基づいてキャパシタC 4とトランスコンダクタ114とを導通、または非導通させるためスイッチである。

【0041】

スイッチS 2と同様に、スイッチS 6は制御信号 4に基づいてキャパシタC 1と、キャパシタC 2と、第二のフィルタ回路段160のキャパシタC 5またはC 7とを導通、または非導通させるためスイッチである。また、スイッチS 10は制御信号 2に基づいてキャパシタC 3と、キャパシタC 4と、第二のフィルタ回路段160のキャパシタC 6またはC 8とを導通、または非導通させるためスイッチである。また、スイッチS 10は制御信号 4に基づいてキャパシタC 3と、キャパシタC 4と、第二のフィルタ回路段160のキャパシタC 6またはC 8とを導通、または非導通させるためスイッチである。

40

【0042】

スイッチS 3と同様に、スイッチS 7は制御信号 2rに基づいてキャパシタC 2をVcomと導通、または非導通させるためスイッチである。また、スイッチS 11は制御信号 3rに基づいてキャパシタC 3をVcomと導通、または非導通させるためスイッチ

50

である。また、スイッチS 1 5は制御信号 4 rに基づいてキャパシタC 4をV c o mと導通、または非導通させるためスイッチである。

【 0 0 4 3 】

第二のフィルタ回路段1 6 0は、キャパシタC 5、C 6、C 7およびC 8と、スイッチS 1 7、S 1 8、S 1 9、S 2 1、S 2 2、S 2 3、S 2 5、S 2 6、S 2 7、S 2 9、S 3 0およびS 3 1と、を含む。

【 0 0 4 4 】

キャパシタC 5、C 6、C 7およびC 8は、電荷を蓄積する機能を有する。また、本実施形態にかかるキャパシタC 5、C 6、C 7およびC 8は、C 1、C 2、C 3およびC 4容量を可変とすることが可能な、M O Sを用いたバリキャップ(バラクタ)や、可変容量ダイオードなどであってもよい。また、キャパシタC 5およびC 6は、チャージドメインフィルタ回路1 1 0に入力される制御信号 4がHレベルである期間に容量値が減少され、キャパシタC 7およびC 8は、チャージドメインフィルタ回路1 1 0に入力される制御信号 2がHレベルである期間に容量値が減少される。

【 0 0 4 5 】

スイッチS 1 7は、第一のフィルタ回路段1 2 0のキャパシタC 1およびC 2と、キャパシタC 5とを導通、または非導通させるためのスイッチである。スイッチS 1 7の脇に記載した 1は、チャージドメインフィルタ回路1 1 0に入力される制御信号 1がHレベルである間、スイッチS 1 7が閉じ、キャパシタC 1およびC 2と、キャパシタC 5とを導通させようとするを示している。

【 0 0 4 6 】

スイッチS 1 8は、キャパシタC 5と、キャパシタC 6および出力キャパシタ1 7 0とを導通、または非導通させるためのスイッチである。スイッチS 1 8の脇に記載した 4は、チャージドメインフィルタ回路1 1 0に入力される制御信号 4がHレベルである間、スイッチS 1 8が閉じ、キャパシタC 5およびC 6と、出力キャパシタ1 7 0とを導通させようとするを示している。

【 0 0 4 7 】

スイッチS 1 9は、キャパシタC 5をV c o mと導通、または非導通させるためスイッチである。スイッチS 1 9の脇に記載した 1 rは、チャージドメインフィルタ回路1 1 0に入力される制御信号 1 rがHレベルである間、スイッチS 1 9が閉じ、キャパシタC 5とV c o mとを導通させることを示している。

【 0 0 4 8 】

スイッチS 1 7と同様に、スイッチS 2 1は制御信号 2に基づいて第一のフィルタ回路段1 2 0のキャパシタC 3およびC 4と、キャパシタC 6とを導通、または非導通させるためのスイッチである。また、スイッチS 2 5は制御信号 3に基づいて第一のフィルタ回路段1 2 0のキャパシタC 1およびC 2と、キャパシタC 7とを導通、または非導通させるためのスイッチである。また、スイッチS 2 9は制御信号 4に基づいて第一のフィルタ回路段1 2 0のキャパシタC 3およびC 4と、キャパシタC 8とを導通、または非導通させるためのスイッチである。

【 0 0 4 9 】

スイッチS 1 8と同様に、スイッチS 2 2は制御信号 4に基づいてキャパシタC 5と、キャパシタC 6および出力キャパシタ1 7 0とを導通、または非導通させるためのスイッチである。また、スイッチS 2 6は制御信号 2に基づいてキャパシタC 7と、キャパシタC 8および出力キャパシタ1 7 0とを導通、または非導通させるためのスイッチである。また、スイッチS 3 0は制御信号 2に基づいてキャパシタC 7と、キャパシタC 8および出力キャパシタ1 7 0とを導通、または非導通させようとする。

【 0 0 5 0 】

スイッチS 1 9と同様に、スイッチS 2 3は制御信号 2 rに基づいてキャパシタC 6をV c o mと導通、または非導通させるためのスイッチである。また、スイッチS 2 7は制御信号 3 rに基づいてキャパシタC 7をV c o mと導通、または非導通させるための

10

20

30

40

50

スイッチである。また、スイッチ S 3 1 は制御信号 4 r に基づいてキャパシタ C 8 を V c o m と導通、または非導通させるためのスイッチである。

【 0 0 5 1 】

出力キャパシタ 1 7 0 は、例えば、チャージドメインフィルタ回路 1 1 0 から出力を取り出すための容量を有する。また、出力キャパシタ 1 7 0 は A / D 変換器であってもよい。なお、あるキャパシタ C を第 1 のキャパシタと捉えた場合、該キャパシタ C が含まれるフィルタ回路の後段のフィルタ回路に含まれるキャパシタ C を第 2 のキャパシタと捉えることができる。

【 0 0 5 2 】

(2) 本実施形態に関連するクロックパルス生成回路の課題

10

以上、図 1 ~ 図 4 を参照して説明したように、チャージドメインフィルタ回路 1 1 0 を動作させるためには、図 3 に示したような制御信号を制御信号生成部 1 0 8 が生成し、チャージドメインフィルタ回路 1 1 0 に供給する必要がある。そこで、図 3 に示したような制御信号を生成可能な本実施形態に関連するクロックパルス生成回路の一例を説明する。

【 0 0 5 3 】

図 5 は、本実施形態に関連するクロックパルス生成回路 1 1 の構成を示した説明図である。図 5 に示したように、クロックパルス生成回路 1 1 は、発振部 2 1 と、フリップフロップ D 1 ~ D 8 を備える巡回型のシフトレジスタである。発振部 2 1 は、図 6 の上段に示した基本クロック c k を生成し、各フリップフロップ D 1 ~ D 8 に供給する。

【 0 0 5 4 】

20

ここで、各フリップフロップ D 1 ~ D 8 が保持しているデータは、基本クロック c k の立ち上がりのタイミングで次段のフリップフロップ D 1 ~ 8 に送られることとなる。したがって、かかるクロックパルス生成回路 1 1 において、一のフリップフロップ D の信号レベルを H に設定し、且つ、他の全てのフリップフロップ D の信号レベルを L に設定すると、当該一のフリップフロップ D に設定された H データは、基本クロック c k に従い、順次、次段のフリップフロップ D にシフトし、クロックパルス生成回路 1 1 内を巡回する。

【 0 0 5 5 】

この際、各フリップフロップ D 1 ~ D 8 から出力される信号のタイミングチャートを図 6 に示す。なお、図 6 においては、図面の明瞭性の観点から、各フリップフロップ D 1 ~ D 8 から出力される信号のうち、フリップフロップ D 1 から出力される出力信号 1 r、および、フリップフロップ D 2 から出力される出力信号 1 のみを示し、フリップフロップ D 3 ~ D 8 から出力される出力信号に関しては例示していない。図 6 に示すように、各々隣接するフリップフロップ D 1 ~ D 8 から出力される出力信号は、各々、基本クロック c k のクロック周期 (t) に応じた位相ズレを持って生成され、各々、制御信号 1 r、 1、 2 r、 2、 3 r、 3、 4 r、 4 として出力されることとなる。この結果、巡回型のシフトレジスタを用いれば、容易に図 3 上段と同様の制御信号を生成することが可能となり、もって、チャージドメインフィルタ回路 1 1 0 を動作させるための制御信号を生成することが可能となる。

30

【 0 0 5 6 】

40

ここで、チャージドメインフィルタ回路 1 1 0 においては、例えば制御信号 1 は入力信号をキャパシタ C にサンプリングさせるために用いられ、 1 r はキャパシタ C に蓄えられている電荷をリセットするために用いられる。

【 0 0 5 7 】

したがって、制御信号 1 および 1 r をはじめ、各制御信号が H に維持される期間は、回路特性の観点からオーバーラップしないようにしてもよい。この点に関し、クロックパルス生成回路 1 1 が生成する各制御信号は、H から L への立下りが次の制御信号の L から H への立ち上がりと重複する場合がある。そこで、各制御信号の立ち上がりおよび立下りのタイミングも重複しないクロックパルス生成回路 1 2 の回路構成を図 7 に示し、クロックパルス生成回路 1 2 により生成されるクロックパルスについて図 8 に示す。

50

【 0 0 5 8 】

図 7 に示したように、クロックパルス生成回路 1 2 は、発振部 2 2 と、フリップフロップ D 1 1 ~ D 2 6 を備える巡回型のシフトレジスタである。発振部 2 2 は、図 8 の上段に示した基本クロック ck を生成し、各フリップフロップ D 1 1 ~ D 2 6 に供給する。

【 0 0 5 9 】

また、上記クロックパルス生成回路 1 1 と同様に、クロックパルス生成回路 1 2 において、初期値として一のフリップフロップ D の信号レベルを H に設定し、他のフリップフロップ D 全てに L を設定した場合を想定する。ここで、各フリップフロップ D 1 1 ~ D 2 6 が保持しているデータは、クロックパルス生成回路 1 1 と同様に、基本クロック ck の立ち上がりのタイミングで次段のフリップフロップ D 1 1 ~ 2 6 に送られる。したがって、上記のように初期値として一のフリップフロップ D の信号レベルを H に設定すれば、H データがクロックパルス生成回路 1 2 を巡回する。

10

【 0 0 6 0 】

このため、フリップフロップ D 1 1 ~ D 2 6 の出力を一つおきに抽出すれば、図 8 の中段および下段に示したような、各々が H である期間が全く重複しない制御信号 1 および 1 r などを得ることができる。なお、制御信号 1 は、制御信号 1 r に対して基本クロック ck の 2 周期 (t) に対応する位相遅れを有する。また、各制御信号が H である時間は、基本クロック ck の 1 周期 (w) に対応する時間である。

【 0 0 6 1 】

ただし、クロックパルス生成回路 1 2 には、クロックパルス生成回路 1 1 と比較して倍の段数のフリップフロップ D を設ける必要がある。また、発振部 2 2 は、発振部 2 1 の 2 倍の周波数の基本クロックを生成する必要がある。なお、クロックパルス生成回路 1 1 が生成した制御信号の位相調整を担う回路を設けることでも、各制御信号の信号レベルが H である期間の重複を回避しえる。

20

【 0 0 6 2 】

ところで、チャージドメインフィルタ回路 1 1 0 は、図 6 または図 8 に示した各制御信号の時間間隔 t に応じた周波数特性を有する。具体的には、チャージドメインフィルタ回路 1 1 0 は、図 2 に示した最初の減衰極 (ノッチ) の周波数 f_s が各制御信号の時間間隔 t の逆数である $1/t$ Hz となる。

【 0 0 6 3 】

したがって、発振部 2 1 または発振部 2 2 が生成する基本クロック ck の周波数を高くする事で、チャージドメインフィルタ回路 1 1 0 における最初のノッチ周波数 $1/t$ を高くする事が可能となる。このように、チャージドメインフィルタ回路 1 1 0 の周波数特性は、クロックパルス生成回路 1 1 または 1 2 の基本クロック ck の周波数により調整可能である。

30

【 0 0 6 4 】

また、より広帯域な信号に対応可能なチャージドメインフィルタ回路 1 1 0 を実現するためには、クロックパルス生成回路 1 1 または 1 2 がより高い周波数で動作する必要がある。例えば、GHz のオーダーの通過域を確保するために最初のノッチ周波数を 4 GHz に設定した場合、各制御信号の時間間隔 t を 250 ps とする必要がある。すなわち、図 5 に示したクロックパルス生成回路 1 1 においては発振部 2 1 が 4 GHz の基本クロック ck を生成し、図 7 に示したクロックパルス生成回路 1 2 においては発振部 2 2 が 8 GHz の基本クロック ck を生成する必要がある。

40

【 0 0 6 5 】

さらに、図 4 に示した多段のフィルタ回路段を備えるチャージドメインフィルタ回路 1 1 0 において各段間でデシメーションを行なう場合、前段に与える制御信号を生成するクロックパルス生成回路 1 1 または 1 2 をより高い周波数で動作させる必要がある。

【 0 0 6 6 】

例えば、フィルタ回路段が 2 段カスケード接続されたチャージドメインフィルタ回路 1 1 0 において、各段間で $1/2$ のデシメーションをする場合を考える。また、チャージド

50

メインフィルタ回路 110 全体の周波数特性として、最初のノッチ周波数を 4 GHz とする。この場合、チャージドメインフィルタ回路 110 の後段のフィルタ回路段には、4 GHz で動作させたクロックパルス生成回路 11 が生成した制御信号、または 8 GHz で動作させたクロックパルス生成回路 12 が生成した制御信号を供給する必要がある。また、1 段目と 2 段目のデシメーション比を 1/2 とした場合、チャージドメインフィルタ回路 110 の前段のフィルタ回路段には、8 GHz または 16 GHz で動作させたクロックパルス生成回路 11 または 12 が生成した制御信号を供給する必要がある。

【0067】

このように、本実施形態に関連するクロックパルス生成回路 11 または 12 では、チャージドメインフィルタ回路 110 に GHz オーダーの信号を扱わせるために、極めて高速な周波数でシフトレジスタ（複数のフリップフロップ）を動作させる必要がある。また、このように高周波数の制御信号を発生させようとする場合、発振部 21 または 22、および発振部 21 または 22 に付属する回路群において消費電力が増大してしまう。

【0068】

そこで、上記事情を一着眼点にして本実施形態にかかるフィルタ装置 100 を創作するに至った。本実施形態にかかるフィルタ装置 100 を構成する制御信号生成部 108 は、消費電力を抑制しつつ、チャージドメインフィルタ回路 110 を動作させるための制御信号を生成することができる。以下、図 9 ~ 図 18 を参照しつつ、当該フィルタ装置 100 を構成する制御信号生成部 108 および動作を詳細に説明する。

【0069】

〔3〕フィルタ装置を構成する制御信号生成部

図 9 は、制御信号生成部 108 の構成例を示した機能ブロック図である。図 9 に示したように、制御信号生成部 108 は、多相発振器 200 と、遷移時点可変部 300 と、を備え、信号生成装置として機能する。

【0070】

多相発振器 200 は、信号レベルが H（第 1 のレベル、または第 2 のレベル）と L（第 2 のレベル、または第 1 のレベル）の間で遷移し、各々が同一の周波数を有し、且つ、各々の信号間に所定の位相差を有する複数の基礎信号を生成する。また、多相発振器 200 は、任意の基礎信号の信号レベルが H である期間、および該任意の基礎信号に対して所定の位相遅れを有する次の基礎信号の信号レベルが H である期間が重複する複数の基礎信号を生成する。多相発振器 200 の一例を図 10 および図 11 を参照しつつ説明する。

【0071】

図 10 は、多相発振器 200 の構成例を示した説明図である。図 11 は、多相発振器 200 が生成する基礎信号を示した説明図である。図 10 に示したように、多相発振器 200 は、入力信号を遅延、および反転させる複数の遅延反転素子 210 ~ 280 を備えるリングオシレータである。

【0072】

図 10 に示す例においては、各遅延反転素子 210 ~ 280 は、複数の信号が入力され、複数の信号を出力する場合を示しているが、一の信号の入出力ごとに一の遅延反転素子を設けてもよい。また、各遅延反転素子 210 ~ 280 は CMOS プロセスに基づいて構成されても、複数の入力された信号の差動に基づいて動作してもよい。

【0073】

このような多相発振器 200 からは、図 11 に示したように、各々が 45 度の位相差を有する 8 相の基礎信号が得られる。例えば、各基礎信号の周波数が 500 MHz である場合には、隣り合う 2 つの基礎信号の立ち上がりタイミングの差分は 250 ps となる。なお、各基礎信号の周波数は、例えば各遅延反転素子 210 ~ 280 における遅延量を調整することにより変化させることができる。

【0074】

しかし、かかる基礎信号は、各々信号レベルが H である期間が重複するため、チャージドメインフィルタ回路 110 の各フィルタ回路段に供給する制御信号としては利用するこ

10

20

30

40

50

とが困難である。そこで、多相発振器 200 により生成された各基礎信号の立下りタイミングを調整し、制御信号を生成することが可能な遷移時点可変部 300 を提案する。以下、かかる遷移時点可変部 300 の具体的構成例を挙げる。

【0075】

〔3-1〕遷移時点可変部の第1の構成例

図12は、遷移時点可変部300の第1の構成例を示した説明図である。図12に示したように、遷移時点可変部300は、2の基礎信号の論理積を演算する複数の論理演算部310、320を備える。

【0076】

例えば、論理演算部310には、基礎信号A及び、該基礎信号Aに対して上記所定の位相差を有する基礎信号/Bの反転信号である基礎信号Bが入力され、基礎信号Aと基礎信号Bの論理積を演算する。

10

【0077】

また、論理演算部320には、基礎信号/B及び、該基礎信号/Bに対して上記所定の位相差を有する基礎信号Cの反転信号である基礎信号/Cが入力され、基礎信号/Bと基礎信号/Cの論理積を演算する。図12においては記載を省略しているが、遷移時点可変部300は、多相発振器200により生成された各基礎信号C、/D、/A、B、/C、Dを同様に論理演算する論理演算部を備える。

【0078】

図13は、図12に示した遷移時点可変部300により制御信号が生成される様子を示した説明図である。図13に示したように、図12に示した遷移時点可変部300は、多相発振器200により生成された基礎信号に基づいて、各々が所定の位相差を有し、信号レベルがHである期間が重複しない複数の制御信号を生成することができる。なお、図13に示したA・Bを 1r に対応させ、/B・/Cを 1 に対応させ、C・Dを 2r に対応させてもよい。

20

【0079】

なお、チャージドメインフィルタ回路110の周波数特性は、上述したように、各制御信号の時間間隔 t (立ち上がりのタイミング間隔) に依存する部分が大いいため、各制御信号の時間間隔 t には高い精度が要求される。一方、各制御信号のパルス幅 w は、各フィルタ回路間で信号を転送する窓区間に相当するパラメータである。したがって、スイッチが閉じ、該スイッチを介して電流が流れ、次段のキャパシタC間でチャージシェアが完了するという、一連の段間のチャージの伝達の過渡応答に要する時間さえ確保されていれば、必ずしも制度の高低が問われるものではない。

30

【0080】

〔3-2〕遷移時点可変部の第2の構成例

遷移時点可変部300の第1の構成例においては、ある制御信号と次の制御信号がHレベルに維持される期間は重複しないものの、ある制御信号の立下りと次の制御信号の立ち上がりの遷移時点が一致する。このように遷移時点が一致する制御信号がチャージドメインフィルタ回路110に供給されると、例えば、キャパシタCによるサンプリングの開始後、所定期間だけ同時にリセットが行なわれてしまうおそれがある。もちろん、回路設計によっては、かかる事態の発生を抑止できるが、各制御信号の立ち上がりおよび立下りのタイミングが一致しないようにすることも有効である。そこで、制御信号の立下りを、次の制御信号の立ち上がりの以前にすることができる点を特徴とする遷移時点可変部300の第2の構成例を以下に説明する。

40

【0081】

図14は、遷移時点可変部300の第2の構成例を示した説明図である。図14に示したように、遷移時点可変部300は、一の基礎信号の立ち上がりを検出する複数の微分器340、350を備える。

【0082】

図15は、微分器340の詳細な構成を示した説明図である。図16は、図14に示し

50

たように遷移時点可変部 300 により制御信号が生成される様子を示した説明図である。図 15 に示したように、微分器 340 は、遅延素子 342 と、インバータ 344 と、論理演算部 346 と、を備える。

【0083】

遅延素子 342 は、入力された基礎信号 A の位相を上記所定の位相差以下の位相だけ遅延させ、図 16 の 2 段目に示した基礎信号 A' としてインバータ 344 に出力する。かかる遅延素子 342 は、例えば、偶数個の MOS インバータ列、容量および抵抗などであってもよい。

【0084】

インバータ 344 は、遅延素子 342 から出力された基礎信号 A' を反転させ、図 16 の 3 段目に示した基礎信号 / A' として論理演算部 346 に出力する。なお、遅延素子 342 とインバータ 344 の配置順番は、遅延素子 342 が先であっても、インバータ 344 が先であってもよい。また、必要な遅延量がインバータ 344 における位相の遅延量と大差ない場合、遅延素子 342 を設けなくてもよい。

【0085】

論理演算部 346 は、基礎信号 A と、インバータ 344 から出力された基礎信号 / A' との論理積を演算し、図 16 の 4 段目に示した $A \cdot / A'$ を制御信号として出力する。かかる制御信号のパルス幅は、遅延素子 342 による位相の遅延量に対応する。

【0086】

図 14 においては記載を省略しているが、遷移時点可変部 300 は、基礎信号 C、/ D、/ A、B、/ C、D に対して同様の処理をする複数の微分器を備える。その結果、当該遷移時点可変部 300 は、多相発振器 200 により生成された基礎信号に基づき、信号レベルが H である期間が重複せず、信号レベルの遷移のタイミングも一致しない複数の制御信号を生成することができる。また、各制御信号のパルス幅は、遅延素子 342 による位相の遅延量を調整することで容易に変更することが可能である。

【0087】

{ 3 - 3 } 遷移時点可変部の第 3 の構成例

図 17 は、遷移時点可変部 300 の第 3 の構成例を示した説明図である。第 3 の例にかかる遷移時点可変部 300 は、第 3 の例と同様に複数の微分器 340、350 を備えるが、各微分器 340、350 の構成が異なる。

【0088】

具体的には、第 3 の例にかかる遷移時点可変部 300 の微分器 340 は、遅延素子 348 と、論理演算部 349 と、を備える。遅延素子 348 には基礎信号 A が入力されると、基礎信号 A の位相を遅延させ、基礎信号 A' として論理演算部 349 に出力する。

【0089】

論理演算部 349 は、基礎信号 A' と、基礎信号 A と上記所定の位相差を有する基礎信号 / B の反転信号である基礎信号 B との論理積を演算子、制御信号として出力する。当該第 3 の構成例にかかる遷移時点可変部 300 は、上記同様に、複数の基礎信号に基づいて制御信号を生成する微分器を複数備える。

【0090】

{ 4 } フィルタ装置において実行されるフィルタ方法

以上、本実施形態にかかるフィルタ装置 100 の構成を説明した。続いて、当該フィルタ装置 100 において実行されるフィルタ方法について図 18 を参照しつつ説明する。

【0091】

図 18 は、本実施形態にかかるフィルタ装置 100 において実行されるフィルタ方法の流れを示したフローチャートである。図 18 に示したように、制御信号生成部 108 の多相発振器 200 が図 11 に示した多相信号を生成する (S410)。続いて、制御信号生成部 108 の遷移時点可変部 300 が、多相発振器 200 により生成された多相信号に基づいて、例えば図 13 に示した制御信号を生成する (S420)。かかる一の制御信号生成部 108 が生成した制御信号は、チャージドメインフィルタ回路 110 の一のフィルタ

10

20

30

40

50

回路段に供給される。

【 0 0 9 2 】

そして、チャージドメインフィルタ回路 1 1 0 のスイッチング部は、供給される制御信号に基づいて回路モードを切り替える。ここで、回路モードは、一のキャパシタ C に関し、
、
該キャパシタ C に入力信号をサンプリングさせるサンプリングモード、該キャパシタ C にサンプリングにより蓄えられた電荷を出力させる出力モードなどを含む。例えば、S 1、5、9、13 は、各々に供給される制御信号 1、2、3、4 に基づき順次オンされ、キャパシタ C 1、キャパシタ C 2、キャパシタ C 3、キャパシタ C 4 の順にサンプリングが行なわれる (S 4 3 0) 。

10

【 0 0 9 3 】

〔 5 〕まとめ

以上説明したように、本実施形態にかかるフィルタ装置 1 0 0 においては、制御信号生成部 1 0 8 が、高速に動作するシフトレジスタを用いることなく、相互に信号レベルが H である期間が重複しない複数の制御信号を生成することができる。その結果、消費電力を抑制しつつ、チャージドメインフィルタ回路 1 1 0 を動作させることが可能となる。このようなフィルタ装置 1 0 0 は、C M O S プロセスを用いてチャージドメインフィルタ回路 1 1 0 を構成する場合に特に有効である。

【 0 0 9 4 】

なお、添付図面を参照しながら本発明の好適な実施形態について説明したが、本発明は係る例に限定されないことは言うまでもない。当業者であれば、特許請求の範囲に記載された範疇内において、各種の変更例または修正例に想到し得ることは明らかであり、それらについても当然に本発明の技術的範囲に属するものと了解される。

20

【 0 0 9 5 】

例えば、本明細書のフィルタ装置 1 0 0 の処理における各ステップは、必ずしもフローチャートとして記載された順序に沿って時系列に処理する必要はなく、並列的あるいは個別に実行される処理 (例えば、並列処理あるいはオブジェクトによる処理) も含むとしてもよい。

【 図面の簡単な説明 】

【 0 0 9 6 】

30

【 図 1 】本実施形態にかかるフィルタ装置の構成を示した説明図である。

【 図 2 】フィルタ装置の動作により得られる出力信号の周波数特性を示した説明図である。

【 図 3 】制御信号生成部により生成される制御信号を示した説明図である。

【 図 4 】チャージドメインフィルタ回路の回路構成を示した説明図である。

【 図 5 】本実施形態に関連するクロックパルス生成回路の構成を示した説明図である。

【 図 6 】クロックパルス生成回路により生成されるクロックパルスを示した説明図である。

【 図 7 】本実施形態に関連する他のクロックパルス生成回路の構成を示した説明図である。

40

【 図 8 】クロックパルス生成回路により生成されるクロックパルスを示した説明図である。

【 図 9 】制御信号生成部の構成例を示した機能ブロック図である。

【 図 1 0 】多相発振器の構成例を示した説明図である。

【 図 1 1 】多相発振器が生成する基礎信号を示した説明図である。

【 図 1 2 】遷移時点可変部の第 1 の構成例を示した説明図である。

【 図 1 3 】図 1 2 に示した遷移時点可変部により制御信号が生成される様子を示した説明図である。

【 図 1 4 】遷移時点可変部の第 2 の構成例を示した説明図である。

【 図 1 5 】微分器の詳細な構成を示した説明図である。

50

【図16】図14に示したように遷移時点可変部により制御信号が生成される様子を示した説明図である。

【図17】遷移時点可変部の第3の構成例を示した説明図である。

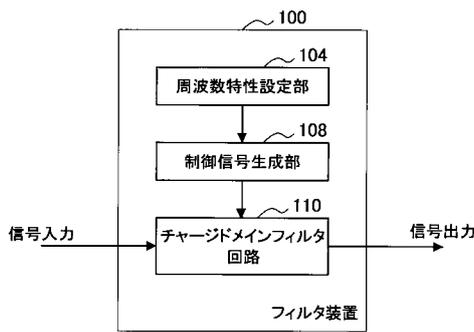
【図18】本実施形態にかかるフィルタ装置において実行されるフィルタ方法の流れを示したフローチャートである。

【符号の説明】

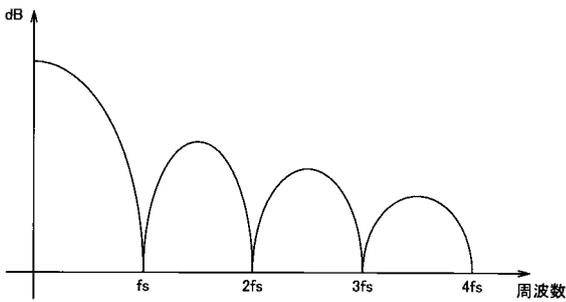
【0097】

- 100 フィルタ装置
- 104 周波数特性設定部
- 108 制御信号生成部
- 110 チャージドメインフィルタ回路
- 200 多相発振器
- 300 遷移時点可変部
- 310、320、346、349 論理演算部
- 340、350 微分器
- 342、348 遅延素子
- 344 インバータ

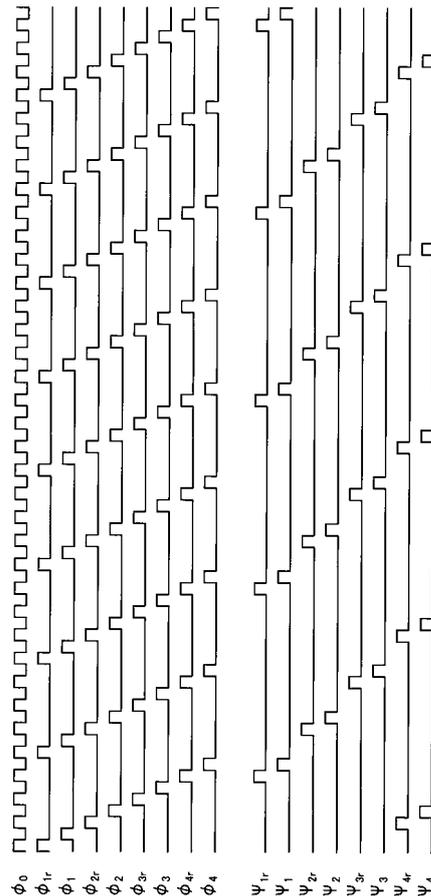
【図1】



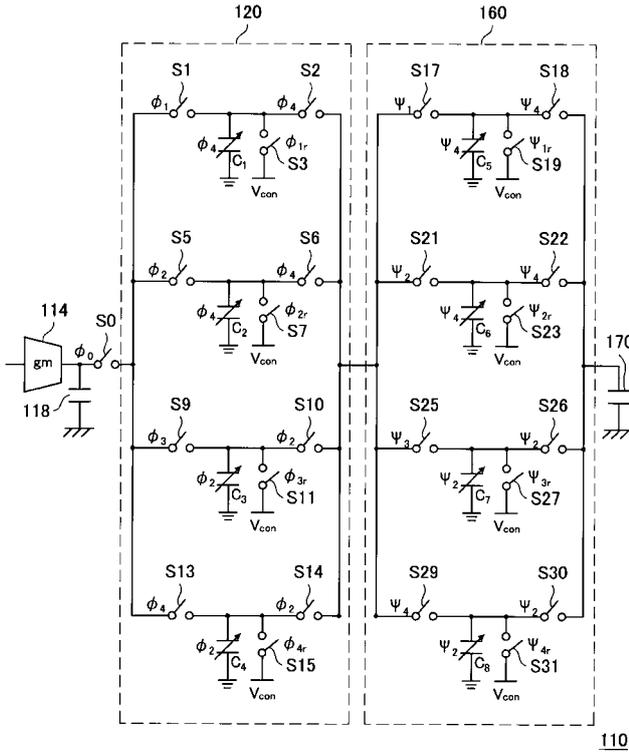
【図2】



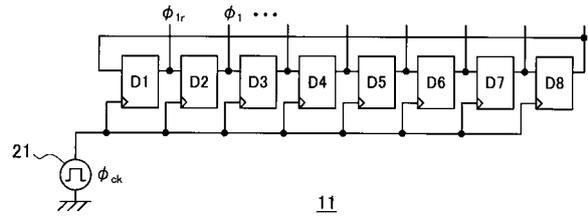
【図3】



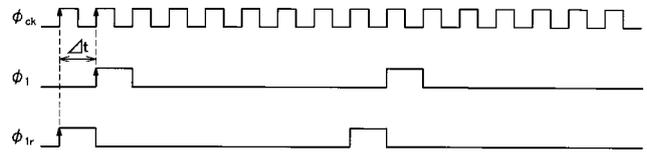
【 図 4 】



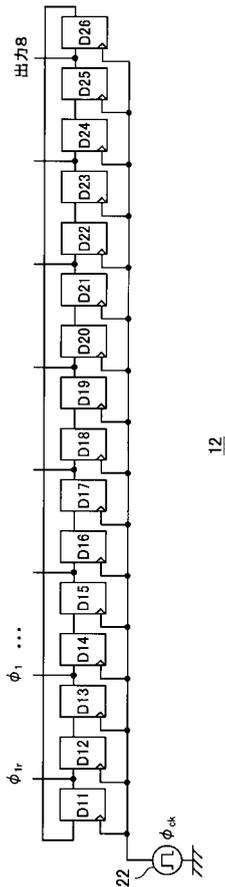
【 図 5 】



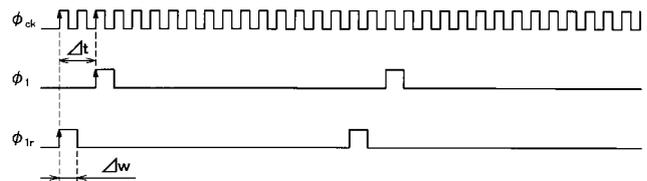
【 図 6 】



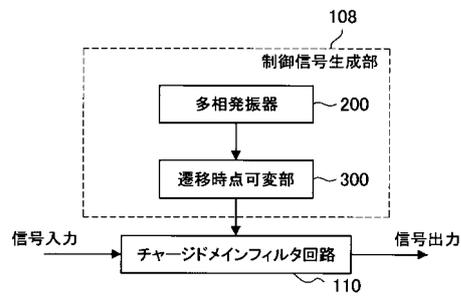
【 図 7 】



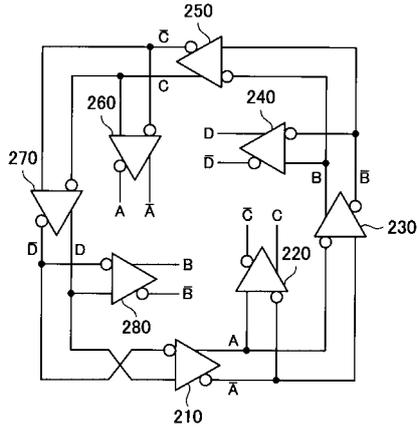
【 図 8 】



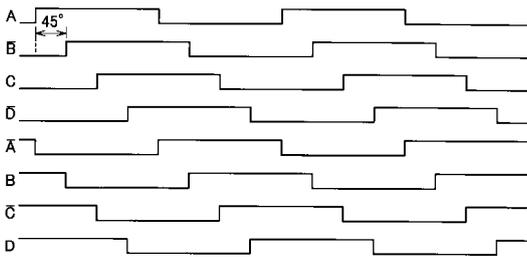
【 図 9 】



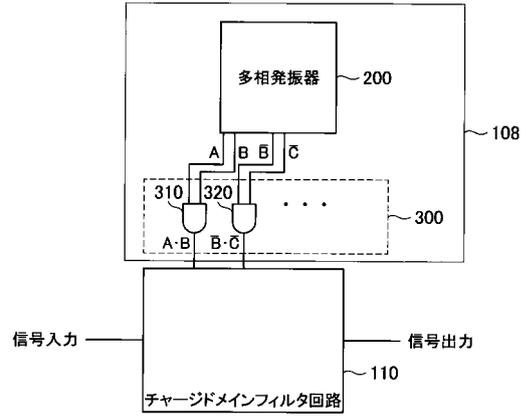
【図 10】



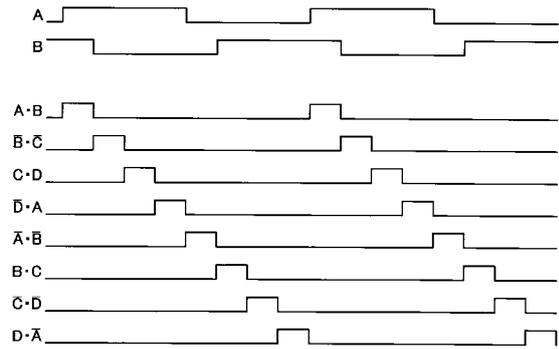
【図 11】



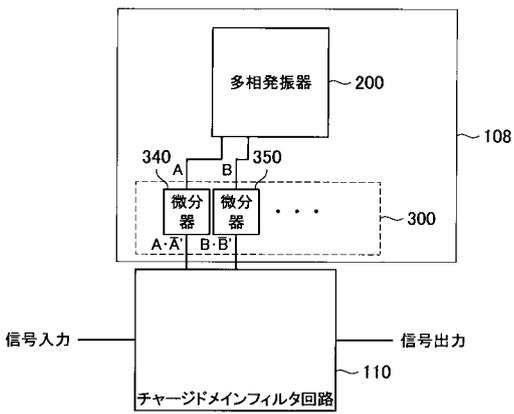
【図 12】



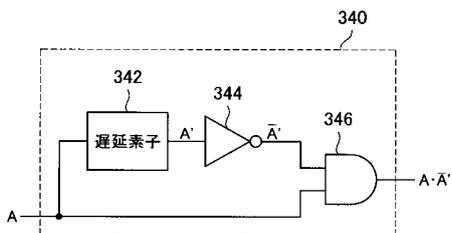
【図 13】



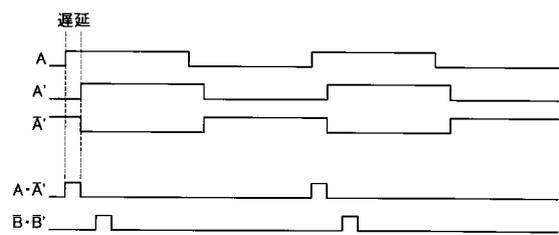
【図 14】



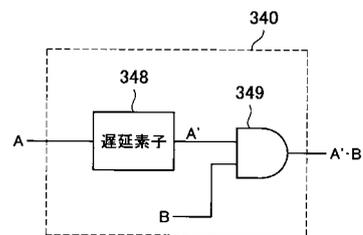
【図 15】



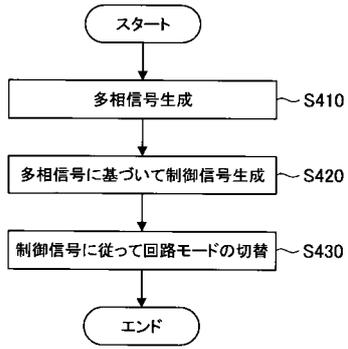
【図 16】



【図 17】



【 図 1 8 】



フロントページの続き

Fターム(参考) 5J023 CB10

5J039 AB03 EE16 KK09 KK28 KK33 MM04 NN01

5J098 AA14 AB01 AC19 AD14 CA02