

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-246378

(P2009-246378A)

(43) 公開日 平成21年10月22日(2009.10.22)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 27/14 (2006.01)	HO 1 L 27/14 D	2 G 0 8 8
HO 1 L 27/146 (2006.01)	HO 1 L 27/14 C	4 M 1 1 8
GO 1 T 1/20 (2006.01)	GO 1 T 1/20 G	5 C 0 2 4
GO 1 T 1/24 (2006.01)	GO 1 T 1/20 E	
HO 4 N 5/335 (2006.01)	GO 1 T 1/24	

審査請求 有 請求項の数 16 O L (全 26 頁) 最終頁に続く

(21) 出願番号 特願2009-164698 (P2009-164698)  
 (22) 出願日 平成21年7月13日 (2009.7.13)  
 (62) 分割の表示 特願2005-79431 (P2005-79431) の分割  
 原出願日 平成8年9月3日 (1996.9.3)  
 (31) 優先権主張番号 特願平7-227851  
 (32) 優先日 平成7年9月5日 (1995.9.5)  
 (33) 優先権主張国 日本国 (JP)  
 (31) 優先権主張番号 特願平7-227852  
 (32) 優先日 平成7年9月5日 (1995.9.5)  
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000001007  
 キヤノン株式会社  
 東京都大田区下丸子3丁目30番2号  
 (74) 代理人 100090273  
 弁理士 園分 孝悦  
 (72) 発明者 小林 功  
 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内  
 (72) 発明者 海部 紀之  
 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内  
 (72) 発明者 田代 和昭  
 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

最終頁に続く

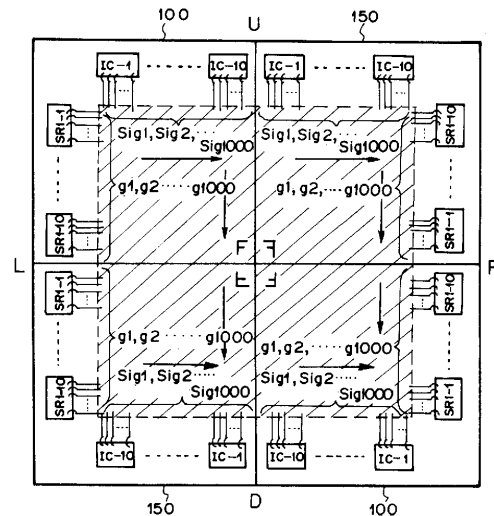
(54) 【発明の名称】 光電変換装置及び放射線撮像装置

(57) 【要約】

【課題】 大面積の光電変換装置のコストを低減すること、及び、信号処理を簡単にし、性能を向上させること、及び、一種のICを光電変換素子アレイの上下又は左右のいずれの側にも簡単に実装できるようにする。

【解決手段】 複数の光電変換素子を有する基板100、150を複数隣接して配置した光電変換装置において、検出用回路IC-1~10は、アレイの対向する2辺のうち一方の辺に配置された複数の第1の集積回路と、他方の辺に配置された複数の第2の集積回路とを含み、複数の第1及び第2の集積回路は双方向の動作が可能な同じ構成の集積回路であり、複数の第1の集積回路に第1の共通入力信号が入力され、複数の第2の集積回路に第2の共通入力信号が入力されることにより、複数の第1及び第2の集積回路がアレイから同一の方向で信号を検出するように、複数の第1及び第2の集積回路の動作方向を決定する。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

基板上に 2 次元状に配された複数の光電変換素子からなるアレイと、

当該アレイから出力される信号を検出するための検出回路と、を備えた光電変換装置であって、

前記検出回路は、前記アレイの対向する 2 辺のうち一方の辺に配置された複数の第 1 の集積回路と、前記アレイの対向する 2 辺のうち他方の辺に配置された複数の第 2 の集積回路と、を含み、前記複数の第 1 及び第 2 の集積回路は、双方向の動作が可能な同じ構成の集積回路であり、

前記複数の第 1 の集積回路に第 1 の共通入力信号が入力され、前記複数の第 2 の集積回路に第 2 の共通入力信号が入力されることにより、前記複数の第 1 及び第 2 の集積回路が前記アレイから同一の方向で信号を検出するように、前記複数の第 1 及び第 2 の集積回路の動作方向を決定することを特徴とする光電変換装置。

10

**【請求項 2】**

前記集積回路はマルチプレクサを含み、前記検出回路の動作方向はマルチプレクサの切り換え順序により定められることを特徴とする請求項 1 記載の光電変換装置。

**【請求項 3】**

前記集積回路はシフトレジスタを含み、前記検出回路の動作方向は前記シフトレジスタのシフト方向により定められることを特徴とする請求項 1 又は 2 記載の光電変換装置。

**【請求項 4】**

前記集積回路はデコーダを含み、前記検出回路の動作方向は前記デコーダにアドレス情報を供給するコントローラにより定められることを特徴とする請求項 1 又は 2 記載の光電変換装置。

20

**【請求項 5】**

前記集積回路は、前記基板、当該基板を支持するマザーボード、及びフレキシブル配線基板のいずれかに実装されていることを特徴とする請求項 1 から 4 のいずれか 1 項記載の光電変換装置。

**【請求項 6】**

前記アレイの上部に蛍光体を有することを特徴とする請求項 1 から 5 のいずれか 1 項記載の光電変換装置。

30

**【請求項 7】**

前記光電変換素子は、第 1 の電極層、半導体層、及び第 2 の電極層を積層した素子であり、前記半導体層は非単結晶半導体層であることを特徴とする請求項 1 から 6 のいずれか 1 項記載の光電変換装置。

**【請求項 8】**

前記光電変換素子は、前記第 1 の電極層と前記半導体層との間に絶縁層を、前記半導体層と前記第 2 の電極層との間に第 1 導電型のキャリアの注入を阻止する半導体層を、更に有することを特徴とする請求項 7 に記載の光電変換装置。

**【請求項 9】**

入射される放射線を受けて当該放射線に応じた電気信号を発生する変換素子が基板上に 2 次元状に複数配されたアレイと、

40

当該アレイから出力される信号を検出するための検出回路と、を備えた放射線撮像装置であって、

前記検出回路は、前記アレイの対向する 2 辺のうち一方の辺に配置された複数の第 1 の集積回路と、前記アレイの対向する 2 辺のうち他方の辺に配置された複数の第 2 の集積回路と、を含み、前記複数の第 1 及び第 2 の集積回路は、双方向の動作が可能な同じ構成の集積回路であり、

前記複数の第 1 の集積回路に第 1 の共通入力信号が入力され、前記複数の第 2 の集積回路に第 2 の共通入力信号が入力されることにより、前記複数の第 1 及び第 2 の集積回路が前記アレイから同一の方向で信号を検出するように、前記複数の第 1 及び第 2 の集積回路

50

の動作方向を決定することを特徴とする放射線撮像装置。

【請求項 10】

前記集積回路はマルチプレクサを含み、前記検出回路の動作方向はマルチプレクサの切り換え順序により定められることを特徴とする請求項 9 記載の放射線撮像装置。

【請求項 11】

前記集積回路はシフトレジスタを含み、前記検出回路の動作方向は前記シフトレジスタのシフト方向により定められることを特徴とする請求項 9 又は 10 記載の放射線撮像装置。

【請求項 12】

前記集積回路はデコーダを含み、前記検出回路の動作方向は前記デコーダにアドレス情報を供給するコントローラにより定められることを特徴とする請求項 9 又は 10 記載の放射線撮像装置。

10

【請求項 13】

前記集積回路は、前記基板、当該基板を支持するマザーボード、及びフレキシブル配線基板のいずれかに実装されていることを特徴とする請求項 9 から 12 のいずれか 1 項記載の放射線撮像装置。

【請求項 14】

前記変換素子は、前記放射線を可視光に変換する蛍光体と、前記可視光を前記電気信号に変換する光電変換素子と、を含むことを特徴とする請求項 9 から 13 のいずれか 1 項記載の放射線撮像装置。

20

【請求項 15】

前記光電変換素子は、第 1 の電極層、半導体層、及び第 2 の電極層を積層した素子であり、前記半導体層は非単結晶半導体層であることを特徴とする請求項 14 記載の放射線撮像装置。

【請求項 16】

前記光電変換素子は、前記第 1 の電極層と前記半導体層との間に絶縁層を、前記半導体層と前記第 2 の電極層との間に第 1 導電型のキャリアの注入を阻止する半導体層を、更に有することを特徴とする請求項 15 記載の放射線撮像装置。

【発明の詳細な説明】

【技術分野】

30

【0001】

本発明は、光電変換装置、それを用いた撮像装置及び製造方法に係わり、特に大面積の光電変換装置、例えばファクシミリ、デジタル複写機あるいは X 線撮像装置等に用いられる二次元の光電変換装置、それを用いた撮像装置及び製造方法に関するものである。

【背景技術】

【0002】

従来、ファクシミリ、デジタル複写機等の読み取り系としては、縮小光学系と CCD 型センサを用いた読み取り系が用いられていたが、近年、アモルファスシリコン（以下、 $a-Si$  と記す）に代表される光電変換半導体材料の開発により、光電変換素子及び信号処理部を大面積の基板に形成し、情報源と等倍の光学系で読み取るいわゆる密着型センサの開発がめざましい。特に  $a-Si$  は光電変換材料としてだけでなく、薄膜電界効果型トランジスタ（以下 T F T と記す）としても用いることができるので光電変換半導体層と T F T の半導体層とを同時に形成することができる利点を有している。

40

【0003】

$a-Si$  を用いた光電変換装置は、その基体構造が特許文献 1、2、又は 3 に記載されている。

【0004】

$a-Si$  光センサと  $a-Si$  T F T を一体的に形成する為の具体例は、特許文献 4、5、又は 6 の各明細書に記載されている。

【0005】

50

本発明者らは、これら明細書に開示の技術を基に、画素数を大巾に増大させた２次元エリア型の光電変換装置を試作した。その光電変換装置の概略を図２、図３を参照して説明する。

【０００６】

図２、図３に２０００×２０００個の画素を持つ光電変換装置を示す平面図を示す。２０００×２０００個の検出器を構成する場合、光電変換素子を縦・横方向にそれぞれ数を増やせばよいが、この場合、制御配線（走査線）も $g_1 \sim g_{2000}$ に示すように２０００本になり信号配線（データ線）も $sig_1 \sim sig_{2000}$ に示すように２０００本になる。また走査回路や検出用集積回路（検出用ＩＣ）も２０００本の制御・処理をしなければならず大規模となる。これをそれぞれ１チップのＩＣで行うことは１チップが非常に大きくなり製造時の歩留まりや価格等で不利である。そこで、図に示すように走査回路は例えば１００段のシフトレジスタを１個のチップに形成し、２０個の走査回路チップ（ $SR1-1 \sim SR1-20$ ）を使用すれば良い。また検出用集積回路も１００個の処理回路を１個のチップに形成し、２０個の検出用集積回路チップ（ $IC1 \sim IC20$ ）を使用する。

10

【０００７】

図３には左側（Ｌ）に２０チップ（ $SR1-1 \sim SR1-20$ ）と下側（Ｄ）に２０チップ実装し、１チップあたり１００本の制御配線、信号配線をおのおのワイヤーボンディングでチップと接続している。図３中で破線で囲まれる部分は２次元エリア状に配列された光電変換素子アレイ部分に相当する。また検出用集積回路の外部への接続は省略している。

20

【０００８】

図２には別の例が示されており、ここでは、左側（Ｌ）に１０チップ（ $SR1-1 \sim SR1-20$ ）と右側（Ｒ）に１０チップ（ $SR1-11 \sim SR1-20$ ）と上側（Ｕ）に１０チップ（ $IC1 \sim 10$ ）、下側（Ｄ）に１０チップ（ $IC11 \sim 20$ ）を実装している。この構成は上・下・左・右側（Ｕ、Ｄ、Ｌ、Ｒ）にそれぞれ各配線を１０００本ずつに振り分けているため、各辺の配線の密度が小さくなり、また各辺のワイヤーボンディングの密度も小さく、製造歩留まりが向上する。配線の振り分けは左側（Ｌ）に $g_1$ 、 $g_3$ 、 $g_5$ 、…、 $g_{1999}$ 、右側（Ｒ）に $g_2$ 、 $g_4$ 、 $g_6$ 、…、 $g_{2000}$ とし、つまり奇数番目の制御配線を左側（Ｌ）、偶数番目の制御配線を右側（Ｒ）に振り分ける。こうすると各配線は等間隔に引き出され配線されるので密度の集中がなく歩留まりが向上する。また、上側（Ｕ）下側（Ｄ）への配線も同様に振り分ければよい。

30

【０００９】

また、図示していないが、別の例として、配線の振り分けは左側（Ｌ）に $g_1 \sim g_{100}$ 、 $g_{201} \sim g_{300}$ 、…、 $g_{1801} \sim g_{1900}$ 、右側（Ｒ）に $g_{101} \sim g_{200}$ 、 $g_{301} \sim g_{400}$ 、…、 $g_{1901} \sim g_{2000}$ を振り分け、つまり、１チップごとに連続な制御線を振り分け、これを左・右側（Ｌ・Ｒ）交互に振り分けることも考えられる。こうすると、１チップ内は連続に制御でき、駆動タイミングの調整や設定が容易で回路を複雑にしないでよく、安価なＩＣが使用できる上・下側（Ｕ・Ｄ）についても同様に、連続な処理が可能で安価なＩＣが使用できる。

40

【先行技術文献】

【特許文献】

【００１０】

【特許文献１】米国特許第４３７６８８８号明細書

【特許文献２】特公昭６２－２３９４４号公報

【特許文献３】特公昭６３－６６１１７号公報

【特許文献４】米国特許第４９３１６６１号明細書

【特許文献５】米国特許第５３３８６９０号明細書

【特許文献６】米国特許第５３０６６４８号明細書

【発明の概要】

50

## 【発明が解決しようとする課題】

## 【0011】

しかしながら、大面積の光電変換装置では、製造時の微小なちり、特にアモルファスシリコンなどの半導体層を基板に堆積する時に薄膜堆積装置の壁から剥れ出るゴミ、及びメタル層を基板に堆積する時に基板上に残っているほこりを完全に無くすることが困難であったため、配線の不具合、即ち配線のショートまたはオープンをゼロにすることは困難であった。

## 【0012】

また、大面積の光電変換装置では、制御配線または信号配線がショートまたはオープンになると、その配線に接続されている光電変換素子の全ての出力信号が不正確なものとなり、光電変換装置としては使用不可能となるのである。

10

## 【0013】

つまり、大面積の光電変換装置を作製する時の1枚の基板が大きくなればなるほど基板1枚あたりの歩留まりは低くなり、同時に基板1枚あたりの不具合による損失額も大きくなるのである。

## 【0014】

しかも、制御配線の選択順序(走査順序)を図2の矢印AL1に示す方向に設計しようとすると、図2の左側Lに配される各走査回路SR1-1~SR1-10の出力端子の配置順序と、図2の右側Rに配される各走査回路SR-11~SR1-20の出力端子の配列順序とが、互いに逆になる。従って、左右両側に配される走査回路を同じ構造のICチップで作るとすると、左又は右側いずれか一方の接続線(制御配線と走査回路の出力端子とを接続する線)を多層配線等で構成しなければならない。こうなると、接続線の構造が複雑且つ高コストなものになり、又走査回路の高密度実装を妨げる。

20

## 【0015】

又、出力端子の配置順序を変えた2種類のICを用意して一方を左側に、他方を右側に配することもできるが、基本動作が同じであるにもかかわらず2種のICを製造することは高コスト化の原因になる。

## 【0016】

このような問題は走査回路だけの問題ではなく検出用IC(IC1~IC20)においても同様に生じる。

30

## 【0017】

よって、本発明の第1の目的は、大面積の光電変換装置を作製する時の基板1枚あたりの歩留まりを向上させ、かつ基板1枚あたりの不具合による損失額を小さくすることにより、結果的に大面積の光電変換装置のコストを低減することにある。

## 【0018】

また、本発明の第2の目的は、大面積の光電変換装置を作製する時の検査工程の効率の向上およびそれに伴うスループット向上および部品点数の削減に伴う総合的なコストを低減することにある。

## 【0019】

またさらに、本発明の第3の目的は、大面積の光電変換装置において、すべての光電変換素子を同一方向に走査し、信号処理を簡単にすることにより、光電変換装置の性能を向上させることである。

40

## 【0020】

本発明の第4の目的は、一種のICを光電変換素子アレイの上下又は左右のいずれの側にも簡単に実装できる光電変換装置を提供することにある。

## 【課題を解決するための手段】

## 【0021】

上記目的を達成するため、本発明に係る光電変換装置は、基板上に2次元状に配された複数の光電変換素子からなるアレイと、当該アレイから出力される信号を検出するための検出回路と、を備えた光電変換装置であって、前記検出回路は、前記アレイの対向する2

50

辺のうちの一方の辺に配置された複数の第 1 の集積回路と、前記アレイの対向する 2 辺のうちの他方の辺に配置された複数の第 2 の集積回路と、を含み、前記複数の第 1 及び第 2 の集積回路は、双方向の動作が可能な同じ構成の集積回路であり、前記複数の第 1 の集積回路に第 1 の共通入力信号が入力され、前記複数の第 2 の集積回路に第 2 の共通入力信号が入力されることにより、前記複数の第 1 及び第 2 の集積回路が前記アレイから同一の方向で信号を検出するように、前記複数の第 1 及び第 2 の集積回路の動作方向を決定することを特徴とする。

【 0 0 2 2 】

本発明に係る光電変換装置の他の態様は、前記集積回路はマルチプレクサを含み、前記検出回路の動作方向はマルチプレクサの切り換え順序により定められることを特徴とする。

10

また、本発明に係る光電変換装置のその他の態様は、前記集積回路はシフトレジスタを含み、前記検出回路の動作方向は前記シフトレジスタのシフト方向により定められることを特徴とする。

また、本発明に係る光電変換装置のその他の態様は、前記集積回路はデコーダを含み、前記検出回路の動作方向は前記デコーダにアドレス情報を供給するコントローラにより定められることを特徴とする。

また、本発明に係る光電変換装置のその他の態様は、前記集積回路は、前記基板、当該基板を支持するマザーボード、及びフレキシブル配線基板のいずれかに実装されていることを特徴とする。

20

また、本発明に係る光電変換装置のその他の態様は、前記アレイの上部に蛍光体を有することを特徴とする。

また、本発明に係る光電変換装置のその他の態様は、前記光電変換素子は、第 1 の電極層、半導体層、及び第 2 の電極層を積層した素子であり、前記半導体層は非単結晶半導体層であることを特徴とする。

また、本発明に係る光電変換装置のその他の態様は、前記光電変換素子は、前記第 1 の電極層と前記半導体層との間に絶縁層を、前記半導体層と前記第 2 の電極層との間に第 1 導電型のキャリアの注入を阻止する半導体層を、更に有することを特徴とする。

【 0 0 2 3 】

本発明に係る放射線撮像装置は、入射される放射線を受けて当該放射線に応じた電気信号を発生する変換素子が基板上に 2 次元状に複数配されたアレイと、当該アレイから出力される信号を検出するための検出回路と、を備えた放射線撮像装置であって、前記検出回路は、前記アレイの対向する 2 辺のうちの一方の辺に配置された複数の第 1 の集積回路と、前記アレイの対向する 2 辺のうちの他方の辺に配置された複数の第 2 の集積回路と、を含み、前記複数の第 1 及び第 2 の集積回路は、双方向の動作が可能な同じ構成の集積回路であり、前記複数の第 1 の集積回路に第 1 の共通入力信号が入力され、前記複数の第 2 の集積回路に第 2 の共通入力信号が入力されることにより、前記複数の第 1 及び第 2 の集積回路が前記アレイから同一の方向で信号を検出するように、前記複数の第 1 及び第 2 の集積回路の動作方向を決定することを特徴とする。

30

【 0 0 2 4 】

本発明に係る放射線撮像装置の他の態様は、前記集積回路はマルチプレクサを含み、前記検出回路の動作方向はマルチプレクサの切り換え順序により定められることを特徴とする。

40

また、本発明に係る放射線撮像装置のその他の態様は、前記集積回路はシフトレジスタを含み、前記検出回路の動作方向は前記シフトレジスタのシフト方向により定められることを特徴とする。

また、本発明に係る放射線撮像装置のその他の態様は、前記集積回路はデコーダを含み、前記検出回路の動作方向は前記デコーダにアドレス情報を供給するコントローラにより定められることを特徴とする。

また、本発明に係る放射線撮像装置のその他の態様は、前記集積回路は、前記基板、当

50

該基板を支持するマザーボード、及びフレキシブル配線基板のいずれかに実装されていることを特徴とする。

また、本発明に係る放射線撮像装置のその他の態様は、前記変換素子は、前記放射線を可視光に変換する蛍光体と、前記可視光を前記電気信号に変換する光電変換素子と、を含むことを特徴とする。

また、本発明に係る放射線撮像装置のその他の態様は、前記光電変換素子は、第1の電極層、半導体層、及び第2の電極層を積層した素子であり、前記半導体層は非単結晶半導体層であることを特徴とする。

また、本発明に係る放射線撮像装置のその他の態様は、前記光電変換素子は、前記第1の電極層と前記半導体層との間に絶縁層を、前記半導体層と前記第2の電極層との間に第1導電型のキャリアの注入を阻止する半導体層を、更に有することを特徴とする。

【発明の効果】

【0025】

以上説明した様に、本発明によれば、大面積の光電変換装置を作製する時の基板1枚あたりの歩留まりを向上させ、かつ基板1枚あたりの不具合による損失額を小さくすることにより、結果的に大面積の光電変換装置のコストを低減することが可能となる。

【0026】

また、本発明によれば、大面積の光電変換装置を作製する時の検査工程の効率の向上及びそれに伴うスループットの向上及び部品点数の削減が可能となり、結果的に大面積の光電変換装置のコストをさらに低減することが可能となる。

【0027】

また、本発明によれば、大面積の光電変換装置において、すべての光電変換素子を同一方向に走査し、信号処理を簡単な装置で高速に行うことが可能となり、その結果、光電変換装置のコスト低減と性能の向上をさせることが可能となる。

【図面の簡単な説明】

【0028】

【図1】本発明の第1の実施形態に係る光電変換装置の全体平面図である。

【図2】2000×2000個の画素を持つ光電変換装置の別の例を示す平面図である。

【図3】2000×2000個の画素を持つ光電変換装置を示す平面図である。

【図4】本発明の第1の実施形態の基板上的構成を示す平面図(a)及び断面図(b)である。

【図5】本発明の第1の実施形態に係る走査回路の構成を示す図である。

【図6】10個の走査回路チップSR1-1～SR1-10を直列に接続し1つの光電変換装置の走査回路を構成した例を示す図である。

【図7】1つの検出用集積回路チップの構成を示す図である。

【図8】10個の検出用集積回路チップIC-1～IC-10を直列に接続した例を示す図である。

【図9】本発明の第2の実施形態に係る光電変換装置の平面図である。

【図10】本発明の第3の実施形態に係る光電変換装置の全体平面図である。

【図11】本発明の第3の実施形態に係る光電変換装置を作製するプラズマCVD装置内での基板配置図である。

【図12】本発明の第4の実施形態に係る光電変換装置の全体平面図である。

【図13】本発明の第5の実施形態として、各実施形態の光電変換素子の上部に蛍光体層を配置し、X線レントゲン装置を構成したものである。

【図14】本発明の光電変換装置の駆動方法を説明する為の回路図である。

【図15】図14の動作を示すタイミングチャートである。

【図16】受光素子としての光センサの構成及び駆動方法を示す図である。

【図17】薄膜の半導体膜で形成した電界効果型トランジスタ(TFT)の層構成を示す図である。

【図18】ゲート絶縁膜とTFTの歩留まりについて、実験した結果を示す図である。

10

20

30

40

50

【図19】4つの基板上に形成された光電変換素子アレイを示す図である。

【発明を実施するための形態】

【0029】

(第1の実施形態)

図1は、本発明の第1の実施形態に係る光電変換装置の全体平面図である。なお図2及び図3と同一機能の部分には同一符号を付してあり、説明を省略する場合がある。

【0030】

図1に示す光電変換装置において特徴的な点は、4枚の基板100、150、100、150を各々2枚ずつ180°回転した状態で4枚の光電変換素子部(図中点線で囲まれた斜線部)を実質的に隙間なく隣り合うように隣接して配列し、互いに貼り合わせることで1つの大きな光電変換装置を構成している点である。

10

【0031】

また、対角線上にある2つの基板はそれぞれ同一構成の基板である。

【0032】

さらに、図1中に矢印で示した走査方向において4枚の基板上の光電変換素子アレイの走査回路の走査方向と、検出用集積回路の走査方向即ち、検出信号のパラ・シリ変換の方向を双方向可能とすることにより、4枚の光電変換素子部を装置全体でみた時にすべて同一方向に走査することが大きな特徴である。

【0033】

基板100の上には、光電変換素子が1000×1000個配置され、1000本の制御配線g1～g1000と1000本の信号配線sig1～sig1000の計2000本の配線と接続されている。走査回路SR1は100段ごとに1個のチップに形成しており、基板100の上には、SR1-1～SR1-10の計10個のICチップが配置され制御配線g1～g1000とICチップの各端子とが接続されている。

20

【0034】

また、検出用集積回路も100個の処理回路ごとに1個のチップに形成し、IC1～IC10の計10個の検出用集積回路チップが配置され信号配線sig1～sig1000と各ICチップの各端子と接続されている。基板150においても基板100と同様であり、光電変換素子は1000×1000個配置されており、1000本の制御配線と1000本の信号配線により接続されている。また走査回路及び検出用集積回路も同様に100個ずつ配置されている。これらの走査回路及び検出用集積回路は各基板毎に同じものを用いて異なるものを用いてもよいが、後述するようにそれぞれ一種のICを用いたほうが好ましいものである。また、4枚の基板上の光電変換素子アレイにおいて4つ同時に走査することも可能であり、そのような場合は図2に示した例と比較すると1/4の走査時間に短縮することが可能となる。

30

【0035】

図1に示すように4枚の基板上に光電変換素子アレイを作製し、その4枚の基板をすき間が出来ただけ小さくなるように貼り合わせて大面積の光電変換装置を構成することにより、基板1枚あたりの歩留まりは高くなり、同時に基板1枚あたりの不具合による損失額を小さくすることができる。

40

【0036】

具体的には、図1の大面積光電変換装置における光電変換素子が配置してある面積と図3の光電変換装置における光電変換素子が配置してある面積が同じ場合には、図1に示す各基板内のすべての制御配線とすべての信号配線の合計の長さは図3に示す光電変換装置内のすべての制御配線とすべての信号配線の合計の長さの約1/4となる。

【0037】

このような光電変換装置において、制御配線及び信号配線のショートまたはオープンはその配線に接続されている光電変換素子のすべての出力信号が不正確なものとなるため、光電変換装置としては使用不可能となってしまう。そのため、すべての制御配線及びすべての信号配線の合計の長さにほぼ比例して上記のような不具合が生じる確率が増大し、歩

50



留まりを下げるのである。

【0038】

よって図1に示す基板1枚あたりの配線の不具合による歩留まりは、図3に示す光電変換装置の約4倍となる。また、図1に示す基板1枚が不具合となり、使用不可能になった場合の損失額は、基板の面積にほぼ比例するため、図3に示す光電変換装置において不具合が発生し使用不可能になった場合の損失額の約1/4となるのである。

【0039】

図1に示すように4枚の基板を用いて第1のパターンの光電変換素子アレイの基板100を2枚と、第2のパターンの光電変換素子アレイの基板150とを形成し、同一の走査回路及び検出用集積回路を実装し、その2枚の基板を各々180°ずつ回転させ対角線上に配し貼り合わせて大面積の光電変換装置を構成する。こうすることにより、部品点数の削減が可能となる。また、検査工程も2種類の装置で行うことが可能となり、検査工程の効率の向上及びそれに伴うスループットの向上が可能となる。その結果大面積の光電変換装置のコストを低減することが可能となる。

10

【0040】

また、4枚の基板上に実装する走査回路及び検出用集積回路を双方向で駆動可能なものとし、シフト方向を定める信号の入力によってシフト方向が決定される回路を用いることにより、図3の様に配置された4枚の光電変換装置すべて同一の方向で走査することが可能となる。その結果、読み取られた全光電変換素子の信号を処理する回路が簡単なものとなり、高速で信号を処理することが可能となる。

20

【0041】

よって、低コストで高性能な大面積の光電変換装置が可能となる。

【0042】

また、基板上の構成は、図4(a)、(b)に示すように、前記基板上には、第1の電極層2、絶縁層7、光電変換を行いうる半導体層4、第1導電型のキャリアの注入を阻止する半導体層5、及び第2の電極層6を積層した光電変換素子が設けられている。そして、この光電変換装置は前記半導体層5に入射した信号光により発生した第1導電型のキャリアを前記半導体装置5に蓄積させ、前記第1導電型と異なる第2導電型のキャリアを前記第2の電極層6に導く方向に前記受光素子に電界を与える光電変換手段と、前記受光素子に電界を与えて、前記第1導電型のキャリアを前記半導体層から前記第2の電極層に導く方向に前記光電変換素子に電界を与えるリフレッシュ手段と、前記光電変換手段による光電変換動作中に前記半導体層に蓄積された前記第1導電型のキャリアもしくは前記第2の電極層に導かれた前記第2導電型のキャリアを検出する為の信号検出部と、を有している。

30

【0043】

図4(a)、(b)において、S11は受光素子、T11はTF T、C11はコンデンサ、およびSIGは信号配線である。コンデンサC11と受光素子S11とを分離せず、受光素子S11とコンデンサC11とを一体的に形成している。これは受光素子とコンデンサとTF Tとがほぼ同じ層構成であるから可能なことである。また、画素上部にはパッシベーション膜として窒化シリコン膜SiNが形成されている。上方より光が光電変換素子に入射すると電気信号(蓄積電荷量)に変換される。

40

【0044】

次に図1に示した走査回路の構成について図5を参照して説明する。

【0045】

走査回路は、出力線の数に対応して設けられたアンドゲート及び選択スイッチSW1と、2段の遅延型フリップフロップ(Dフリップフロップ)FF1、FF2と、選択スイッチSSW1、SSW2と、を有している。

【0046】

シフト方向を定める為の信号として、端子DIRにハイレベルの電圧が入力されると、選択スイッチSSW1、SSW2、SW1がハイ(H)側に切換えられる。図中左側の入

50

出力端子はS I N / S O U Tから入力されるシフトパルス及びクロック入力端子から入力されるクロックに応じて、DフリップフロップF F 1は順次選択スイッチS W 1を介してアンドゲートに、ゲート線を選択する意味をもつ"1"を出力する。この時、制御端子O Eにアウトプットイネーブルのパルス"1"が入力されるとアンドゲートの出力は"1"となり出力線が選択される。こうして、出力線はg 1、g 2、g 3... g 9 8、g 9 9、g 1 0 0の順に選択される。

【0047】

次に逆方向のシフト動作について説明する。シフト方向制御端子D I Rにローレベルの電圧が入力されると、各選択スイッチS S W 2、S W 1、S S W 1がロー(L)側に切換えられる。

10

【0048】

図5中、右側の入出力端子S O U T / S I Nからシフトパルスが入力されると、DフリップフロップF F 2が順次、選択スイッチS W 1を介してアンドゲートに"1"を出力する。この時制御端子O Eにアウトプットイネーブルパルス"1"が入力されるとアンドゲートの出力は"1"となり出力線が選択される。こうして出力線はg 1 0 0、g 9 9、g 9 8、... g 3、g 2、g 1の順で選択される。

【0049】

図6は、10個の走査回路チップS R 1 - 1 ~ S R 1 - 1 0を直列に接続し1つの光電変換装置の走査回路を構成した例を示している。

20

【0050】

図7は、1つの検出用集積回路チップの構成を示している。I Cチップはマルチプレクサを有しており、入力された信号の出力順(又は信号の入力順)を選択する電気的ロータリースイッチを制御端子C O N Tへの入力制御信号により制御する構成が採用されている。つまり、I Cチップは、入力端子からパラレルに入力した信号を、いったん不図示のサンプルホールド回路に保持した後、シリアルに出力してもよいし、シリアルに入力してシリアルに出力してもよい。

【0051】

図8は、10個の検出用集積回路チップI C - 1 ~ I C - 1 0を直列に接続した例を示している。

30

【0052】

図1の装置に図5~図8の走査回路及び検出用集積回路を採用した場合の動作について述べる。

【0053】

各チップからみれば、光電変換素子部のゲート配線又は信号配線に接続される各チップの端子の物理的配置順序とシフト方向との関係は装置100に搭載されるか、装置150に搭載されるかにより、互に逆になる。

【0054】

しかし、図5~図8の各I Cチップはシフト方向が制御端子D I R、C O N Tへの入力信号によって選択的に定められる為、1種類のI Cチップが100又は150のいずれにも搭載できる。

40

【0055】

例えば、図1中、左上の装置100と左下の装置150に搭載される走査回路は、端子D I Rにハイレベルの電圧を入力し、シフト方向がg 1、g 2、... g 1 0 0となるように定められる。

【0056】

一方、図1中右上の装置150と右下の装置100とに搭載される走査回路は端子D I Rにローレベルの電圧を入力し、シフト方向がg 1 0 0、g 9 9、... g 1となるように定められる。

【0057】

又、各チップからの走査選択信号は左上、左下の装置ではS R 1 - 1からS R 1 - 1 0

50

の順に出力され、逆に右上、右下の装置ではSR1-10からSR1-1の順に出力される。

【0058】

同様に、図1の右上及び左上にある装置に搭載される検出用ICチップには端子CONTにハイレベルのパルスが入力され、端子Sig1、Sig2、... Sig100の順に検出信号を時系列に並べ変えて出力する。

【0059】

一方、図1の右下及び左下にある装置に搭載される検出用ICチップには端子CONTにローレベルのパルスが入力され端子Sig100、Sig99、... Sig1の順に検出信号を時系列に並べ変えて出力する。

10

【0060】

各チップからの出力は右上、左上の装置ではIC-1からIC-10の順まで時系列に出力され、右下、左下の装置では逆にIC-10からIC-1の順で時系列に出力される。

【0061】

本発明の光電変換装置に用いることができるICチップの実装法は大別して4つある。各チップを4つの基板上にフリップチップ方式で直接搭載するチップオンガラス法(COG法)、各チップをフレキシブルプリント配線基板に接続し搭載するテープキャリアパッケージICを用いる方法(TAB法)、4つの基板上にICチップを配してワイヤーボンディングする方法、或いは走査回路と検出用回路を光電変換素子を構成する薄膜半導体を用いて同一基板上に作製するモノリシック集積化法である。ICチップの大きさが無視できない場合であって光電変換素子アレイの外側の領域(枠部)の大きさを小さくしたい場合には、基板を折り曲げることが出来るTAB法が好ましい。TAB法の場合、制御配線又は信号配線と、テープキャリアパッケージされたICの端子との接続は、異方性導電性接着剤を用いて接続することが望ましい。

20

【0062】

又、4つの基板は、ガラス、セラミックス、金属、樹脂などからなる大面積の基体(マザーボード)に積層して貼り合わせるとよい。

【0063】

(第2の実施形態)

30

図9は、本発明の第2の実施形態に係る光電変換装置の平面図である。なお図1、図2及び図3と同一機能の部分には同一符号を付してあり、説明を適宜省略している。

【0064】

図9に示す光電変換装置において特徴的な点は、4枚の基板の中の少なくとも1組が互いに異なる外形を有している点である。図9ではこうして4枚の基板を貼り合わせた時の大面積の光電変換装置における光電変換部の平面形状が長方形の装置を提供する。つまり、符号150で示す互いに対角線上にある1組の基板の装置は同一構成のものが使用でき、符号250で示す、対角線上にある1組の基板の装置は同一構成の装置である。もちろん、1組の基板の平面形状が互いに異なる場合においても、4枚の基板を貼り合わせた時の大面積の光電変換装置における光電変換部の平面形状が正方形になる場合もあるが、作製のしやすさ及びコストを考えると図9に示す装置がより好ましい。

40

【0065】

本発明による大面積の光電変換装置を人体の胸部用X線撮像装置に用いる場合は、光電変換部の平面形状は本第2の実施例のような長方形になる場合がある。

【0066】

このような場合においても、同一パターンの基板を2枚ずつ形成し、同一の走査回路及び検出用集積回路を実装し、その2枚の基板を各々180°ずつ回転させ、すき間をできるだけなくすように貼り合わせて大面積の光電変換装置を構成することにより、部品点数の削減が可能となる。また、検査工程も2種類の装置で行うことが可能となり、検査工程の効率の向上及びそれに伴うスループットの向上が可能となる。その結果大面積の光電変

50

換装置のコストを低減することが可能となる。

【0067】

また、4枚の基板上に実装するシフトレジスタ及び検出用集積回路を双方向で駆動可能なものとすることにより、図3の様に配置された4枚の光電変換装置すべて同一の方向で走査することが可能となる。その結果、読み取られた全光電変換素子の信号を処理する回路が簡単なものとなり、高速で信号を処理することが可能となる。よって、低コストで高性能な大面積の光電変換装置が可能となる。

【0068】

(第3の実施形態)

図10は、本発明の第3の実施形態に係る光電変換装置の全体平面図である。なお従来例の項で説明した図2、3と同一機能の部分には同一符号を付してあり、説明を省略する場合がある。

10

【0069】

図10に示す光電変換装置においては、4枚の基板100、200、300、400上に構成されている光電変換素子アレイ(図中、点線で囲まれる斜線部)を互いに接近させて配列して貼り合わせることによって1つの大きな光電変換装置を構成している。

【0070】

基板100の上には、光電変換素子が1000×1000個配置され、制御配線g1～g1000と1000本の信号配線sig1～sig1000の計2000本の配線と接続されている。走査回路SR1のシフトレジスタは100段ごとに1個のチップに形成してあり、基板100の上には、SR1-1～SR1-10の計10個のICチップが配置され制御配線g1～g1000と接続されている。

20

【0071】

また、検出用集積回路は100個の処理回路ごとに1個のチップに集積化され、IC1～IC10の計10個のチップが配置され信号配線sig1～sig1000と接続されている。他の基板200、300、400においても基板100と同様であり、光電変換素子は1000×1000個配置されており、1000本の制御配線と1000本の信号配線により接続されている。またシフトレジスタ及び検出用集積回路も同様に10個ずつ配置されている。これらのシフトレジスタ及び検出用集積回路は各基板毎に同じものを用いても異なるものを用いてもよいが、前述した双方向に駆動可能なICを用いることが望ましいものである。また、4枚の光電変換装置において同時に走査することも可能であり、そのような場合は図9に示す例と比較すると1/4の走査時間に短縮することが可能となる。

30

【0072】

図11は、本発明の第3の実施形態に係る光電変換装置を作製するプラズマCVD装置内での基板配置図である。図11に示す光電変換装置において更なる特徴的な点は、図10に示した光電変換装置100、200、300、400をそれぞれ構成する基板101、201、301、401のプラズマCVD内での配置される向きと、光電変換装置100、200、300、400の配置されている向きが同じことである。つまり、角部PPが中心になるように配置される。

40

【0073】

図11において符号500は基板を押える治具であり、600は薄膜堆積後切断される仮想の切断線である。

【0074】

通常、プラズマCVD装置として、平行平板型で、一方の電極の孔からガスを噴出させる装置が用いられる為、基板又は電極の中心と周辺とに堆積速度に差が生じ易い。

【0075】

これに対して、図11のように配置された基板上に非晶質シリコン等の非単結晶半導体層を堆積し、そのままの向きで図1のように4枚を貼り合わせ大面積の光電変換装置を作製することにより、4枚の光電変換装置の継ぎ目の光電変換素子の特性が連続的に等しく

50

なり、結果的に高性能な大面積の光電変換装置を提供することが可能となる。

【0076】

基板上には、前述した、図4及び図5に示されるように、前記基板上には、第1の電極層2、絶縁層7、半導体層4、第1導電型のキャリアの注入を阻止する半導体層5、及び第2の電極層6を積層した光電変換素子を配列した光電変換部が設けられている。

【0077】

(第4の実施形態)

図12は、本発明の第4の実施形態に係る光電変換装置の全体平面図である。なお前述した各実施例と同一機能の部分には同一符号を付してあり、適宜説明を省略する。

【0078】

図12に示す光電変換装置において特徴的な点は、光電変換装置100、400をすき間が小さくなるように貼り合わせることによって1つの大きな光電変換装置を構成している点である。光電変換装置100、400は実施例3と同様に図11に示す配置でプラズマCVD内で非晶質シリコンが堆積される。よって、図11のように配置された基板上に非晶質シリコンを堆積し、そのうち基板101と基板401を用いて角部PPが一致するようにそのままの向きで図12のように2枚を貼り合わせて大面積の光電変換装置を作製することにより、2枚の光電変換装置の継ぎ目の光電変換素子の特性が連続的に等しくなり、結果的に高性能な大面積の光電変換装置を提供することが可能となる。

【0079】

又、更に実施例1～3と同様に、2枚の基板上に実装するシフトレジスタ及び検出用集積回路を双方向で駆動可能なものとすることにより、図12の様に配置された2枚の光電変換装置を図12中、矢印に示す方向で走査することが可能となる。

【0080】

(第5の実施形態)

第5の実施形態としては、上記した第1乃至第4の各実施形態の光電変換素子の上部に蛍光体を配置し、X線レントゲン装置を構成したものである。

【0081】

基板上の構成は、前述した図5の光入射側にX線等の高エネルギー線を吸収し可視光を発生する蛍光体の層を設けたものである。それを図13に示す。パッシベーション膜SiN上に蛍光体としての蛍光体を配している。この蛍光体としてはヨウ化セシウム(CsI)が挙げられ、X線を受光すると蛍光を発生する。この蛍光を受光素子S11で光電変換する。例えば縦横1mmあたり5×5個の画素を2000×2000個の画素として二次元的に配置すれば40cm×40cmのX線検出器が得られる。

【0082】

これをX線フィルムの代わりにX線発生器と組み合わせてX線レントゲン装置を構成すれば胸部レントゲン検診や乳ガン検診に使用できる。するとフィルムと異なり瞬時にその出力をCRTで映し出すことが可能で、さらに出力をデジタルに変換しコンピュータで画像処理して目的に合わせた出力に変換することも可能である。また光磁気ディスクに保管もでき、過去の画像を瞬時に検索することもできる。また感度もフィルムよりも良く人体に影響の少ない微弱なX線で鮮明な画像を得ることもできる。

【0083】

次に、図14、図15を参照して本発明に用いられる光電変換素子アレイの駆動法について説明する。ここでは1チップの走査回路による走査線数を3、1チップの検出用ICによるデータ線数を3として、3×3マトリクスの光電変換素子アレイの駆動する場合を例に挙げるが、走査線を1000本、データ線を1000本、光電変換素子を1000×1000マトリクスとすれば、図3の1つの基板の走査・検出が行えることは明らかである。

【0084】

図14は、本発明の光電変換装置の駆動方法を説明する為の回路図である。各光電変換素子(画素)の構成としては図4、5、13に示したものと同一構造を採用できる。

10

20

30

40

50

## 【 0 0 8 5 】

図 1 4 において、S 1 1 ~ S 3 3 は受光素子で下部電極側を G、上部電極側を D で示している。C 1 1 ~ C 3 3 は蓄積用コンデンサ、T 1 1 ~ T 3 3 は転送 T F T である。V s は読み出し用電源、V g はリフレッシュ用電源であり、それぞれスイッチ S W s、S W g を介して全光電変換素子 S 1 1 ~ S 3 3 の G 電極に接続されている。スイッチ S W s はインバータを介して、スイッチ S W g は直接にリフレッシュ制御回路 R F に接続されており、リフレッシュ期間はスイッチ S W g が on するよう制御されている。1 画素は 1 個の受光素子とコンデンサ、および T F T で構成され、その出力信号は信号配線 S I G を介して検出用集積回路 I C に出力される。

## 【 0 0 8 6 】

図 1 4 中の破線で囲んだ部分は大面積の同一絶縁基板上に形成されている。

## 【 0 0 8 7 】

図 1 5 は図 1 4 の動作を示すタイミングチャートである。

## 【 0 0 8 8 】

はじめに走査回路 S R 1 および S R 2 により制御配線 g 1 ~ g 3、s 1 ~ s 2 にハイレベルのパルスが印加される。すると転送用 T F T・T 1 1 ~ T 3 3 とスイッチ M 1 ~ M 3 がオンし導通し、受光素子 S 1 1 ~ S 3 3 の D 電極は基準電位としての G N D 電位になる（積分検出器 A m p の入力端子は G N D 電位に設計されているため）。同時にリフレッシュ制御回路 R F がハイレベルのパルスを出しスイッチ S W g がオンし、全受光素子 S 1 1 ~ S 3 3 の G 電極はリフレッシュ用電源 V g により正電位になる。すると全受光素子 S 1 1 ~ S 3 3 はリフレッシュモードになりリフレッシュされる。つぎにリフレッシュ制御回路 R F がローレベルのパルスを出しスイッチ S W s がオンし全受光素子 S 1 1 ~ S 3 3 の G 電極は読み取り用電源 V s により負電位になる。すると全受光素子 S 1 1 ~ S 3 3 は光電変換モードになり同時にコンデンサ C 1 1 ~ C 3 3 は初期化される。この状態で走査回路 S R 1 および S R 2 により制御配線 g 1 ~ g 3、s 1 ~ s 2 にローレベルのパルスが印加される。すると転送用 T F T・T 1 1 ~ T 3 3 のスイッチ M 1 ~ M 3 がオフし、全受光素子 S 1 1 ~ S 3 3 の D 電極は D C 的にはオープンになるがコンデンサ C 1 1 ~ C 3 3 によって電位は保持される。

## 【 0 0 8 9 】

しかし、この時点では光線は入射されていないため、全受光素子 S 1 1 ~ S 3 3 には光は入射されずに光電流は流れない。この状態で光線がパルスのように出射され被写体を介して受光素子 S 1 1 ~ S 3 3 に入射する。この光により流れた光電流は電荷としてそれぞれのコンデンサ C 1 1 ~ C 3 3 に蓄積され光線の入射終了後も保持される。

## 【 0 0 9 0 】

つぎに、走査回路 S R 1 により制御配線 g 1 にハイレベルの制御パルスが印加され、走査回路 S R 2 の制御配線 s 1 ~ s 3 への制御パルス印加によって転送用 T F T・T 1 1 ~ T 3 3 のスイッチ M 1 ~ M 3 を通して v 1 ~ v 3 が順次出力される。同様に走査回路 S R 1、S R 2 の制御により他の光信号も順次出力される。二次元の光情報が電気信号に変換されて v 1 ~ v 9 として得られる。静止画像を得る場合はここまでの動作であるが動画像を得る場合はここまでの動作を繰り返す。

## 【 0 0 9 1 】

この光電変換装置では受光素子の G 電極が共通に接続され、この共通の配線をスイッチ S W g とスイッチ S W s を介してリフレッシュ用電源 V g と読み取り用電源 V s に接続して、G 電極の電位に制御している為、全光電変換素子を同時にリフレッシュモードと光電変換モードとに切り換えることができる。このため複雑な制御なくして 1 画素あたり 1 個の T F T で光出力を得ることができる。

## 【 0 0 9 2 】

以前我々が提案した光電変換装置では 9 個の画素を 3 × 3 に二次元配置し 3 画素ずつ同時に、3 回に分割して転送・出力したが、これに限らず、例えば縦横 1 m m あたり 5 × 5 個の画素を 2 0 0 0 × 2 0 0 0 個の画素として二次元的に配置すれば 4 0 c m × 4 0 c m

10

20

30

40

50

の X 線検出器が得られる。

【 0 0 9 3 】

従来の X 線レントゲン装置における X 線フィルムに代えて本発明の光電変換装置を X 線発生器と組み合わせて用いれば新規な X 線レントゲン装置となる。これは胸部レントゲン検診や乳ガン検診に使用できる。するとフィルムと異なり瞬時にその出力を CRT で映し出すことが可能で、さらに出力をデジタルに変換しコンピュータで画像処理して目的に合わせた出力に変換することも可能である。また光磁気ディスクに保管もでき、過去の画像を瞬時に検索することもできる。また感度もフィルムより良く人体に影響の少ない微弱な X 線で鮮明な画像を得ることもできる。

【 0 0 9 4 】

又、本発明の光電変換装置に用いられる受光素子としては、光導電素子や光起電力素子が用いられるが、以下に述べる理由により、図 4、5、13 に示したような光電変換素子が好ましく用いられる。

【 0 0 9 5 】

図 16 ( a ) ~ ( c ) は受光素子としての光センサの構成を示す図であり、図 16 ( a )、( b ) は二種類の光センサの層構成を示し、図 16 ( c ) は共通した代表的な駆動方法を示している。図 16 ( a )、( b ) 共にフォト・ダイオード型の光センサであり、図 16 ( a ) は PIN 型、図 16 ( b ) はショットキー型と称されている。

【 0 0 9 6 】

図 16 ( a )、( b ) 中、1 は絶縁基板、2 は下部電極、3 は p 型半導体層 ( 以下 p 層と記す )、4 は真性半導体層 ( 以下、i 層と記す )、5 は n 型半導体層 ( 以下 n 層と記す ) 6 は透明電極である。図 16 ( b ) のショットキー型では下部電極 2 の材料を適当に選び、下部電極 2 から i 層 4 に電子が注入されないようショットキーバリア層が形成されている。図 16 ( c ) において、10 は上記光センサを記号化して表わした光センサを示し、11 は電源、12 は電流アンプ等の検出部を示している。光センサ 10 中 C で示された方向は図 16 ( a )、( b ) 中の透明電極 6 側、A で示された方向が下部電極 2 側であり、電源 11 は A 側に対し C 側に正の電圧が加わる様に設定されている。

【 0 0 9 7 】

ここで動作を簡単に説明する。図 16 ( a )、( b ) に示されるように、矢印で示された方向から光が入射され、i 層 4 に達すると、光は吸収され電子とホールが発生する。i 層 4 には電源 11 により電界が印加されているため電子は C 側、つまり n 層 5 を通過して透明電極 6 に移動し、ホールは A 側つまり下部電極 2 に移動する。よって、光センサ 10 に光電流が流れたことになる。また、光が入射しない場合 i 層 4 で電子もホールも発生せず、また、透明電極内 6 のホールは n 層 5 がホールの注入阻止層として働き、下部電極 2 内の電子は図 16 ( a ) の PIN 型では p 層 3 が、図 16 ( b ) のショットキー型ではショットキーバリア層が、電子の注入阻止層として働き、電子、ホール共に移動できず、電流は流れない。したがって光の入射の有無で電流が変化し、これを図 16 ( c ) の検出部 12 で検出すれば光センサとして動作する。

【 0 0 9 8 】

しかしながら、上記光センサで SN 比が高く、低コストの光電変換装置を生産するのは困難であった。以下その理由について説明する。

【 0 0 9 9 】

第 1 の理由は、図 16 ( a ) の PIN 型、図 16 ( b ) のショットキー型は共に 2 カ所に注入阻止層が必要なところにある。図 16 ( a ) の PIN 型において注入阻止層である n 層 5 は電子を透明電極 6 に導くと同時にホールが i 層 4 に注入するのを阻止する特性が必要である。どちらかの特性を逸すれば光電流が低下したり、光が入射しない時の電流 ( 以下暗電流と記す ) が発生、増加することになり SN 比の低下の原因になる。この暗電流はそれ自身がノイズと考えられると同時にショットノイズと呼ばれるゆらぎ、いわゆる量子ノイズを含んでおり、たとえば検出部 12 で暗電流を差し引く処理をしても、暗電流に伴う量子ノイズを小さくすることはできない。通常この特性を向上させるため i 層 4 や n

10

20

30

40

50

層5の成膜の条件や、作成後のアニールの条件の最適化を図る必要がある。しかし、もう一つの注入阻止層であるp層3についても電子、ホールが逆であるが同等の特性が必要であり、同様に各条件の最適化が必要である。通常、前者n層の最適化と後者p層の最適化の条件は同一でなく、両者の条件を同時に満足させるのは困難である。つまり、同一光センサ内に二カ所の注入阻止層が必要なことは高SN比の光センサの形成を困難にする。

#### 【0100】

これは図16(b)のショットキー型においても同様である。また図16(b)のショットキー型においては片方の注入阻止層にショットキーバリア層を用いているが、これは下部電極2とi層4の仕事関数の差を利用するもので、下部電極2の材料が限定されたり、界面の局在準位の影響が特性に大きく影響したりして、条件を満足させるのはさらに困難である。また、さらにショットキーバリア層の特性を向上させるために、下部電極2とi層4の間に100オングストローム前後の薄いシリコンや金属の酸化膜、窒化膜を形成することも報告されているが、これは、トンネル効果を利用し、ホールを下部電極2に導き、電子のi層4への注入を阻止する効果を向上させるもので、やはり仕事関数の差を利用しているため下部電極2の材料の限定は必要であるし、電子の注入の阻止とトンネル効果によるホールの移動という逆の性質を利用するため酸化膜や窒化膜は100オングストローム前後と非常に薄いところに限定され、かつ、厚さや膜質の制御は難しく生産性を低下させられる。

10

#### 【0101】

また、注入阻止層が2カ所必要なことは生産性を低下させコストもアップする。これは注入阻止層が特性上重要な為2カ所中1カ所でもゴミ等で欠陥が生じた場合、光センサとしての特性が得られないからである。

20

#### 【0102】

第2の理由を図17を用いて説明する。図17は薄膜の半導体膜で形成した電界効果型トランジスタ(TFT)の層構成を示している。TFTは光電変換装置を形成するうえで制御部の一部として利用することがある。図中、図16と同一なものは同番号で示してある。図17において、7はゲート絶縁膜であり、60は上部電極である。形成法を順を追って説明する。絶縁基板1上にゲート電極(G)として働く下部電極2、ゲート絶縁膜7、i層4、n層5、ソース、ドレイン電極(S、D)として働く上部電極60を順次成膜し、上部電極60をエッチングしてソース、ドレイン電極を形成し、その後n層5をエッチングしてチャンネル部を構成している。TFTの特性はゲート絶縁膜7とi層4の界面の状態に敏感で通常その汚染を防ぐために同一真空内で連続に堆積する。

30

#### 【0103】

従来の光センサをこのTFTと同一基板上に形成する場合、この層構成が問題となりコストアップや特性の低下を招く。この理由は図16に示した光センサの構成が、図16(a)のPIN型が電極/p層/i層/n層/電極、図16(b)のショットキー型が電極/i層/n層/電極という構成であるのに対し、TFTは電極/絶縁膜/i層/n層/電極という構成で両者が異なるからである。これは同一プロセスで形成できないことを示し、プロセスの複雑化による歩留まりの低下、コストアップを招く。また、i層/n層を共通化するにはゲート絶縁膜7やp層3のエッチング工程が必要となり、先に述べた光センサの重要な層である注入阻止層のp層3とi層4が同一真空内で成膜できなかつたり、TFTの重要なゲート絶縁膜7とi層4の界面がゲート絶縁膜のエッチングにより汚染されたりして、特性の劣化やSN比の低下の原因になる。

40

#### 【0104】

また、前述した図16(b)のショットキー型の特性を改善するため下部電極2とi層4の間に酸化膜や窒化膜を形成したものは膜構成の順は同一であるが先に述べたように酸化膜や窒化膜は100オングストローム前後である必要がありゲート絶縁膜と共用することは困難である。

#### 【0105】

図18に、ゲート絶縁膜とTFTの歩留まりについて、我々が実験した結果を示す。ゲ

50



ート絶縁膜厚が1000オングストローム以下で歩留まりは急激に低下し、800オングストロームで歩留まりは約30%、500オングストロームで歩留まりは0%、250オングストロームではTFTの動作すら確認できなかった。トンネル効果を利用した光センサの酸化膜や窒化膜と、電子やホールを絶縁しなければならないTFTのゲート絶縁膜を共用化することは明らかに困難であり、これをデータが示している。

#### 【0106】

またさらに、図示していないが電荷や電流の積分値を得るのに必要となる素子である容量素子(以下コンデンサと記す)を光センサと同一の構成でリークが少ない良好な特性のものを作るのは難しい。コンデンサは2つの電極間に電荷を蓄積するのが目的なため電極間の中間層には必ず電子とホールの移動を阻止する層が必要であるのに対し、従来の光センサは電極間に半導体層のみ利用しているため熱的にリークの少ない良好な特性の中間層を得るのは難しいからである。

10

#### 【0107】

このように光電変換装置を構成するうえで重要な素子であるTFTやコンデンサとプロセス的にまたは特性的にマッチングが良くないことは複数の光センサを二次元に多数配置し、この光信号を順次検出するようなシステム全体を構成するうえで工程が多くかつ複雑になるため歩留まりが非常に悪く、低コストで高性能多機能な装置を作る上で問題になる。

#### 【0108】

これに対して、図4、5、13、14、15を参照して前述した光電変換素子を用いれば、上述した課題は解決できる。

20

#### 【0109】

前出の図1に係る実施形態では、例えば右上の基板上の素子アレイのみを走査・検出し、他の3枚の基板の素子アレイは走査検出を行わないように駆動することも出来る。

#### 【0110】

しかしながら、右上の基板150の素子アレイのうち、例えば100本の制御配線g1、g2、...g100および100本の信号配線Sig1、Sig2、...Sig100の交点にある素子のみから信号検出を行うことはできない。よって、その交点にある素子の信号のみを再生する場合には、右上の基板150の全素子から信号を読み出した後、必要な信号のみを再生処理する方法が採られる。

30

#### 【0111】

次に述べる実施形態では、走査回路チップ及び検出用チップがデコーダを有しており、コントローラからのアドレス情報を基に選択すべき制御配線と信号配線とが定められ、それに接続された端子のみが選択される構成の装置である。

#### 【0112】

図19において、光電変換素子アレイは4つの基板710、720、730、740上に形成されており、制御配線は左右にそれぞれ10個設けられた走査選択回路チップCP1に接続され、信号配線は上下にそれぞれ10個設けられた検出用ICチップCP2に接続されている。

40

#### 【0113】

コントローラCRLは走査選択すべき光電変換素子のアドレス情報を配線回路DB1、DB2を介してそのアドレス情報に対応した端子をもつチップCP1、CP2に選択的にアドレス情報を供給する。アドレス情報が供給されたチップCP1、CP2はアドレス情報をデコードして選択すべき端子をイネーブルとする。こうして必要な領域の光電変換素子からの信号のみを処理再生するマスキング処理が容易に行われる。

#### 【0114】

以上のように各チップがデコーダを有しているので、同じ構成の走査選択回路チップを左右いずれにも配することができる。これは検出用ICチップについても同じである。

#### 【0115】

又、デコーダを有することにより、必要に応じて複数本の制御配線を同時に選択したり

50

、所定数本飛び越して走査選択したりすることもできる。これは検出用ＩＣチップについても同じことがいえる。

【０１１６】

勿論、全制御配線と全信号配線を特定するアドレス情報を時系列に各回路に入力すれば図３と同様に走査方向を定めることができる。

【０１１７】

以上本発明の実施形態について説明したが、本発明の他の好適な実施の態様を以下のとおり列挙する。

【０１１８】

２次元状に配された複数の光電変換素子を有する基板を複数隣接して配置した光電変換装置において、走査回路又は検出用回路の少なくともいずれか一方が該光電変換装置の対向する２辺に配され、該２辺に配された回路の走査方向が同じ方向に設定可能であることを特徴とする光電変換装置。

10

【０１１９】

また、該走査方向は、シフトレジスタのシフト方向により定められることを特徴とする光電変換装置。

【０１２０】

また、該走査方向は、マルチプレクサの切換え順序により定められることを特徴とする光電変換装置。

【０１２１】

また、該走査回路は、デコーダを有し、入力されるアドレス情報により走査方向が定められることを特徴とする光電変換装置。

20

【０１２２】

また、該検出用回路は、デコーダを有し、入力されるアドレス情報により走査方向が定められることを特徴とする光電変換装置。

【０１２３】

また、該検出用回路は、光電変換素子からの信号をパラレルに入力し、走査方向に応じてシリアルに出力することを特徴とする光電変換装置。

【０１２４】

また、該検出用回路は、光電変換素子からの信号を走査方向に応じてシリアルに入力し、シリアルに出力することを特徴とする光電変換装置。

30

【０１２５】

また、該走査回路と該検出用回路は、複数のＩＣチップでそれぞれ構成されていることを特徴とする光電変換装置。

【０１２６】

また、該走査回路又は該検出用回路の少なくともいずれか一方に走査方向を定める為の信号が入力されることを特徴とする光電変換装置。

【０１２７】

また、前記基板は４つであり、前記光電変換装置の対向する２辺に該走査回路が、別の対向する２辺に検出用回路が設けられていることを特徴とする光電変換装置。

40

【０１２８】

また、該走査回路及び検出用回路は、フレキシブル配線基板に実装されたＩＣチップからなることを特徴とする光電変換装置。

【０１２９】

また、該走査回路及び検出用回路は、該基板又は該基板を支持するマザーボード上に実装されたＩＣチップであることを特徴とする光電変換装置。

【０１３０】

また、該光電変換素子上に光変換体が配されていることを特徴とする光電変換装置。

【０１３１】

また、該光変換体は、蛍光体であることを特徴とする光電変換装置。

50

## 【0132】

また、2次元的に配列された複数の光電変換素子を搭載した基板を、2次元的に縦横2枚ずつ4枚、前記光電変換素子部が平面的に隣り合うように配列して貼り合わせて構成され、かつ、前記貼り合わせた4枚の基板の中で、隣り合わない2枚の基板はそれぞれ同一構成の基板を平面上で180°回転した位置関係で配置されており、かつ、前記基板は、それぞれ同一方向に走査されることを特徴とする光電変換装置。

## 【0133】

また、前記基板は、複数の光電変換素子が平面的に配列された光電変換素子部が形成された辺と、該光電変換素子部に接続される回路部が形成された辺とを有し、該基板の、それぞれの前記光電変換素子部が平面的に近接して隣り合うように配列して貼り合わせて構成したことを特徴とする光電変換装置。

10

## 【0134】

また、前記光電変換素子は、第一の電極層、絶縁層、半導体層、第1導電型のキャリアの注入を阻止する半導体層、及び第二の電極層を積層した素子であることを特徴とする光電変換装置。

## 【0135】

また、2次元的に配列された光電変換素子を搭載した複数の基板を、それぞれの前記光電変換素子部が平面的に隣り合うように配置して貼り合わせて構成した光電変換装置であり、前記貼り合わせる複数の基板の配置を、それぞれの基板の光電変換部となる半導体層を堆積させた時の基板配置と同じ配置として、前記複数の基板を貼り合わせて構成したことを特徴とする光電変換装置。

20

## 【0136】

また、前記光電変換素子の半導体層は、非単結晶半導体層であることを特徴とする光電変換装置。

## 【0137】

また、前記基板は、複数の光電変換素子が平面的に配列された光電変換素子部が形成された辺と、該光電変換素子部に接続される回路部が形成された辺とを有し、該基板の複数枚を、それぞれの前記光電変換素子部が平面的に近接して隣り合うように配置して貼り合わせて構成したことを特徴とする光電変換装置。

30

## 【0138】

また、前記基板には、第1の電極層、絶縁層、半導体層、第1導電型のキャリアの注入を阻止する半導体層、及び第2の電極層を積層した光電変換素子と、前記半導体層に入射した信号光により発生した第1導電型のキャリアを前記半導体層に蓄積し、前記第1導電型と異なる第2導電型のキャリアを前記第2の電極層に導く方向に前記光電変換素子に電界を与える手段と、前記光電変換素子に電界を与えて、前記第1導電型のキャリアを前記半導体層から前記第2の電極層に導く方向に前記光電変換素子に電界を与えるリフレッシュ手段と、前記手段による光電変換動作中に前記半導体層に蓄積された前記第1導電型のキャリアもしくは前記第2の電極層に導かれた前記第2導電型のキャリアを検出する為の信号検出部と、を有することを特徴とする光電変換装置。

40

## 【0139】

また、前記光電変換素子の上部に光変換体を配置し、X線レントゲン装置を構成したことを特徴とする光電変換装置。

## 【0140】

また、該光変換体は、蛍光体であることを特徴とする光電変換装置。

## 【0141】

また、上記光電変換装置と、高エネルギー線照射装置とを有することを特徴とする撮像装置。

## 【0142】

また、前記高エネルギー線は、X線であることを特徴とする撮像装置。

## 【0143】

50

さらに、２次元的に配列された光電変換素子を搭載した複数の基板を、それぞれの前記光電変換素子が平面的に隣り合うように配置して貼り合わせた光電変換装置の製造方法において、共通のＣＶＤ装置内において、共通の治具の表面上に、前記複数の基板を所定の向きで平面的に配置して、前記光電変換素子となる半導体層を堆積させる堆積工程と、該半導体層が堆積された複数の基板を前記堆積工程における前記基板の向きと同じ向きとなるように共通のマザーボード上に貼り合わせる工程とを含むことを特徴とする光電変換装置の製造方法。

【０１４４】

特に、前記光電変換素子の半導体層は、非単結晶半導体層とするとよい。

【０１４５】

また、前記各基板の隣接する２辺に偏って前記複数の光電変換素子が平面的に配列されており、前記各基板の別の隣接する２辺に偏って前記各光電変換素子を走査する走査回路と、前記走査回路の走査により各光電変換素子から出力される信号を検出する検出用回路とが形成されており、前記各基板を、それぞれ、前記光電変換素子部が偏って形成された隣接する２辺のうち少なくともいずれか１辺が隣り合うように貼り合わせている。

【０１４６】

また更に、本発明の他の好適な実施の態様は、以下の手段を提供する。

【０１４７】

[１] ２次元的に配列された複数の光電変換素子を搭載した基板を、２次元的に縦横２枚ずつ４枚、前記光電変換素子部が平面的に隙間無く隣り合うように配列して貼り合わせて構成され、かつ、前記貼り合わせた４枚の基板の中で、隣合わない２枚の基板はそれぞれ同一構成の基板を平面上で１８０°回転した位置関係で配置されており、かつ、前記基板は、それぞれ同一方向に走査されることを特徴とする光電変換装置。

【０１４８】

[２] 前記基板は、複数の光電変換素子が平面的に配列された光電変換素子部が形成された辺と、該光電変換素子部に接続される回路部が形成された辺とを有し、該基板の、それぞれの前記光電変換素子部が平面的に隣り合うように配列して貼り合わせて構成した[１]記載の光電変換装置。

【０１４９】

[３] 前記基板上には、第１の電極層、絶縁層、光電変換半導体層、第１導電型のキャリアの注入を阻止する半導体層、及び第２の電極層を積層した光電変換素子と、前記光電変換半導体層に入射した信号光により発生した第１導電型のキャリアを前記光電変換半導体層に留まらせ、前記第１導電型と異なる第２導電型のキャリアを前記第２の電極層に導く方向に前記光電変換素子に電界を与える光電変換手段と、前記光電変換素子に電界を与えて、前記第１導電型のキャリアを前記光電変換半導体層から前記第２の電極層に導く方向に前記光電変換素子に電界を与えるリフレッシュ手段と、前記光電変換手段による光電変換動作中に前記光電変換半導体層に蓄積された前記第１導電型のキャリアもしくは前記第２の電極層に導かれた前記第２導電型のキャリアを検出する為の信号検出部と、を有する[１]又は[２]に記載の光電変換装置。

【０１５０】

[４] 前記光電変換素子の上部に蛍光体を配置し、Ｘ線レントゲン装置を構成した上記[１]～[３]のいずれかに記載の光電変換装置。

【０１５１】

上記[１]、[２]の手段によれば、作製する時の基板１枚あたりの歩留まりを向上させ、かつ基板１枚あたりの不具合による損失額は小さくすることにより、結果的に大面積の光電変換装置のコストを低減できるという作用が得られる。

【０１５２】

また、検査工程の効率の向上、及びそれに伴うスループットの向上、及び部品点数の削減が可能となり、結果的に大面積の光電変換装置のコストをさらに低減することができるという作用が得られる。

10

20

30

40

50

【 0 1 5 3 】

さらに、すべての光電変換素子を同一方向に走査し、信号処理を簡単な装置で高速に行うことが可能となり、その結果、光電変換装置のコスト低減と性能の向上をさせることができる。

【 0 1 5 4 】

また、上記【 3 】の手段によれば、上記【 1 】、【 2 】で説明した作用に加えて、光電変換素子の注入阻止層が一か所のみで光の入射量を検出することができ、プロセスの最適化が容易で歩留まりの向上が図れ、製造コストの低減が可能で、SN比の高い低コストの光電変換装置を供給することができるという作用が得られる。

【 0 1 5 5 】

また、上記【 4 】の手段によれば、上記【 1 】～【 3 】で説明した作用に加えて、従来のX線フィルムと異なり、出力を瞬時に映し出すことが可能となり、更に画像処理及びデータの保管も可能となる。又、感度もフィルムに比べて良く、人体に影響の少ない微弱なX線で鮮明な画像を得ることができるという作用が得られる。

【 0 1 5 6 】

成膜時の基板の配置に応じて、基板を貼り合わせれば、少なくとも、異なる基板上の隣り合う位置に存在する光電変換素子の特性を連続的に等しくすることができるという作用が得られる。

【 符号の説明 】

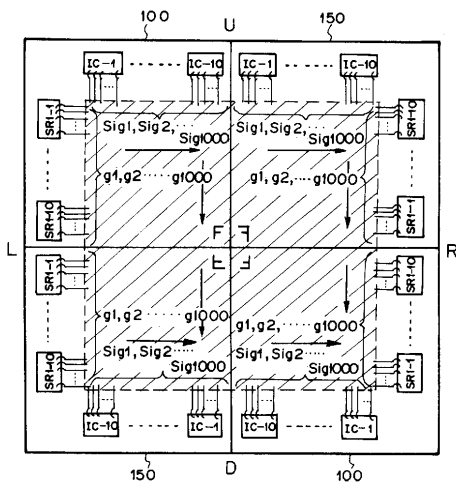
【 0 1 5 7 】

1 0 0、1 5 0 : 基板、g 1 ~ g 1 0 0 0 : 制御配線、s i g 1 ~ s i g 1 0 0 0 : 信号配線、S R 1 - 1 ~ S R 1 - 1 0 : 走査回路チップ、I C 1 ~ I C 1 0 : 検出用集積回路チップ

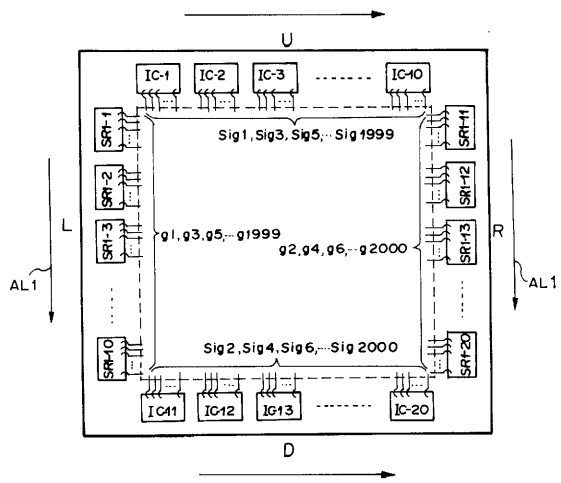
10

20

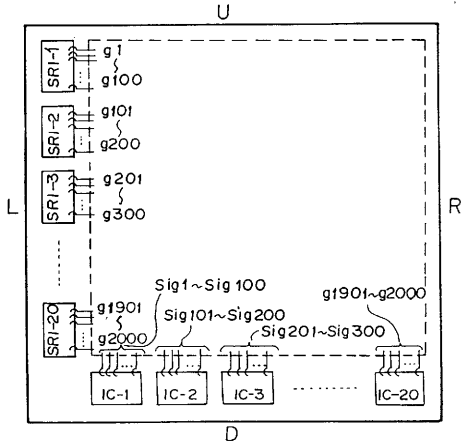
【 図 1 】



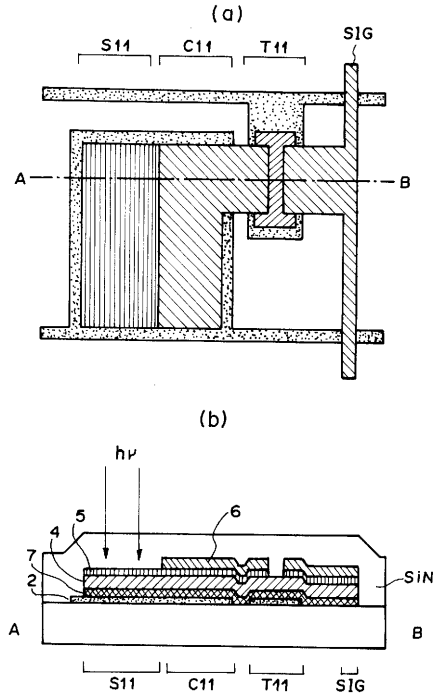
【 図 2 】



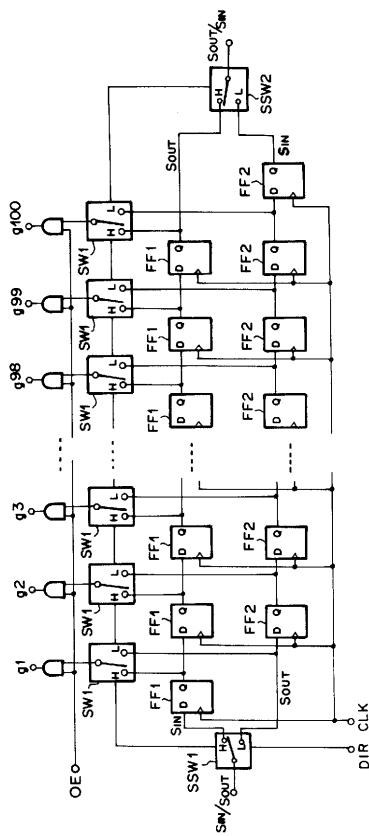
【 図 3 】



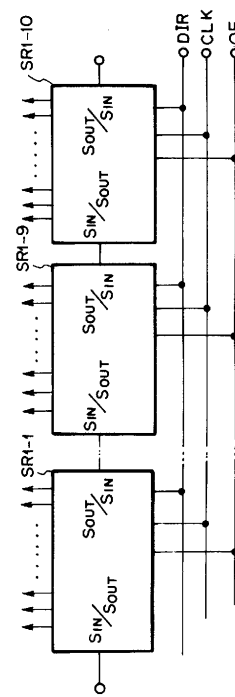
【 図 4 】



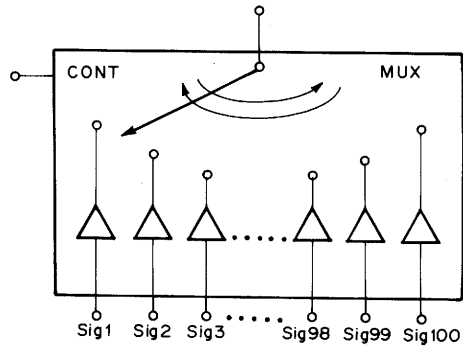
【 図 5 】



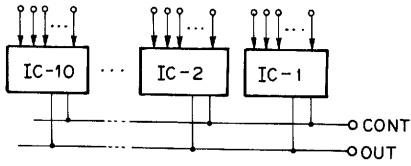
【 図 6 】



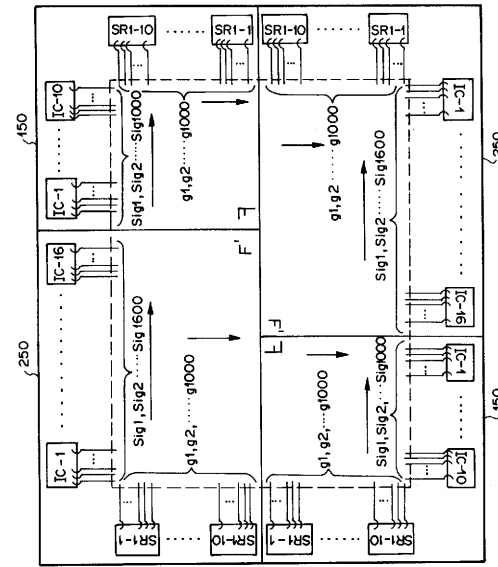
【 図 7 】



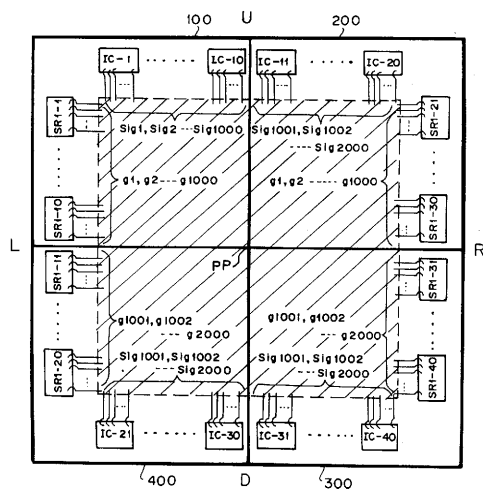
【 図 8 】



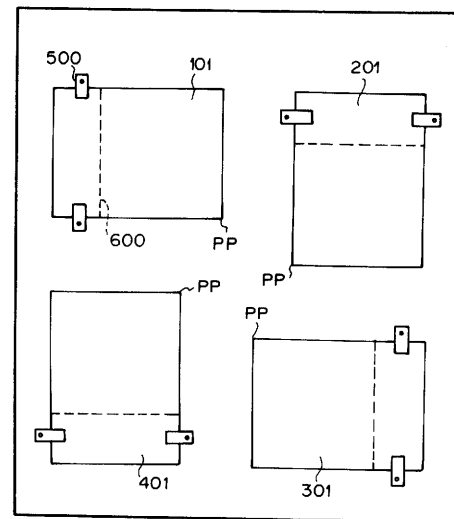
【 図 9 】



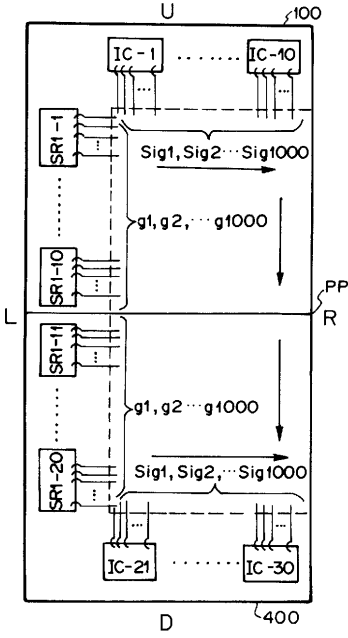
【 図 10 】



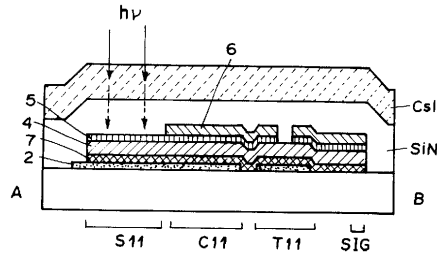
【 図 11 】



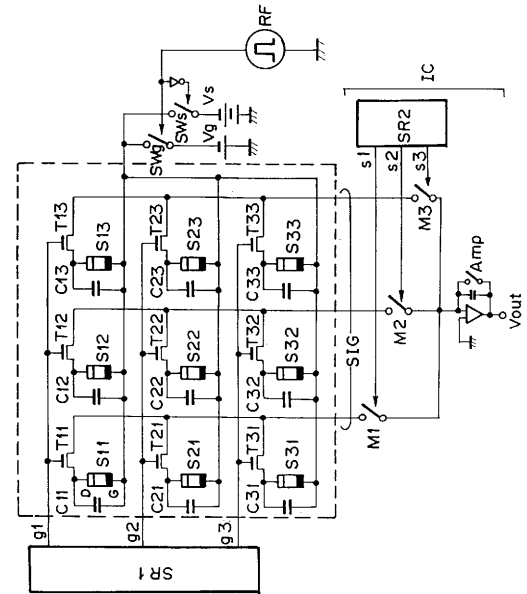
【 図 1 2 】



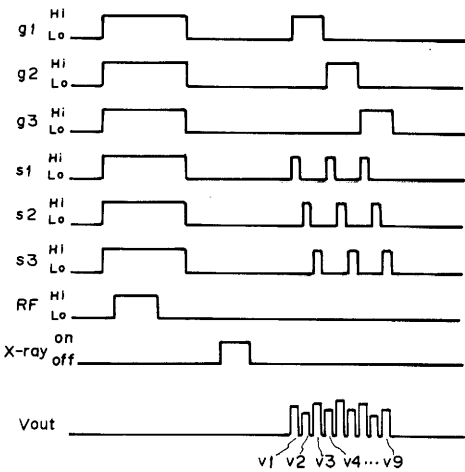
【 図 1 3 】



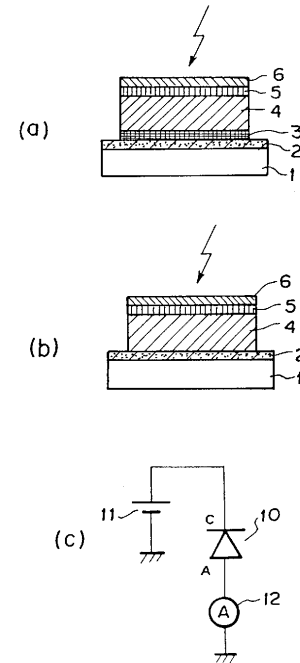
【 図 1 4 】



【 図 1 5 】

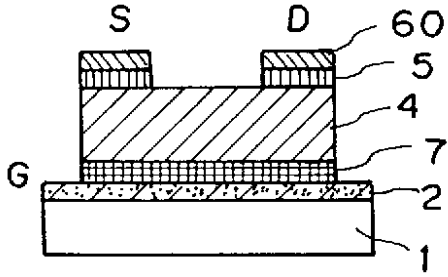


【 図 1 6 】

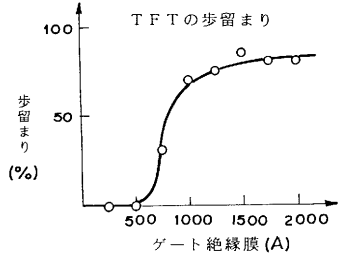




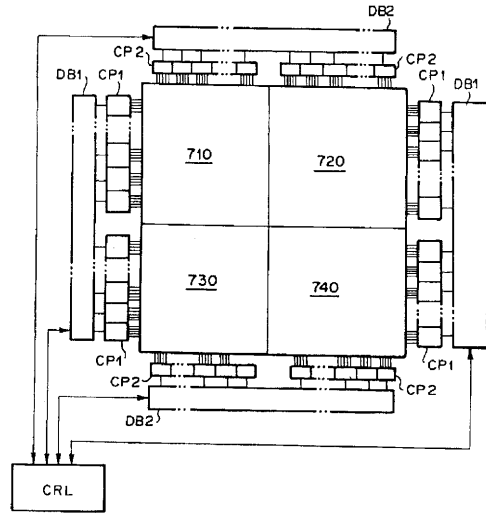
【図17】



【図18】



【図19】



---

 フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
	H 0 4 N 5/335	W
	H 0 4 N 5/335	E

(72)発明者 亀島 登志男  
 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(72)発明者 遠藤 忠夫  
 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(72)発明者 竹田 慎市  
 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

Fターム(参考) 2G088 EE03 FF02 GG19 GG20 GG21 JJ05 JJ33 JJ37  
 4M118 AB01 BA05 CA14 CA32 CB06 CB11 CB14 FB03 FB13 FB16  
 FB24 HA24 HA25 HA27 HA29  
 5C024 AX01 AX11 CY47 GX09 GY31