



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0014346
(43) 공개일자 2022년02월07일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 27/12 (2006.01)
H01L 29/786 (2006.01) H01L 51/52 (2006.01)
(52) CPC특허분류
H01L 27/3262 (2013.01)
H01L 27/1214 (2013.01)
(21) 출원번호 10-2020-0091423
(22) 출원일자 2020년07월23일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로1 (농서동)
(72) 발명자
한재범
경기도 수원시 영통구 영통로200번길 112(망포동, 영통 SK VIEW)
김문성
경기도 안양시 동안구 부림로 34, 202동 302호(평촌동, 꿈마을우성아파트)
(뒀면에 계속)
(74) 대리인
특허법인가산

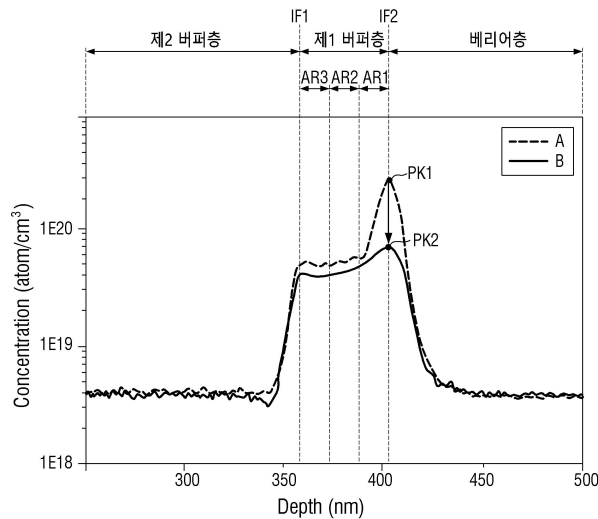
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 표시 장치

(57) 요약

표시 장치 및 표시 장치의 제조 방법이 제공된다. 표시 장치는 기관, 및 상기 기관 상에 배치되며, 두께 방향으로 3등분되어 순차적으로 위치하는 제1 영역, 제2 영역 및 제3 영역을 포함하는 반도체층을 포함하되, 상기 반도체층은 다결정 실리콘을 포함하고, 상기 반도체층에 포함된 불소(F)의 농도는 상기 제1 영역 내에서 제1 피크를 가지며, 상기 제3 영역 내에서 제2 피크를 가지고, 상기 제1 피크의 불소(F) 농도는 상기 제2 피크의 불소(F) 농도의 30% 이하이다.

대표도 - 도6



(52) CPC특허분류

H01L 29/7869 (2013.01)

H01L 51/52 (2013.01)

(72) 발명자

박영길

충청남도 아산시 탕정면 탕정면로 37, 203동 3202
호(탕정삼성트라펠리스아파트)

정수임

경기도 화성시 동탄순환대로25길 21, 501동 1003
호(영천동, 경남아너스빌)

명세서

청구범위

청구항 1

기관; 및

상기 기관 상에 배치되며, 두께 방향으로 3등분되어 순차적으로 위치하는 제1 영역, 제2 영역 및 제3 영역을 포함하는 반도체층을 포함하되,

상기 반도체층은 다결정 실리콘을 포함하고,

상기 반도체층에 포함된 불소(F)의 농도는 상기 제1 영역 내에서 제1 피크를 가지며, 상기 제3 영역 내에서 제2 피크를 가지고,

상기 제1 피크의 불소(F) 농도는 상기 제2 피크의 불소(F) 농도의 30% 이하인 표시 장치.

청구항 2

제1 항에 있어서,

상기 반도체층은 상기 반도체층 내부에서 불소(F)의 농도가 가장 낮은 저점을 더 포함하되,

상기 저점의 불소(F) 농도는 상기 제1 피크의 불소(F) 농도와 같거나 작은 표시 장치.

청구항 3

제2 항에 있어서,

상기 저점의 불소(F)의 농도는 $1E20\text{atom}/\text{cm}^3$ 이하인 표시 장치.

청구항 4

제3 항에 있어서,

상기 저점은 상기 제2 영역 내에 위치하는 표시 장치.

청구항 5

제1 항에 있어서,

상기 반도체층은 상기 기관과 대향하는 제1 표면 및 상기 제1 표면의 반대면인 제2 표면을 더 포함하되,

상기 제1 표면은 상기 제1 영역 내에 위치하며, 상기 제2 표면은 상기 제3 영역 내에 위치하고,

상기 두께 방향을 기준으로 상기 제1 피크는 상기 제1 표면에 위치하고, 상기 제2 피크는 상기 제2 표면에 위치하는 표시 장치.

청구항 6

제1 항에 있어서,

상기 기관 상에 배치되는 배리어층, 및

상기 배리어층 상에 배치되며, 순차 적층된 제1 버퍼막 및 제2 버퍼막을 포함하는 버퍼층을 더 포함하되,

상기 배리어층 및 상기 제2 버퍼막은 실리콘 산화물을 포함하고, 상기 제1 버퍼막은 실리콘 질화물을 포함하는 표시 장치.

청구항 7

제6 항에 있어서,

상기 제2 버퍼막의 막밀도는 상기 배리어층의 막밀도보다 큰 표시 장치.

청구항 8

제7 항에 있어서,

상기 제2 버퍼막의 막밀도는 2.2g/cm³ 내지 2.25g/cm³의 범위 내에 있는 표시 장치.

청구항 9

제6 항에 있어서,

상기 제2 버퍼막의 수소(H) 농도는 상기 배리어층의 수소(H) 농도보다 작은 표시 장치.

청구항 10

제9 항에 있어서,

상기 제2 버퍼막의 상기 수소(H) 농도는 5at% 이하인 표시 장치.

청구항 11

제6 항에 있어서,

상기 제1 버퍼막은 상기 배리어층과 대향하는 제3 표면 및 상기 제3 표면의 반대면인 제4 표면을 포함하되,

상기 제1 버퍼막에 포함된 불소(F)의 농도는 상기 제3 표면 및 상기 제4 표면 중 적어도 어느 하나에서 제3 피크를 가지고,

상기 제3 피크의 불소(F) 농도는 상기 두께 방향을 기준으로 상기 제1 버퍼막의 중심 지점의 불소(F) 농도보다 큰 표시 장치.

청구항 12

제11 항에 있어서,

상기 제3 피크의 불소(F) 농도는 상기 제1 버퍼막의 상기 중심 지점의 불소(F) 농도의 2.5배 이하인 표시 장치.

청구항 13

제12 항에 있어서,

상기 제1 버퍼막에 포함된 탄소(C)의 농도는 상기 제3 표면 및 상기 제4 표면 중 적어도 어느 하나에서 제4 피크를 가지고,

상기 제4 피크의 탄소(C) 농도는 상기 제1 버퍼막의 상기 중심 지점의 탄소(C) 농도의 2.5배 이하인 표시 장치.

청구항 14

기관;

상기 기관 상에 배치되며, 실리콘 질화물을 포함하는 제1 절연막;

상기 제1 절연막 상에 배치되며, 실리콘 산화물을 포함하는 제2 절연막; 및

상기 제2 절연막 상에 배치되며, 다결정 실리콘을 포함하는 반도체층을 포함하되,

상기 제2 절연막의 막밀도는 2.2g/cm³ 내지 2.25g/cm³의 범위 내에 있는 표시 장치.

청구항 15

제14 항에 있어서,

상기 제2 절연막의 수소(H) 농도는 5at% 이하인 표시 장치.

청구항 16

제14 항에 있어서,

상기 기판과 상기 제1 절연막 사이에 배치되고, 실리콘 산화물을 포함하는 배리어층을 더 포함하되,

상기 배리어층의 막밀도는 상기 제2 절연막의 막밀도보다 작고,

상기 배리어층의 수소(H) 농도는 상기 제2 절연막의 수소(H) 농도보다 큰 표시 장치.

청구항 17

기판;

상기 기판 상에 배치되며, 실리콘 질화물을 포함하는 제1 절연막;

상기 제1 절연막 상에 배치되며, 실리콘 산화물을 포함하는 제2 절연막; 및

상기 제2 절연막 상에 배치되며, 다결정 실리콘을 포함하는 반도체층을 포함하되,

상기 제1 절연막은 상기 기판과 대향하는 제3 표면 및 상기 제3 표면의 반대면인 제4 표면을 포함하고,

상기 제1 절연막에 포함된 불소(F)의 농도는 상기 제3 표면 및 상기 제4 표면 중 적어도 어느 하나에서 제3 피크를 가지고,

상기 제3 피크의 불소(F) 농도는 두께 방향을 기준으로 상기 제1 절연막의 중심 지점의 불소(F) 농도의 2.5배 이하인 표시 장치.

청구항 18

제17 항에 있어서,

상기 제3 피크의 불소(F) 농도는 상기 제1 절연막의 상기 중심 지점의 불소(F) 농도보다 큰 표시 장치.

청구항 19

제18 항에 있어서,

상기 제1 절연막의 상기 중심 지점의 불소(F) 농도는 $1E20\text{atom}/\text{cm}^3$ 보다 작은 표시 장치.

청구항 20

제17 항에 있어서,

상기 제1 절연막에 포함된 탄소(C)의 농도는 상기 제3 표면 및 상기 제4 표면 중 적어도 어느 하나에서 제4 피크를 가지고,

상기 제4 피크의 탄소(C) 농도는 상기 제1 절연막의 상기 중심 지점의 탄소(C) 농도의 2.5배 이하인 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 표시 장치에 관한 것이다.

배경 기술

[0002] 표시 장치의 화소 구동회로는 실리콘을 이용한 박막 트랜지스터를 포함한다. 박막 트랜지스터를 구성하는 실리콘으로는 비정질 실리콘 또는 다결정질 실리콘이 사용된다.

[0003] 최근에는 상기 비정질 실리콘 박막 트랜지스터를 다결정질 실리콘 박막 트랜지스터(polycrystalline silicon TFT: poly-Si TFT)로 대체하는 경향으로 가고 있다. 다결정질 실리콘 박막 트랜지스터는 비정질 실리콘 박막 트랜지스터에 비해 전자 이동도가 크고, 빛의 조사에 대한 안정성이 우수하다. 따라서, 이 다결정질 실리콘 박막 트랜지스터는 표시 장치의 구동 및/또는 스위칭 박막 트랜지스터의 활성층으로 사용되기에 적합하다.

[0004] 다결정질 실리콘은 여러 가지 방법으로 제작할 수 있는데, 이는 크게 다결정 실리콘을 직접 증착하는 방법과, 비정질 실리콘을 증착한 후 이를 결정화하는 방법으로 구분할 수 있다. 비정질 실리콘 박막을 증착한 후 이를

결정화하는 방법에서, 비정질 실리콘 박막은 레이저 빔 조사 방식 또는 가열 방식 등에 의하여 결정화된다.

발명의 내용

해결하려는 과제

- [0005] 본 발명이 해결하고자 하는 과제는 ELA(Excimer Laser Annealing) 공정에서 아웃-개싱(out-gassing)이 최소화되어, 신뢰도가 향상된 표시 장치 및 표시 장치의 제조 방법을 제공하고자 하는 것이다.
- [0006] 본 발명의 과제들은 이상에서 언급한 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0007] 상기 과제 해결을 위한 일 실시예에 따른 표시 장치는 기판, 및 상기 기판 상에 배치되며, 두께 방향으로 3등분되어 순차적으로 위치하는 제1 영역, 제2 영역 및 제3 영역을 포함하는 반도체층을 포함하되, 상기 반도체층은 다결정 실리콘을 포함하고, 상기 반도체층에 포함된 불소(F)의 농도는 상기 제1 영역 내에서 제1 피크를 가지며, 상기 제3 영역 내에서 제2 피크를 가지고, 상기 제1 피크의 불소(F) 농도는 상기 제2 피크의 불소(F) 농도의 30% 이하이다.
- [0008] 상기 반도체층은 상기 반도체층 내부에서 불소(F)의 농도가 가장 낮은 지점을 더 포함하되, 상기 지점의 불소(F) 농도는 상기 제1 피크의 불소(F) 농도와 같거나 작을 수 있다.
- [0009] 상기 지점의 불소(F)의 농도는 $1E20\text{atom}/\text{cm}^3$ 이하일 수 있다.
- [0010] 상기 지점은 상기 제2 영역 내에 위치할 수 있다.
- [0011] 상기 반도체층은 상기 기판과 대향하는 제1 표면 및 상기 제1 표면의 반대면인 제2 표면을 더 포함하되, 상기 제1 표면은 상기 제1 영역 내에 위치하며, 상기 제2 표면은 상기 제3 영역 내에 위치하고, 상기 두께 방향을 기준으로 상기 제1 피크는 상기 제1 표면에 위치하고, 상기 제2 피크는 상기 제2 표면에 위치할 수 있다.
- [0012] 상기 기판 상에 배치되는 배리어층, 및 상기 배리어층 상에 배치되며, 순차 적층된 제1 버퍼막 및 제2 버퍼막을 포함하는 버퍼층을 더 포함하되, 상기 배리어층 및 상기 제2 버퍼막은 실리콘 산화물을 포함하고, 상기 제1 버퍼막은 실리콘 질화물을 포함할 수 있다.
- [0013] 상기 제2 버퍼막의 막밀도는 상기 배리어층의 막밀도보다 클 수 있다.
- [0014] 상기 제2 버퍼막의 막밀도는 $2.2\text{g}/\text{cm}^3$ 내지 $2.25\text{g}/\text{cm}^3$ 의 범위 내에 있을 수 있다.
- [0015] 상기 제2 버퍼막의 수소(H) 농도는 상기 배리어층의 수소(H) 농도보다 작을 수 있다.
- [0016] 상기 제2 버퍼막의 상기 수소(H) 농도는 5at% 이하일 수 있다.
- [0017] 상기 제1 버퍼막은 상기 배리어층과 대향하는 제3 표면 및 상기 제3 표면의 반대면인 제4 표면을 포함하되, 상기 제1 버퍼막에 포함된 불소(F)의 농도는 상기 제3 표면 및 상기 제4 표면 중 적어도 어느 하나에서 제3 피크를 가지고, 상기 제3 피크의 불소(F) 농도는 상기 두께 방향을 기준으로 상기 제1 버퍼막의 중심 지점의 불소(F) 농도보다 클 수 있다.
- [0018] 상기 제3 피크의 불소(F) 농도는 상기 제1 버퍼막의 상기 중심 지점의 불소(F) 농도의 2.5배 이하일 수 있다.
- [0019] 상기 제1 버퍼막에 포함된 탄소(C)의 농도는 상기 제3 표면 및 상기 제4 표면 중 적어도 어느 하나에서 제4 피크를 가지고, 상기 제4 피크의 탄소(C) 농도는 상기 제1 버퍼막의 상기 중심 지점의 탄소(C) 농도의 2.5배 이하일 수 있다.
- [0020] 상기 과제 해결을 위한 일 실시예에 따른 표시 장치는 기판, 상기 기판 상에 배치되며, 실리콘 질화물을 포함하는 제1 절연막, 상기 제1 절연막 상에 배치되며, 실리콘 산화물을 포함하는 제2 절연막, 및 상기 제2 절연막 상에 배치되며, 다결정 실리콘을 포함하는 반도체층을 포함하되, 상기 제2 절연막의 막밀도는 $2.2\text{g}/\text{cm}^3$ 내지 $2.25\text{g}/\text{cm}^3$ 의 범위 내에 있다.
- [0021] 상기 제2 절연막의 수소(H) 농도는 5at% 이하일 수 있다.
- [0022] 상기 기판과 상기 제1 절연막 사이에 배치되고, 실리콘 산화물을 포함하는 배리어층을 더 포함하되, 상기 배리

어층의 막밀도는 상기 제2 절연막의 막밀도보다 작고, 상기 배리어층의 수소(H) 농도는 상기 제2 절연막의 수소(H) 농도보다 클 수 있다.

[0023] 상기 과제 해결을 위한 일 실시예에 따른 표시 장치는 기관, 상기 기관 상에 배치되며, 실리콘 질화물을 포함하는 제1 절연막, 상기 제1 절연막 상에 배치되며, 실리콘 산화물을 포함하는 제2 절연막, 및 상기 제2 절연막 상에 배치되며, 다결정 실리콘을 포함하는 반도체층을 포함하되, 상기 제1 절연막은 상기 기관과 대향하는 제3 표면 및 상기 제3 표면의 반대면인 제4 표면을 포함하고, 상기 제1 절연막에 포함된 불소(F)의 농도는 상기 제3 표면 및 상기 제4 표면 중 적어도 어느 하나에서 제3 피크를 가지고, 상기 제3 피크의 불소(F) 농도는 두께 방향을 기준으로 상기 제1 절연막의 중심 지점의 불소(F) 농도의 2.5배 이하이다.

[0024] 상기 제3 피크의 불소(F) 농도는 상기 제1 절연막의 상기 중심 지점의 불소(F) 농도보다 클 수 있다.

[0025] 상기 제1 절연막의 상기 중심 지점의 불소(F) 농도는 $1E20\text{atom}/\text{cm}^3$ 보다 작을 수 있다.

[0026] 상기 제1 절연막에 포함된 탄소(C)의 농도는 상기 제3 표면 및 상기 제4 표면 중 적어도 어느 하나에서 제4 피크를 가지고, 상기 제4 피크의 탄소(C) 농도는 상기 제1 절연막의 상기 중심 지점의 탄소(C) 농도의 2.5배 이하일 수 있다.

[0027] 기타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

[0028] 일 실시예에 따른 표시 장치 및 표시 장치의 제조 방법에 의하면, ELA(Excimer Laser Annealing) 공정에서 아웃-개싱(out-gassing)이 최소화되어, 표시 장치의 신뢰도가 향상될 수 있다.

[0029] 실시예들에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

도면의 간단한 설명

[0030] 도 1은 일 실시예에 따른 표시 장치의 평면도이다.

도 2는 도 1의 표시 장치의 측면도이다.

도 3은 일 실시예에 따른 표시 장치의 일 화소의 등가 회로도이다.

도 4는 일 실시예에 따른 표시 장치의 단면도이다.

도 5는 일 실시예에 따른 버퍼층 주변의 단면을 확대한 확대도이다.

도 6은 일 실시예 따른 표시 장치의 버퍼층 및 배리어층의 불소(F) 농도를 나타내는 그래프이다.

도 7은 일 실시예 따른 표시 장치의 버퍼층 및 배리어층의 탄소(C) 농도를 나타내는 그래프이다.

도 8은 일 실시예 따른 표시 장치의 제1 절연막, 반도체층 및 버퍼층의 수소(H) 농도를 나타내는 그래프이다.

도 9은 일 실시예 따른 표시 장치의 제1 절연막, 반도체층 및 버퍼층의 수소(H) 농도를 나타내는 그래프이다.

도 10는 일 실시예에 따른 버퍼층을 가열함에 따라 방출되는 수소(H) 가스의 양을 나타내는 그래프이다.

도 11은 일 실시예 따른 표시 장치의 반도체층 및 그 주변의 불소(F) 농도를 나타내는 그래프이다.

도 12 내지 도 16은 일 실시예에 따른 표시 장치의 제조 방법을 설명하기 위한 단면도들이다.

도 17은 다른 실시예에 따른 표시 장치의 제조 방법을 설명하는 단면도들을 도시한다.

발명을 실시하기 위한 구체적인 내용

[0031] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

- [0032] 소자(elements) 또는 층이 다른 소자 또는 층의 "상(on)"으로 지칭되는 것은 다른 소자 바로 위에 또는 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0033] 비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있음은 물론이다.
- [0034] 이하, 첨부된 도면을 참고로 하여 구체적인 실시예들에 대해 설명한다.
- [0035] 도 1은 일 실시예에 따른 표시 장치의 평면도이다. 도 2는 도 1의 표시 장치의 측면도이다. 도 2는 표시 장치가 두께 방향으로 벤딩된 상태의 측면 형상을 도시한다.
- [0036] 표시 장치(1)는 동영상이나 정지영상을 표시하는 장치로서, 표시 장치(1)는 모바일 폰, 스마트 폰, 태블릿 PC(Personal Computer), 및 스마트 워치, 워치 폰, 이동 통신 단말기, 전자 수첩, 전자 책, PMP(Portable Multimedia Player), 네비게이션, UMPC(Ultra Mobile PC) 등과 같은 휴대용 전자 기기뿐만 아니라 텔레비전, 노트북, 모니터, 광고판, 사물 인터넷 등의 다양한 제품의 표시 화면으로 사용될 수 있다.
- [0037] 일 실시예에 따른 표시 장치(1)는 평면상 실질적인 직사각형 형상으로 이루어질 수 있다. 표시 장치(1)는 평면상 모서리가 수직인 직사각형일 수 있다. 다만, 이에 제한되는 것은 아니며, 표시 장치(1)는 평면상 모서리가 둥근 직사각형 형상일 수 있다.
- [0038] 도면에서 제1 방향(DR1)은 평면도상 표시 장치(1)의 가로 방향을 나타내고, 제2 방향(DR2)은 평면도상 표시 장치(1)의 세로 방향을 나타낸다. 또한, 제3 방향(DR3)은 표시 장치(1)의 두께 방향을 나타낸다. 제1 방향(DR1)과 제2 방향(DR2)은 서로 수직으로 교차하며, 제3 방향(DR3)은 제1 방향(DR1) 및 제2 방향(DR2)이 놓이는 평면에 교차하는 방향으로 제1 방향(DR1) 및 제2 방향(DR2)에 모두 수직으로 교차한다. 다만, 실시예에서 언급하는 방향은 상대적인 방향을 언급한 것으로 이해되어야 하며, 실시예는 언급한 방향에 한정되지 않는다.
- [0039] 다른 정의가 없는 한, 본 명세서에서 제3 방향(DR3)을 기준으로 표현된 “상부”, “상면”, “상측”은 표시 패널(100)을 기준으로 표시면 측을 의미하고, “하부”, “하면”, “하측”은 표시 패널(100)을 기준으로 표시면의 반대측을 의미하는 것으로 한다.
- [0040] 도 1 및 도 2를 참조하면, 표시 장치(1)는 표시 패널(100)을 포함할 수 있다. 표시 패널(100)은 폴리이미드 등과 같은 가요성 고분자 물질을 포함하는 플렉서블 기판일 수 있다. 이에 따라, 표시 패널(100)은 휘어지거나, 절곡되거나, 접히거나, 말릴 수 있다.
- [0041] 표시 패널(100)은 유기 발광 표시 패널일 수 있다. 이하의 실시예에서는 표시 패널(100)로서 유기 발광 표시 패널이 적용된 경우를 예시하지만, 이에 제한되지 않고, 액정 디스플레이(LCD), 퀀텀닷 유기 발광 표시 패널(QD-OLED), 퀀텀닷 액정 디스플레이(QD-LCD), 퀀텀 나노 발광 표시 패널(nano NED), 마이크로 엘이디(Micro LED) 등 다른 종류의 표시 패널이 적용될 수도 있다.
- [0042] 표시 패널(100)은 화면을 표시하는 표시 영역(DA) 및 표시가 이루어지지 않는 비표시 영역(NDA)을 포함할 수 있다. 표시 패널(100)은 평면도상 표시 영역(DA)과 비표시 영역(NDA)으로 구분될 수 있다. 비표시 영역(NDA)은 표시 영역(DA)을 둘러싸도록 배치될 수 있다. 비표시 영역(NDA)은 베젤을 구성할 수 있다.
- [0043] 표시 영역(DA)은 평면상 모서리가 수직인 직사각형 또는 모서리가 둥근 직사각형 형상일 수 있다. 다만, 표시 영역(DA)의 평면 형상은 직사각형에 제한되는 것은 아니고, 원형, 타원형이나 기타 다양한 형상을 가질 수 있다.
- [0044] 표시 영역(DA)은 복수의 화소를 포함할 수 있다. 각 화소는 매트릭스 형상으로 배열될 수 있다. 각 화소는 발광층과 발광층의 발광량을 제어하는 회로층을 포함할 수 있다. 회로층은 배선, 전극 및 적어도 하나의 트랜지스터를 포함할 수 있다. 발광층은 유기 발광 물질을 포함할 수 있다. 발광층은 봉지막에 의해 밀봉될 수 있다. 화소의 구체적인 구성에 대해서는 후술하기로 한다.
- [0045] 비표시 영역(NDA)은 표시 영역(DA)의 모든 변을 둘러싸고, 표시 영역(DA)의 테두리를 구성할 수 있다. 다만, 이에 제한되지 않는다.
- [0046] 표시 패널(100)은 메인 영역(MA)과 메인 영역(MA)의 제2 방향(DR2) 일측에 연결된 벤딩 영역(BA)을 포함할 수

있다. 표시 패널(100)은 제2 방향(DR2) 일측에서 벤딩 영역(BA)과 연결되고, 두께 방향으로 벤딩되어 메인 영역(MA)과 두께 방향으로 중첩된 서브 영역(SA)을 더 포함할 수 있다.

- [0047] 메인 영역(MA)에는 표시 영역(DA)이 위치할 수 있다. 메인 영역(MA)의 표시 영역(DA)의 주변 에지 부분에는 비 표시 영역(NDA)이 위치할 수 있다.
- [0048] 메인 영역(MA)은 표시 장치(1)의 평면상 외형과 유사한 형상을 가질 수 있다. 메인 영역(MA)은 일 평면에 위치한 평탄 영역일 수 있다. 그러나, 이에 제한되는 것은 아니며, 메인 영역(MA)에서 벤딩 영역(BA)과 연결된 에지(변)를 제외한 나머지 에지들 중 적어도 하나의 에지가 휘어져 곡면을 이루거나 수직 방향으로 절곡될 수도 있다.
- [0049] 메인 영역(MA)에서 벤딩 영역(BA)과 연결된 에지(변)를 제외한 나머지 에지들 중 적어도 하나의 에지가 곡면을 이루거나 절곡되어 있는 경우, 해당 에지에도 표시 영역(DA)이 배치될 수도 있다. 그러나, 이에 제한되지 않고 곡면 또는 절곡된 에지는 화면을 표시하지 않는 비표시 영역(NDA)이 배치되거나, 표시 영역(DA)과 비표시 영역(NDA)이 함께 배치될 수도 있다.
- [0050] 메인 영역(MA)의 비표시 영역(NDA)은 표시 영역(DA)의 외측 경계로부터 표시 패널(100)의 에지까지의 영역에 놓일 수 있다. 메인 영역(MA)의 비표시 영역(NDA)에는 표시 영역(DA)에 신호를 인가하기 위한 신호 배선이나 구동 회로들이 배치될 수 있다.
- [0051] 벤딩 영역(BA)은 메인 영역(MA)의 일 단변을 통해 연결될 수 있다. 벤딩 영역(BA)의 폭(제1 방향(DR1)의 폭)은 메인 영역(MA)의 폭(단변의 폭)보다 작을 수 있다. 메인 영역(MA)과 벤딩 영역(BA)의 연결부는 베젤의 폭을 줄이기 위해 L자 커팅 형상을 가질 수 있다.
- [0052] 벤딩 영역(BA)에서 표시 패널(100)은 표시면의 반대 방향으로 곡률을 가지고 벤딩될 수 있다. 표시 패널(100)이 벤딩 영역(BA)에서 벤딩됨에 따라 표시 패널(100)의 면이 반전될 수 있다. 즉, 상부를 향하는 표시 패널(100)의 일면이 벤딩 영역(BA)을 통해 측면 외측을 향하였다가 다시 하부를 향하도록 변경될 수 있다.
- [0053] 서브 영역(SA)은 벤딩 영역(BA)으로부터 연장된다. 서브 영역(SA)은 벤딩이 완료된 이후부터 시작하여 메인 영역(MA)과 평행한 방향으로 연장될 수 있다. 서브 영역(SA)은 표시 패널(100)의 두께 방향으로 메인 영역(MA)과 중첩할 수 있다. 서브 영역(SA)은 메인 영역(MA) 에지의 비표시 영역(NDA)과 중첩하고, 나아가 메인 영역(MA)의 표시 영역(DA)과 중첩할 수 있다. 서브 영역(SA)의 폭은 벤딩 영역(BA)의 폭과 동일할 수 있지만 이에 제한되는 것은 아니다.
- [0054] 표시 패널(100)의 서브 영역(SA) 상에는 패드부(미도시)가 배치될 수 있다. 패드부(미도시)에는 외부 장치가 실장(또는 부착)될 수 있다. 외부 장치의 예로는 구동칩(200), 연성 인쇄회로기판이나 경성 인쇄회로기판 이루어진 구동 기관(300) 등을 들 수 있고, 그 밖에 배선 연결 필름, 커넥터 등도 외부 장치로서 패드부에 실장될 수 있다. 서브 영역(SA)에 실장되는 외부 장치는 하나일 수도 있지만, 복수 개일 수도 있다. 예를 들어, 도 1 및 도 2에 예시된 것처럼, 표시 패널(100)의 서브 영역(SA)에 구동칩(200)이 배치되고, 서브 영역(SA)의 단부에 구동 기관(300)이 부착될 수 있다. 이 경우, 표시 패널(100)은 구동칩(200)과 연결되는 패드부 및 구동 기관(300)과 연결되는 패드부를 모두 포함할 수 있다. 다른 실시예로, 구동칩이 필름 상에 실장되고, 상기 필름이 표시 패널(100)의 서브 영역(SA)에 부착될 수도 있다.
- [0055] 구동칩(200)은 표시면과 동일한 면인 표시 패널(100)의 일면 상에 실장되되, 상술한 것처럼 벤딩 영역(BA)이 벤딩되어 반전됨에 따라 두께 방향으로 하부를 향하는 표시 패널(100)의 면에 실장되어 구동칩(200)의 상면이 하부를 향할 수 있다.
- [0056] 구동칩(200)은 이방성 도전 필름을 통해 표시 패널(100) 상에 부착되거나, 초음파 접합 본딩을 통해 표시 패널(100) 상에 부착될 수 있다. 구동칩(200)은 표시 패널(100)을 구동하는 집적 회로를 포함할 수 있다.
- [0057] 도 3은 일 실시예에 따른 표시 장치의 일 화소의 등가 회로도이다.
- [0058] 도 3을 참조하면, 화소(PX)는 제1 트랜지스터(TR1), 제2 트랜지스터(TR2), 발광 소자(OLED), 및 커패시터(Cst)를 포함할 수 있다. 도 3에서는 각 화소(PX)가 두개의 트랜지스터(TR1, TR2)와 하나의 커패시터(Cst)를 갖는 2T1C(2Transistor - 1Capacitor) 구조인 것을 도시하고 있으나, 이에 제한되는 것은 아니다. 각 화소(PX)는 복수의 트랜지스터와 복수의 커패시터를 포함할 수 있다. 예를 들어, 각 화소(PX)에는 3T1C 구조, 6T1C 구조, 7T1C 구조, 5T2C 구조 등 다른 다양한 변형 화소(PX) 구조가 적용될 수도 있다.

- [0059] 제1 및 제2 트랜지스터(TR1, TR2) 각각은 제1 소스/드레인 전극, 제2 소스/드레인 전극 및 게이트 전극을 포함할 수 있다. 제1 소스/드레인 전극 및 제2 소스/드레인 전극 중 하나는 소스 전극이고, 다른 하나는 드레인 전극일 수 있다.
- [0060] 제1 및 제2 트랜지스터(TR1, TR2) 각각은 박막 트랜지스터(thin film transistor)로 형성될 수 있다. 또한, 도 3에서는 제1 및 제2 트랜지스터(TR1, TR2) 각각이 N 타입 MOSFET(Metal Oxide Semiconductor Field Effect Transistor)으로 형성된 것으로 설명하였으나, 이에 제한되지 않는다. 제1 트랜지스터(TR1) 및 제2 트랜지스터(TR2)는 P 타입 MOSFET으로 형성될 수도 있다. 이 경우, 제1 트랜지스터(TR1) 및 제2 트랜지스터(TR2) 각각의 소스 전극과 드레인 전극의 위치는 변경될 수 있다. 이하에서는, 제1 및 제2 트랜지스터(TR1, TR2)은 N타입 MOSFET인 경우를 예시하여 설명한다.
- [0061] 제1 트랜지스터(TR1)는 구동 트랜지스터일 수 있다. 구체적으로 설명하면, 제1 트랜지스터(TR1)의 게이트 전극은 제2 트랜지스터(TR2)의 제2 소스/드레인 전극 및 커패시터(Cst)의 제2 전극과 연결된다. 제1 트랜지스터(TR1)의 제1 소스/드레인 전극은 제1 전원 라인(ELVDL)과 연결된다. 제1 트랜지스터(TR1)의 제2 소스/드레인 전극은 발광 소자(OLED)의 애노드 전극과 연결된다. 제1 트랜지스터(TR1)는 제2 트랜지스터(TR2)의 스위칭 동작에 따라 데이터 신호(Dj, j는 1 이상의 정수)를 전달받아 발광 소자(OLED)에 구동 전류를 공급한다.
- [0062] 제2 트랜지스터(TR2)의 게이트 전극은 스캔 라인(SL)과 연결된다. 제2 트랜지스터(TR2)의 제1 소스/드레인 전극은 데이터 라인(DL)과 연결된다. 제2 트랜지스터(TR2)의 제2 소스/드레인 전극은 제1 트랜지스터(TR1)의 게이트 전극 및 커패시터(Cst)의 제2 전극과 연결된다. 제2 트랜지스터(TR2)는 스캔 신호(Sk, k는 1 이상의 정수)에 따라 턴온되어 데이터 신호(Dj, j는 1 이상의 정수)를 제1 트랜지스터(TR1)의 게이트 전극으로 전달하는 스위칭 동작을 수행한다.
- [0063] 커패시터(Cst)의 제1 전극은 제1 전원 라인(ELVDL) 및 제1 트랜지스터(TR1)의 제1 소스/드레인 전극과 연결되고, 커패시터(Cst)의 제2 전극은 제1 트랜지스터(TR1)의 게이트 전극 및 제2 트랜지스터(TR2)의 제2 소스/드레인 전극과 연결될 수 있다. 커패시터(Cst)는 제1 트랜지스터(TR1)의 게이트 전극에 인가된 데이터 전압을 일정하게 유지하는 역할을 할 수 있다.
- [0064] 발광 소자(OLED)는 제1 트랜지스터(TR1)의 구동 전류에 따라 발광할 수 있다. 발광 소자(OLED)는 애노드 전극, 유기 발광층, 및 캐소드 전극(또는 제2 전극)을 포함하는 유기 발광 다이오드(organic light emitting diode)일 수 있다. 발광 소자(OLED)의 애노드 전극은 제1 트랜지스터(TR1)의 제2 소스/드레인 전극에 연결되고, 캐소드 전극은 제1 전원 전압(ELVDD)보다 낮은 제2 전원 전압(ELVSS)이 인가되는 제2 전원 라인(ELVSL)에 연결될 수 있다.
- [0065] 이하, 상술한 화소(PX)의 단면 구조에 대해 상세히 설명한다.
- [0066] 도 4는 일 실시예에 따른 표시 장치의 단면도이다.
- [0067] 도 4를 참조하면, 일 실시예에 따른 표시 장치(1)는 하부 부재(CPL), 표시 패널(100), 터치 부재(TSP), 반사 방지 부재(ARM) 및 커버 윈도우(WIN)를 포함할 수 있으며, 하부 부재(CPL), 표시 패널(100), 터치 부재(TSP), 반사 방지 부재(ARM) 및 커버 윈도우(WIN)가 순차 적층될 수 있다. 각 적층 부재들 사이에는 접착층이나 접착층과 같은 적어도 하나의 결합 부재가 배치되어 인접한 적층 부재들을 결합할 수 있다. 다만, 이에 한정되지 않고, 각 층 사이에는 다른 층이 더 배치될 수도 있고, 각 적층 부재들 중 일부는 생략될 수도 있다.
- [0068] 표시 패널(100)은 베이스 기판(SUB), 배리어층(110), 버퍼층(120), 반도체층(130), 제1 절연층(IL1), 제1 게이트 도전층(140), 제2 절연층(IL2), 제2 게이트 도전층(150), 제3 절연층(IL3), 데이터 도전층(160), 제4 절연층(IL4), 애노드 전극(ANO), 애노드 전극(ANO)을 노출하는 개구부를 포함하는 화소 정의막(PDL), 화소 정의막(PDL)의 개구부 내에 배치된 발광층(EML), 발광층(EML)과 화소 정의막(PDL) 상에 배치된 캐소드 전극(CAT), 캐소드 전극(CAT) 상에 배치된 박막 봉지층(EN)을 포함할 수 있다. 상술한 각 층들은 단일막으로 이루어질 수 있지만, 복수의 막을 포함하는 적층막으로 이루어질 수도 있다. 각 층들 사이에는 다른 층이 더 배치될 수도 있다.
- [0069] 베이스 기판(SUB)은 그 위에 배치되는 각 층들을 지지한다. 베이스 기판(SUB)은 고분자 수지 등의 절연 물질로 이루어질 수 있다. 상기 고분자 물질의 예로는 폴리에테르술폰(polyethersulphone: PES), 폴리아크릴레이트(polyacrylate: PA), 폴리아릴레이트(polyarylate: PAR), 폴리에테르이미드(polyetherimide: PEI), 폴리에틸렌 나프탈레이트(polyethylene naphthalate: PEN), 폴리에틸렌 테레프탈레이트(polyethylene terephthalate: PET),

폴리페닐렌 설파이드(polyphenylene sulfide: PPS), 폴리알릴레이트(polyallylate), 폴리이미드(polyimide: PI), 폴리카보네이트(polycarbonate: PC), 셀룰로오스 트리 아세테이트(cellulose triacetate: CAT), 셀룰로오스 아세테이트 프로피오네이트(cellulose acetate propionate: CAP) 또는 이들의 조합을 들 수 있다. 기판은 유리, 석영 등과 같은 무기 물질로 이루어질 수도 있다. 다만, 이에 제한되는 것은 아니고, 베이스 기판(SUB)은 투명한 플레이트 또는 투명한 필름일 수 있다. 또한, 베이스 기판(SUB)은 복수의 유기층과 그 사이에 위치하는 무기층을 포함할 수도 있다.

[0070] 베이스 기판(SUB)은 벤딩(bending), 폴딩(folding), 롤링(rolling) 등이 가능한 플렉시블(flexible) 기판일 수도 있으나, 이에 제한되는 것은 아니고, 베이스 기판(SUB)은 리지드(rigid) 기판일 수 있다.

[0071] 베이스 기판(SUB) 상에는 배리어층(110)이 배치된다. 배리어층(110)은 불순물 이온이 확산되는 것을 방지하고, 수분이나 외기의 침투를 방지하며, 표면 평탄화 기능을 수행할 수 있다. 배리어층(110)은 실리콘 산화물(SiO_x)을 포함할 수 있다. 다만, 이에 제한되는 것은 아니고, 실리콘 질화물(SiN_x) 또는 실리콘 산질화물(SiO_xN_y) 등을 포함할 수 있다. 배리어층(110)은 베이스 기판(SUB)의 종류나 공정 조건 등에 따라 생략될 수도 있다.

[0072] 배리어층(110)과 버퍼층(120)은 각각 분리되어 성막될 수 있고, 배리어층(110)을 성막하는 공정이 진행되고, 버퍼층(120)을 성막하는 공정이 진행되기 전에 배리어층(110)의 표면에는 불순물이 접촉될 수 있다. 상기 불순물은 이에 제한되는 것은 아니지만 탄소(C) 및 불소(F) 등을 포함할 수 있다. 배리어층(110)의 상면에 잔존하는 탄소(C) 및 불소(F) 등은 반도체층(130)을 결정화하는 공정(예를 들어, ELA(Excimer laser annealing) 공정)에 의해, 상부를 향해 확산될 수 있다.

[0073] 후술하겠으나, 배리어층(110)을 형성한 뒤, 버퍼층(120)을 형성하기 전에 배리어층(110)을 자외선(UV, ultraviolet rays) 처리할 수 있다. 배리어층(110)을 자외선(UV) 처리하는 경우, 배리어층(110)의 표면에 존재하는 탄소(C) 및 불소(F)를 제거할 수 있다. 즉, 자외선(UV) 처리에 의해, 배리어층(110)의 표면에 잔존하는 탄소(C) 및 불소(F)의 양이 감소할 수 있다. 이에 대한 상세한 설명은 후술한다. 배리어층(110) 상에는 버퍼층(120)이 배치된다. 버퍼층(120)은 실리콘 질화물(SiN_x), 실리콘 산화물(SiO_x), 또는 실리콘 산질화물(SiO_xN_y) 등을 포함할 수 있다. 버퍼층(120)은 서로 다른 물질을 포함하는 2개의 층을 포함할 수 있다. 버퍼층(120)은 실리콘 질화물(SiO_x)을 포함하는 제1 버퍼층(121) 및 실리콘 산화물(SiO_x)을 포함하는 제2 버퍼층(122)을 포함할 수 있다. 제1 버퍼층(121) 상에는 제2 버퍼층(122)이 배치될 수 있다. 이하에서는, 제1 버퍼층(121) 및 제2 버퍼층(122)과 이를 포함하는 버퍼층(120)을 구별하기 위해, 제1 버퍼층(121)을 제1 버퍼막(121)으로, 제2 버퍼층(122)을 제2 버퍼막(122)으로 지칭한다.

[0074] 제2 버퍼막(122)이 성막되는 속도(증착 속도(Deposition rate))를 조절함으로써, 제2 버퍼막(122)에 포함된 수소(H)에 의한 아웃-개싱(out-gassing)을 감소시킬 수 있다. 아울러, 버퍼층(120)을 플라즈마 처리(Plasma treatment)함으로써, 버퍼층(120)에서 발생하는 아웃-개싱(out-gassing)을 감소시킬 수 있다. 이에 대한 상세한 설명은 후술한다.

[0075] 버퍼층(120) 상에는 반도체층(130)이 배치된다. 반도체층(130)은 화소(도 3의 'PX')의 박막 트랜지스터의 채널을 이룬다. 반도체층(130)은 다결정 실리콘을 포함할 수 있다. 반도체층(130)이 다결정 실리콘으로 이루어지는 경우, 상기 다결정 실리콘은 비정질 실리콘을 RTA(rapid thermal annealing)법, SPC(solid phase crystallization)법, ELA(excimer laser annealing)법, MIC(metal induced crystallization)법, MILC(metal induced lateral crystallization)법, SLS(sequential lateral solidification)법 등의 결정화 방법으로 결정화하여 형성될 수 있다. 다만, 이에 제한되는 것은 아니고, 반도체층(130)은 단결정 실리콘, 저온 다결정 실리콘, 비정질 실리콘, 산화물 반도체 중 적어도 어느 하나를 포함할 수도 있다.

[0076] 반도체층(130)은 대상 기판의 전 영역에 걸쳐 배치된 비정질 실리콘을 모두 결정화시킨 후 이를 패터닝한 것일 수도 있고, 비정질 실리콘 박막을 우선 패터닝한 후, 패터닝 된 비정질 실리콘 박막을 결정화시킨 것일 수도 있다. 다만, 이에 제한되는 것은 아니고, 도시하진 않았으나, 비정질 실리콘 박막의 일부 영역만을 결정화하여, 반도체층(130)은 비정질 실리콘이 배치된 비정질 실리콘 영역(미도시)과 다결정 실리콘이 배치된 다결정 실리콘 영역(미도시)을 포함할 수도 있다.

[0077] 반도체층(130)은 결정화하는 과정에서, 하부에 배치된 배리어층(110) 및 버퍼층(120)으로부터 발생하는 아웃-개싱(out-gassing)과 반도체층(130) 내부의 아웃-개싱(out-gassing)에 의해 반도체층(130)의 막이 터지는 불량이 발생할 수 있고, 이는 표시 장치(도 1의 '1')의 열룩 등의 불량을 야기할 수 있다. 따라서, 반도체층(130) 하부에 배치된 각 구성의 아웃-개싱(out-gassing)을 조절할 필요가 있다. 이에 대한 자세한 설명은 후술한다.

- [0078] 반도체층(130) 상에는 제1 절연층(IL1)이 배치된다. 제1 절연층(IL1)은 게이트 절연 기능을 갖는 제1 게이트 절연막일 수 있다. 제1 절연층(IL1)은 실리콘 화합물, 금속 산화물 등을 포함할 수 있다. 예를 들면, 제1 절연층(IL1)은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 알루미늄 산화물, 탄탈륨 산화물, 하프늄 산화물, 지르코늄 산화물, 티타늄 산화물 등을 포함할 수 있다.
- [0079] 제1 절연층(IL1) 상에는 제1 게이트 도전층(140)이 배치된다. 제1 게이트 도전층(140)은 화소의 박막 트랜지스터의 게이트 전극(GAT)과 그에 연결된 스캔 라인, 및 유지 커패시터 제1 전극(CE1)을 포함할 수 있다.
- [0080] 제1 게이트 도전층(140)은 몰리브덴(Mo), 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 칼슘(Ca), 티타늄(Ti), 탄탈륨(Ta), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속을 포함할 수 있다.
- [0081] 제1 게이트 도전층(140) 상에는 제2 절연층(IL2)이 배치될 수 있다. 제2 절연층(IL2)은 층간 절연막 또는 제2 게이트 절연막일 수 있다. 제2 절연층(IL2)은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 하프늄 산화물, 알루미늄 산화물, 티타늄 산화물, 탄탈륨 산화물, 아연 산화물 등의 무기 절연 물질을 포함할 수 있다.
- [0082] 제2 절연층(IL2) 상에는 제2 게이트 도전층(150)이 배치된다. 제2 게이트 도전층(150)은 유지 커패시터 제2 전극(CE2)을 포함할 수 있다. 제2 게이트 도전층(150)은 몰리브덴(Mo), 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 칼슘(Ca), 티타늄(Ti), 탄탈륨(Ta), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속을 포함할 수 있다. 제2 게이트 도전층(150)은 제1 게이트 도전층(140)과 동일한 물질로 이루어질 수 있으나, 이에 제한되는 것은 아니다.
- [0083] 제2 게이트 도전층(150) 상에는 제3 절연층(IL3)이 배치된다. 제3 절연층(IL3)은 층간 절연막일 수 있다. 제3 절연층(IL3)은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 하프늄 산화물, 알루미늄 산화물, 티타늄 산화물, 탄탈륨 산화물, 아연 산화물 등의 무기 절연 물질을 포함할 수 있다.
- [0084] 제3 절연층(IL3) 상에는 데이터 도전층(160)이 배치된다. 데이터 도전층(160)은 화소(도 3의 'PX')의 박막 트랜지스터의 제1 전극(SD1)과 제2 전극(SD2), 및 제1 전원 라인(ELVDDE)을 포함할 수 있다. 박막 트랜지스터의 제1 전극(SD1)과 제2 전극(SD2)은 제3 절연층(IL3), 제2 절연층(IL2) 및 제1 절연층(IL1)을 관통하는 컨택홀을 통해 반도체층(130)의 소스 영역 및 드레인 영역과 전기적으로 연결될 수 있다. 제1 전원 전압 전극(ELVDDE)은 제3 절연층(IL3)을 관통하는 컨택홀을 통해 유지 커패시터 제2 전극(CE2)과 전기적으로 연결될 수 있다.
- [0085] 데이터 도전층(160)은 알루미늄(Al), 몰리브덴(Mo), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 칼슘(Ca), 티타늄(Ti), 탄탈륨(Ta), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속을 포함할 수 있다. 데이터 도전층(160)은 단일막 또는 다층막일 수 있다. 예를 들어, 데이터 도전층(160)은 Ti/Al/Ti, Mo/Al/Mo, Mo/AlGe/Mo, Ti/Cu 등의 적층 구조로 형성될 수 있다.
- [0086] 데이터 도전층(160) 상에는 제4 절연층(IL4)이 배치된다. 제4 절연층(IL4)은 데이터 도전층(160)을 덮는다. 제4 절연층(IL4)은 비아층일 수 있다. 제4 절연층(IL4)이 유기 물질을 포함하는 경우, 하부의 단차에도 불구하고 상면은 대체로 평탄할 수 있다. 제4 절연층(IL4)은 아크릴계 수지(polyacrylates resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드계 수지(polyamides resin), 폴리이미드계 수지(polyimides resin), 불포화 폴리에스테르계 수지(unsaturated polyesters resin), 폴리페닐렌계 수지(poly phenylenethers resin), 폴리페닐렌설파이드계 수지(polyphenylenesulfides resin) 또는 벤조사이클로부텐(benzocyclobutene, BCB) 등의 유기 절연 물질을 포함할 수 있다.
- [0087] 제4 절연층(IL4) 상에는 애노드 전극(ANO)이 배치된다. 애노드 전극(ANO)은 화소(도 3의 'PX')마다 마련된 화소 전극일 수 있다. 애노드 전극(ANO)은 제4 절연층(IL4)을 관통하는 컨택홀을 통해 박막 트랜지스터의 제2 전극(SD2)과 연결될 수 있다. 애노드 전극(ANO)은 화소(도 3의 'PX')의 발광 영역(EMA)과 적어도 부분적으로 중첩될 수 있다.
- [0088] 애노드 전극(ANO)은 이에 제한되는 것은 아니지만 인듐-주석-산화물(Indium-Tin-Oxide: ITO), 인듐-아연-산화물(Indium-Zinc-Oxide: IZO), 산화아연(Zinc Oxide: ZnO), 산화인듐(Indium Oxide: In₂O₃)의 일함수가 높은 물질층과 은(Ag), 마그네슘(Mg), 알루미늄(Al), 백금(Pt), 납(Pb), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca) 또는 이들의 혼합물 등과 같은 반사성 물질층이 적층된 적층막 구조를 가질 수 있다. 일함수가 높은 층이 반사성 물질층보다 위층에 배치되어 발광층(EML)에 가깝게 배치될 수 있다. 애노드 전극(ANO)은 ITO/Mg, ITO/MgF, ITO/Ag, ITO/Ag/ITO의 복수층 구조를 가질 수 있으나, 이에 한정되는 것은

아니다.

- [0089] 애노드 전극(ANO) 상에는 화소 정의막(PDL)이 배치될 수 있다. 화소 정의막(PDL)은 애노드 전극(ANO) 상에 배치되며, 애노드 전극(ANO)을 노출하는 개구부를 포함할 수 있다. 화소 정의막(PDL) 및 그 개구부에 의해 발광 영역(EMA)과 비발광 영역(NEM)이 구분될 수 있다. 화소 정의막(PDL)은 아크릴계 수지(polyacrylates resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드계 수지(polyamides resin), 폴리이미드계 수지(polyimides resin), 불포화 폴리에스테르계 수지(unsaturated polyesters resin), 폴리페닐렌계 수지(polyphenylenethers resin), 폴리페닐렌설파이드계 수지(polyphenylenesulfides resin) 또는 벤조사이클로부텐(benzocyclobutene, BCB) 등의 유기 절연 물질을 포함할 수 있다. 화소 정의막(PDL)은 무기 물질을 포함할 수도 있다.
- [0090] 화소 정의막(PDL) 상에는 스페이서(SP)가 배치될 수 있다. 스페이서(SP)는 화소 정의막(PDL)의 바로 위에 배치될 수 있다. 스페이서(SP)는 두께 방향으로 화소 정의막(PDL)과 중첩할 수 있다. 스페이서(SP)는 상부에 배치되는 구조물과의 간격을 유지시키는 역할을 할 수 있다. 예를 들어, 스페이서(SP)는 파인 메탈 마스크(FMM)를 통해 발광층(EML)의 유기 물질을 증착할 때, 파인 메탈 마스크의 처짐을 방지하는 역할을 할 수 있다. 경우에 따라 스페이서(SP)는 또한 상부에 적층되는 구조물 지지하는 역할을 할 수 있고, 표시 패널(100) 가압시 응력을 스트레스에 의한 변형을 완화시키는 역할을 할 수 있다. 스페이서(SP)는 화소 정의막(PDL)보다 좁은 폭을 가질 수 있다. 스페이서(SP)는 화소 정의막(PDL)의 일부 영역 상에만 배치되며, 그에 따라 스페이서(SP)가 없는 부분과 단차를 유발할 수 있다.
- [0091] 스페이서(SP)는 화소 정의막(PDL)과 마찬가지로 유기 절연 물질을 포함하여 이루어질 수 있다. 스페이서(SP)는 화소 정의막(PDL)과 별도의 층으로 이루어질 수도 있지만, 동일 물질로 하나의 공정을 통해 이루어질 수도 있다. 예를 들어, 감광성 유기 물질을 도포한 후, 슬릿 마스크나 하프톤 마스크를 이용하여 노광 및 현상하는 공정을 통해 서로 다른 높이를 갖는 화소 정의막(PDL)과 스페이서(SP)를 하나의 공정으로 형성할 수 있다.
- [0092] 화소 정의막(PDL)이 노출하는 애노드 전극(ANO) 상에는 발광층(EML)이 배치된다. 발광층(EML)은 유기 물질층을 포함할 수 있다. 발광층의 유기 물질층은 유기 발광층을 포함하며, 정공 주입/수송층 및/또는, 전자 주입/수송층을 더 포함할 수 있다.
- [0093] 발광층(EML) 상에는 캐소드 전극(CAT)이 배치될 수 있다. 캐소드 전극(CAT)은 화소의 구별없이 전면적으로 배치된 공통 전극일 수 있다. 애노드 전극(ANO), 발광층(EML) 및 캐소드 전극(CAT)은 각각 유기 발광 소자(도 3의 'OLED')를 구성할 수 있다.
- [0094] 캐소드 전극(CAT)은 발광층(EML)과 접할 뿐만 아니라, 화소 정의막(PDL)의 상면에도 접할 수 있다. 또한, 스페이서(SP)가 형성된 영역에서 캐소드 전극(CAT)은 스페이서(SP)의 표면과 접하고, 스페이서(SP)의 표면을 덮을 수 있다. 캐소드 전극(CAT)은 하부 구조물의 단차를 반영하도록 하부 구조물에 대해 진포말하게 형성될 수 있다.
- [0095] 캐소드 전극(CAT)은 Li, Ca, LiF/Ca, LiF/Al, Al, Mg, Ag, Pt, Pd, Ni, Au, Nd, Ir, Cr, BaF, Ba 또는 이들의 화합물이나 혼합물(예를 들어, Ag와 Mg의 혼합물 등)과 같은 일함수가 작은 물질층을 포함할 수 있다. 캐소드 전극(CAT)은 상기 일함수가 작은 물질층 상에 배치된 투명 금속 산화물층을 더 포함할 수 있다.
- [0096] 캐소드 전극(CAT) 상부에는 제1 무기막(EN1), 제1 유기막(EN2) 및 제2 무기막(EN3)을 포함하는 박막 봉지층(EN)이 배치된다. 박막 봉지층(EN)의 단부에서 제1 무기막(EN1)과 제2 무기막(EN3)은 서로 접할 수 있다. 제1 유기막(EN2)은 제1 무기막(EN1)과 제2 무기막(EN3)에 의해 밀봉될 수 있다.
- [0097] 제1 무기막(EN1) 및 제2 무기막(EN3)은 각각 실리콘 질화물, 실리콘 산화물, 또는 실리콘 산질화물 등을 포함할 수 있다. 제1 유기막(EN2)은 유기 절연 물질을 포함할 수 있다.
- [0098] 표시 패널(100) 상에는 터치 부재(TSP)가 배치될 수 있다. 터치 부재(TSP)는 터치 입력을 감지할 수 있다. 터치 부재(TSP)는 도식된 바와 같이 표시 패널(100)과 별도의 패널이나 필름으로 제공되어 표시 패널(100) 상에 부착될 수도 있지만, 표시 패널(100) 내부에 터치층의 형태로 제공될 수도 있다.
- [0099] 터치 부재(TSP) 상에는 반사 방지 부재(ARM)가 배치될 수 있다. 반사 방지 부재(ARM)는 통과하는 빛을 편광시키거나, 특정 파장의 빛을 선택적으로 투과시킬 수 있다. 반사 방지 부재(ARM)는 외광 반사를 감소시키는 역할을 할 수 있다.
- [0100] 터치 부재(TSP) 상에는 커버 윈도우(WIN)가 배치될 수 있다. 커버 윈도우(WIN)는 표시 패널(100)을 커버하여 보

호하는 역할을 한다. 커버 윈도우(WIN)는 투명한 물질로 이루어질 수 있다. 커버 윈도우(WIN)는 예를 들어, 유리나 플라스틱을 포함하여 이루어질 수 있다.

- [0101] 표시 패널(100)의 하부에는 하부 커버 부재(CPL)가 배치될 수 있다. 하부 커버 부재(CPL)는 차광 역할을 수행할 수 있다. 즉, 하부 커버 부재(CPL)는 빛이 외부로부터 표시 패널(100)을 향해 들어오는 것을 차단할 수 있다. 아울러, 하부 커버 부재(CPL)는 차광 기능 이외의 충격 흡수 기능 등을 수행할 수 있다.
- [0102] 이하에서, 도 5 내지 도 11을 참조하여, 반도체층(130)의 막터짐 불량을 억제 또는 방지할 수 있는 배리어층(110), 버퍼층(120) 및 반도체층(130)에 대해 구체적으로 설명한다.
- [0103] 우선, 배리어층(110)을 자외선(UV) 처리함에 따른 제1 버퍼막(121)의 탄소(C) 및 불소(F)의 농도에 대해 설명하기 위해 도 5 내지 도 7이 참조된다.
- [0104] 도 5는 일 실시예에 따른 버퍼층 주변의 단면을 확대한 확대도이다. 도 6은 일 실시예 따른 표시 장치의 버퍼층 및 배리어층의 불소(F) 농도를 나타내는 그래프이다. 도 7은 일 실시예 따른 표시 장치의 버퍼층 및 배리어층의 탄소(C) 농도를 나타내는 그래프이다.
- [0105] 도 5는 배리어층(110), 버퍼층(120) 및 반도체층(130) 주변에서 수소(H), 탄소(C) 및 불소(F)가 상부로 확산되는 모습을 간략히 도시하였다. 도 6 및 도 7에서 A의 그래프는 배리어층(110)의 표면에 자외선(UV) 처리하지 않은 경우를, B의 그래프는 배리어층(110)의 표면에 자외선(UV) 처리한 경우의 그래프를 나타낸다. 도 6 및 도 7의 가로축은 두께 방향으로의 깊이(Depth(nm))를 나타내며, 도 6의 세로축은 불소(F)의 농도(Concentration(atom/cm³))를 나타내고, 도 7의 세로축은 탄소(C)의 농도(Concentration(atom/cm³))를 나타낸다. 도 6 및도 7은 이차이온질량분석(Secondary Ion Mass Spectrometry; SIMS)을 이용하여 측정된 결과이다.
- [0106] 우선, 도 5 및 도 6를 더 참조하면, 배리어층(110)의 표면에 자외선(UV) 처리한 경우(B), 제1 버퍼막(121) 내의 불소(F)의 농도는 배리어층(110)의 표면에 자외선(UV) 처리하지 않은 경우(A)보다 감소할 수 있다.
- [0107] 구체적으로 살펴보면, 제1 버퍼막(121)은 배리어층(110)과의 계면(IF1)으로부터 제2 버퍼막(122)과의 계면(IF2) 사이의 영역을 두께 방향(제3 방향(DR3))으로 3등분할 수 있다. 제1 버퍼막(121)을 3등분한 영역을 배리어층(110)과 인접한 영역부터 제1 영역(AR1), 제2 영역(AR2) 및 제3 영역(AR3)으로 지칭할 수 있다.
- [0108] 제1 버퍼막(121) 내의 불소(F) 농도가 가장 높은 지점인 피크(PK1, PK2)는 제1 영역(AR1) 내에 위치할 수 있다. A의 그래프와 B의 그래프는 각각 제1 영역(AR1)에서 제1 피크(PK1)와 제2 피크(PK2)를 갖는다. 제2 피크(PK2)에서 불소(F)의 농도는 제1 피크(PK1)에서 불소(F)의 농도보다 낮을 수 있다. 이에 제한되는 것은 아니지만, 예를 들어, 제1 피크(PK1)와 제2 피크(PK2)는 제1 버퍼막(121)의 제1 계면(IF1)에 위치할 수 있다.
- [0109] 제2 피크(PK2)에서 불소(F) 농도는 제1 계면(IF1)과 제2 계면(IF2) 사이의 중간 지점의 불소(F) 농도보다 크며, 상기 중간 지점의 불소(F) 농도의 2.5배 이하일 수 있다. 다만, 이에 제한되는 것은 아니며, 제2 피크(PK2)에서 불소(F) 농도는 상기 중간 지점의 불소(F) 농도보다 크며, 상기 중간 지점의 불소(F) 농도의 2.0배 이하일 수도 있다. 이에 제한되는 것은 아니지만, 예를 들어, 상기 중간 지점의 불소(F) 농도는 1E20 atom/cm³ 이하이거나, 1E18 내지 1E20 atom/cm³의 범위 내에 있을 수 있다. 상기 중간 지점은 제2 영역(AR2) 내에 위치할 수 있다. 아울러, 상기 중간 지점에서 제1 계면(IF1)까지의 거리와 상기 중간 지점에서 제2 계면(IF2)까지의 거리는 동일할 수 있다.
- [0110] 또는, 제2 피크(PK2)에서 불소(F) 농도는 제2 영역(AR2)의 불소(F) 농도의 평균 농도보다 크며, 제2 영역(AR2)의 불소(F) 농도의 평균 농도의 2.5배 이하일 수 있다. 제2 영역(AR2)의 불소(F) 농도의 평균 농도는 1E20 atom/cm³ 이하이거나, 1E18 내지 1E20 atom/cm³의 범위 내에 있을 수 있다.
- [0111] 또는, 제2 피크(PK2)에서 불소(F)의 농도는 제2 영역(AR2)의 임의의 지점에서의 불소(F) 농도의 2.5배 이하일 수 있다. 즉, 제2 피크(PK2)에서 불소(F) 농도는 제2 영역(AR2)의 임의의 지점에서의 불소(F) 농도보다 크며, 제2 영역(AR2)의 임의의 지점에서의 불소(F) 농도의 2.5배 이하일 수 있다.
- [0112] 이어, 도 5 및 도 7을 참조하면, 배리어층(110)의 표면에 자외선(UV) 처리한 경우(B), 제1 버퍼막(121) 내의 탄소(C)의 농도는 배리어층(110)의 표면에 자외선(UV) 처리하지 않은 경우(A)보다 감소할 수 있다.
- [0113] 구체적으로 살펴보면, 제1 버퍼막(121)은 배리어층(110)과의 제1 계면(IF1)으로부터 제2 버퍼막(122)과의 제2 계면(IF2) 사이의 영역을 두께 방향(제3 방향(DR3))으로 3등분할 수 있다. 제1 버퍼막(121)을 3등분한 영역을

배리어층(110)과 인접한 영역부터 제1 영역(AT1), 제2 영역(AT2) 및 제3 영역(AT3)으로 지칭할 수 있다.

- [0114] 제1 버퍼막(121) 내의 탄소(C) 농도가 가장 높은 지점인 피크(PK1, PK2)는 제1 영역(AT1) 내에 위치할 수 있다. A의 그래프와 B의 그래프는 각각 제1 영역(AT1)에서 제3 피크(PK3)와 제4 피크(PK4)를 갖는다. 제4 피크(PK4)에서 탄소(C)의 농도는 제3 피크(PK3)에서 탄소(C)의 농도보다 낮을 수 있다. 이에 제한되는 것은 아니지만, 예를 들어, 제3 피크(PK3)와 제4 피크(PK4)는 제1 버퍼막(121)의 제1 계면(IF1)에 위치할 수 있다.
- [0115] 제4 피크(PK4)에서 탄소(C) 농도는 제1 계면(IF1)과 제2 계면(IF2) 사이의 중간 지점의 탄소(C) 농도의 2.5배 이하일 수 있다. 아울러, 제4 피크(PK4)에서 탄소(C) 농도는 제1 계면(IF1)과 제2 계면(IF2) 사이의 중간 지점의 탄소(C) 농도보다 작을 수 있다. 다만, 이에 제한되는 것은 아니며, 제4 피크(PK4)에서 탄소(C) 농도는 상기 중간 지점의 탄소(C) 농도의 2.0배 이하일 수도 있다. 상기 중간 지점은 제2 영역(AT2) 내에 위치할 수 있다. 아울러, 상기 중간 지점에서 제1 계면(IF1)까지의 거리와 상기 중간 지점에서 제2 계면(IF2)까지의 거리는 동일할 수 있다.
- [0116] 이에 제한되는 것은 아니지만, 상기 중간 지점의 탄소(C) 농도는 $1E20 \text{ atom/cm}^3$ 이하이거나, $1E19 \text{ atom/cm}^3$ 이하일 수 있다. 또는, 상기 중간 지점의 탄소(C) 농도는 $1E17 \text{ atom/cm}^3$ 내지 $1E20 \text{ atom/cm}^3$ 의 범위 또는 $1E18 \text{ atom/cm}^3$ 내지 $1E19 \text{ atom/cm}^3$ 의 범위 내에 있을 수 있다. 또는, 제4 피크(PK4)에서 탄소(C) 농도는 제2 영역(AT2)의 탄소(C) 농도의 2.5배 이하일 수 있다. 아울러, 제4 피크(PK4)에서 탄소(C) 농도는 제2 영역(AT2)의 탄소(C) 농도의 평균 농도보다 작을 수 있다.
- [0117] 또는, 제4 피크(PK4)에서 탄소(C)의 농도는 제2 영역(AT2)의 임의의 지점에서의 탄소(C) 농도의 2.5배 이하일 수 있다. 즉, 제4 피크(PK4)에서 탄소(C) 농도는 제2 영역(AT2)의 임의의 지점에서의 탄소(C) 농도의 2.5배 이하일 수 있다. 아울러, 제4 피크(PK4)에서 탄소(C)의 농도는 제2 영역(AT2)의 임의의 지점에서의 탄소(C) 농도보다 작을 수 있다.
- [0118] 즉, 배리어층(110)의 표면을 자외선(UV)으로 처리함에 따라, 배리어층(110)의 표면에 잔존하는 탄소(C) 및 불소(F)의 양이 감소할 수 있다. 따라서, 배리어층(110)의 표면에서 제1 버퍼막(121)으로 확산되는 탄소(C) 및 불소(F)의 양이 감소할 수 있고, 이에 따라, 반도체층(130)을 결정화하는 과정에서, 탄소(C) 및 불소(F)에 의해 발생할 수 있는 아웃-개싱(out-gassing)을 억제 또는 방지할 수 있다. 따라서, 반도체층(130)의 막터짐 등에 의한 불량을 억제 또는 방지할 수 있다.
- [0119] 다만, 이에 제한되는 것은 아니고, 배리어층(110)과 제1 버퍼막(121)은 연속적으로 성막되고, 제1 버퍼막(121)과 제2 버퍼막(122)이 분리되어 성막될 수도 있다. 이 경우, 상술한 불순물은 제1 버퍼막(121) 표면에 접촉될 수 있으며, 제1 버퍼막(121)의 표면이 자외선 처리될 수 있다. 아울러, 제1 피크(PK1) 및 제2 피크(PK2)에 대한 설명은 제1 영역(AR1) 및 제1 계면(IF1)이 아니라, 제3 영역(AR3) 및 제2 계면(IF2)에 대해 적용될 것이다.
- [0120] 배리어층(110)을 자외선(UV, ultraviolet rays) 처리하는 방법 뿐만 아니라, 제2 버퍼막(122)이 성막되는 속도(증착 속도(Deposition rate))를 감소시킴으로써, 제2 버퍼막(122)에 포함된 수소(H)의 농도를 감소시킬 수 있다. 이에 대한 자세한 설명은 후술한다. 제2 버퍼막(122)을 성막하는 조건에 따라, 반도체층(130)을 결정화하는 과정에서 발생할 수 있는 아웃-개싱(out-gassing)을 억제 또는 방지할 수 있다.
- [0121] 이에 대해 보다 상세히 설명하기 위해 도 8 내지 도 10이 참조된다.
- [0122] 도 8은 일 실시예 따른 표시 장치의 제1 절연막, 반도체층 및 버퍼층의 수소(H) 농도를 나타내는 그래프이다. 도 9은 일 실시예 따른 표시 장치의 제1 절연막, 반도체층 및 버퍼층의 수소(H) 농도를 나타내는 그래프이다. 도 10은 일 실시예에 따른 버퍼층을 가열함에 따라 방출되는 수소(H) 가스의 양을 나타내는 그래프이다.
- [0123] 도 8은 이차이온질량분석(Secondary Ion Mass Spectrometry; SIMS)을 이용하여 측정된 결과이다. 도 9의 그래프는 러더포드 후방 산란 분석(RBS, Rutherford backscattering spectrometry)으로 측정된 결과이다. 도 10의 그래프는 열탈착 스펙트럼(TDS, thermal desorption spectroscopy)을 이용하여 측정된 결과이다.
- [0124] 도 8의 및 도 9의 가로축은 일 실시예에 따른 반도체층(130), 버퍼층(120) 및 배리어층(110)의 두께 방향(제3 방향(DR3))의 깊이(Depth)를, 세로축은 수소(H)의 농도(atom/cm^3 , at%)를 나타낸다. 도 10의 가로축은 제2 버퍼막(122)의 온도를, 세로축은 제2 버퍼막(122)에서 방출되는 수소(H) 가스의 양을 나타낸다. 도 10은 서로 다른 증착 속도로 형성된 제2 버퍼막(122)에서 방출되는 수소(H) 가스의 양을 나타낸다.

- [0125] 도 8 및 도 10에서 A의 그래프는 비교예로서 증착 속도가 약 96.2Å/sec인 제2 버퍼막(122)에서 방출되는 수소(H) 가스의 양을 나타내며, C의 그래프는 실시예로서 상기 A의 그래프의 증착 속도보다 작은 증착 속도로 형성된 제2 버퍼막(122)에서 방출되는 수소(H) 가스의 양을 나타낸다. 이에 제한되는 것은 아니지만, 예를 들어, C의 그래프의 증착 속도는 63Å/sec 내지 66Å/sec의 범위 또는 60Å/sec 내지 70Å/sec의 범위에 있거나, 64.6 Å/sec일 수 있다.
- [0126] 우선, 도 5 및 도 8을 참조하면, 제2 버퍼층(122)의 증착 속도가 상대적으로 낮은 경우(C), 제2 버퍼층(122) 및 반도체층(130)의 수소(H) 농도는 증착 속도가 상대적으로 높은 경우(A)보다 더 낮을 수 있다. 반도체층(130)과 제2 버퍼층(122) 사이의 제3 계면(IF3)에서 수소(H) 농도는 가장 높을 수 있고, 제3 계면(IF3)에서 수소(H) 농도는 제2 버퍼층(122)의 증착 속도가 상대적으로 낮은 경우(C)에 보다 낮을 수 있다.
- [0127] 제2 버퍼막(122)의 수소(H) 농도는 1.0E18 내지 3.0E21 atom/cm³의 범위 또는 1.0E19 내지 3.0E20 atom/cm³의 범위 내에 있을 수 있다.
- [0128] 즉, 제3 계면(IF3) 주변에서 수소(H) 농도는 제2 버퍼층(122)의 증착 속도가 낮을수록 감소할 수 있고, 이에 따라, 수소(H)에 의한 아웃-개싱(out-gassing)이 감소할 수 있다.
- [0129] 도 5 및 도 9를 참조하면, 일 실시예에 따른 제2 버퍼막(122)과 배리어층(110)은 동일한 물질을 포함할 수 있다. 예를 들어, 제2 버퍼막(122)과 배리어층(110)은 실리콘 산화물(SiO_x)을 포함할 수 있다. 제2 버퍼막(122)과 배리어층(110)은 각 층을 증착하는 증착 속도가 서로 다를 수 있다. 제2 버퍼막(122)의 증착 속도는 배리어층의 증착 속도보다 작을 수 있다. 이에 제한되는 것은 아니지만, 제2 버퍼막(122)의 증착 속도는 63Å/sec 내지 66Å/sec의 범위 또는 60Å/sec 내지 70Å/sec의 범위에 있거나, 64.6Å/sec이며, 배리어층(110)의 증착 속도는 도 10의 A 그래프와 같이 약 96.2Å/sec일 수 있다.
- [0130] 제2 버퍼막(122)과 배리어층(110)은 서로 다른 막 밀도를 가질 수 있다. 제2 버퍼막(122)의 막밀도는 배리어층(110)의 막밀도보다 클 수 있다. 이에 제한되는 것은 아니지만, 제2 버퍼막(122)의 막밀도는 예를 들어, 2.2g/cm³ 내지 2.25g/cm³ 범위 내에 있거나, 2.15g/cm³ 내지 2.40g/cm³ 범위 내에 있을 수 있다. 제2 버퍼막(122)의 막밀도는 단위 부피당 무게를 측정함으로써, 계산할 수 있다.
- [0131] 제2 버퍼막(122)과 배리어층(110)은 서로 다른 수소(H) 농도를 가질 수 있다. 제2 버퍼막(122)의 수소(H) 농도는 배리어층(110)의 수소(H) 농도보다 작을 수 있다. 이에 제한되는 것은 아니지만, 예를 들어, 제2 버퍼막(122)의 수소(H) 농도는 3 내지 5at%의 범위 또는 3.5 내지 4.5at%의 범위 내에 있거나, 4at%일 수 있다.
- [0132] 이어, 도 10을 더 참조하면, 상대적으로 증착 속도가 낮은 C의 경우, 상대적으로 증착 속도가 높은 A의 경우보다 제2 버퍼막(122)에서 방출되는 수소(H) 가스의 양이 적을 수 있다. 즉, 제2 버퍼막(122)을 증착하는 증착 속도를 낮추는 경우, 제2 버퍼막(122)에서 방출되는 수소(H) 가스의 양이 감소할 수 있다.
- [0133] 즉, 제2 버퍼막(122)과 배리어층(110)이 동일한 물질(예를 들어, 실리콘 산화물(SiO_x))을 포함하더라도, 제2 버퍼막(122)의 증착되는 속도를 감소시키는 경우, 제2 버퍼막(122)의 막밀도가 증가할 수 있으며, 제2 버퍼막(122) 내부의 수소(H) 농도가 감소할 수 있다. 내부의 수소(H) 농도가 감소함에 따라, 반도체층(130)을 결정화하는 공정이 진행되더라도, 제2 버퍼막(122)에서 방출되는 수소(H) 가스의 양이 감소할 수 있고, 수소(H)에 의해 발생할 수 있는 아웃-개싱(out-gassing)을 억제 또는 방지할 수 있다. 따라서, 반도체층(130)의 얼룩 또는 막터짐 등에 의한 불량을 억제 또는 방지할 수 있다.
- [0134] 배리어층(110)의 자외선(UV) 처리 및 제2 버퍼막(122)의 증착 속도를 낮추는 것 뿐만 아니라, 버퍼층(120)을 플라즈마 처리(Plasma treatment)함으로써, 버퍼층(120) 표면의 불순물을 제거할 수 있고, 상기 불순물에 의한 아웃-개싱(out-gassing)을 감소시킬 수 있다.
- [0135] 예를 들어, 버퍼층(120)을 증착하고 반도체층(130)을 증착하기 전 버퍼층(120)의 표면을 세정(cleaning)하는 공정에 의해 버퍼층(120) 표면에 불순물이 접촉될 수 있다. 상기 불순물은 불소(F) 등을 포함할 수 있다. 버퍼층(120)의 상면에 잔존하는 불소(F) 등은 반도체층(130)을 결정화하는 공정(예를 들어, ELA(Excimer laser annealing) 공정)에 의해, 상부를 향해 확산될 수 있다. 후술하겠으나, 버퍼층(120)을 증착하고 이를 세정한 후, 버퍼층(120)을 플라즈마 처리하는 경우, 버퍼층(120)의 표면에 존재하는 불소(F)를 제거할 수 있다. 즉, 플라즈마 처리에 의해, 버퍼층(120)의 표면에 잔존하는 불소(F)의 양이 감소할 수 있다. 상기 플라즈마 처리는 아르곤(AT) 플라즈마 가스에 의해 진행될 수 있으나, 이에 제한되는 것은 아니다.

- [0136] 버퍼층(120)을 플라즈마 처리함에 따른 반도체층(130)의 불소(F) 농도에 대해 설명하기 위해 도 11이 참조된다.
- [0137] 도 11은 일 실시예 따른 표시 장치의 반도체층 및 그 주변의 불소(F) 농도를 나타내는 그래프이다. 도 11은 이차이온질량분석(Secondary Ion Mass Spectrometry; SIMS)에 의해 측정된 결과이다. 도 11에서 A의 그래프는 버퍼층(120)의 표면에 플라즈마 처리하지 않은 경우를, D의 그래프는 버퍼층(120)의 표면에 플라즈마 처리한 경우를 나타낸다. 도 11의 가로축은 스퍼터링(Sputtering) 시간을 나타내며, 세로축은 불소(F)의 분포를 나타낸다. 아울러, 도 11의 가로축은 제1 절연막(IL1), 반도체층(130) 및 버퍼층(120)의 두께 방향(제3 방향(DR3))의 깊이(Depth)로 볼 수 있다.
- [0138] 도 5 및 도 11을 참조하면, 버퍼층(120)의 표면에 플라즈마 처리한 경우(D), 반도체층(130) 및 버퍼층(120) 내의 불소(F)의 농도는 버퍼층(120)의 표면에 플라즈마 처리하지 않은 경우(A)보다 감소할 수 있다.
- [0139] 구체적으로 설명하면, 반도체층(130)은 버퍼층(120)과의 제3 계면(IF3)으로부터 제2 버퍼막(122)과의 제4 계면(IF4) 사이의 영역을 두께 방향(제3 방향(DR3))으로 3등분할 수 있다. 반도체층(130)을 3등분한 영역을 버퍼층(120)과 인접한 영역부터 제1 영역(AT1), 제2 영역(AT2) 및 제3 영역(AT3)으로 지칭할 수 있다. 또한, 반도체층(130)은 버퍼층(120)과의 제3 계면(IF3)으로부터 제2 버퍼막(122)과의 제4 계면(IF4) 사이의 영역을 두께 방향(제3 방향(DR3))으로 2등분할 수 있다. 반도체층(130)을 2등분한 영역을 버퍼층(120)과 인접한 영역부터 제4 영역(AT4) 및 제5 영역(AT5)으로 지칭할 수 있다.
- [0140] D의 그래프는 제1 영역(AT1) 및 제4 영역(AT4)에서 제6 피크(PK6)를 가지며, 제3 영역(AT3) 및 제5 영역(AT5)에서 제8피크(PK8)를 포함할 수 있다. 이에 제한되는 것은 아니지만, 제6 피크(PK6)는 제3 계면(IF3)에 위치하며, 제8 피크(PK8)는 제4 계면(IF4)에 위치할 수 있다. 제6 피크(PK6)에서 반도체층(130)의 불소(F) 농도는 제8 피크(PK8)에서 반도체층(130)의 불소(F) 농도보다 작을 수 있다. 이에 제한되는 것은 아니지만, 제6 피크(PK6)에서 반도체층(130)의 불소(F) 농도는 제8 피크(PK8)에서 반도체층(130)의 불소(F) 농도의 30% 이하이거나, 20% 이하일 수 있다.
- [0141] D의 그래프는 제6 피크(PK6)와 제8 피크(PK8) 사이에서 가장 낮은 농도 값을 갖는 지점인 저점(LK)을 더 포함할 수 있다. 저점(LK)에서 반도체층(130)의 불소(F) 농도는 제6 피크(PK6)에서 반도체층(130)의 불소(F) 농도와 같거나 작을 수 있다. 이에 제한되는 것은 아니지만, 저점(LK)에서 반도체층(130)의 불소(F) 농도는 $1E20 \text{ atom/cm}^3$ 이하일 수 있다. 또한, 이에 제한되는 것은 아니지만, 예를 들어, 저점(LK)에서 반도체층(130)의 불소(F) 농도는 $1E18$ 내지 $1E19 \text{ atom/cm}^3$ 의 범위 또는 $1E18$ 내지 $1E20 \text{ atom/cm}^3$ 의 범위 내에 있을 수 있다.
- [0142] 또한, 이에 제한되는 것은 아니지만, 예를 들어, 저점(LK)은 제2 영역(AT2) 내에 위치하면서, 제4 영역(AT4) 내에 위치할 수 있다.
- [0143] D의 그래프와 A의 그래프를 비교하면, 버퍼층(120)의 표면에 플라즈마 처리하는 경우, D의 그래프는 A의 그래프보다 불소(F)의 농도가 대체로 낮으며, 특히, 제3 계면(IF) 주변 영역에서 불소(F)의 농도가 낮을 수 있다. 그 그래프(A)의 제5 피크(PK5)에서 불소(F)의 농도는 그래프(B)의 제6 피크(PK6)에서 불소(F)의 농도보다 클 수 있다. 아울러, 그래프(A)의 제7 피크(PK7)에서 불소(F)의 농도는 그래프(B)의 제8 피크(PK8)에서 불소(F)의 농도보다 클 수 있다.
- [0144] 따라서, 버퍼층(120)의 표면에 플라즈마 처리하는 경우, 반도체층(130)의 하부에서 발생할 수 있는 불소(F)에 의한 아웃-개싱(out-gassing)을 억제 또는 방지할 수 있고, 반도체층(130)의 막터짐 등이 감소할 수 있으며, 이에 의한 불량을 억제 또는 방지할 수 있다.
- [0145] 이하에서, 일 실시예에 따른 표시 장치의 제조 방법에 대해 설명한다.
- [0146] 도 12 내지 도 16은 일 실시예에 따른 표시 장치의 제조 방법을 설명하기 위한 단면도들이다. 도 13은 도 12의 배리어층(110) 표면을 확대하여 도시하였다. 도 15는 도 14의 제2 버퍼막(122)의 표면을 확대하여 도시하였다.
- [0147] 우선, 도 12 및 도 13을 참조하면, 베이스 기판(SUB) 상에 배리어층(110)을 적층한다. 배리어층(110)은 베이스 기판(SUB)의 전면에 걸쳐 배치될 수 있다. 배리어층(110)은 화학 기상 증착법(chemical vapor deposition, CVD), 플라즈마 화학 기상 증착법(plasma enhanced chemical vapor deposition, PECVD) 등에 의해 형성될 수 있으나, 이에 제한되는 것은 아니다.
- [0148] 배리어층(110)을 적층한 후, 배리어층(110)의 표면은 자외선(UV)에 의해 자외선 처리된다. 이 경우, 배리어층(110)의 표면에 접촉된 불순물이 제거될 수 있고, 배리어층(110)의 표면에 잔존하는 불순물의 양이 감소할 수

있다. 이에 제한되는 것은 아니지만, 예를 들어, 배리어층(110)의 표면에는 탄소(C) 및 불소(F) 등이 접촉될 수 있고, 탄소(C) 및 불소(F) 등은 자외선 처리에 의해 제거될 수 있다.

- [0149] 따라서, 자외선 처리에 의해, 배리어층(110)의 표면에 잔존하는 탄소(C) 및 불소(F) 등의 양이 감소할 수 있고, 이후에 반도체층(130)을 결정화하는 공정(예를 들어, ELA(Excimer laser annealing) 공정)이 진행되더라도, 배리어층(110)의 표면으로부터 상부를 향해 확산되는 탄소(C) 가스 및 불소(F) 가스 등의 양이 감소할 수 있다. 즉, 배리어층(110)의 표면에서 발생하는 아웃-개싱(out-gassing)을 억제 또는 방지할 수 있고, 나아가, 반도체층(130)의 막터짐 등의 불량을 억제 또는 방지할 수 있다.
- [0150] 이어, 도 14 및 도 15를 참조하면, 배리어층(110) 상에 버퍼층(120)을 적층한다. 버퍼층(120)은 배리어층(11)의 전면에 걸쳐 배치될 수 있다. 버퍼층(120)은 제1 버퍼막(121) 및 제2 버퍼막(122)이 순차적으로 적층될 수 있다. 제1 버퍼막(121)을 적층한 후, 제2 버퍼막(122)이 적층될 수 있다. 버퍼층(120)의 제1 버퍼막(121)과 제2 버퍼막(122) 각각은 화학 기상 증착법(chemical vapor deposition, CVD), 플라즈마 화학 기상 증착법(plasma enhanced chemical vapor deposition, PECVD) 등에 의해 형성될 수 있으나, 이에 제한되는 것은 아니다.
- [0151] 제2 버퍼막(122)은 배리어층(110)과 동일한 물질을 포함하고, 배리어층(110)의 증착 속도보다 낮은 증착 속도로 형성될 수 있다. 이에 제한되는 것은 아니지만, 예를 들어, 제2 버퍼막(122)의 증착 속도는 63Å/sec 내지 66Å/sec의 범위 또는 60Å/sec 내지 70Å/sec의 범위에 있거나, 64.6Å/sec일 수 있다.
- [0152] 제2 버퍼막(122)을 증착하는 증착 조건의 전원(power)은 7000 내지 8000W(watt)의 범위 또는 7400 내지 7600W(watt)의 범위 내에 있을 수 있다. 제2 버퍼막(122)을 증착하는 증착 조건에서 증착원과 증착기관 사이의 거리(spacing)는 500 내지 700 mils의 범위 또는 550 내지 650 mils의 범위 내에 있을 수 있다. 제2 버퍼막(122)을 증착하는 압력은 800 내지 900mtorr의 범위 또는 830 내지 870mtorr의 범위 내에 있을 수 있다. 제2 버퍼막(122)을 증착하는 과정에서 제공되는 아산화질소(N₂O)는 50000 내지 60000 sccm(standard cubic centimeter per minute)의 범위 또는 54000 내지 55000 sccm의 범위 내에 있을 수 있다. 제2 버퍼막(122)을 증착하는 과정에서 제공되는 실란(SiH₄)은 2000 내지 2500 sccm(standard cubic centimeter per minute)의 범위 또는 2100 내지 2300 sccm의 범위 내에 있을 수 있다.
- [0153] 이에 제한되는 것은 아니지만, 예를 들어, 제2 버퍼막(122)을 증착하는 증착 조건의 전원(power)은 7520W, 증착원과 증착기관 사이의 거리(spacing)는 600mils, 제2 버퍼막(122)을 증착하는 압력은 850mtorr, 제공되는 아산화질소(N₂O)는 54700sccm, 제공되는 실란(SiH₄)은 2200sccm일 수 있다.
- [0154] 제2 버퍼막(122)의 증착 속도를 배리어층(110)의 증착 속도보다 낮게 설정함에 따라, 제2 버퍼막(122)의 막밀도는 배리어층(110)의 막밀도보다 클 수 있으며, 제2 버퍼막(122)에 포함된 수소(H)의 농도는 배리어층(110)에 포함된 수소(H)의 농도보다 낮을 수 있다.
- [0155] 아울러, 버퍼층(120)을 적층한 후, 상부로 노출된 버퍼층(120)의 표면인 제2 버퍼막(122)의 표면은 아르곤(Ar)의 플라즈마 가스를 통해 플라즈마 처리(Plasma treatment)될 수 있다. 다만, 이에 제한되는 것은 아니고, 상기 플라즈마 처리는 헬륨(He) 및 수소(H₂) 중 어느 하나의 플라즈마 가스에 의해 진행될 수도 있다. 이 경우, 제2 버퍼막(122)의 표면에 접촉된 불순물이 제거될 수 있고, 제2 버퍼막(122)의 표면에 잔존하는 불순물의 양이 감소할 수 있다. 이에 제한되는 것은 아니지만, 예를 들어, 제2 버퍼막(122)의 표면에는 불소(F) 등이 접촉될 수 있고, 불소(F) 등은 플라즈마 처리에 의해 제거될 수 있다.
- [0156] 따라서, 플라즈마 처리에 의해, 버퍼층(120)의 표면에 잔존하는 불소(F) 등의 양이 감소할 수 있고, 이후에 반도체층(130)을 결정화하는 공정(예를 들어, ELA(Excimer laser annealing) 공정)이 진행되더라도, 버퍼층(120)의 표면으로부터 상부를 향해 확산되는 불소(F) 가스 등의 양이 감소할 수 있다. 즉, 버퍼층(120)의 표면에서 발생하는 아웃-개싱(out-gassing)을 억제 또는 방지할 수 있고, 나아가, 반도체층(130)의 막터짐 등의 불량을 억제 또는 방지할 수 있다.
- [0157] 아울러, 아르곤(Ar)에 의한 플라즈마 처리에 의해, 버퍼층(120)은 아르곤(Ar)을 포함할 수 있다. 아르곤(Ar)은 버퍼층(120)의 표면 및 버퍼층(120)의 내부 중 적어도 어느 하나의 영역에 위치할 수 있다. 아르곤(Ar)은 비활성 기체로, 버퍼층(120)에 아르곤(Ar)이 위치하더라도, 버퍼층(120)의 절연막 특성 등에 영향을 주지 않으며, 상부의 반도체층(130)의 전기적 특성 등에도 영향을 주지 않을 수 있다.
- [0158] 이어, 도 16을 참조하면, 버퍼층(120) 상에 반도체층(130)을 형성한다. 반도체층(130)은 버퍼층(120)의 일부 영역 상에만 배치될 수 있다. 버퍼층(120) 상에 반도체층용 물질을 전면 증착한 후, 포토리소그래피 공정을 통해,

상기 반도체층용 물질을 패터닝하여 도 16에 도시된 바와 같은 반도체층(130)을 형성할 수 있다.

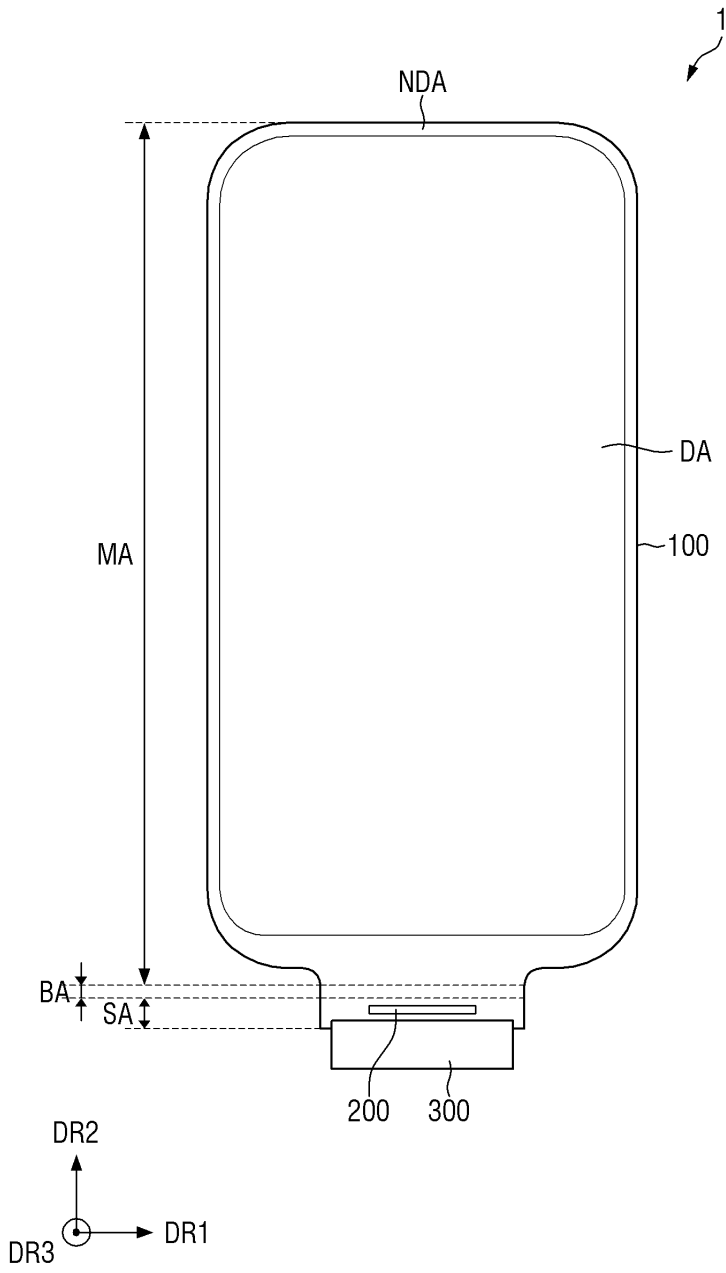
- [0159] 이후, 제1 게이트 도전층(140, 도 4 참조), 제2 게이트 도전층(150, 도 4 참조), 데이터 도전층(160, 도 4 참조), 화소 정의막(PDL, 도 4 참조), 발광층(EML, 도 4 참조) 및 캐소드 전극(CAT, 도 4 참조) 등이 순차적으로 형성될 수 있다. 상기 구성들의 형성 방법은 널리 알려진 기술로, 본 명세서에서는 이에 대한 설명은 생략한다.
- [0160] 이하, 다른 실시예에 대해 설명한다. 이하의 실시예에서, 이전에 이미 설명된 것과 동일한 구성에 대해서는 중복 설명을 생략하거나 간략화하고, 차이점을 위주로 설명한다.
- [0161] 도 17은 다른 실시예에 따른 표시 장치의 제조 방법을 설명하는 단면도들을 도시한다.
- [0162] 도 17을 참조하면, 본 실시예에 따른 표시 장치의 제조 방법은 배리어층(110)과 버퍼층(120)이 연속 성막을 통해 형성된다는 점에서 도 12 내지 도 16의 실시예와 차이가 있다.
- [0163] 구체적으로 설명하면, 본 실시예에 다른 표시 장치의 제조 방법에서, 배리어층(110)과 버퍼층(120)은 연속하여 성막될 수 있다. 베이스 기판(SUB) 상에 배리어층(110)이 적층된 후, 연속하여 배리어층(110) 상에 제1 버퍼막(121)이 적층되며, 제1 버퍼막(121)이 적층된 후, 연속하여 제1 버퍼막(121) 상에 제2 버퍼막(122)이 적층될 수 있다. 즉, 배리어층(110)과 버퍼층(120)은 동일한 진공 챔버 내에서 성막될 수 있다. 이에 의해, 베이스 기판(SUB) 상에 적층된 배리어층(110)의 표면에 접촉될 수 있는 불순물의 양이 감소할 수 있다.
- [0164] 따라서, 이 경우에도 배리어층(110)의 표면에서 발생할 수 있는 아웃-개싱(out-gassing)을 억제 또는 방지할 수 있어, 반도체층(도 4의 '130')의 막터짐 등의 불량을 억제 또는 방지할 수 있다.
- [0165] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명의 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

부호의 설명

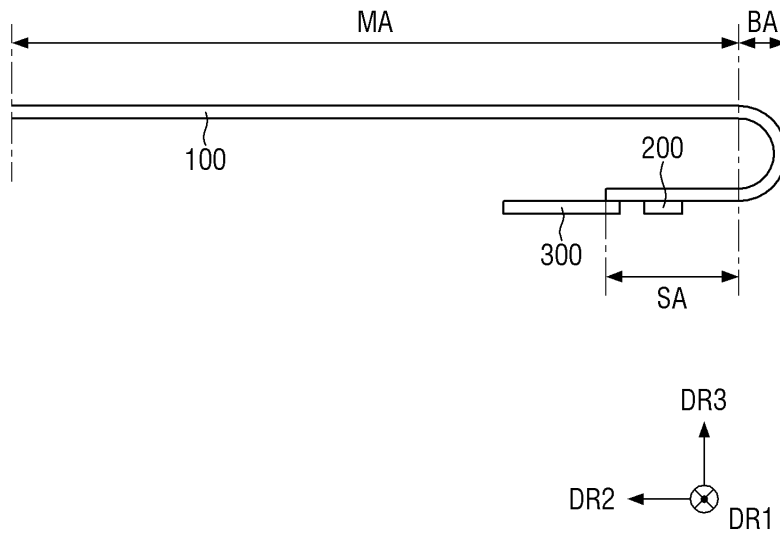
- [0166] 1: 표시 장치 140: 제1 게이트 도전층
- 100: 표시 패널 150: 제2 게이트 도전층
- SUB: 베이스 기판 160: 데이터 도전층
- 110: 배리어층 ANO: 애노드 전극
- 120: 버퍼층 EML: 발광층
- 121: 제1 버퍼막 CAT: 캐소드 전극
- 122: 제2 버퍼막
- 130: 반도체층

도면

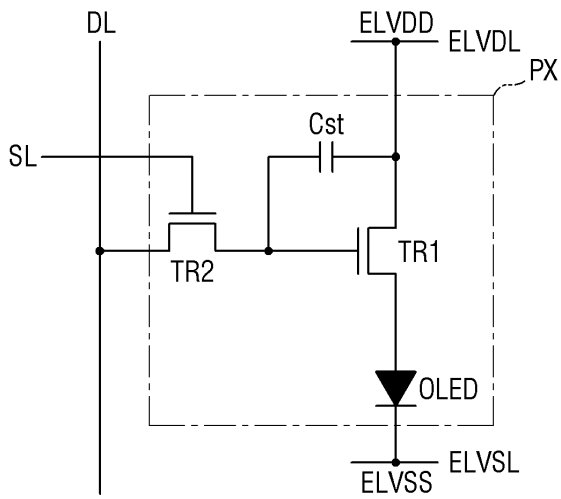
도면1



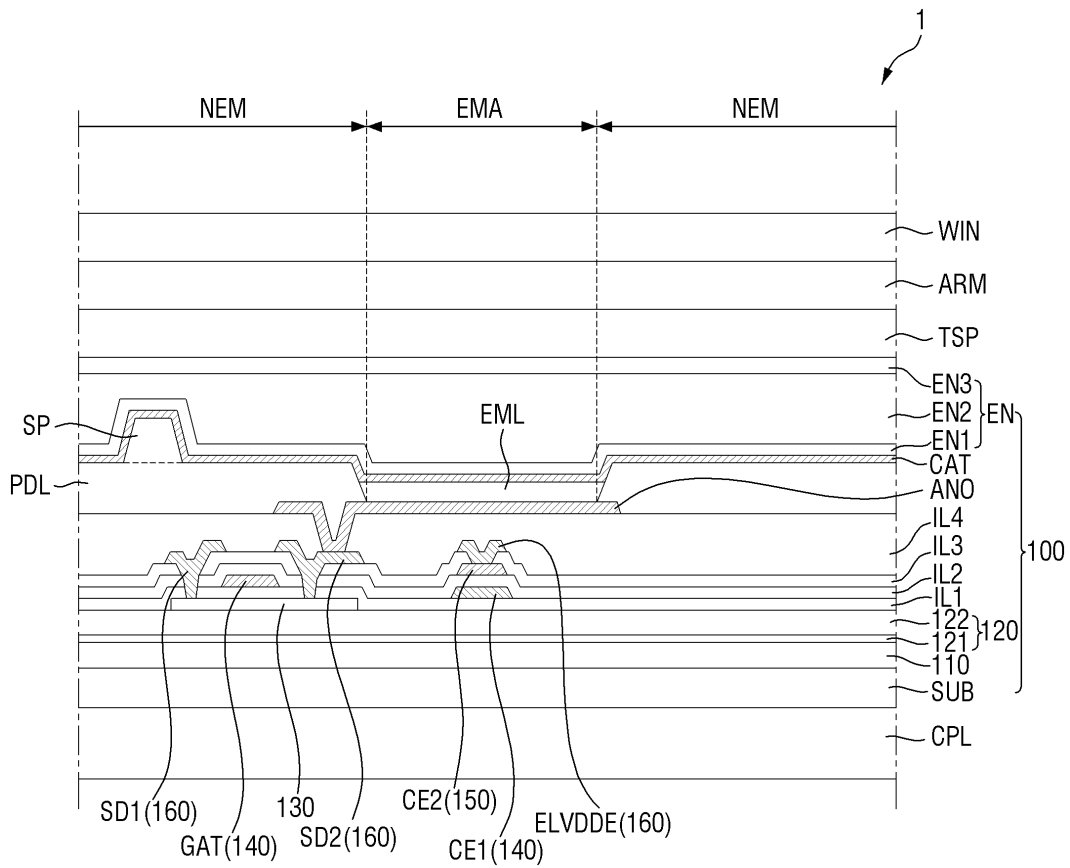
도면2



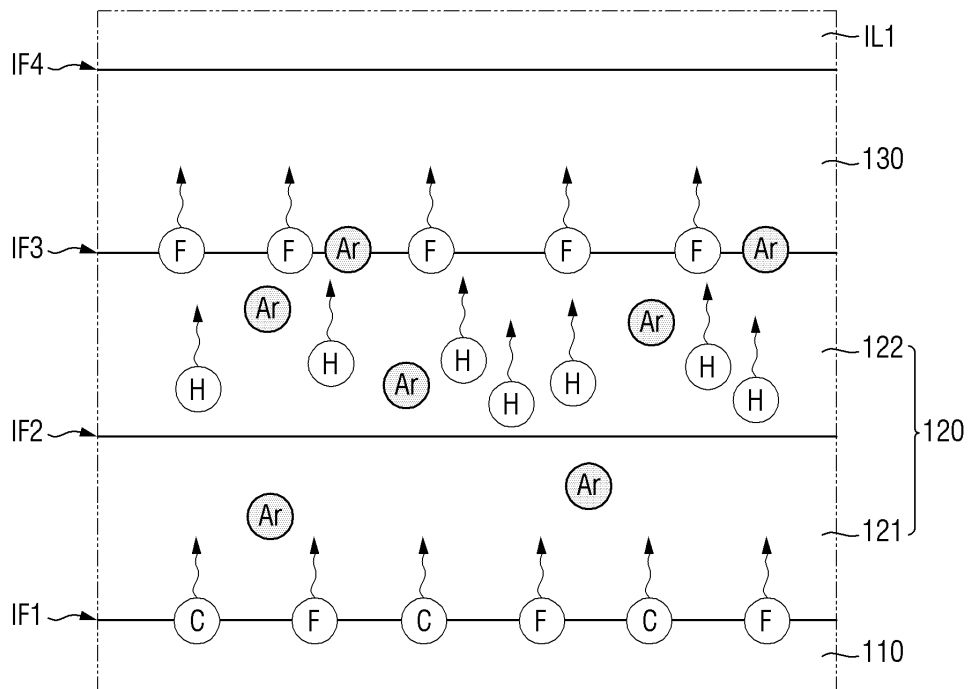
도면3



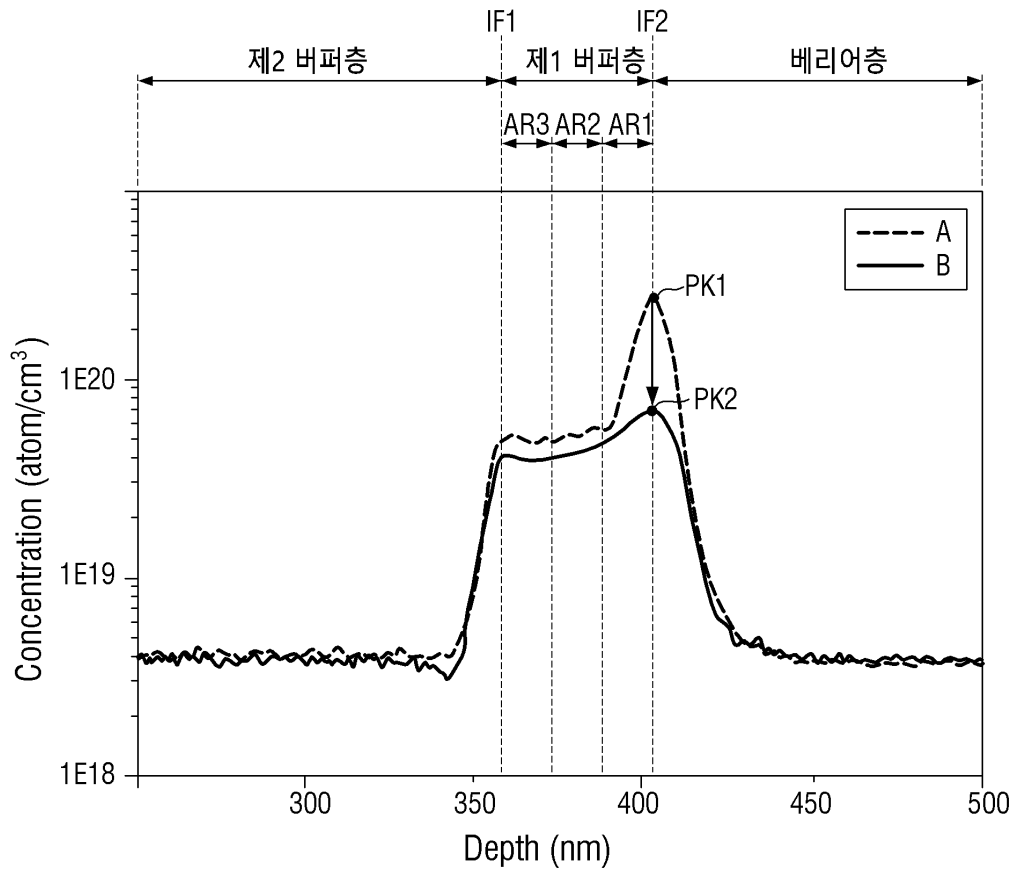
도면4



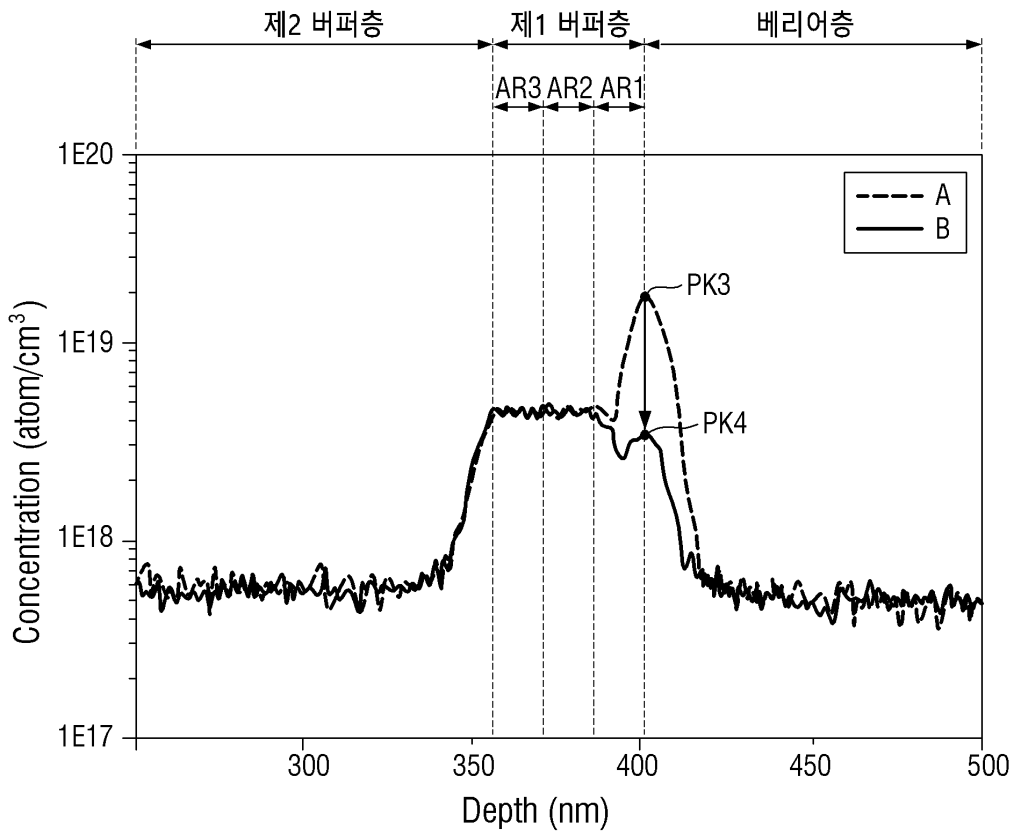
도면5



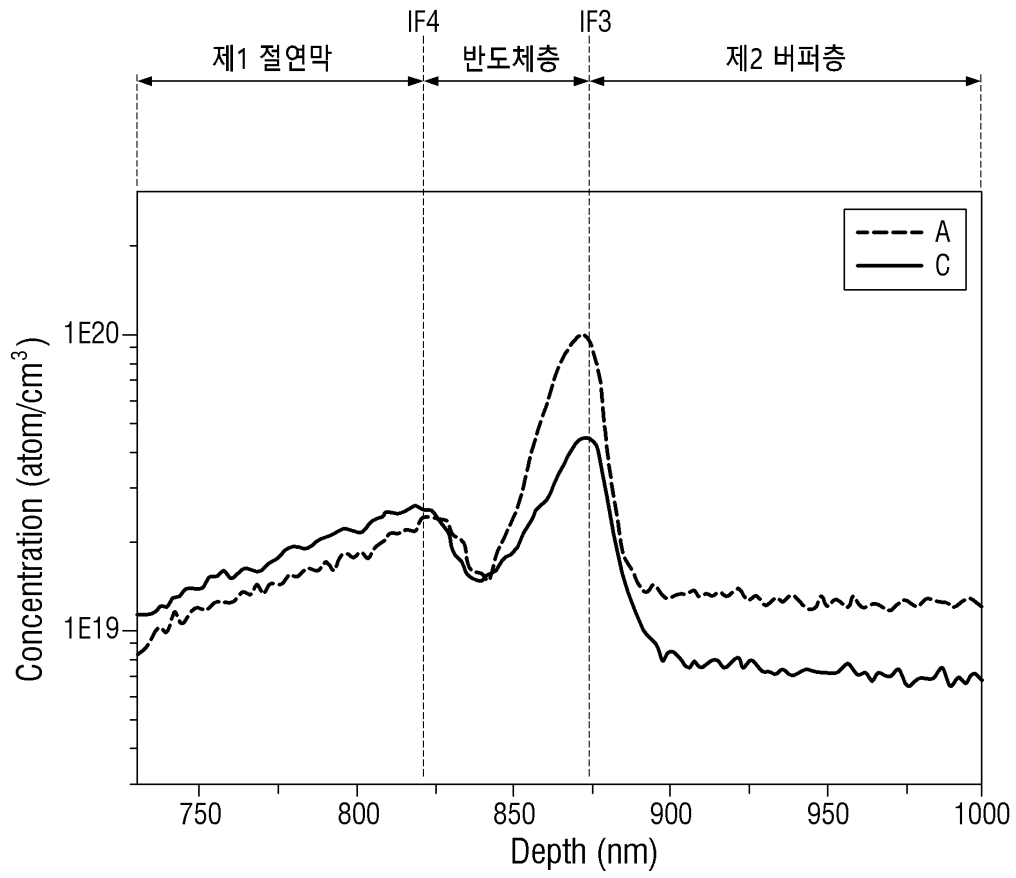
도면6



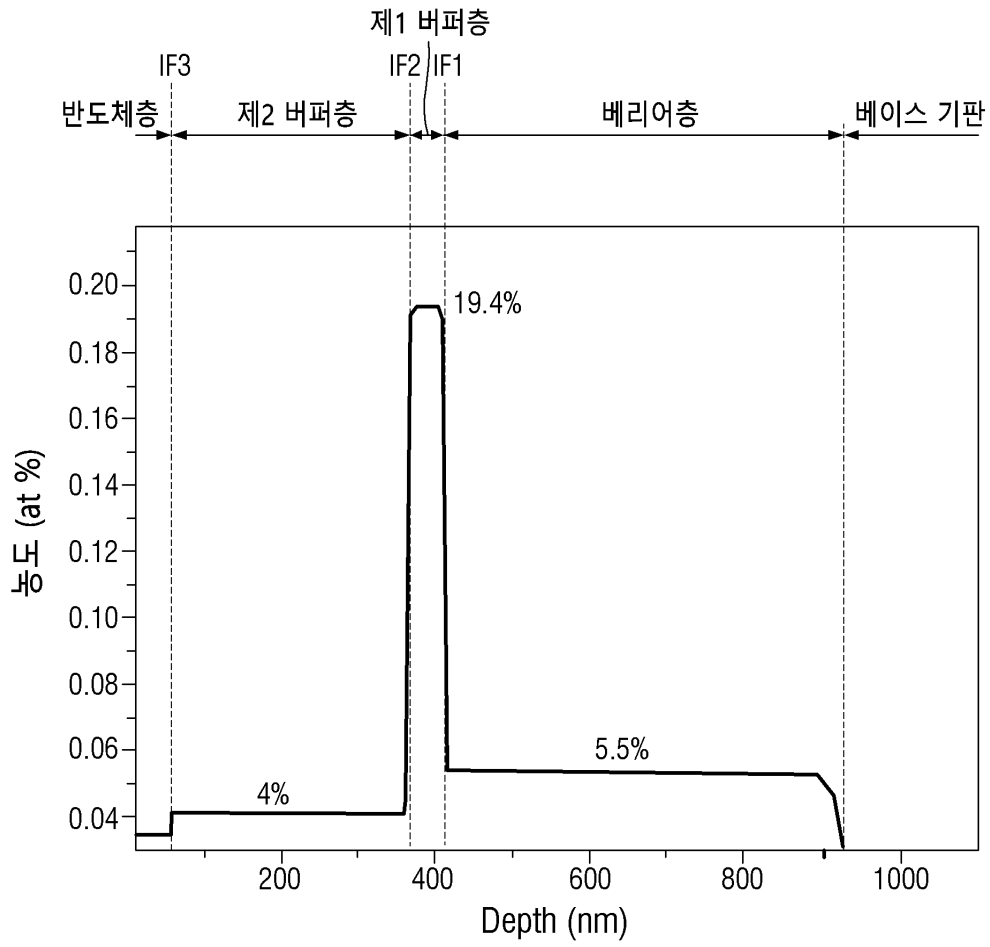
도면7



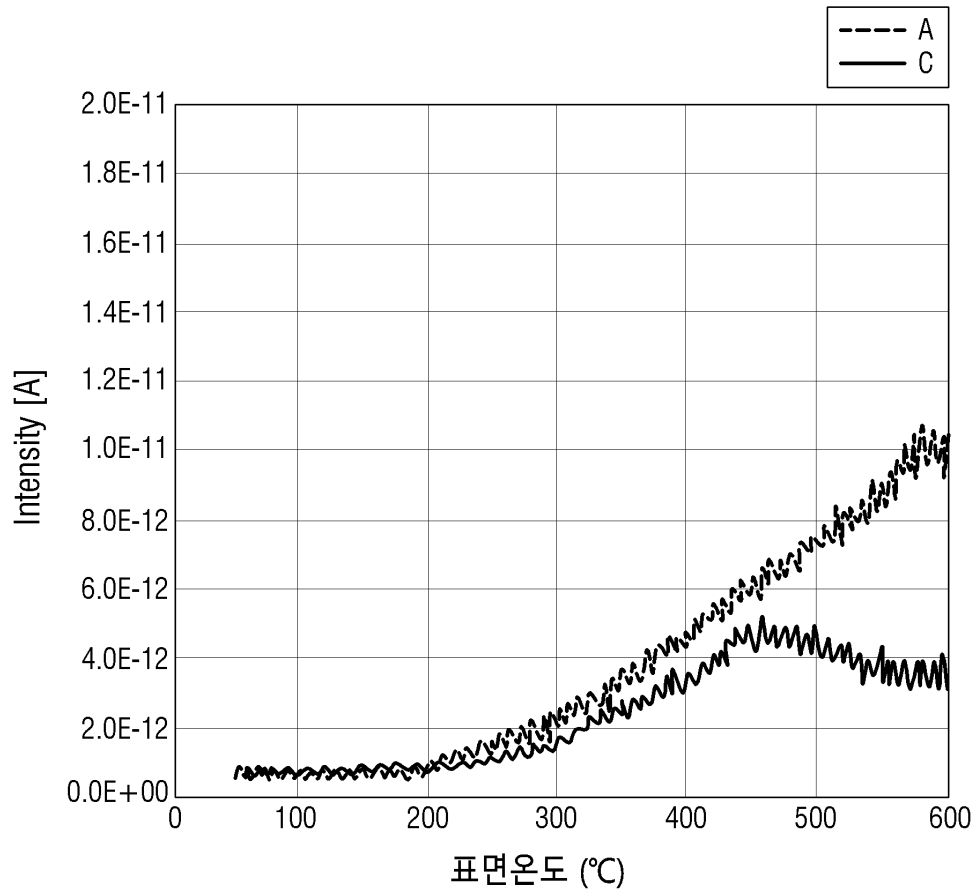
도면8



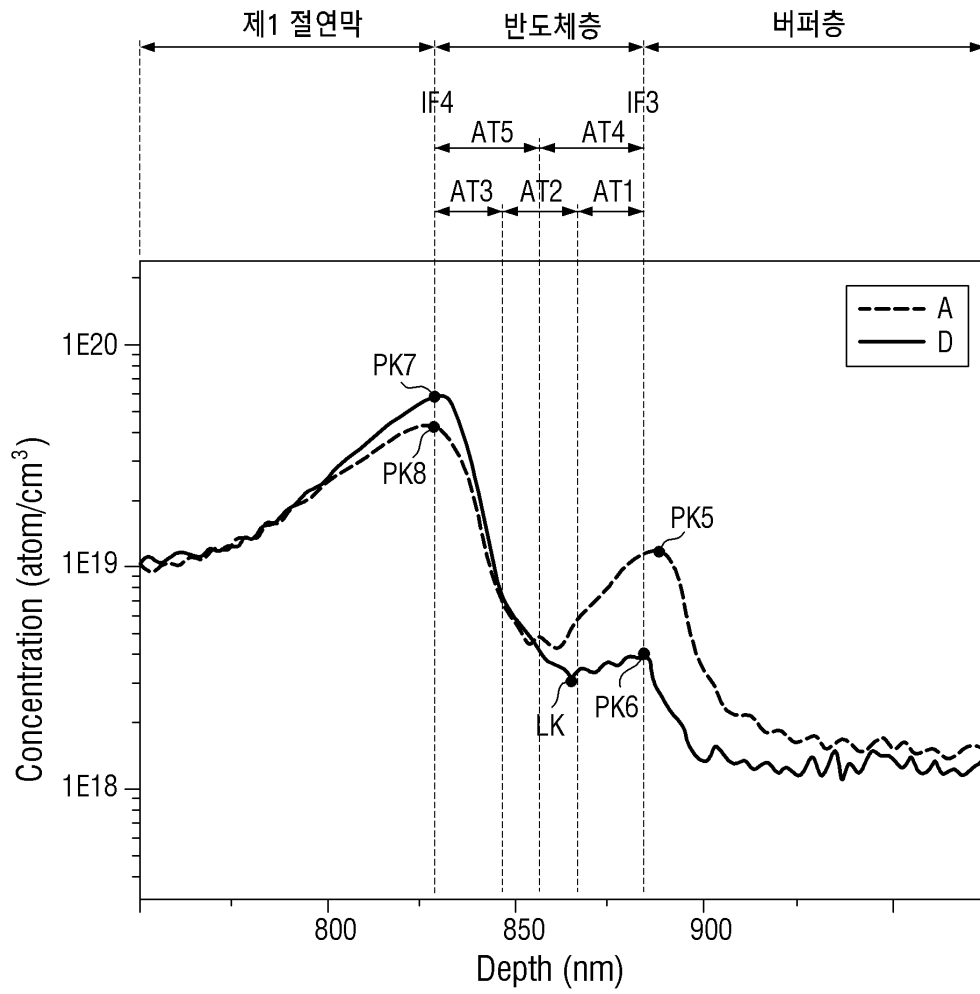
도면9



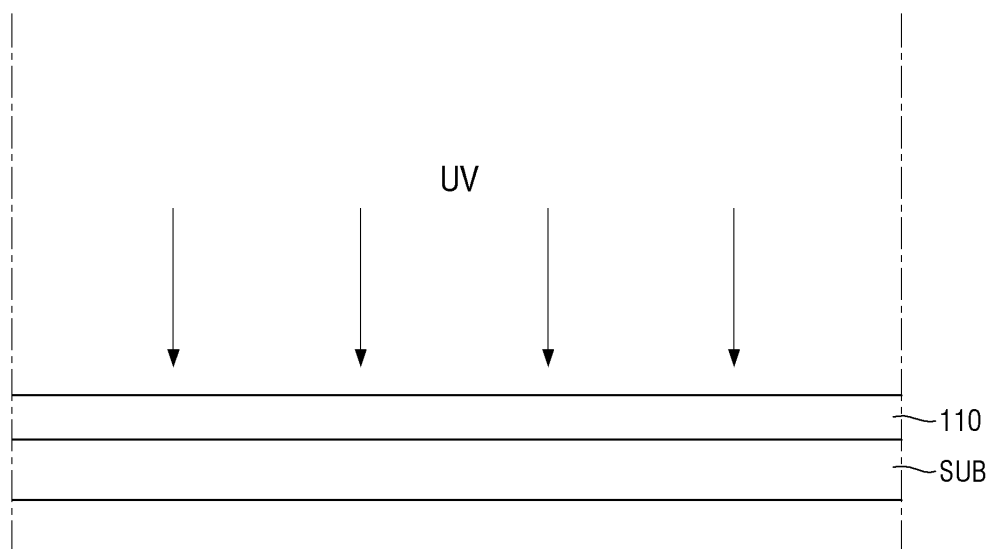
도면10



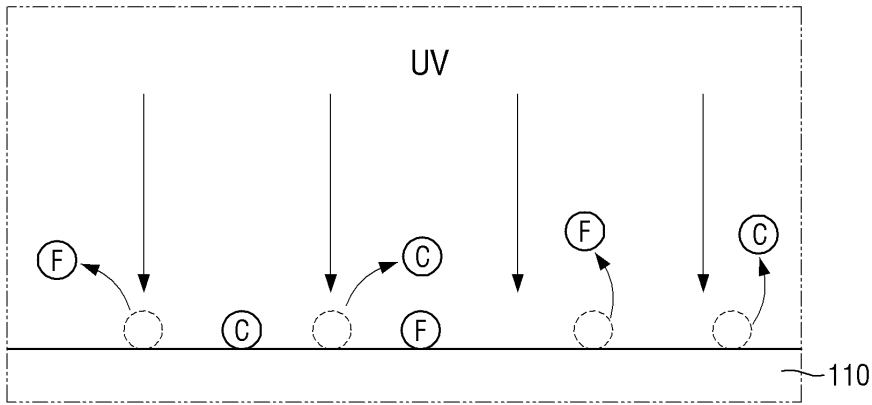
도면11



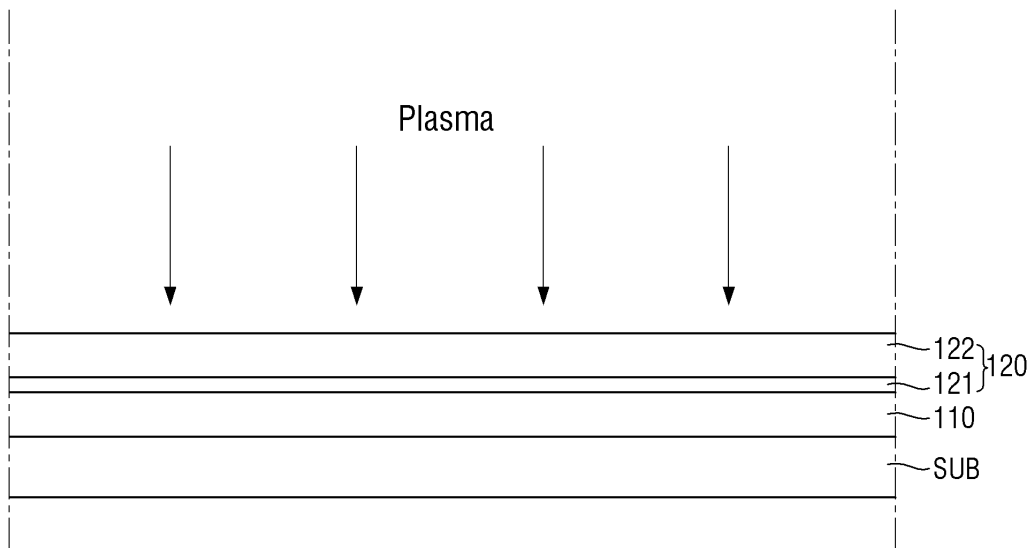
도면12



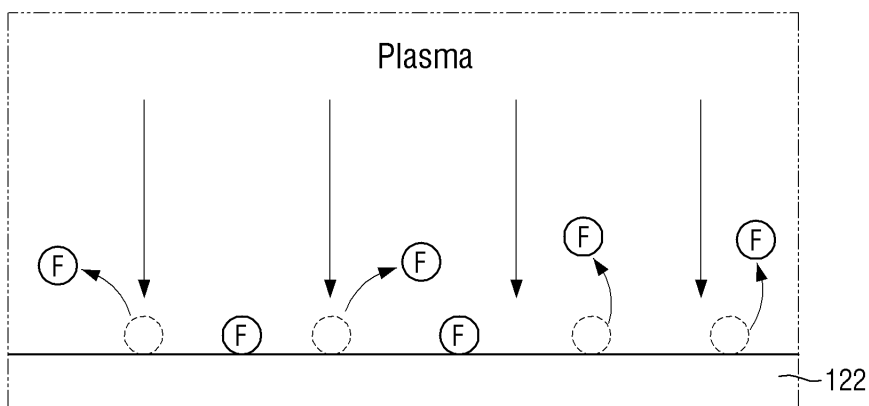
도면13



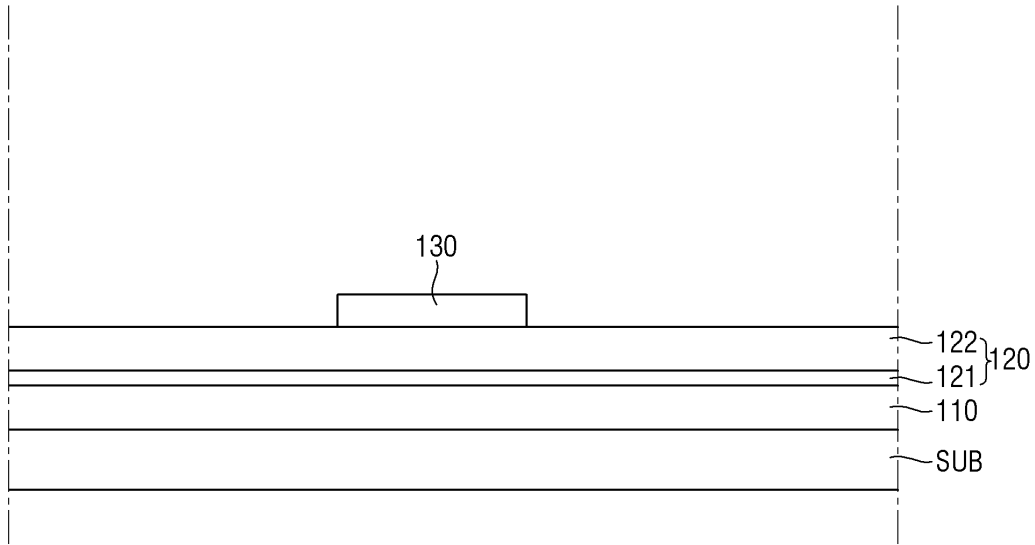
도면14



도면15



도면16



도면17

