



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I454906 B

(45) 公告日：中華民國 103 (2014) 年 10 月 01 日

(21) 申請案號：098132338

(22) 申請日：中華民國 98 (2009) 年 09 月 24 日

(51) Int. Cl. : G06F12/00 (2006.01)

G11C7/10 (2006.01)

(71) 申請人：群聯電子股份有限公司 (中華民國) PHISON ELECTRONICS CORP. (TW)

苗栗縣竹南鎮群義路 1 號

(72) 發明人：葉志剛 YEH, CHIH KANG (TW)

(74) 代理人：詹銘文；蕭錫清

(56) 參考文獻：

TW 200419362A

TW 200613979A

TW 200828014A

TW 200900926A

CN 101395574A

US 2009/0037652A1

US 2009/0150894A1

審查人員：姚乃綺

申請專利範圍項數：27 項 圖式數：18 共 0 頁

(54) 名稱

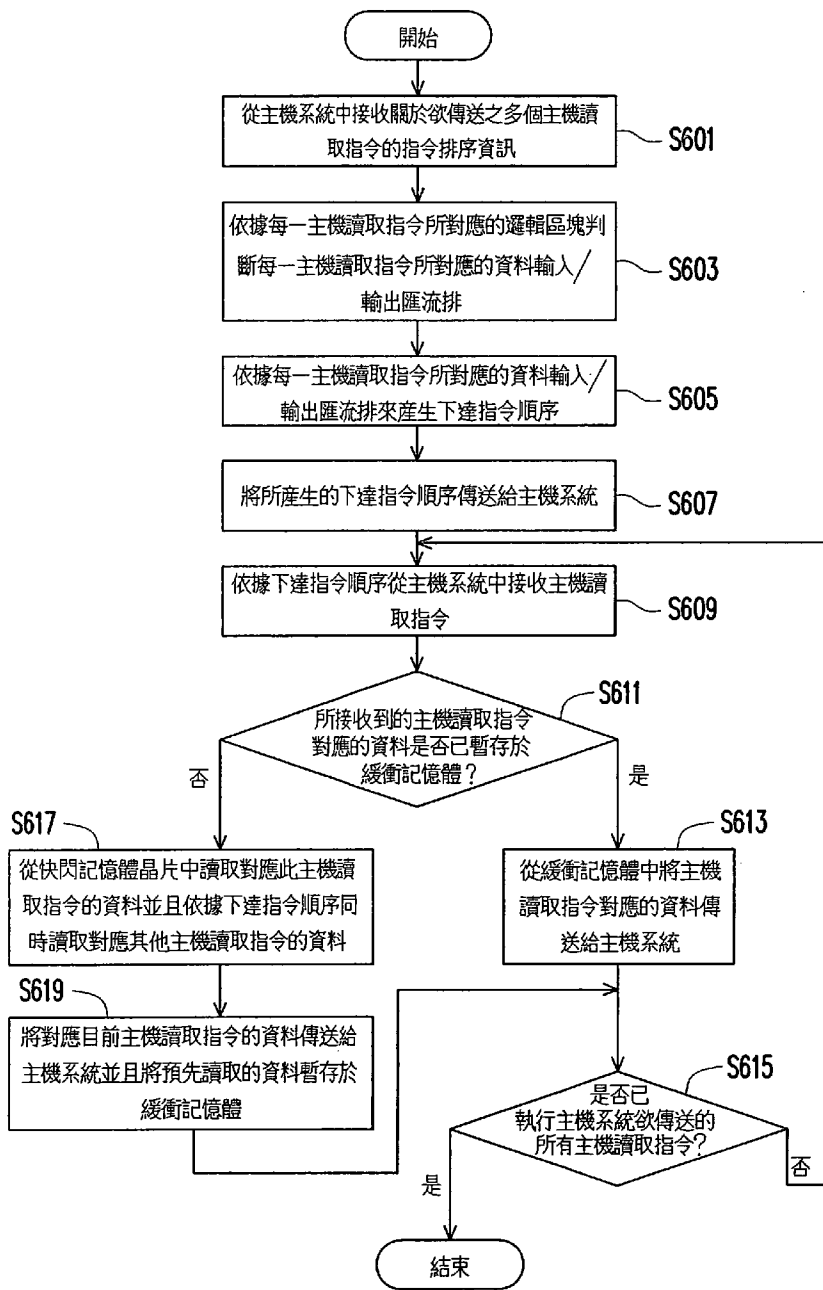
資料讀取方法、快閃記憶體控制器與儲存系統

DATA READ METHOD, AND FLASH MEMORY CONTROLLER AND STORAGE SYSTEM USING THE SAME

(57) 摘要

一種資料讀取方法，適用於從多個快閃記憶體模組中讀取主機系統欲存取的資料。本資料讀取方法包括從主機系統中接收關於多個主機讀取指令的指令排序資訊，其中每一主機讀取指令對應耦接至快閃記憶體模組之資料輸入/輸出匯流排的其中之一。本資料讀取方法亦包括依據主機讀取指令所對應的資料輸入/輸出匯流排來重新排列主機讀取指令與產生下達指令順序，並且依據此下達指令順序從主機系統中依序地接收與處理主機讀取指令，同時預讀取第二主機讀取指令的資料。基此，本資料讀取方法可有效地縮短執行主機讀取指令的時間。

A data read method for reading data to be accessed by a host system from a plurality of flash memory modules is provided. The data read method includes receiving command sequence information about a plurality of host read commands, wherein each of the host read commands corresponds to one of data input/output buses coupled to the flash memory modules. The data read method also includes re-arranging the host read commands according to the data input/output buses corresponding to the host read commands and thereby generating a command sequence, and receiving and processing a host read command among the host read commands from the host system based on the command sequence while pre-reading data of the host read commands after the processed host read command.



S601、S603、S605、
S607、S609、S611、
S613、S615、S617、
S619 . . . 資料讀取
步驟

圖 6

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：

8132318

※申請日：

11.9.26

※IPC 分類：

G06F 12/00

(2006.01)

G11C 7/00

(2006.01)

一、發明名稱：

資料讀取方法、快閃記憶體控制器與儲存系統
DATA READ METHOD, AND FLASH MEMORY
CONTROLLER AND STORAGE SYSTEM USING
THE SAME

二、中文發明摘要：

一種資料讀取方法，適用於從多個快閃記憶體模組中讀取主機系統欲存取的資料。本資料讀取方法包括從主機系統中接收關於多個主機讀取指令的指令排序資訊，其中每一主機讀取指令對應耦接至快閃記憶體模組之資料輸入/輸出匯流排的其中之一。本資料讀取方法亦包括依據主機讀取指令所對應的資料輸入/輸出匯流排來重新排列主機讀取指令與產生下達指令順序，並且依據此下達指令順序從主機系統中依序地接收與處理主機讀取指令，同時預讀取第二主機讀取指令的資料。基此，本資料讀取方法可有效地縮短執行主機讀取指令的時間。

三、英文發明摘要：

A data read method for reading data to be accessed by a

host system from a plurality of flash memory modules is provided. The data read method includes receiving command sequence information about a plurality of host read commands, wherein each of the host read commands corresponds to one of data input/output buses coupled to the flash memory modules. The data read method also includes re-arranging the host read commands according to the data input/output buses corresponding to the host read commands and thereby generating a command sequence, and receiving and processing a host read command among the host read commands from the host system based on the command sequence while pre-reading data of the host read commands after the processed host read command.

四、指定代表圖：

(一) 本案之指定代表圖：圖 6

(二) 本代表圖之元件符號簡單說明：

S601、S603、S605、S607、S609、S611、S613、S615、
S617、S619：資料讀取步驟

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明是有關於一種用於快閃記憶體的資料讀取方法，且特別是有關於一種用於從多個快閃記憶體模組中讀取資料的資料讀取方法以及使用此方法的快閃記憶體控制器與快閃記憶體儲存系統。

【先前技術】

由於快閃記憶體(Flash Memory)具有資料非揮發性、省電、體積小與無機械結構等的特性，最適合使用於由電池供電的可攜式電子產品上。例如，固態硬碟就是一種以NAND快閃記憶體作為儲存媒體的儲存裝置，並且已廣泛配置於筆記型電腦中作為主要的儲存裝置。

一般來說，當主機系統欲讀取儲存在快閃記憶體儲存裝置中的資料時，快閃記憶體儲存裝置的控制電路會依據來自於主機系統的主機讀取指令透過快閃記憶體介面從快閃記憶體晶片中讀取對應的資料，之後，控制電路再將所讀取的資料經由連接器傳送給主機系統。在此，從快閃記憶體晶片中讀取資料的部分稱為內部資料傳輸(transfer)，而將資料傳送給主機系統的部分稱為外部傳輸。

隨著傳輸技術的發展，使得連接器的傳輸速度已大幅提昇，例如，序列先進附件(Serial Advanced Technology Attachment, SATA)連接器已可達到每秒15億位元(Gigabit, Gb)，甚至每秒30Gb。然而，在上述內部資料傳輸的速度

低於連接器的速度下，整體儲存的效能仍無法有效改善，因此如何縮短執行主機讀取指令的時間是此領域技術人員所努力的目標。

【發明內容】

本發明提供一種資料讀取方法以及使用此方法的快閃記憶體控制器與快閃記憶體儲存裝置，其能夠有效地縮短執行來自於主機系統之多個主機讀取指令的時間。

本發明範例實施例一種資料讀取方法，適用於由一快閃記憶體控制器處理來自於一主機系統的多個主機讀取指令以從多個快閃記憶體模組中讀取對應此些主機讀取指令的資料，其中快閃記憶體控制器分別地經由多條資料輸入/輸出匯流排耦接至快閃記憶體模組並且每一快閃記憶體模組具有多個實體區塊。本資料讀取方法包括配置多個邏輯區塊，其中邏輯區塊對映快閃記憶體模組中的部分實體區塊。本資料讀取方法也包括從主機系統中接收關於此些主機讀取指令的指令排序資訊，其中每一主機讀取指令對應邏輯區塊的其中之一且每一邏輯區塊對應資料輸入/輸出匯流排的其中之一。本資料讀取方法亦包括依據主機讀取指令所對應的資料輸入/輸出匯流排來重新排列主機讀取指令的順序與產生下達指令順序，以及將所產生的下達指令順序傳送給主機系統。本資料讀取方法更包括依據此下達指令順序從主機系統中依序地接收主機讀取指令並且依據主機讀取指令從快閃記憶體模組中讀取對應此些主機讀

取指令的資料。

在本發明之一實施例中，上述之從主機系統中接收關於主機讀取指令的指令排序資訊的步驟包括：使用一原生指令排序(Native Command Queuing, NCQ)協定從主機系統中接收關於這些主機讀取指令的指令排序資訊。

在本發明之一實施例中，當從主機系統中接收到這些主機讀取指令中的一第一主機讀取指令時，經由上述資料輸入/輸出匯流排從快閃記憶體模組中同步地讀取對應此第一主機讀取指令的資料和這些主機讀取指令之中的至少一第二主機讀取指令的資料，並且將對應此第一主機讀取指令的資料傳送給主機系統，其中此第一主機讀取指令和此第二主機讀取指令是對應不同的資料輸入/輸出匯流排。

在本發明之一實施例中，上述之資料讀取方法更包括將對應此第二主機讀取指令的資料暫存於快閃記憶體控制器的緩衝記憶體中。

在本發明之一實施例中，當從主機系統接收到上述第二主機讀取指令時，從緩衝記憶體中將對應此第二主機讀取指令的資料傳送給主機系統。

在本發明之一實施例中，上述之資料讀取方法更包括將上述邏輯區塊分組為多個邏輯區域，以及為每一邏輯區域配置一邏輯區塊-實體區塊對映表，其中每一邏輯區塊對應這些邏輯區塊-實體區塊對映表的其中之一。此外，上述之資料讀取方法更包括載入邏輯區塊-實體區塊對映表的

其中之一至上述緩衝記憶體中。

在本發明之一實施例中，上述依據主機讀取指令所對應的資料輸入/輸出匯流排重新排列主機讀取指令的順序與產生下達指令順序的步驟包括依據此些主機讀取指令所對應的資料輸入/輸出匯流排與邏輯區域來重新排列此些主機讀取指令的順序與產生下達指令順序。

在本發明之一實施例中，上述之依據主機讀取指令所對應的資料輸入/輸出匯流排與邏輯區域來重新排列主機讀取指令的順序與產生下達指令順序的步驟包括：在上述下達指令順序中優先安排此些主機讀取指令之中的至少一主機讀取指令，其中此主機讀取指令所對應的邏輯區塊是對應被載入於緩衝記憶體中的邏輯區塊-實體區塊對映表。

本發明範例實施例一種快閃記憶體控制器，用於處理來自於一主機系統的多個主機讀取指令以從多個快閃記憶體模組中讀取對應此些主機讀取指令的資料，其中每一快閃記憶體模組具有多個實體區塊。本快閃記憶體控制器包括微處理器單元、快閃記憶體介面單元、主機介面單元與記憶體管理單元。快閃記憶體介面單元是耦接至微處理器單元，並且用以經由多條資料輸入/輸出匯流排耦接至此些快閃記憶體模組。主機介面單元是耦接至微處理器單元，並且用以連接主機系統。記憶體管理單元是耦接至微處理器單元，並且用以配置多個邏輯區塊，其中此些邏輯區塊對映快閃記憶體模組中的部分實體區塊。在此，記憶體管理單元經由主機介面單元從主機系統中接收關於此些主機

讀取指令的指令排序資訊，其中每一主機讀取指令對應此些邏輯區塊的其中之一且每一邏輯區塊對應此些資料輸入/輸出匯流排的其中之一。並且，記憶體管理單元依據此些主機讀取指令所對應的資料輸入/輸出匯流排來重新排列此些主機讀取指令的順序與產生一下達指令順序，並且將所產生的下達指令順序傳送給主機系統。再者，記憶體管理單元依據此下達指令順序經由主機介面單元從主機系統中依序地接收此些主機讀取指令並且依據此些主機讀取指令經由快閃記憶體介面單元從快閃記憶體模組中讀取對應此些主機讀取指令的資料。

在本發明之一實施例中，上述之主機介面單元支援一原生指令排序協定。

在本發明之一實施例中，當主機介面單元從主機系統中接收到此些主機讀取指令中的一第一主機讀取指令時，記憶體管理單元經由上述資料輸入/輸出匯流排從快閃記憶體模組中同步地讀取對應此第一主機讀取指令的資料和此些主機讀取指令之中的至少一第二主機讀取指令的資料，並且將對應此第一主機讀取指令的資料傳送給主機系統，其中此第一主機讀取指令和此第二主機讀取指令是對應不同的資料輸入/輸出匯流排。

在本發明之一實施例中，上述之快閃記憶體控制器更包括一緩衝記憶體，其耦接至微處理器單元，其中記憶體管理單元將對應此第二主機讀取指令的資料暫存於此緩衝記憶體中。

在本發明之一實施例中，當記憶體管理單元從主機系統中接收到上述第二主機讀取指令時，記憶體管理單元從緩衝記憶體中將對應此第二主機讀取指令的資料傳送給主機系統。

在本發明之一實施例中，上述之記憶體管理單元將上述邏輯區塊分組為多個邏輯區域，並且為每一邏輯區域配置一邏輯區塊-實體區塊對映表，其中每一邏輯區塊對應此些邏輯區塊-實體區塊對映表的其中之一。此外，上述記憶體管理單元載入此些邏輯區塊-實體區塊對映表的其中之一至上述緩衝記憶體。

在本發明之一實施例中，上述之記憶體管理單元更依據此些主機讀取指令所對應的資料輸入/輸出匯流排與邏輯區域來重新排列此些主機讀取指令的順序與產生上述下達指令順序。

在本發明之一實施例中，上述之記憶體管理單元在上述下達指令順序中優先安排此些主機讀取指令之中的至少一主機讀取指令，其中此主機讀取指令所對應的邏輯區塊是對應被載入於緩衝記憶體中的邏輯區塊-實體區塊對映表。

本發明範例實施例一種快閃記憶體儲存系統，其包括快閃記憶體晶片、快閃記憶體控制器與連接器。快閃記憶體晶片具有多個快閃記憶體模組，並且每一快閃記憶體模組具有多個實體區塊。快閃記憶體控制器經由多條資料輸入/輸出匯流排耦接至此些快閃記憶體模組，並且用以配置

多個邏輯區塊，其中此些邏輯區塊對映快閃記憶體模組中的部分實體區塊。連接器是耦接至快閃記憶體控制器並且用以耦接一主機系統。在此，快閃記憶體控制器經由連接器從主機系統中接收關於多個主機讀取指令的指令排序資訊，其中每一主機讀取指令對應此些邏輯區塊的其中之一且每一邏輯區塊對應此些資料輸入/輸出匯流排的其中之一。並且，快閃記憶體控制器依據此些主機讀取指令所對應的資料輸入/輸出匯流排來重新排列此些主機讀取指令的順序與產生一下達指令順序，並且將所產生的下達指令順序傳送給主機系統。再者，快閃記憶體控制器依據該下達指令順序經由連接器從主機系統中依序地接收此些主機讀取指令並且依據此些主機讀取指令經由資料輸入/輸出匯流排從快閃記憶體模組中讀取對應此些主機讀取指令的資料。

在本發明之一實施例中，上述之連接器支援原生指令排序協定。

在本發明之一實施例中，當快閃記憶體控制器從主機系統中接收到此些主機讀取指令中的一第一主機讀取指令時，快閃記憶體控制器經由上述資料輸入/輸出匯流排從快閃記憶體模組中同步地讀取對應此第一主機讀取指令的資料和此些主機讀取指令之中的至少一第二主機讀取指令的資料，並且將對應此第一主機讀取指令的資料傳送給主機系統，其中此第一主機讀取指令和此第二主機讀取指令是對應不同的資料輸入/輸出匯流排。

在本發明之一實施例中，上述快閃記憶體儲存系統更包括一緩衝記憶體，其中快閃記憶體控制器將對應第二主機讀取指令的資料暫存於此緩衝記憶體中。

在本發明之一實施例中，當快閃記憶體控制器從主機系統中接收上述第二主機讀取指令時，快閃記憶體控制器從緩衝記憶體中將對應此第二主機讀取指令的資料傳送給主機系統。

在本發明之一實施例中，上述之快閃記憶體控制器將上述邏輯區塊分組為多個邏輯區域，並且為每一邏輯區域配置一邏輯區塊-實體區塊對映表，其中每一邏輯區塊對應此些邏輯區塊-實體區塊對映表的其中之一。此外，上述快閃記憶體控制器載入此些邏輯區塊-實體區塊對映表的其中之一至緩衝記憶體。

在本發明之一實施例中，上述之快閃記憶體控制器依據上述主機讀取指令所對應的資料輸入/輸出匯流排與邏輯區域來重新排列此些主機讀取指令的順序與產生上述下達指令順序。

在本發明之一實施例中，上述之快閃記憶體控制器在上述下達指令順序中優先安排此些主機讀取指令之中的至少一主機讀取指令，其中此主機讀取指令所對應的邏輯區塊是對應暫存於該緩衝記憶體中的邏輯區塊-實體區塊對映表。

在本發明之一實施例中，上述之緩衝記憶體配置在上述快閃記憶體控制器中。

基於上述，本發明範例實施例可大幅地縮短執行多個主機讀取指令的時間，由此有效地提升快閃記憶體儲存裝置的效能。

為讓本發明之上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

【實施方式】

快閃記憶體儲存裝置一般而言包括快閃記憶體晶片與控制器(亦稱，控制電路)。通常快閃記憶體儲存裝置會與主機系統一起使用，以使主機系統可將資料寫入至快閃記憶體儲存裝置或從快閃記憶體儲存裝置中讀取資料。另外，亦有快閃記憶體儲存裝置是包括嵌入式快閃記憶體與可執行於主機系統上以實質地作為此嵌入式快閃記憶體之控制器的軟體。

[第一範例實施例]

圖 1A 是根據本發明第一範例實施例所繪示的使用快閃記憶體儲存裝置的主機系統。

請參照圖 1A，主機系統 1000 包括電腦 1100 與輸入/輸出(input/output, I/O)裝置 1106。電腦 1100 包括微處理器 1102、隨機存取記憶體(random access memory, RAM) 1104、系統匯流排 1108 以及資料傳輸介面 1110。輸入/輸出裝置 1106 包括如圖 1B 所示的滑鼠 1202、鍵盤 1204、顯示器 1206 與印表機 1208。必須瞭解的是，圖 1B 所示的裝置非限制輸入/輸出裝置 1106，輸入/輸出裝置 1106 可更包

括其他裝置。

在本發明實施例中，快閃記憶體儲存裝置 100 是透過資料傳輸介面 1110 與主機系統 1000 的其他元件耦接。藉由微處理器 1102、隨機存取記憶體 1104 與輸入/輸出裝置 1106 的處理主機系統 1000 可將資料寫入至快閃記憶體儲存裝置 100 或從快閃記憶體儲存裝置 100 中讀取資料。例如，快閃記憶體儲存裝置 100 可以是如圖 1B 所示的隨身碟 1212、記憶卡 1214 或固態硬碟(Solid State Drive, SSD)1216。

一般而言，主機系統 1000 可實質地為可儲存資料的任意系統。雖然在本範例實施例中，主機系統 1000 是以電腦系統來作說明，然而，在本發明另一範例實施例中，主機系統 1000 亦可以是數位相機、攝影機、通信裝置、音訊播放器或視訊播放器等系統。例如，在主機系統為數位相機 1310 時，快閃記憶體儲存裝置則為其所使用的 SD 卡 1312、MMC 卡 1314、記憶棒(memory stick)1316、CF 卡 1318 或嵌入式儲存裝置 1320(如圖 1C 所示)。嵌入式儲存裝置 1320 包括嵌入式多媒體卡(Embedded MMC, eMMC)。值得一提的是，嵌入式多媒體卡是直接耦接於主機系統的基板上。

圖 1D 是繪示圖 1A 所示的快閃記憶體儲存裝置 100 的概要方塊圖。

請參照圖 1D，快閃記憶體儲存裝置 100 包括連接器 102、快閃記憶體控制器 104 與快閃記憶體晶片 106。

連接器 102 是耦接至快閃記憶體控制器 104 並且用以耦接至主機系統 1000。在本範例實施例中，連接器 102 為序列先進附件(Serial Advanced Technology Attachment, SATA)連接器。然而，本發明不限於此，在本發明另一範例實施例中，連接器 102 可以是其他適合的連接器。

快閃記憶體控制器 104 會執行以硬體型式或韌體型式實作的多個邏輯閘或控制指令，並且根據主機系統 1000 的指令在快閃記憶體晶片 106 中進行資料的寫入、讀取與抹除等運作。快閃記憶體控制器 104 包括微處理器單元 202、記憶體管理單元 204、主機介面單元 206、快閃記憶體介面單元 208 與緩衝記憶體 210。

微處理器單元 202 為快閃記憶體控制器 104 的主控單元，用以與記憶體管理單元 204、主機介面單元 206、快閃記憶體介面單元 208 與緩衝記憶體 210 等協同合作以進行快閃記憶體儲存裝置 100 的各種運作。

記憶體管理單元 204 是耦接至微處理器單元 202，用以執行根據本範例實施例的資料讀取機制與區塊管理機制，記憶體管理單元 204 的運作將於以下配合圖式作詳細說明。

在本範例實施例中，記憶體管理單元 204 是以一韌體型式實作在快閃記憶體控制器 104 中。例如，將包括多個控制指令的記憶體管理單元 204 燒錄至一程式記憶體(例如，唯讀記憶體(Read Only Memory, ROM))中並且將此程式記憶體嵌入在快閃記憶體控制器 104 中，當快閃記憶體

儲存裝置 100 運作時，記憶體管理單元 204 的多個控制指令會由微處理器單元 202 來執行以完成根據本發明實施例的資料讀取機制與區塊管理機制。

在本發明另一範例實施例中，記憶體管理單元 204 的控制指令亦可以程式碼型式儲存於快閃記憶體晶片 106 的特定區域(例如，快閃記憶體晶片中專用於存放系統資料的系統區)中。同樣的，當快閃記憶體儲存裝置 100 運作時，記憶體管理單元 204 的多個控制指令會由微處理器單元 202 來執行。此外，在本發明另一範例實施例中，記憶體管理單元 204 亦可以一硬體型式實作在快閃記憶體控制器 104 中。

主機介面單元 206 是耦接至微處理器單元 202 並且用以接收與識別主機系統 1000 所傳送的指令與資料。也就是說，主機系統 1000 所傳送的指令與資料會透過主機介面單元 206 來傳送至微處理器單元 202。在本範例實施例中，主機介面單元 206 是對應連接器 204 為 SATA 介面。然而，必須瞭解的是本發明不限於此，主機介面單元 206 亦可以是其他適合的資料傳輸介面。

快閃記憶體介面單元 208 是耦接至微處理器單元 202 並且用以存取快閃記憶體晶片 106。也就是說，欲寫入至快閃記憶體晶片 106 的資料會經由快閃記憶體介面單元 208 轉換為快閃記憶體晶片 106 所能接受的格式。

緩衝記憶體 210 是耦接至微處理器單元 202 並且用以暫存來自於主機系統 1000 的資料與指令或來自於快閃記

憶體晶片 106 的資料。值得一提的是，在本範例實施例中，緩衝記憶體 210 是配置在快閃記憶體控制器 104 中，然而，本發明不限於此，緩衝記憶體 210 亦可不配置在快閃記憶體控制器 104 中。

在本發明另一範例實施例中，快閃記憶體控制器亦可更包括其他功能模組。圖 2 是根據本發明另一範例實施例所繪示的快閃記憶體控制器的概要方塊圖。

請參照圖 2，除了微處理器單元 202、記憶體管理單元 204、主機介面單元 206 與、快閃記憶體介面單元 208 與緩衝記憶體 210 之外，快閃記憶體控制器 104 更包括錯誤校正單元 292 與電源管理單元 294。

錯誤校正單元 292 是耦接至微處理器單元 202 並且用以執行一錯誤校正程序以確保資料的正確性。具體來說，當主機介面單元 206 從主機系統 1000 中接收到主機寫入指令時，錯誤校正單元 292 會為對應此主機寫入指令的寫入資料產生對應的錯誤檢查與校正碼(Error Checking and Correcting Code, ECC Code)，並且記憶體管理單元 204 會將此寫入資料與對應的錯誤校正碼寫入至快閃記憶體晶片 106 中。而，當主機介面單元 206 從主機系統 1000 中接收到主機讀取指令時，記憶體管理單元 204 會從快閃記憶體晶片 106 中讀取對應此主機讀取指令的資料及其錯誤校正碼，並且錯誤校正單元 292 會依據此錯誤校正碼對所讀取的資料執行錯誤校正。

電源管理單元 294 是耦接至微處理器單元 202 並且用

以控制快閃記憶體儲存裝置 100 的電源。

快閃記憶體晶片 106 是耦接至快閃記憶體控制器 104 並且用以儲存資料。快閃記憶體晶片 106 包括第 0 快閃記憶體模組 122 與第 1 快閃記憶體模組 124。第 0 快閃記憶體模組 122 具有實體區塊 122-(0)~122-(N)，並且第 1 快閃記憶體模組 124 具有實體區塊 124-(0)~124-(N)。實體區塊為抹除之最小單位。亦即，每一實體區塊含有最小數目之一併被抹除之記憶胞。每一實體區塊具有數個實體頁面 (page)。在本範例實施例中，實體頁面為程式化的最小單元。換言之，實體頁面為寫入資料或讀取資料的最小單元。每一實體頁面通常包括使用者資料區與冗餘區。使用者資料區用以儲存使用者的資料，而冗餘區用以儲存系統的資料(例如，錯誤檢查與校正碼)。在本範例實施例中，第 0 快閃記憶體模組 122 與第 1 快閃記憶體模組 124 為多層記憶胞(Multi Level Cell, MLC)NAND 快閃記憶體模組。然而，本發明不限於此，第 0 快閃記憶體模組 122 與第 1 快閃記憶體模組 124 亦可是單層記憶胞(Single Level Cell, SLC)NAND 快閃記憶體模組。

值得一提的是，由於快閃記憶體的記憶胞僅能從“1”程式化為“0”，因此要更新實體區塊內的資料時必須先抹除實體區塊內的資料。然而，快閃記憶體的寫入是以頁面為單位，而抹除是以實體區塊為單位，所以在本範例實施例中，實體區塊會以輪替方式來儲存資料。

圖 3A 是根據本發明第一範例實施例所繪示之快閃記

使用的單元，即無記錄資料或標記為已沒用的無效資料。也就是說，資料區 304 與備用區 306 的實體區塊會以輪替方式來儲存主機系統 1000 對快閃記憶體儲存裝置 100 寫入的資料。

邏輯上屬於取代區 308 中的實體區塊 122-(A+1)~122-(N) 與實體區塊 124-(A+1)~124-(N) 是替代實體區塊。例如，快閃記憶體晶片 106 於出廠時會預留 4% 的實體區塊作為更換使用。也就是說，當系統區 302、資料區 304 與備用區 306 中的實體區塊損毀時，預留於取代區 308 中的實體區塊可用以取代損壞的實體區塊(即，壞實體區塊(bad block))。因此，倘若取代區 308 中仍存有可用之實體區塊且發生實體區塊損毀時，記憶體管理單元 204 會從取代區 308 中提取可用的實體區塊來更換損毀的實體區塊。倘若取代區 308 中無可用之實體區塊且發生實體區塊損毀時，則快閃記憶體儲存裝置 100 將會被宣告為寫入保護(write protect)，而無法再寫入資料。因此，在一般存取狀態下，主機系統 1000 是無法存取取代區中的實體區塊。

必須瞭解的是，在快閃記憶體儲存裝置 100 的運作中，實體區塊 122-(0)~122-(N) 與實體區塊 124-(0)~124-(N) 被分組為系統區 302、資料區 304、備用區 306 與取代區 308 的分組關係會動態地變動。也就是說，當記憶體管理單元 204 將資料寫入至原本屬於備用區 306 的實體區塊(例如，實體區塊 122-(D+1))後，此實體區塊會被關聯為資料

區 304。或者，當資料區 304(或備用區 306)中的實體區塊損壞時而被取代區 308 的實體區塊取代時，則此來自於取代區 308 的實體區塊會被關聯為資料區 304(或備用區 304)。

例如，當快閃記憶體儲存裝置 100 接受到主機系統 1000 的主機寫入指令而欲更新(或寫入)資料至資料區中某一實體區塊的某一頁面時，記憶體管理單元 204 會從備用區中提取一實體區塊並且將欲被更新的實體區塊中的有效舊資料與欲寫入的新資料寫入至從備用區中提取之實體區塊的頁面中，並且將已寫入有效舊資料與新資料的實體區塊邏輯地關聯為資料區，並且將資料區中欲被更新的實體區塊進行抹除並邏輯地關聯為備用區。

為了能夠讓主機系統 1000 能夠順利地存取以輪替方式儲存資料的實體區塊，快閃記憶體儲存裝置 100 會提供邏輯區塊給主機系統 1000，並且記錄邏輯區塊與實體區塊之間的對映關係。

圖 3B 是根據本發明第一範例實施例所繪示之記錄邏輯區塊與實體區塊之間的對映示意圖。

請參照圖 3B，快閃記憶體控制器 104 會配置邏輯區塊 350-(0)~350-(H)給主機系統 1000 來進行存取，並且提供轉換層 250 來將邏輯區塊 350-(0)~350-(H)對映至快閃記憶體晶片 106 之資料區 304 的實體區塊 122-(S+1)~122-(D)與實體區塊 124-(S+1)~124-(D)。必須瞭解的是，如上所述，實體區塊 122-(0)~122-(N)與實體區塊

124-(0)~124-(N)被分組為系統區 302、資料區 304、備用區 306 與取代區 308 的分組關係會隨著快閃記憶體裝置 100 的運作動態地變動，因此，邏輯區塊 350-(0)~350-(H)與實體區塊 122-(S+1)~122-(D)和實體區塊 124-(S+1)~124-(D)之間的對映關係亦會動態地改變。例如，在邏輯區塊 350-(0)對映資料區 304 的實體區塊 122-(S+1)的例子中，倘若主機系統 1000 欲更新實體區塊 122-(S+1)中的資料時，記憶體管理單元 204 從備用區 306 中提取實體區塊 122-(D+1)以將資料寫入至實體區塊 122-(D+1)，並且將實體區塊 122-(D+1)關聯為資料區 304 及將實體區塊 122-(S+1)關聯為備用區 306。此時，邏輯區塊 350-(0)會變成對映實體區塊 122-(D+1)。

在本範例實施例中，轉換層 250 具有邏輯區塊-實體區塊對映表(logical block-physical block mapping table)以記錄邏輯區塊所對映的實體區塊。並且，主機系統 1000 僅需在所提供之邏輯區塊 350-(0)~350-(H)上存取資料，而快閃記憶體控制器 104 會依據邏輯區塊-實體區塊對映表來在實體區塊中實際地寫入與讀取資料。例如，每一邏輯區塊 350-(0)~350-(H)會包括多個邏輯頁面，且每一邏輯頁面是由多個邏輯扇區所組成，其中此些邏輯扇區就是主機系統 1000 的存取單位，因此當主機系統 1000 在此些邏輯扇區中存取資料時，快閃記憶體控制器 104 就可依據所存取之邏輯扇區所屬的邏輯區塊來在實體區塊中實際地存取資料。

此外，值得一提的是，邏輯區塊-實體區塊對映表會被儲存於快閃記憶體晶片 106 中(例如，系統區中)，並且在快閃記憶體儲存裝置 100 運作期間，邏輯區塊-實體區塊對映表會被載入至緩衝記憶體 210 中以使得記憶體管理單元 204 能夠讀取與更新邏輯區塊-實體區塊對映表。然而，在緩衝記憶體 210 的儲存空間有限下，緩衝記憶體 210 無法暫存記錄所有邏輯區塊之對映關係的邏輯區塊-實體區塊對映表。因此，在本範例實施例中記憶體管理單元 204 會將邏輯區塊 350-(0)~350-(H)分組為邏輯區域(logical zone)360-(0)與 360-(1)，並且為邏輯區域 360-(0)與 360-(1)分別地配置邏輯區塊-實體區塊對映表 260-(0)~260-(1)。具體來說，在邏輯區塊 350-(0)~350-(H)之中邏輯區塊 350-(0)~350-(G)會被分組為邏輯區域 360-(0)並且邏輯區塊 350(G+1)~350-(H)會被分組為邏輯區域 360-(1)，其中邏輯區塊 350-(0)~350-(G)的對映資訊會被記錄在邏輯區塊-實體區塊對映表 260-(0)中，而邏輯區塊 350(G+1)~350-(H)對映資訊會被記錄在邏輯區塊-實體區塊對映表 260-(1)。也就是說，每一邏輯區塊會屬於其中一個邏輯區域，並且記憶體管理單元 204 將邏輯區塊的對映關係分別地記錄在其所屬之邏輯區域的邏輯區塊-實體區塊對映表中。基此，當主機系統 1000 欲存取某一邏輯區塊時，記憶體管理單元 204 會依據欲存取之邏輯區塊所屬的邏輯區域來從快閃記憶體晶片 106 中載入對應的邏輯區塊-實體區塊對映表至緩衝記憶體 210，並且依據對應的邏輯區塊-實體區塊對映

表來進行資料的存取。之後，當需存取另一邏輯區域的邏輯區塊時，記憶體管理單元 204 會將目前使用之邏輯區塊-實體區塊對映表回存至快閃記憶體晶片 106 中並載入對應的另一邏輯區塊-實體區塊對映表至緩衝記憶體 210。基此，可避免緩衝記憶體 210 無法儲存所有邏輯區塊之對映關係的問題。必須瞭解的是，在本範例實施例中，雖然是將邏輯區塊區分為兩個邏輯區域來作說明，然而本發明不限於此，上述邏輯區域的數目可為任意數目。

為能夠識別每一邏輯區塊所對映的邏輯區域，在本範例實施例中，轉換層 250 包括邏輯區塊-邏輯區域對映表 270 以記錄邏輯區塊與邏輯區域之間的對映關係。例如，邏輯區塊-邏輯區域對映表 270 會被儲存在快閃記憶體晶片 106 中(例如，系統區中)，並且在快閃記憶體儲存裝置 100 運作時，記憶體管理單元 204 會將邏輯區塊-邏輯區域對映表 270 載入至緩衝記憶體 210 並且依據邏輯區塊-邏輯區域對映表 270 來載入對應的邏輯區塊-實體區塊對映表。另外，在快閃記憶體儲存裝置 100 準備停止運作時，記憶體管理單元 204 會將邏輯區塊-邏輯區域對映表 270 回存至快閃記憶體晶片 106 中。值得一提的是，在本範例實施例中，記憶體管理單元 204 是透過維護邏輯區塊-邏輯區域對映表 270 來記錄邏輯區塊與邏輯區域的對映關係，然而在本發明另一範例實施例中，記憶體管理單元 204 亦可透過一數學運算式來判斷邏輯區塊所屬的邏輯區域，或者使用邏輯區塊-實體區塊對映表來記錄邏輯區塊所屬的邏

輯區域。

在本範例實施例中，在第 0 快閃記憶體模組 122 與快閃記憶體控制器 104 之間配置有第 0 資料輸入/輸出匯流排 132，且在第 1 快閃記憶體模組 124 與快閃記憶體控制器 104 之間配置有第 1 資料輸入/輸出匯流排 134，也就是說，快閃記憶體控制器 104 是經由第 0 資料輸入/輸出匯流排 132 來存取實體區塊 122-(0)~122-(N)，並且是經由第 1 資料輸入/輸出匯流排 134 來存取實體區塊 124-(0)~124-(N)。特別是，第 0 資料輸入/輸出匯流排 132 與第 1 資料輸入/輸出匯流排 134 是彼此獨立，因此快閃記憶體控制器 104 能夠同時使用第 0 資料輸入/輸出匯流排 132 與第 1 資料輸入/輸出匯流排 134 來存取第 0 快閃記憶體模組 122 與第 1 快閃記憶體模組 124。

例如，在主機系統 1000 欲讀取邏輯區塊 350-(0)中的資料且目前邏輯區塊 350-(0)是對映實體區塊 122-(S+1)的例子中，當記憶體管理單元 204 從主機系統 1000 接收到主機讀取指令時，記憶體管理單元 204 會依據主機讀取指令中的資訊判斷此主機讀取指令是對應邏輯區塊 350-(0)並且依據邏輯區塊 350-(0)所屬的邏輯區域對應的邏輯區塊-實體區塊對映表(例如，邏輯區塊-實體區塊對映表 260-0)而識別邏輯區塊 350-(0)是對映實體區塊 122-(S+1)。此外，由於實體區塊 122-(S+1)是屬於第 0 快閃記憶體模組 122，因此記憶體管理單元 204 會判斷此主機讀取指令是對應第 0 資料輸入/輸出匯流排 132，也就是說，記憶體管理單元

204 會經由第 0 資料輸入/輸出匯流排 132 來讀取此主機讀取指令欲讀取的資料。

值得一提的是，在本發明範例實施例中，當主機系統 1000 欲下達多個主機讀取指令時，主機系統 1000 會先傳送關於這些主機讀取指令的指令排序資訊。藉由此指令排序資訊，記憶體管理單元 204 會依據所有主機讀取指令所對應的邏輯區塊與所對應的資料輸入/輸出匯流排來重新排列這些主機讀取指令的順序以產生下達指令順序，並且將所產生之下達指令順序回應給主機系統 1000。之後，主機系統 1000 會依照所接收到的下達指令順序來傳送這些主機讀取指令。

例如，主機系統 1000 會使用原生指令排序(Native Command Queuing, NCQ)來傳送關於多個主機讀取指令的指令排序資訊。在使用 NCQ 協定來傳送關於多個主機讀取指令的指令排序資訊的例子中，連接器 102 與主機介面單元 206 是支援 NCQ 協定，並且主機系統 1000 與快閃記憶體控制器 104 之間是經由連接器 102 與主機介面單元 206 以 NCQ 協定來傳送主機讀取指令。

特別是，在本範例實施例中，記憶體管理單元 204 會依據下達指令順序經由第 0 資料輸入/輸出匯流排 132 與第 1 資料輸入/輸出匯流排 134 同時讀取對應兩個主機讀取指令的資料。以下將以一資料讀取範例來詳細說明記憶體管理單元 204 如何依據所有主機讀取指令所對應的資料輸入/輸出匯流排來重新排列這些主機讀取指令的順序，並且同

時讀取對應兩個主機讀取指令的資料。

在此資料讀取範例中，主機系統 1000 傳送指令排序資訊給快閃記憶體儲存裝置 100，其中此指令排序資訊是指示主機系統 1000 欲下達多個主機讀取指令，其中包括欲讀取邏輯區塊 350-(0)中之資料的第 1 主機讀取指令 CM1、欲讀取邏輯區塊 350-(1)中之資料的第 2 主機讀取指令 CM2、欲讀取邏輯區塊 350-(G+1)中之資料的第 3 主機讀取指令 CM3 與欲讀取邏輯區塊 350-(G+2)的第 4 主機讀取指令 CM4。在此，假設邏輯區塊 350-(0)是對映實體區塊 122-(S+1)、邏輯區塊 350-(1)是對映實體區塊 122-(S+2)、邏輯區塊 350-(G+1)是對映實體區塊 124-(S+1)且邏輯區塊 350-(G+2)是對映實體區塊 124-(S+2)(如圖 4 所示)。

圖 5A 與圖 5B 是根據本發明第一範例實施例所繪示之記憶體管理單元重新排列主機讀取指令以產生下達指令順序的範例示意圖。

當快閃記憶體控制器 104 經由連接器 102 接收包含依序以第 1 主機讀取指令 CM1、第 2 主機讀取指令 CM2、第 3 主機讀取指令 CM3 與第 4 主機讀取指令 CM4 為傳送順序(如圖 5A 所示)的指令排序資訊時，記憶體管理單元 204 會依據此指令排序資訊中此些主機讀取指令對應的邏輯區塊和記錄於轉換層 250 中的資訊(例如，邏輯區塊-實體區塊對映表)來識別第 1 主機讀取指令 CM1 是對應第 0 資料輸入/輸出匯流排 132、第 2 主機讀取指令 CM2 是對

應第 0 資料輸入/輸出匯流排 132、第 3 主機讀取指令 CM3 是對應第 1 資料輸入/輸出匯流排 134 且第 4 主機讀取指令 CM4 是對應第 1 資料輸入/輸出匯流排 134。也就是說，記憶體管理單元 204 需經由第 0 資料輸入/輸出匯流排 132 來讀取第 1 主機讀取指令 CM1 與第 2 主機讀取指令 CM2 欲讀取的資料，並且需經由第 1 資料輸入/輸出匯流排 134 來讀取第 3 主機讀取指令 CM3 與第 4 主機讀取指令 CM4 欲讀取的資料。

如上所述，由於快閃記憶體控制器 104 可同時使用第 0 資料輸入/輸出匯流排 132 與第 1 資料輸入/輸出匯流排 134 來存取第 0 快閃記憶體模組 122 與第 1 快閃記憶體模組 124，因此記憶體管理單元 204 會將對應不同之資料輸入/輸出匯流排的主機讀取指令接續排列，由此藉由經由多條資料輸入/輸出匯流排同步地讀取資料來縮短執行讀取指令的時間。

例如，如圖 5B 所示，在此資料讀取範例中，記憶體管理單元 204 會以第 1 主機讀取指令 CM1、第 3 主機讀取指令 CM3、第 2 主機讀取指令 CM2 與第 4 主機讀取指令 CM4 的順序來產生下達指令順序，並將所產生的下達指令順序傳送給主機系統 1000，其中對應第 1 主機讀取指令 CM1 與第 3 主機讀取指令 CM3 的資料可被從快閃記憶體晶片 106 中同步地讀取，而對應第 2 主機讀取指令 CM2 與第 4 主機讀取指令 CM4 的資料可被從快閃記憶體晶片 106 中同步地讀取。

之後，當主機系統 1000 接收到此下達指令順序時，主機系統 1000 會先下達第 1 主機讀取指令 CM1，並且記憶體管理單元 204 會開始處理第 1 主機讀取指令 CM1 以依據對應的邏輯區塊 350-(0)經由第 0 資料輸入/輸出匯流排 132 從實體區塊 122-(S+1)中來讀取資料。特別是，在處理第 1 主機讀取指令 CM1 的同時，記憶體管理單元 204 會經由第 1 資料輸入/輸出匯流排 134 來讀取第 3 主機讀取指令 CM3 欲讀取的資料(即，儲存在邏輯區塊 350-(G+1)所對應之實體區塊 124-(S+1)中的資料)。更詳細來說，雖然主機系統 1000 僅下達第 1 主機讀取指令 CM1，然依據下達指令順序記憶體管理單元 204 已得知下一個指令為第 3 主機讀取指令 CM3 且第 1 資料輸入/輸出匯流排 134 是處於閒置狀態，因此記憶體管理單元 204 會在處理第 1 主機讀取指令 CM1 時同步地讀取對應第 3 主機讀取指令 CM3 的資料。

之後，當記憶體管理單元 204 將對應第 1 主機讀取指令 CM1 的資料傳送給主機系統 1000 後，主機系統 1000 會下達下一個指令(即，第 3 主機讀取指令 CM3)，此時記憶體管理單元 204 會直接地將對應第 3 主機讀取指令 CM3 的資料傳送給主機系統 1000，而無需再從快閃記憶體晶片 106 中讀取資料。

接著，在主機系統 1000 接收到對應第 3 主機讀取指令 CM3 的資料後，主機系統 1000 會下達下一個指令(即，第 2 主機讀取指令 CM2)，並且記憶體管理單元 204 會開

始處理第 2 主機讀取指令 CM2 以依據對應的邏輯區塊 350-(1)經由第 0 資料輸入/輸出匯流排 132 從實體區塊 122-(S+2)中來讀取資料。類似地，在處理第 2 主機讀取指令 CM2 的同時，記憶體管理單元 204 會經由第 1 資料輸入/輸出匯流排 134 來讀取對應第 4 主機讀取指令 CM4 欲讀取的資料(即，儲存在邏輯區塊 350-(G+2)所對應之實體區塊 124-(S+2)中的資料)。

之後，當記憶體管理單元 204 將對應第 2 主機讀取指令 CM2 的資料傳送給主機系統 1000 後，主機系統 1000 會下達下一個指令(即，第 4 主機讀取指令 CM4)，此時記憶體管理單元 204 會直接地將對應第 4 主機讀取指令 CM4 的資料傳送給主機系統 1000，而無需再從快閃記憶體晶片 106 中讀取資料。

在此範例中，記憶體管理單元 204 會重新排列主機讀取指令的傳送順序，並且在執行第 1 主機讀取指令 CM1 時同時預先讀取對應第 3 主機讀取指令 CM3 的資料以及在執行第 2 主機讀取指令 CM2 時同時預先讀取對應第 4 主機讀取指令 CM4 的資料。例如，記憶體管理單元 204 會在處理第一(即，目前)主機讀取指令(例如，第 1 主機讀取指令 CM1 與第 2 主機讀取指令 CM2)時預先讀取對應第二(即，後續)主機讀取指令的資料(例如，第 3 主機讀取指令 CM3 與第 4 主機讀取指令 CM4)並將預先讀取之資料暫存於緩衝記憶體 210 中。之後，當接收到第二主機讀取指令時，則直接地從緩衝記憶體 210 中將對應的資料傳送給

主機系統 1000，由此可大幅縮短執行主機讀取指令的時間。

圖 6 是根據本發明第一範例實施例所繪示快閃記憶體控制器執行資料讀取方法的流程圖。

請參照圖 6，首先，在步驟 S601 中快閃記憶體控制器 104 會從主機系統 1000 中接收關於欲傳送之多個主機讀取指令的指令排序資訊。接著，在步驟 S603 中快閃記憶體控制器 104 會依據每一主機讀取指令所對應的邏輯區塊判斷每一主機讀取指令所對應的資料輸入/輸出匯流排。具體來說，在步驟 S601 中快閃記憶體控制器 104 是使用 NCQ 協定從主機系統 1000 中接收指令排序資訊，以獲知主機系統 1000 欲傳送之多個主機讀取指令的指令排序資料。然而，必須瞭解的是，本發明不限於此，在本發明另一範例實施例中，快閃記憶體控制器 104 亦可使用其他適當的方式從主機系統 1000 中接收關於欲傳送之多個主機讀取指令的指令排序資訊。

在步驟 S605 中快閃記憶體控制器 104 會依據每一主機讀取指令所對應的資料輸入/輸出匯流排來產生下達指令順序，並且在步驟 S607 中將所產生的下達指令順序傳送給主機系統 1000。

之後，在步驟 S609 中快閃記憶體控制器 104 會依據下達指令順序從主機系統 1000 中接收主機讀取指令，並且在步驟 S611 中判斷所接收到的主機讀取指令對應的資料是否已暫存於緩衝記憶體 210 中。

倘若所接收到的主機讀取指令對應的資料已暫存於緩衝記憶體 210 中時，則在步驟 S613 中從緩衝記憶體 210 中將主機讀取指令對應的資料傳送給主機系統 1000，並且在步驟 S615 判斷是否已執行主機系統 1000 欲下達的所有主機讀取指令。倘若已執行所有主機讀取指令時，則結束圖 6 的流程；反之，則執行步驟 S609 來繼續接收下一個主機讀取指令。

倘若所接收到的主機讀取指令對應的資料未暫存於緩衝記憶體 210 中時，則在步驟 S617 中從快閃記憶體晶片 106 中讀取對應此主機讀取指令的資料並且依據下達指令順序同時讀取對應其他主機讀取指令的資料。具體來說，在步驟 S617 中，快閃記憶體控制器 104 在處理第一主機讀取指令時會依據下達指令順序來預先讀取對應第二主機讀取指令的資料，其中此些第二主機讀取指令所對的資料輸入/輸出匯流排是不同於第一主機讀取指令所對應的資料輸入/輸出匯流排。也就是說，快閃記憶體控制器 104 會利用處理第一主機讀取指令的期間使用其他閒置的資料輸入/輸出匯流排來預先讀取對應第二主機讀取指令的資料。

在步驟 S619 中將對應第一主機讀取指令的資料傳送給主機系統 1000 並且將預先讀取的資料暫存於緩衝記憶體 210 中。接著，快閃記憶體控制器 104 會執行步驟 S615。
[第二範例實施例]

本發明第二範例實施例的快閃記憶體儲存裝置與主

機系統本質上是相同於第一範例實施例的快閃記憶體儲存裝置與主機系統，其中差異在於第二範例實施例的記憶體管理單元會以不同的方式來重新排列主機系統欲傳送之主機讀取指令的傳送順序。以下將配合第一範例實施例的圖 1A、圖 1D、圖 3A、圖 3B 與圖 4 來描述第二範例實施例。

在第一範例實施例中，快閃記憶體控制器 104 的記憶體管理單元 204 會從主機系統 1000 中接收關於主機讀取指令的指令排序資訊並依據主機讀取指令所對應的資料輸入/輸出匯流排來產生下達指令順序，由此藉由同步地透過多條資料輸入/輸出匯流排預先讀取第二主機讀取指令的資料來縮短執行主機讀取指令的時間。除了依據主機讀取指令所對應的資料輸入/輸出匯流排來產生下達指令順序之外，在本發明第二範例實施例中記憶體管理單元 204 更會依據主機讀取指令所對應的邏輯區塊所屬的邏輯區域來產生下達指令順序，以更縮短執行主機讀取指令的時間。

具體來說，如上所述，邏輯區塊 350-(0)~350-(H)會被分組為邏輯區域 360-(0)與邏輯區域 360-(1)，並且記憶體管理單元 204 會為每一邏輯區域配置獨立的邏輯區塊-實體區塊對映表。因此，當主機系統 1000 存取屬於不同邏輯區域的邏輯區塊時，記憶體管理單元 204 需從快閃記憶體晶片 106 中載入對應的邏輯區塊-實體區塊對映表，因此若在執行多筆主機讀取指令時，能夠減少不同邏輯區塊-實體區塊對映表之間的切換，將能夠有效縮短執行主機讀取指令的時間。

以下將以一資料讀取範例來詳細說明在第二範例實施例中記憶體管理單元 204 如何依據所有主機讀取指令所對應的邏輯區塊、所對應的資料輸入/輸出匯流排以及所對應的邏輯區域來重新排列此些主機讀取指令的順序，並且同時讀取對應兩個主機讀取指令的資料。

在此資料讀取範例中，主機系統 1000 傳送指令排序資訊給快閃記憶體儲存裝置 100，其中此指令排序資訊是指示主機系統 1000 欲下達多個主機讀取指令，其中包括欲讀取邏輯區塊 350-(0)中之資料的第 1 主機讀取指令 CM1、欲讀取邏輯區塊 350-(1)中之資料的第 2 主機讀取指令 CM2、欲讀取邏輯區塊 350-(G+1)中之資料的第 3 主機讀取指令 CM3 與欲讀取邏輯區塊 350-(G+2)的第 4 主機讀取指令 CM4。在此，假設邏輯區塊 350-(0)是對映實體區塊 122-(S+1)、邏輯區塊 350-(1)是對映實體區塊 122-(S+2)、邏輯區塊 350-(G+1)是對映實體區塊 124-(S+1)且邏輯區塊 350-(G+2)是對映實體區塊 124-(S+2)，其中邏輯區塊 350-(0)與邏輯區塊 350-(1)是屬於邏輯區域 360-(0)且邏輯區塊 350-(G+1)與邏輯區塊 350-(G+2)是屬於邏輯區域 360-(1)(如圖 4 所示)。此外，假設目前載入於緩衝記憶體 210 中的邏輯區塊-實體區塊對映表是對應邏輯區域 360-(1)的邏輯區塊-實體區塊對映表 260-(1)。

圖 7A、圖 7B 與圖 7C 是根據本發明第二範例實施例所繪示之記憶體管理單元重新排列主機讀取指令以產生下達指令順序的範例示意圖。

當快閃記憶體控制器 104 接收到以第 1 主機讀取指令 CM1、第 2 主機讀取指令 CM2、第 3 主機讀取指令 CM3 與第 4 主機讀取指令 CM4 為順序(如圖 7A 所示)的指令排序資訊時，記憶體管理單元 204 會依據此指令排序資訊中此些主機讀取指令對應的邏輯區塊和記錄於轉換層 250 中的資訊(例如，邏輯區塊-實體區塊對映表)來識別第 1 主機讀取指令 CM1 是對應第 0 資料輸入/輸出匯流排 132、第 2 主機讀取指令 CM2 是對應第 0 資料輸入/輸出匯流排 132、第 3 主機讀取指令 CM3 是對應第 1 資料輸入/輸出匯流排 134 且第 4 主機讀取指令 CM4 是對應第 1 資料輸入/輸出匯流排 134。也就是說，記憶體管理單元 204 需經由第 0 資料輸入/輸出匯流排 132 來讀取第 1 主機讀取指令 CM1 與第 2 主機讀取指令 CM2 欲讀取的資料，並且需經由第 1 資料輸入/輸出匯流排 134 來讀取第 3 主機讀取指令 CM3 與第 4 主機讀取指令 CM4 欲讀取的資料。

例如，如圖 7B 所示，記憶體管理單元 204 會先依據主機讀取指令所對應的資料輸入/輸出匯流排以第 1 主機讀取指令 CM1、第 3 主機讀取指令 CM3、第 2 主機讀取指令 CM2 與第 4 主機讀取指令 CM4 的順序來排列主機系統 1000 欲發送之主機讀取指令，其中對應第 1 主機讀取指令 CM1 與第 3 主機讀取指令 CM3 的資料可被從快閃記憶體晶片 106 中同步地讀取，而對應第 2 主機讀取指令 CM2 與第 4 主機讀取指令 CM4 的資料可被從快閃記憶體晶片 106 中同步地讀取。

接著，記憶體管理單元 204 會再依據目前暫存於緩衝記憶體中的邏輯區塊-實體區塊對映表來調整預期之下達指令順序。例如，目前暫存於緩衝記憶體中的邏輯區塊-實體區塊對映表是對應邏輯區域 360-(1)的邏輯區塊-實體區塊對映表 260-(1)，因此在第 1 主機讀取指令 CM1 與第 3 主機讀取指令 CM3 之中記憶體管理單元 204 會優先處理對應邏輯區域 360-(1)的第 3 主機讀取指令 CM3，再處理第 1 主機讀取指令 CM1。之後，當處理第 1 主機讀取指令 CM1 時，載入於緩衝記憶體中的邏輯區塊-實體區塊對映表 260-(1)將會被切換為對應邏輯區域 360-(0)的邏輯區塊-實體區塊對映表 260-(0)，因此，在處理第 1 主機讀取指令 CM1 之後，相較於第 4 主機讀取指令 CM4，記憶體管理單元 204 會優先處理對應邏輯區域 360-(0)的第 2 主機讀取指令 CM2。基此，如圖 7C 所示，記憶體管理單元 204 會以第 3 主機讀取指令 CM3、第 1 主機讀取指令 CM1、第 2 主機讀取指令 CM2 與第 4 主機讀取指令 CM4 的順序來產生下達指令順序，並且將所產生的下達指令順序傳送給主機系統 1000。

之後，當主機系統 1000 接收到此下達指令順序時，主機系統 1000 會先發送第 3 主機讀取指令 CM3，並且記憶體管理單元 204 會開始處理第 3 主機讀取指令 CM3 以依據對應的邏輯區塊 350-(G+1)經由第 1 資料輸入/輸出匯流排 134 從實體區塊 124-(S+1)中來讀取資料。並且，在處理第 3 主機讀取指令 CM3 的同時，記憶體管理單元 204

會經由第 0 資料輸入/輸出匯流排 132 來讀取對應第 1 主機讀取指令 CM1 欲讀取的資料(即，儲存在邏輯區塊 350-(0)所對應之實體區塊 122-(S+1)中的資料)。期間，記憶體管理單元 204 先依據已載入於緩衝記憶體 210 的邏輯區塊-實體區塊對映表 260-(1)來獲取相關的對映資訊，並且之後關閉邏輯區塊-實體區塊對映表 260-(1)與載入邏輯區塊-實體區塊對映表 260-(0)來獲取相關的對映資訊。

之後，當記憶體管理單元 204 將對應第 3 主機讀取指令 CM3 的資料傳送給主機系統 1000 後，主機系統 1000 會下達下一個指令(即，第 1 主機讀取指令 CM1)，此時記憶體管理單元 204 會直接地從緩衝記憶體 210 中將對應第 1 主機讀取指令 CM1 的資料傳送給主機系統 1000，而無需再從快閃記憶體晶片 106 中讀取資料。

在主機系統 1000 接收到第 1 主機讀取指令 CM1 的資料後，主機系統 1000 會發送下一個指令(即，第 2 主機讀取指令 CM2)，並且記憶體管理單元 204 會開始處理第 2 主機讀取指令 CM2 以依據對應的邏輯區塊 350-(1)經由第 0 資料輸入/輸出匯流排 132 從實體區塊 122-(S+2)中來讀取資料。類似地，在處理第 2 主機讀取指令 CM2 的同時，記憶體管理單元 204 會經由第 1 資料輸入/輸出匯流排 134 來讀取對應第 4 主機讀取指令 CM4 欲讀取的資料(即，儲存在邏輯區塊 350-(G+2)所對應之實體區塊 124-(S+2)中的資料)。期間，記憶體管理單元 204 先依據已載入於緩衝記憶體 210 的邏輯區塊-實體區塊對映表 260-(0)來獲取相關

的對映資訊，並且之後關閉邏輯區塊-實體區塊對映表 260-(0)與載入邏輯區塊-實體區塊對映表 260-(1)來獲取相關的對映資訊。

之後，當記憶體管理單元 204 將對應第 2 主機讀取指令 CM2 的資料傳送給主機系統 1000 後，主機系統 1000 會下達下一個指令(即，第 4 主機讀取指令 CM4)，此時記憶體管理單元 204 會立即將對應第 4 主機讀取指令 CM4 的資料傳送給主機系統 1000。

值得一提的是，在上述資料讀取範例中，對應同一資料輸入/輸出匯流排的邏輯區塊是屬於同一邏輯區域，然而本發明不限於此，在本發明另一範例實施例中，對應不同資料輸入/輸出匯流排的邏輯區塊亦可以是屬於同一邏輯區域。例如，在邏輯區塊 350-(0)與邏輯區塊 350-(G+1)是屬於邏輯區域 360-(0)且邏輯區塊 350-(1)與邏輯區塊 350-(G+2)是屬於邏輯區域 360-(1)的另一範例實施例中，假設在上述資料讀取範例中記憶體管理單元 204 先依據主機讀取指令所對應的資料輸入/輸出匯流排將主機系統 1000 所傳送之多筆主機讀取指令的順序(如圖 8A 所示)以第 1 主機讀取指令 CM1、第 3 主機讀取指令 CM3、第 2 主機讀取指令 CM2 與第 4 主機讀取指令 CM4 的順序(如圖 8B 所示)來排列之後，由於目前載入於緩衝記憶體中的邏輯區塊-實體區塊對映表是對應邏輯區域 360-(1)的邏輯區塊-實體區塊對映表 260-(1)，因此記憶體管理單元 204 會預期優先處理對應邏輯區域 360-(1)的第 2 主機讀取指令

CM2 或第 4 主機讀取指令 CM4。基此，在對應第 1 主機讀取指令 CM1 與第 3 主機讀取指令 CM3 的資料可被從快閃記憶體晶片 106 中同步地讀取，而對應第 2 主機讀取指令 CM2 與第 4 主機讀取指令 CM4 的資料可被從快閃記憶體晶片 106 中同步地讀取的情況下，例如，記憶體管理單元 204 會以第 2 主機讀取指令 CM2、第 4 主機讀取指令 CM4、第 1 主機讀取指令 CM1 與第 3 主機讀取指令 CM3 的順序(如圖 8C 所示)來產生下達指令順序。基此，記憶體管理單元 204 僅需於處理第 1 主機讀取指令 CM1 時關閉邏輯區塊-實體區塊對映表 260-(1)與載入邏輯區塊-實體區塊對映表 260-(0)來獲取相關的對映資訊。

基於上述，在本發明第二範例實施例中，記憶體管理單元 204 更依據每一主機讀取指令所對應的邏輯區域來產生下達指令順序，因此可減少切換邏輯區塊-實體區塊對映表的次數，而更縮短執行主機讀取指令的時間。

圖 9 根據本發明第二範例實施例所繪示快閃記憶體控制器執行資料讀取方法的流程圖。

請參照圖 9，圖 9 中的步驟 S901、S903、S907、S909、S911、S913、S915、S917 與 S919 是相同於圖 6 中的步驟 S601、S603、S607、S609、S611、S613、S615、S617 與 S619，在此不再重複說明。圖 9 與圖 6 的差異在於快閃記憶體控制器 104 會依據每一主機讀取指令所對應的資料輸入/輸出匯流排以及所對應的邏輯區域來產生下達指令順序(S905)。

值得一提的是，儘管上述範例實施例是以兩個快閃記憶體模組與兩條資料輸入/輸出匯流排來進行說明，然而本發明不限於此，快閃記憶體模組與資料輸入/輸出匯流排的數目可以是任意數目。

綜上所述，根據本發明範例實施例的資料讀取方法藉接收關於主機讀取指令的指令排序資訊以及依據主機讀取指令所對應的資料輸入/輸出匯流來重新排列多個主機讀取指令的傳送順序，並且經由多條資料輸入/輸出匯流排來同步地讀取與預讀取對應不同主機讀取指令的資料，由此可大幅度地縮短執行主機讀取指令的時間。此外，在本發明另一範例實施例中，除了依據主機讀取指令所對應的資料輸入/輸出匯流之外，根據本發明範例實施例的資料讀取方法更依據主機讀取指令所對應的邏輯區域來重新排列多個主機讀取指令的發送順序，由此可減少切換邏輯區塊-實體區塊對映表的次數，進而更縮短執行主機讀取指令的時間。

雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，故本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

圖 1A 是根據本發明第一範例實施例繪示使用快閃記憶體儲存裝置的主機系統。

圖 1B 是根據本發明範例實施例所繪示的電腦、輸入/輸出裝置與快閃記憶體儲存裝置的示意圖。

圖 1C 是根據本發明另一範例實施例所繪示的主機系統與快閃記憶體儲存裝置的示意圖。

圖 1D 是繪示圖 1A 所示快閃記憶體儲存裝置的概要方塊圖。

圖 2 是根據本發明另一範例實施例所繪示的快閃記憶體控制器的概要方塊圖。

圖 3A 是根據本發明第一範例實施例所繪示之快閃記憶體晶片的方塊圖。

圖 3B 是根據本發明第一範例實施例所繪示記錄邏輯區塊與實體區塊之間的對映示意圖。

圖 4 是根據本發明第一範例實施例所繪示的邏輯區塊與實體區塊的對映範例示意圖。

圖 5A 與圖 5B 是根據本發明第一範例實施例所繪示記憶體管理單元重新排列主機讀取指令以產生下達指令順序的範例示意圖。

圖 6 是根據本發明第一範例實施例所繪示快閃記憶體控制器執行資料讀取方法的流程圖。

圖 7A、圖 7B 與圖 7C 是根據本發明第二範例實施例所繪示記憶體管理單元重新排列主機讀取指令以產生下達指令順序的範例示意圖。

圖 8A、圖 8B 與圖 8C 是根據本發明第二範例實施例所繪示記憶體管理單元重新排列主機讀取指令以產生下達

指令順序的範例示意圖。

圖 9 根據本發明第二範例實施例所繪示快閃記憶體控制器執行資料讀取方法的流程圖。

【主要元件符號說明】

- 1000：主機系統
- 1100：電腦
- 1102：微處理器
- 1104：隨機存取記憶體
- 1106：輸入/輸出裝置
- 1108：系統匯流排
- 1110：資料傳輸介面
- 1202：滑鼠
- 1204：鍵盤
- 1206：顯示器
- 1208：印表機
- 1212：隨身碟
- 1214：記憶卡
- 1216：固態硬碟
- 1310：數位相機
- 1312：SD 卡
- 1314：MMC 卡
- 1316：記憶棒
- 1318：CF 卡

- 1320：嵌入式儲存裝置
- 100：快閃記憶體儲存裝置
- 102：連接器
- 104：快閃記憶體控制器
- 106：快閃記憶體晶片
- 122：第 0 快閃記憶體模組
- 122-(0)~122(N)、124(0)~124-(N)：實體區塊
- 124：第 1 快閃記憶體模組
- 132：第 0 資料輸入/輸出匯流排
- 134：第 1 資料輸入/輸出匯流排
- 202：微處理器單元
- 204：記憶體管理單元
- 206：主機介面單元
- 208：快閃記憶體介面單元
- 210：緩衝記憶體
- 250：轉換層
- 260-(0)、260-(1)：邏輯區塊-實體區塊對映表
- 270：邏輯區塊-邏輯區域對映表
- 292：錯誤校正單元
- 294：電源管理單元
- 302：系統區
- 304：資料區
- 306：備用區
- 308：取代區

350-(0)~350-(H)：邏輯區塊

360-(0)~360-(1)：邏輯區域

CM1：第 1 主機讀取指令指令

CM2：第 2 主機讀取指令指令

CM3：第 3 主機讀取指令指令

CM4：第 4 主機讀取指令指令

S601、S603、S605、S607、S609、S611、S613、S615、
S617、S619：資料讀取步驟

S901、S903、S905、S907、S909、S911、S913、S915、
S917、S919：資料讀取步驟

七、申請專利範圍：

1. 一種資料讀取方法，適用於由一快閃記憶體控制器處理來自於一主機系統的多個主機讀取指令以從多個快閃記憶體模組中讀取對應該些主機讀取指令的資料，其中該快閃記憶體控制器分別地經由多條資料輸入/輸出匯流排耦接至該些快閃記憶體模組並且每一該些快閃記憶體模組具有多個實體區塊，該資料讀取方法包括：

配置多個邏輯區塊，其中該些邏輯區塊對映該些快閃記憶體模組中的部份該些實體區塊；

從該主機系統中接收關於該些主機讀取指令的一指令排序資訊，其中每一該些主機讀取指令對應該些邏輯區塊的其中之一且每一該些邏輯區塊對應該些資料輸入/輸出匯流排的其中之一；

依據該些主機讀取指令所對應的該些資料輸入/輸出匯流排來重新排列該些主機讀取指令的順序與產生一下達指令順序；

將該下達指令順序傳送給該主機系統；以及

依據該下達指令順序從該主機系統中依序地接收該些主機讀取指令並且依據該些主機讀取指令從該些快閃記憶體模組中讀取對應該些主機讀取指令的資料。

2. 如申請專利範圍第 1 項所述之資料讀取方法，其中從該主機系統中接收關於該些主機讀取指令的指令排序資訊的步驟包括：使用一原生指令排序(Native Command Queuing, NCQ)協定從該主機系統中接收關於該些主機讀

取指令的指令排序資訊。

3. 如申請專利範圍第 1 項所述之資料讀取方法，其中依據該下達指令順序從該主機系統中依序地接收該些主機讀取指令並且依據該些主機讀取指令從該些快閃記憶體模組中讀取對應該些主機讀取指令的資料的步驟包括：

當從該主機系統中接收到該些主機讀取指令中的一第一主機讀取指令時，經由該些資料輸入/輸出匯流排從該些快閃記憶體模組中同步地讀取對應該第一主機讀取指令的資料和該些主機讀取指令之中的至少一第二主機讀取指令的資料，其中該第一主機讀取指令和該至少一第二主機讀取指令是對應該些資料輸入/輸出匯流排之中不同的資料輸入/輸出匯流排；以及

將對應該第一主機讀取指令的資料傳送給該主機系統。

4. 如申請專利範圍第 3 項所述之資料讀取方法，更包括將對應該至少一第二主機讀取指令的資料暫存於該快閃記憶體控制器的一緩衝記憶體中。

5. 如申請專利範圍第 4 項所述之資料讀取方法，其中依據該下達指令順序從該主機系統中依序地接收該些主機讀取指令並且依據該些主機讀取指令從該些快閃記憶體模組中讀取對應該些主機讀取指令的資料的步驟更包括：

當從該主機系統中接收到該至少一第二主機讀取指令時，從該緩衝記憶體中將對應該至少一第二主機讀取指令的資料傳送給該主機系統。

6. 如申請專利範圍第 4 項所述之資料讀取方法，更包括：

將該些邏輯區塊分組為多個邏輯區域，以及為每一該些邏輯區域配置一邏輯區塊-實體區塊對映表，其中每一該些邏輯區塊對應該些邏輯區塊-實體區塊對映表的其中之一；以及

載入該些邏輯區塊-實體區塊對映表的其中之一至該緩衝記憶體中。

7. 如申請專利範圍第 6 項所述之資料讀取方法，其中依據該些主機讀取指令所對應的該些資料輸入/輸出匯流排重新排列該些主機讀取指令的順序與產生該下達指令順序的步驟包括：

依據該些主機讀取指令所對應的該些資料輸入/輸出匯流排與該些邏輯區域來重新排列該些主機讀取指令的順序與產生該下達指令順序。

8. 如申請專利範圍第 7 項所述之資料讀取方法，其中依據該些主機讀取指令所對應的該些資料輸入/輸出匯流排與該些邏輯區域來重新排列該些主機讀取指令的順序與產生該下達指令順序的步驟包括：

在該下達指令順序中優先安排該些主機讀取指令之中的至少一主機讀取指令，其中該至少一主機讀取指令所對應的邏輯區塊是對應被載入於該緩衝記憶體中的邏輯區塊-實體區塊對映表。

9. 一種快閃記憶體儲存系統，包括：

一快閃記憶體晶片，具有多個快閃記憶體模組，並且每一該些快閃記憶體模組具有多個實體區塊；

一快閃記憶體控制器，經由多條資料輸入/輸出匯流排耦接至該些快閃記憶體模組，用以配置多個邏輯區塊，其中該些邏輯區塊對映該些快閃記憶體模組中的部分該些實體區塊；以及

一連接器，耦接至該快閃記憶體控制器並且用以耦接一主機系統，

其中該快閃記憶體控制器經由該連接器從該主機系統中接收關於多個主機讀取指令的一指令排序資訊，其中每一該些主機讀取指令對應該些邏輯區塊的其中之一且每一該些邏輯區塊對應該些資料輸入/輸出匯流排的其中之一，

其中該快閃記憶體控制器依據該些主機讀取指令所對應的該些資料輸入/輸出匯流排來重新排列該些主機讀取指令，其中在該些讀取指令之中原相鄰排列且對應相同的資料輸入/輸出匯流排的至少兩個主機讀取指令會被重新排列為分別地與對應不同資料輸入/輸出匯流排的讀取指令相鄰，

其中該快閃記憶體控制器依據所重新排列的該些主機讀取指令經由該些資料輸入/輸出匯流排從該些快閃記憶體模組中讀取對應該些主機讀取指令的資料。

10. 如申請專利範圍第 9 項所述之快閃記憶體儲存系統，其中該連接器為支援一原生指令排序(Native Command

Queuing, NCQ)協定。

11. 如申請專利範圍第 9 項所述之快閃記憶體儲存系統，更包括一緩衝記憶體，

其中該快閃記憶體控制器經由該些資料輸入/輸出匯流排從該些快閃記憶體模組中同步地讀取對應該些主機讀取指令中的一第一主機讀取指令的資料和該些主機讀取指令之中的至少一第二主機讀取指令的資料，

其中該第一主機讀取指令和該至少一第二主機讀取指令是對應該些資料輸入/輸出匯流排之中不同的資料輸入/輸出匯流排，

其中該快閃記憶體控制器將對應該第一主機讀取指令的資料傳送給該主機系統並且將對應該至少一第二主機讀取指令的資料暫存於該緩衝記憶體中，

其中在對應該第一主機讀取指令的資料傳送給該主機系統之後，該快閃記憶體控制器從該緩衝記憶體中將對應該至少一第二主機讀取指令的資料傳送給該主機系統。

12. 如申請專利範圍第 11 項所述之快閃記憶體儲存系統，其中該快閃記憶體控制器將該些邏輯區塊分組為多個邏輯區域，並且為每一該些邏輯區域配置一邏輯區塊-實體區塊對映表，其中每一該些邏輯區塊對應該些邏輯區塊-實體區塊對映表的其中之一，

其中該快閃記憶體控制器載入該些邏輯區塊-實體區塊對映表的其中之一至該緩衝記憶體。

13. 如申請專利範圍第 12 項所述之快閃記憶體儲存

系統，其中該快閃記憶體控制器更依據該些主機讀取指令所對應的該些資料輸入/輸出匯流排與該些邏輯區域來重新排列該些主機讀取指令。

14. 如申請專利範圍第 13 項所述之快閃記憶體儲存系統，其中該快閃記憶體控制器優先安排所重新排列的該些主機讀取指令之中的至少一主機讀取指令，其中該至少一主機讀取指令所對應的邏輯區塊是對應暫存於該緩衝記憶體中的邏輯區塊-實體區塊對映表。

15. 如申請專利範圍第 9 項所述之快閃記憶體儲存系統，其中該快閃記憶體控制器依據該些主機讀取指令所對應的該些資料輸入/輸出匯流排來接續排列該些主機讀取指令並且藉由該些資料輸入/輸出匯流排同步地讀取對應該些主機讀取指令的資料。

16. 一種資料讀取方法，用於由一快閃記憶體控制器處理來自於一主機系統的多個主機讀取指令以從多個快閃記憶體模組中讀取對應該些主機讀取指令的資料，其中該快閃記憶體控制器分別地經由多條資料輸入/輸出匯流排耦接至該些快閃記憶體模組並且每一該些快閃記憶體模組具有多個實體區塊，該資料讀取方法包括：

配置多個邏輯區塊，其中該些邏輯區塊對映該些快閃記憶體模組中的部份該些實體區塊；

從該主機系統中接收關於該些主機讀取指令的一指令排序資訊，其中每一該些主機讀取指令對應該些邏輯區塊的其中之一且每一該些邏輯區塊對應該些資料輸入/輸

出匯流排的其中之一；

依據該些主機讀取指令所對應的該些資料輸入/輸出匯流排來重新排列該些主機讀取指令的順序，其中在該些讀取指令之中原相鄰排列且對應相同的資料輸入/輸出匯流排的至少兩個主機讀取指令會被重新排列為分別地與對應不同資料輸入/輸出匯流排的讀取指令相鄰；以及

依據重新排列的該些主機讀取指令從該些快閃記憶體模組中讀取對應該些主機讀取指令的資料。

17. 如申請專利範圍第 16 項所述之資料讀取方法，其中依據該些主機讀取指令所對應的該些資料輸入/輸出匯流排來重新排列該些主機讀取指令的順序的步驟包括：依據該些主機讀取指令所對應的該些資料輸入/輸出匯流排來接續排列該些主機讀取指令，

其中依據重新排列的該些主機讀取指令從該些快閃記憶體模組中讀取對應該些主機讀取指令的資料的步驟包括：依據重新排列的該些主機讀取指令藉由該些資料輸入/輸出匯流排從該些快閃記憶體模組中同步地讀取對應該些主機讀取指令的資料。

18. 一種快閃記憶體控制器，用於處理來自於一主機系統的多個主機讀取指令以從多個快閃記憶體模組中讀取對應該些主機讀取指令的資料，其中每一該些快閃記憶體模組具有多個實體區塊，該快閃記憶體控制器包括：

一微處理器單元；

一快閃記憶體介面單元，耦接至該微處理器單元，用

以經由多條資料輸入/輸出匯流排耦接至該些快閃記憶體模組；

一主機介面單元，耦接至該微處理器單元，用以連接該主機系統；以及

一記憶體管理單元，耦接至該微處理器單元，用以配置多個邏輯區塊，其中該些邏輯區塊對映該些快閃記憶體模組中的部分該些實體區塊，

其中該記憶體管理單元經由該主機介面單元從該主機系統中接收關於該些主機讀取指令的一指令排序資訊，其中每一該些主機讀取指令對應該些邏輯區塊的其中之一且每一該些邏輯區塊對應該些資料輸入/輸出匯流排的其中之一，

其中該記憶體管理單元依據該些主機讀取指令所對應的該些資料輸入/輸出匯流排來重新排列該些主機讀取指令，以將該些讀取指令之中對應不相同的資料輸入/輸出匯流排的至少兩個主機讀取指令相鄰排列，以使對應不相同的資料輸入/輸出匯流排的該至少兩個主機讀取指令至少部分同步地被執行，

其中該記憶體管理單元根據所重新排列的該些主機讀取指令經由該快閃記憶體介面單元從該些快閃記憶體模組中讀取對應該些主機讀取指令的資料。

19. 一種快閃記憶體儲存系統，包括：

一快閃記憶體晶片，具有多個快閃記憶體模組，並且每一該些快閃記憶體模組具有多個實體區塊；

一快閃記憶體控制器，經由多條資料輸入/輸出匯流排耦接至該些快閃記憶體模組，用以配置多個邏輯區塊，其中該些邏輯區塊對映該些快閃記憶體模組中的部分該些實體區塊；以及

一連接器，耦接至該快閃記憶體控制器並且用以耦接一主機系統，

其中該快閃記憶體控制器經由該連接器從該主機系統中接收關於多個主機讀取指令的一指令排序資訊，其中每一該些主機讀取指令對應該些邏輯區塊的其中之一且每一該些邏輯區塊對應該些資料輸入/輸出匯流排的其中之一，

其中該快閃記憶體控制器依據該些主機讀取指令所對應的該些資料輸入/輸出匯流排來重新排列該些主機讀取指令的順序與產生一下達指令順序，並且將該下達指令順序傳送給該主機系統，

其中該快閃記憶體控制器依據該下達指令順序經由該連接器從該主機系統中依序地接收該些主機讀取指令並且依據該些主機讀取指令經由該些資料輸入/輸出匯流排從該些快閃記憶體模組中讀取對應該些主機讀取指令的資料。

20. 如申請專利範圍第 19 項所述之快閃記憶體儲存系統，其中該連接器為支援一原生指令排序 (Native Command Queuing, NCQ) 協定。

21. 如申請專利範圍第 19 項所述之快閃記憶體儲存

系統，其中當該快閃記憶體控制器從該主機系統中接收到該些主機讀取指令中的一第一主機讀取指令時，快閃記憶體控制器經由該些資料輸入/輸出匯流排從該些快閃記憶體模組中同步地讀取對應該第一主機讀取指令的資料和該些主機讀取指令之中的至少一第二主機讀取指令的資料並且將對應該第一主機讀取指令的資料傳送給該主機系統，

其中該第一主機讀取指令和該至少一第二主機讀取指令是對應該些資料輸入/輸出匯流排之中不同的資料輸入/輸出匯流排。

22. 如申請專利範圍第 21 項所述之快閃記憶體儲存系統，更包括一緩衝記憶體，其中該快閃記憶體控制器將對應該至少一第二主機讀取指令的資料暫存於該緩衝記憶體中。

23. 如申請專利範圍第 22 項所述之快閃記憶體儲存系統，其中當該快閃記憶體控制器從該主機系統中接收到該至少一第二主機讀取指令時，該快閃記憶體控制器從該緩衝記憶體中將對應該至少一第二主機讀取指令的資料傳送給該主機系統。

24. 如申請專利範圍第 22 項所述之快閃記憶體儲存系統，其中該快閃記憶體控制器將該些邏輯區塊分組為多個邏輯區域，並且為每一該些邏輯區域配置一邏輯區塊-實體區塊對映表，其中每一該些邏輯區塊對應該些邏輯區塊-實體區塊對映表的其中之一，

其中該快閃記憶體控制器載入該些邏輯區塊-實體區塊對映表的其中之一至該緩衝記憶體。

25. 如申請專利範圍第 24 項所述之快閃記憶體儲存系統，其中該快閃記憶體控制器更依據該些主機讀取指令所對應的該些資料輸入/輸出匯流排與該些邏輯區域來重新排列該些主機讀取指令的順序與產生該下達指令順序。

26. 如申請專利範圍第 25 項所述之快閃記憶體儲存系統，其中該快閃記憶體控制器在該下達指令順序中優先安排該些主機讀取指令之中的至少一主機讀取指令，其中該至少一主機讀取指令所對應的邏輯區塊是對應暫存於該緩衝記憶體中的邏輯區塊-實體區塊對映表。

27. 如申請專利範圍第 22 項所述之快閃記憶體儲存系統，其中該緩衝記憶體配置在該快閃記憶體控制器中。

103. 7. = 71
年 月 日 修 正 登 換 頁

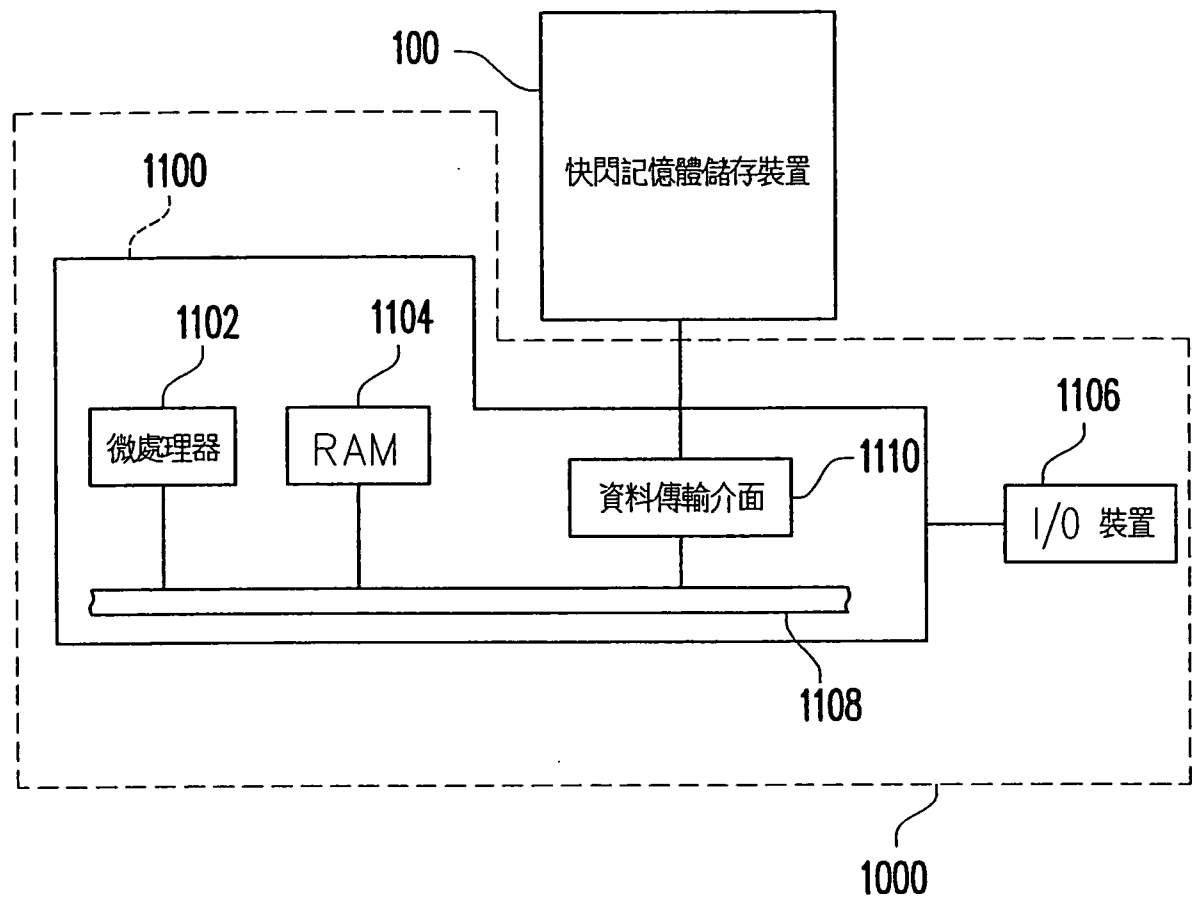


圖 1A

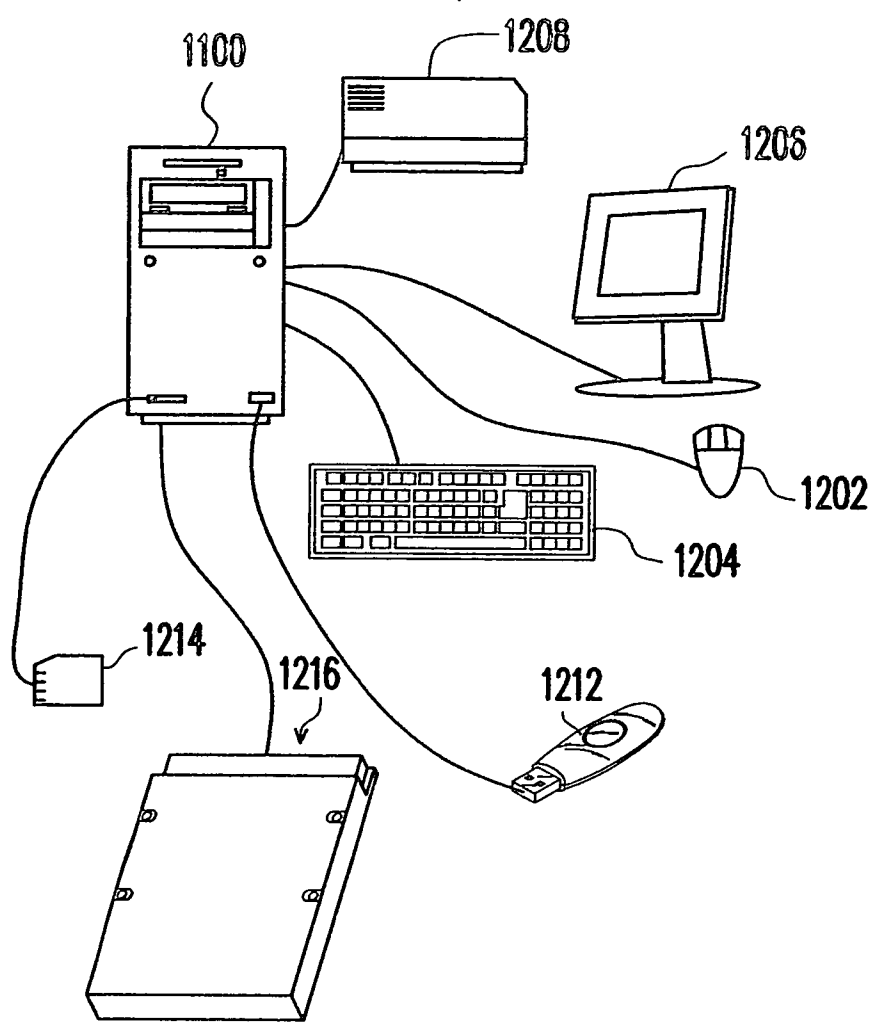


圖 1B

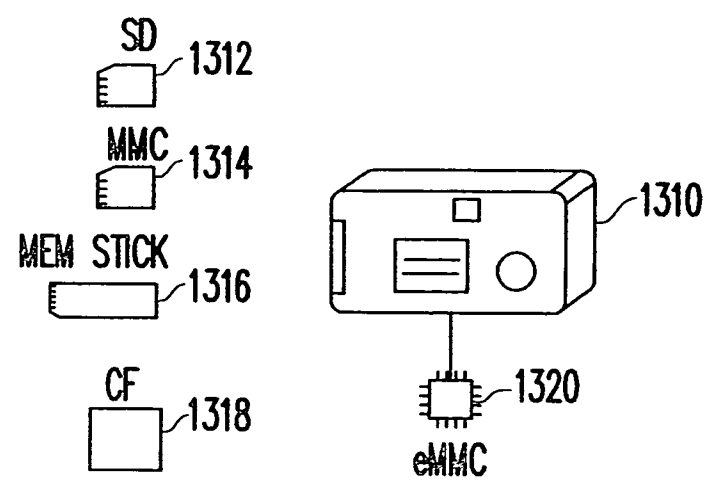


圖 1C

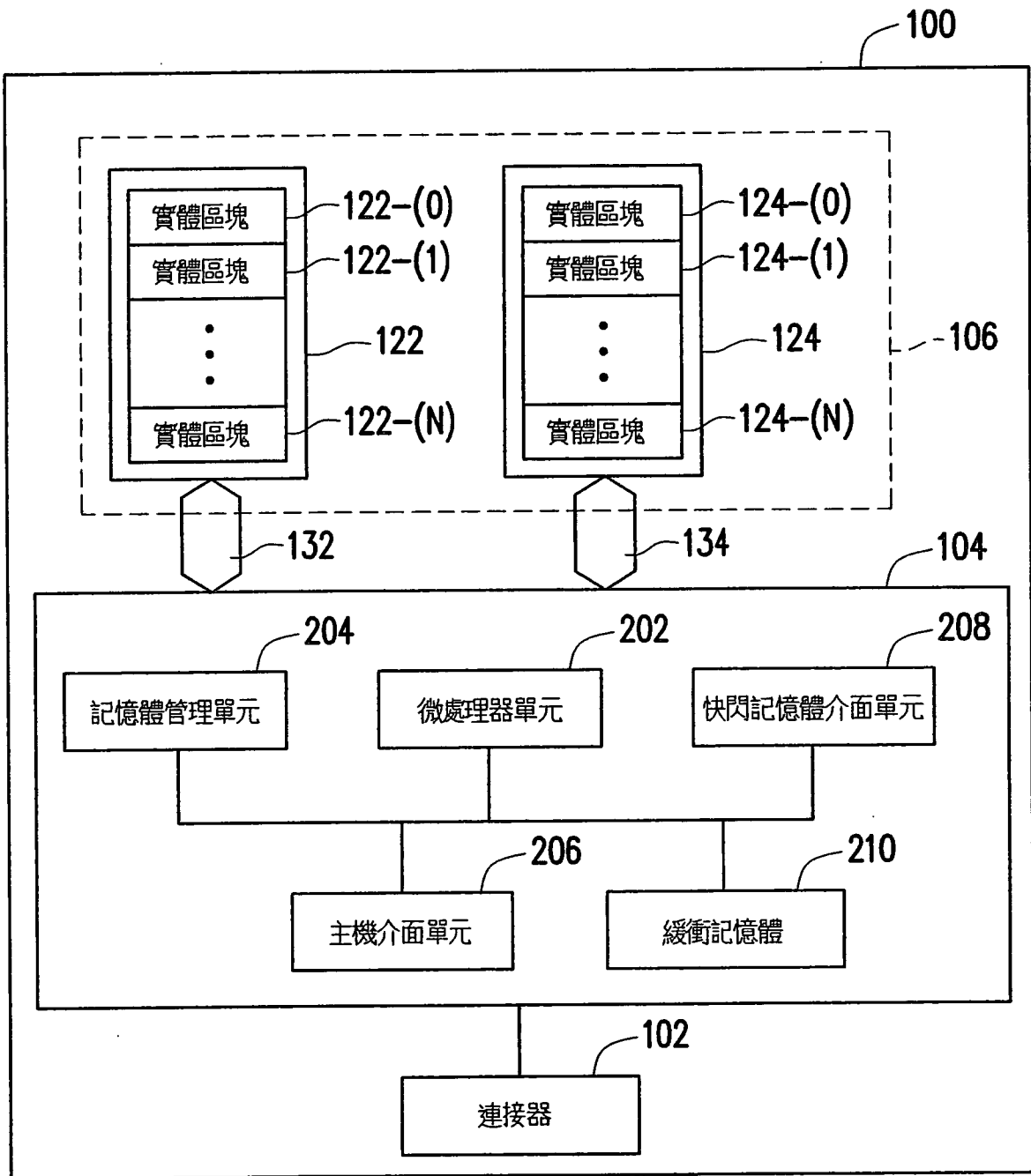


圖 1D

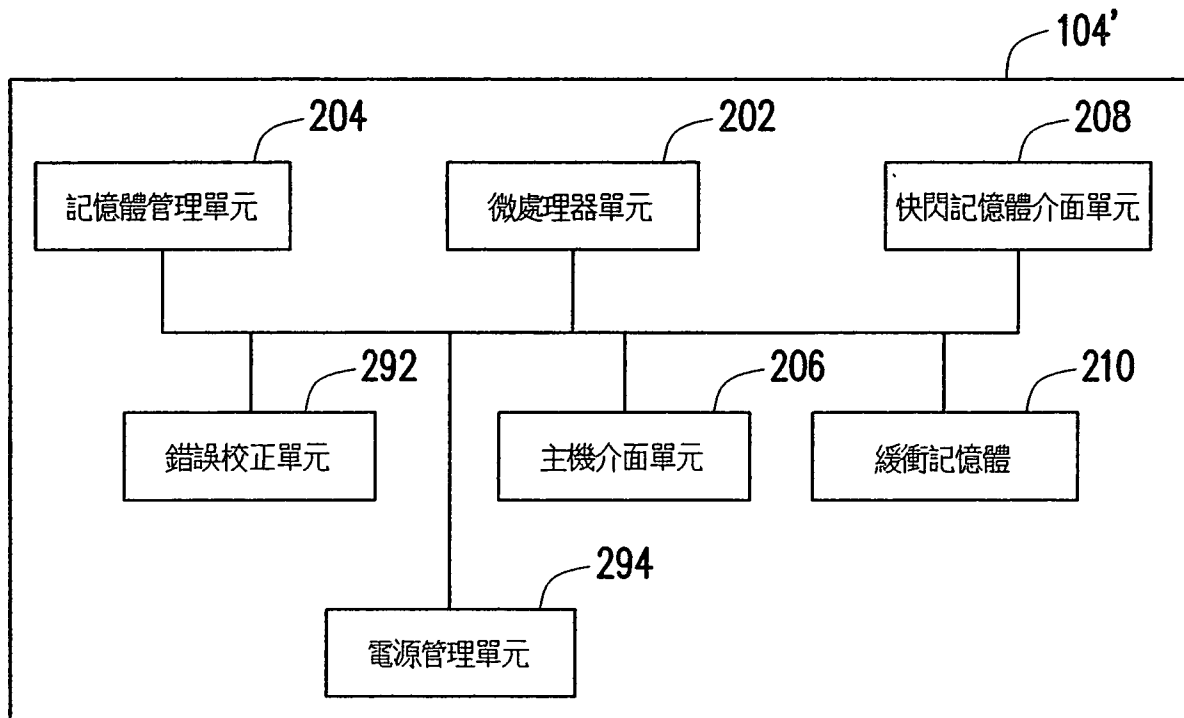
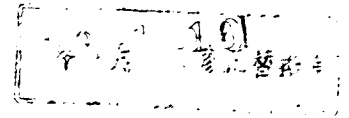


圖 2

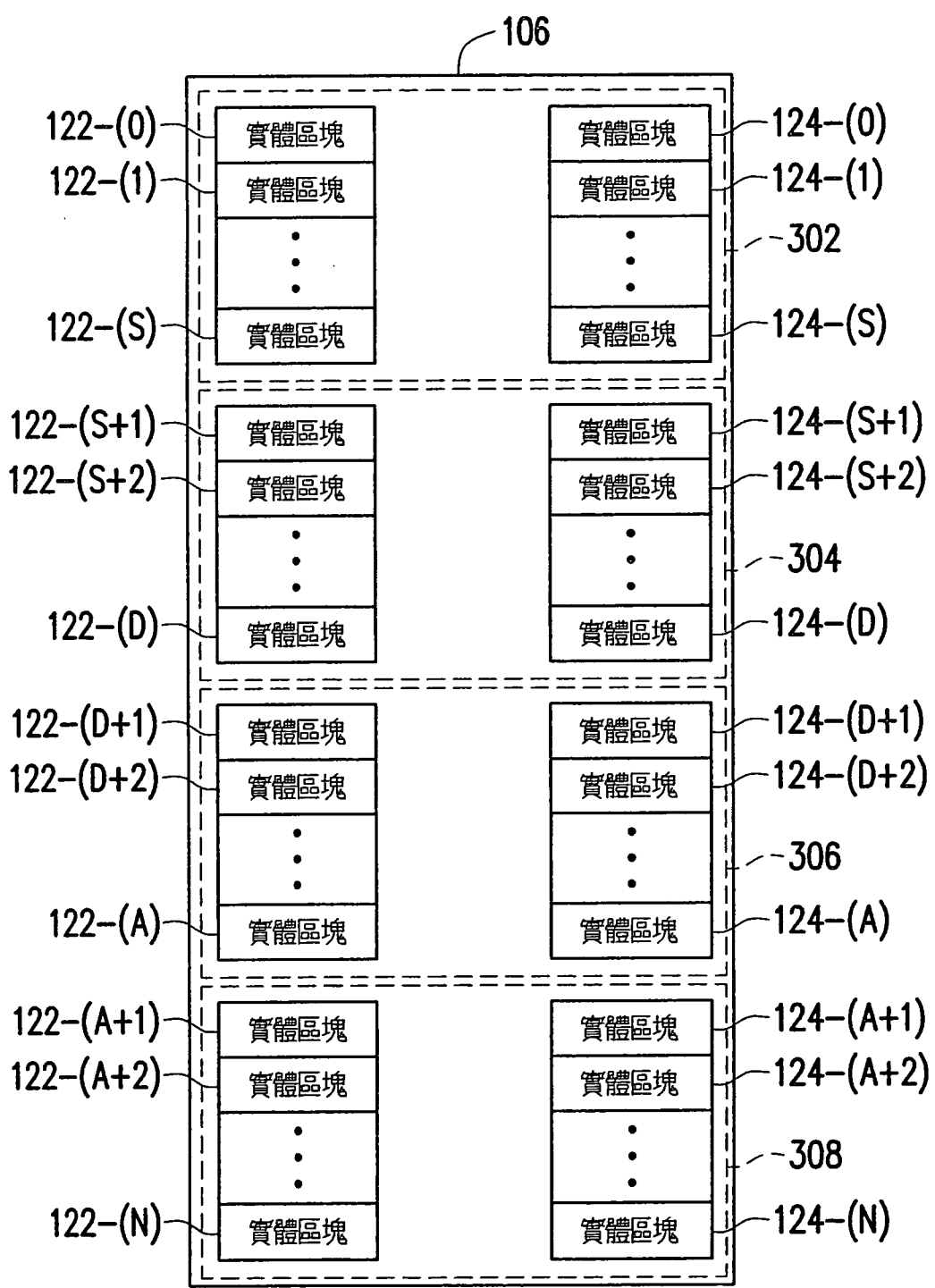


圖 3A

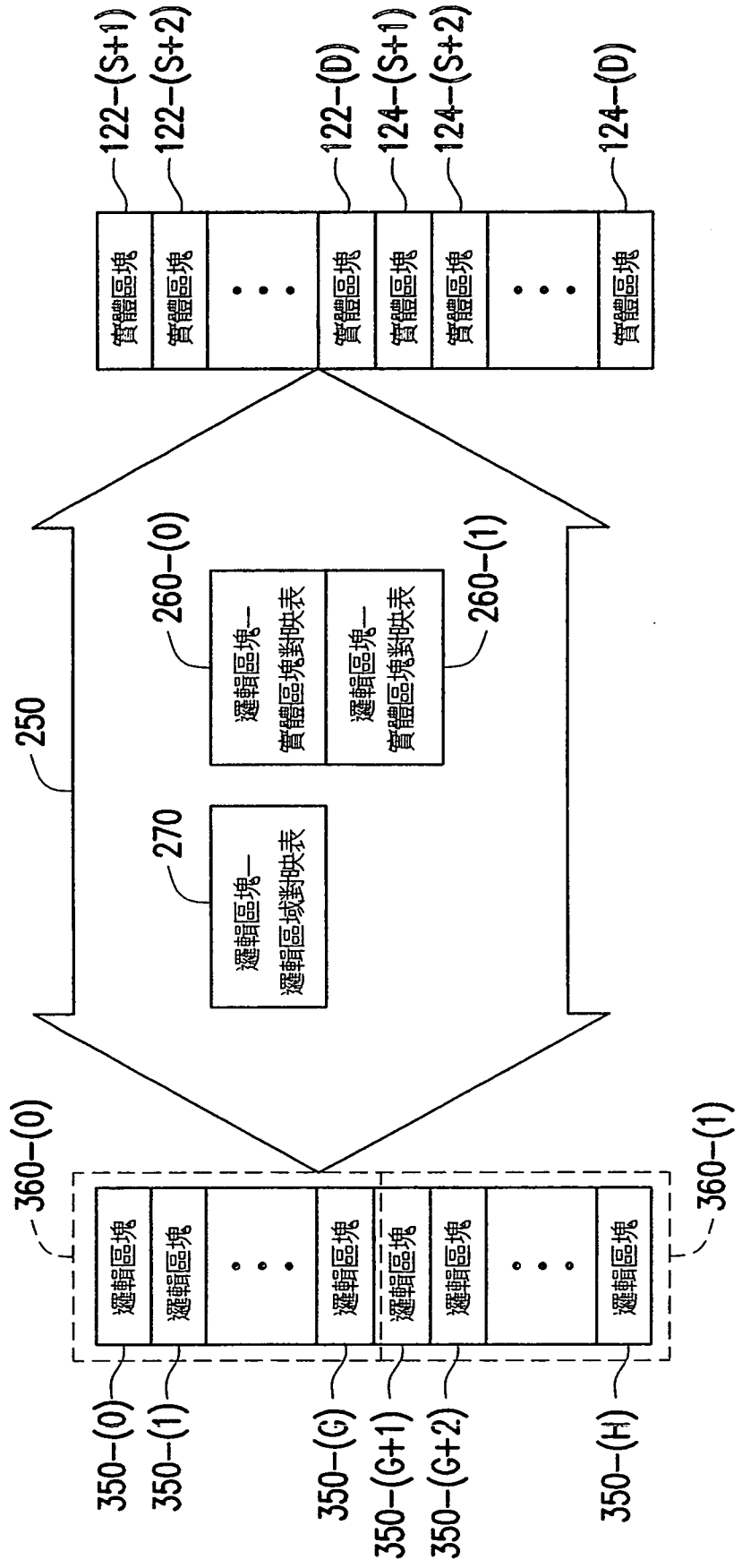


圖 3B

中華民國九十三年五月六日

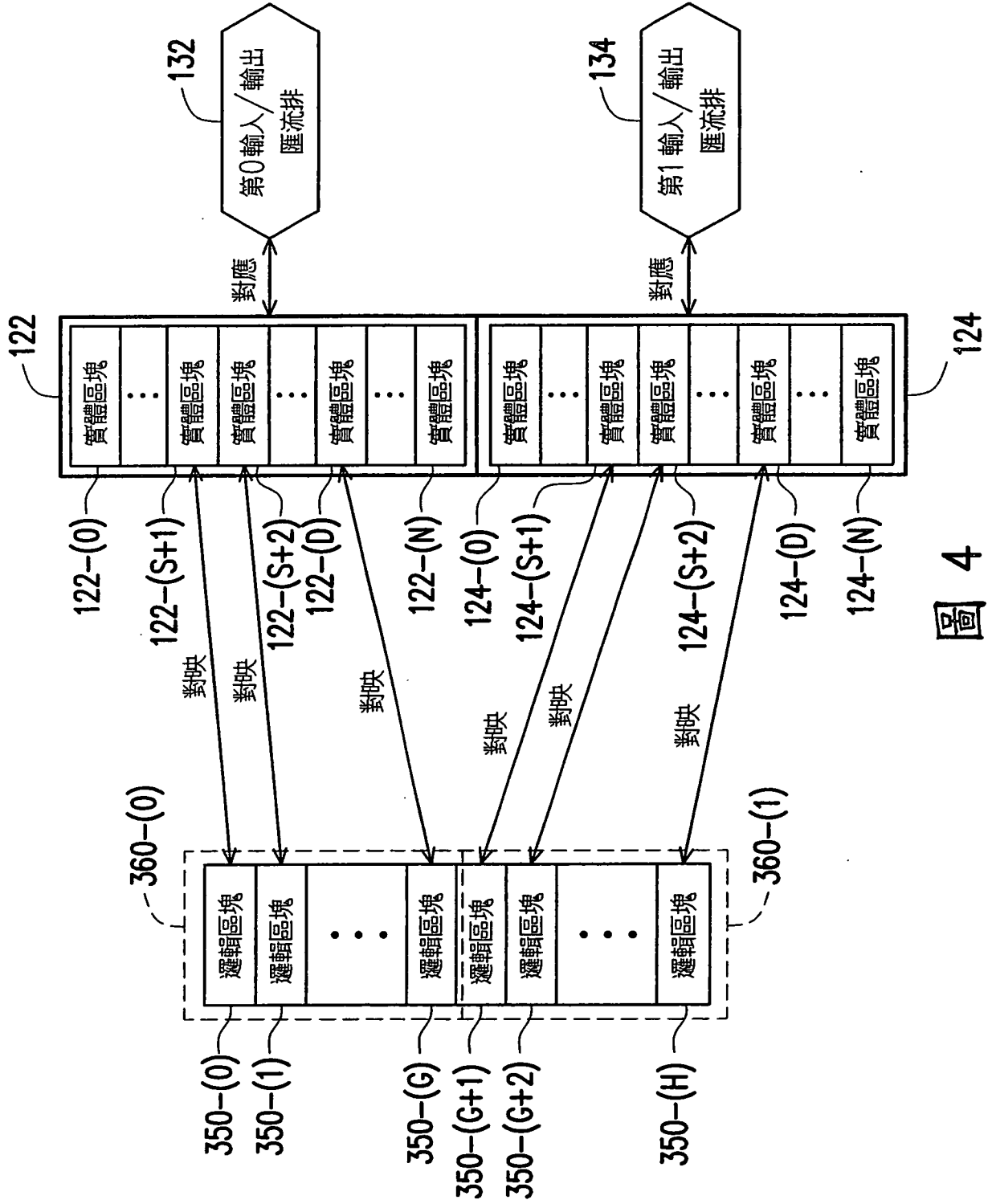


圖 4

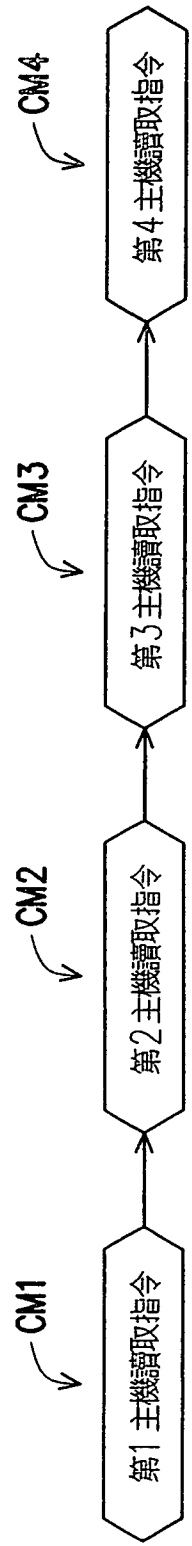


圖 5A

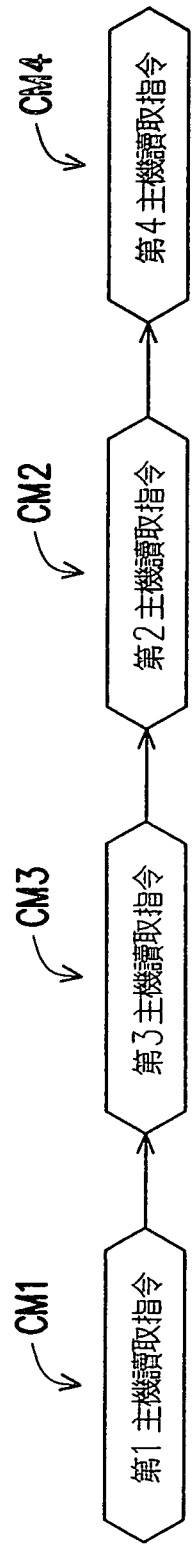


圖 5B

103. 1. 16
年 上 月 日 頁

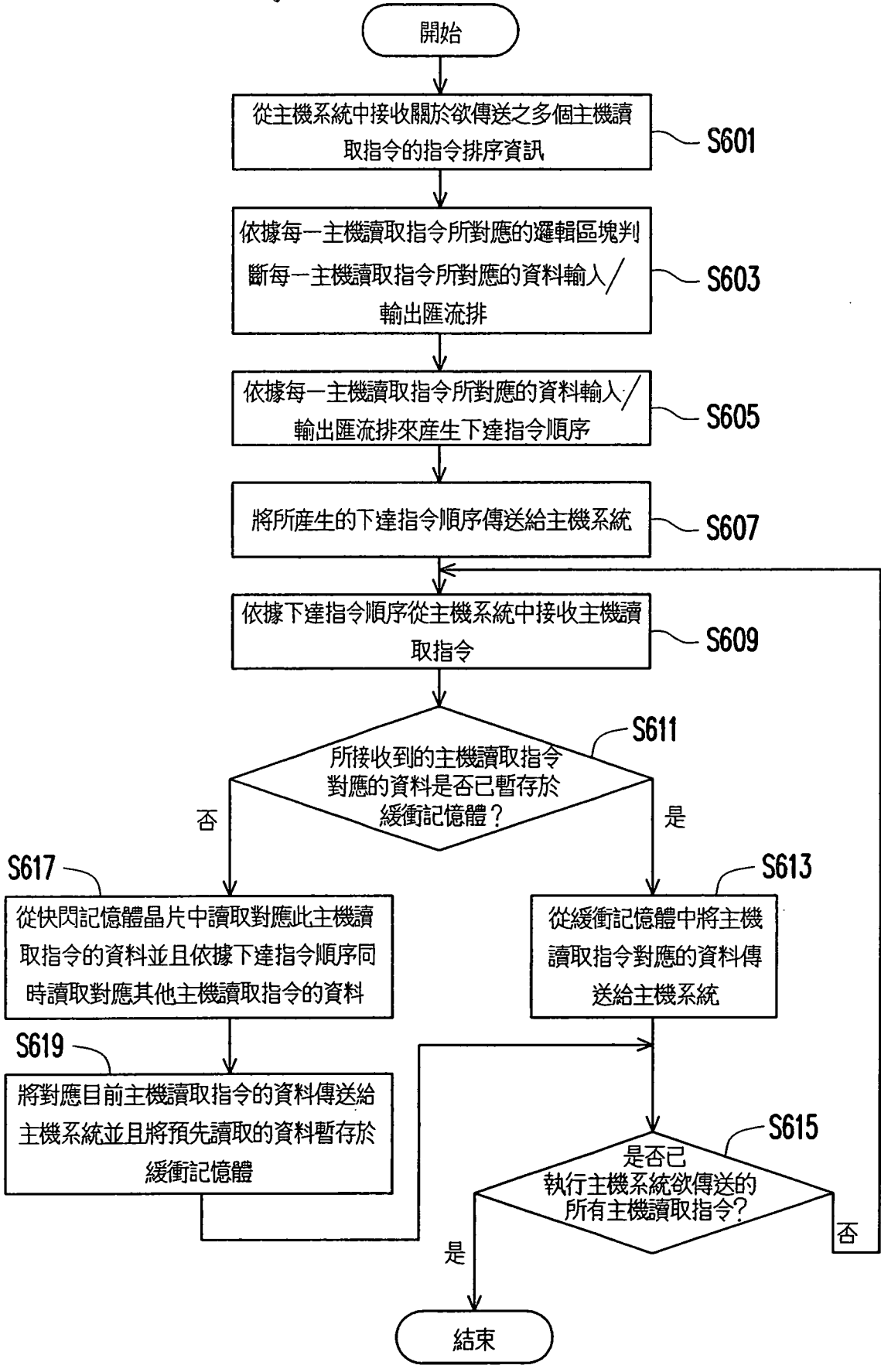


圖 6

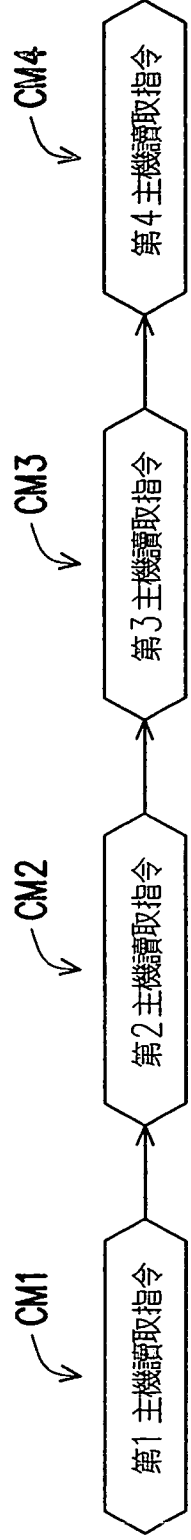


圖 7A

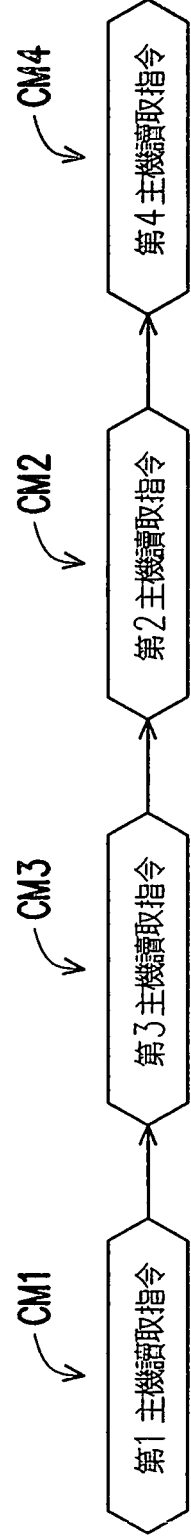


圖 7B

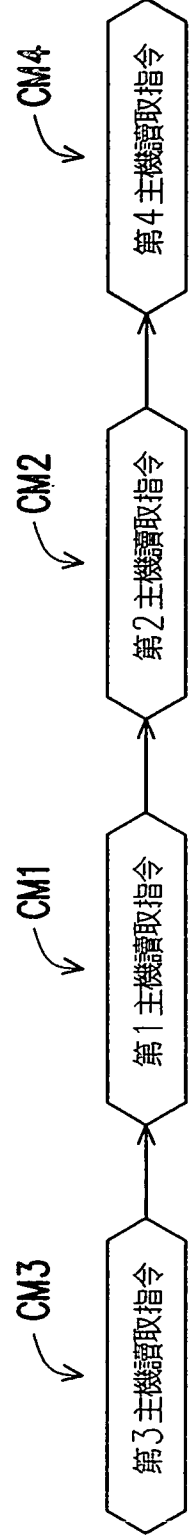


圖 7C

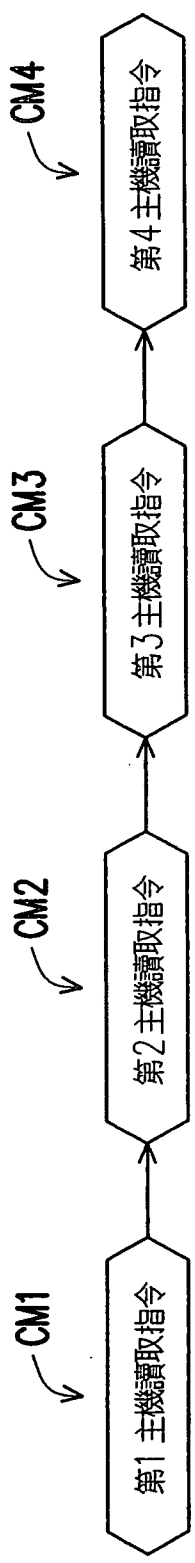


圖 8A

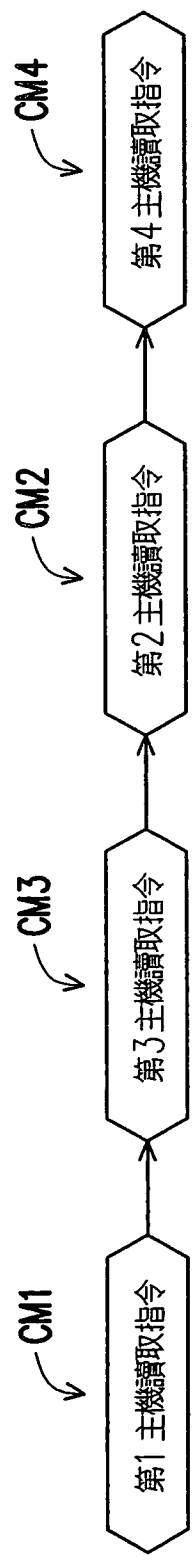


圖 8B

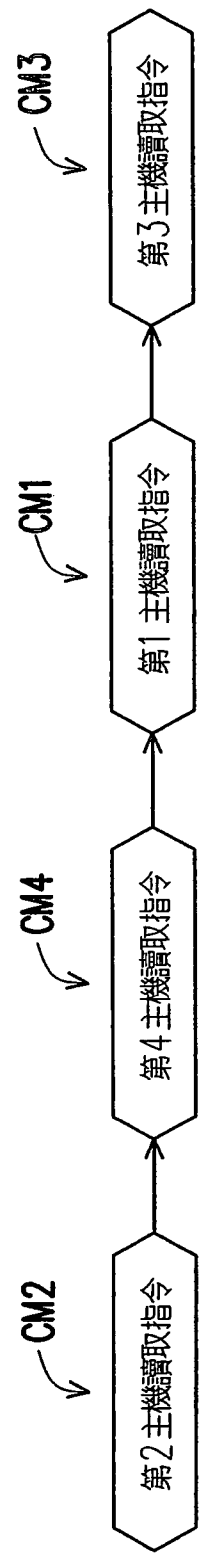


圖 8C

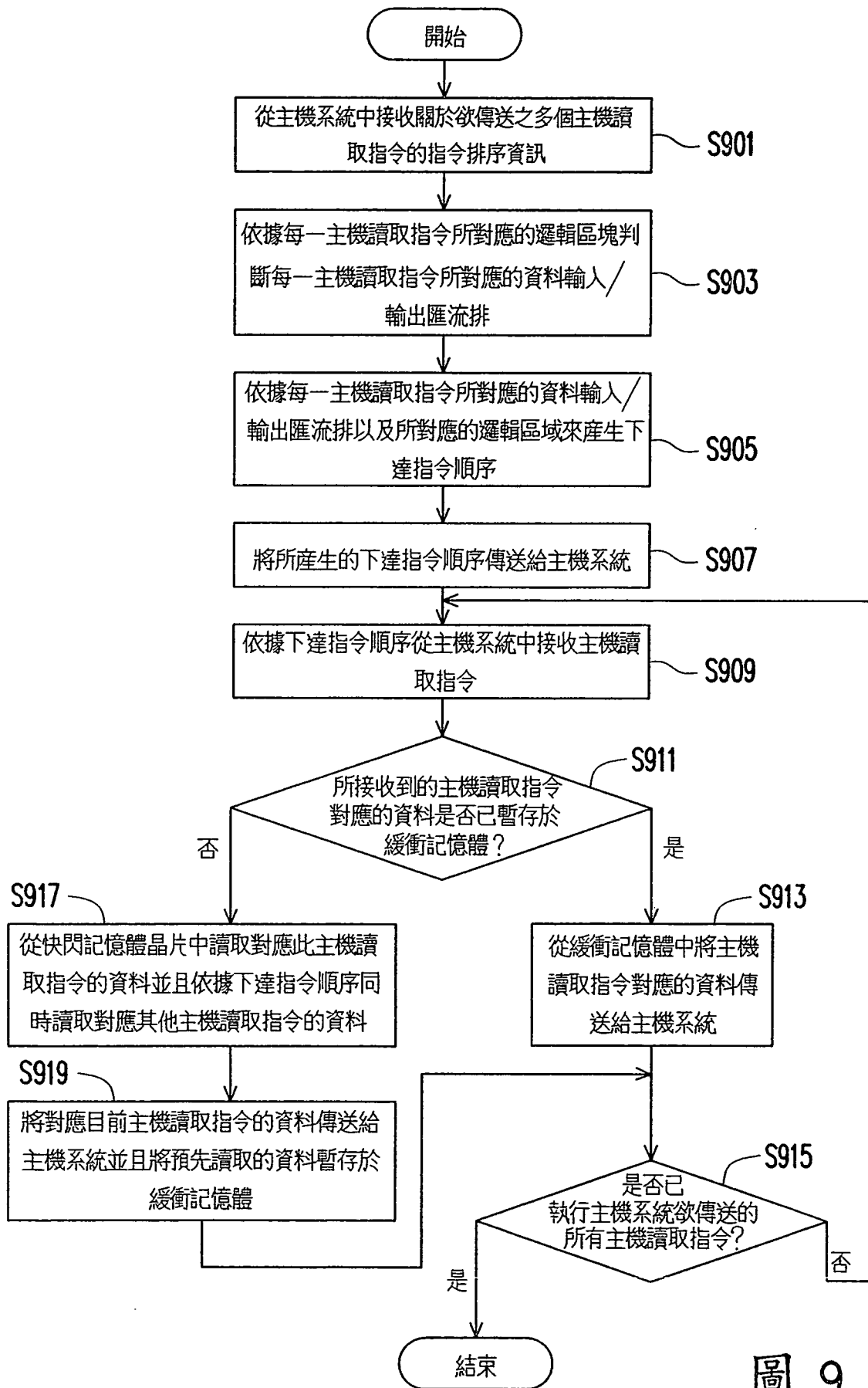


圖 9