

[19] 中华人民共和国国家知识产权局

[51] Int. Cl<sup>7</sup>

H01L 29/78

H01L 27/12

# [12] 发明专利申请公开说明书

[21] 申请号 01117888.4

[43] 公开日 2001 年 10 月 10 日

[11] 公开号 CN 1316781A

[22] 申请日 2001.4.4 [21] 申请号 01117888.4

[30] 优先权

[32]2000.4.4 [33]JP [31]102359/00

[71] 申请人 夏普公司

地址 日本大阪市

[72] 发明人 A·O·阿丹

[74] 专利代理机构 中国专利代理(香港)有限公司

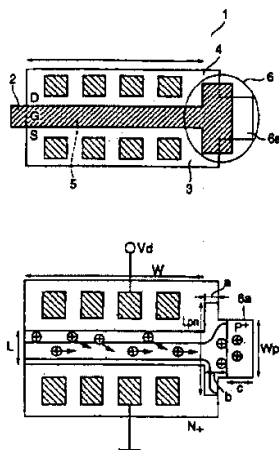
代理人 陈 霁 梁 永

权利要求书 1 页 说明书 10 页 附图页数 9 页

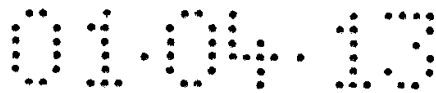
[54] 发明名称 硅绝缘体结构半导体器件

[57] 摘要

一种 SOI 结构的半导体器件,包括:浮置状态下的表面半导体层,该层叠置于掩埋绝缘膜上,以便构成 SOI 衬底;第二导电类型的源/漏区,它们形成于所说表面半导体层中;位于源/漏之间的第一导电类型的沟道区;通过栅绝缘膜形成于沟道区上的栅极;其中表面半导体层具有在栅宽度方向上、在和/或靠近沟道区的至少一端形成于其中的第一导电类型的位阱。

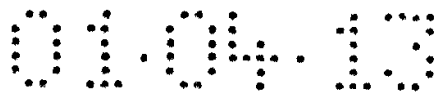


ISSN 1008-4274



## 权 利 要 求 书

- 1、一种 SOI 结构的半导体器件，包括：  
浮置状态下的表面半导体层，该层叠置于掩埋绝缘膜上，以便构成 SOI 衬  
5 底；  
第二导电类型的源/漏区，它们形成于所说表面半导体层中；  
位于源/漏之间的第一导电类型的沟道区；和  
通过栅绝缘膜形成于沟道区上的栅极；  
其中表面半导体层具有在栅宽度方向上、在和/或靠近沟道区的至少一端形  
10 成于其中的第一导电类型的位阱。
  - 2、根据权利要求 1 所述的半导体器件，其中位阱的杂质浓度高于沟道区。
  - 3、根据权利要求 2 所述的半导体器件，其中位阱按与栅极自对准的方式形  
成。
  - 4、根据权利要求 1 所述的半导体器件，其中位阱形成在源/漏区端部附近和  
15 源/漏区之间。
    - 5、根据权利要求 1 所述的半导体器件，其中位阱在栅长方向具有不引起造  
成电位下降的短沟道效应的长度  $L_{pn}$ 。
    - 6、根据权利要求 5 所述的半导体器件，其中位阱在栅长方向长于栅极的栅  
长度。
    - 20 7、根据权利要求 6 所述的半导体器件，其中位阱是栅极的栅长  $L$  的 1.5 倍  
以上。
      - 8、根据权利要求 1 所述的半导体器件，其中位阱设定为电浮置态。
      - 9、根据权利要求 1 所述的半导体器件，其中位阱还含有惰性元素和/或锗作  
杂质。
      - 25 10、根据权利要求 1 所述的半导体器件，其中所含惰性元素和/或锗的浓度  
分别为  $10^{16}-10^{18}\text{cm}^{-3}$ 。
        - 11、根据权利要求 1 所述的半导体器件，其中源/漏区深达到掩埋氧化膜。
        - 12、根据权利要求 1 所述的半导体器件，其中位阱深达掩埋氧化膜。
        - 13、根据权利要求 1 所述的半导体器件，其中位阱含浓度为  $3\times 10^{16}-10^{18}\text{cm}^{-3}$   
30 的第一杂质。



## 说明书

### 硅绝缘体结构半导体器件

5 本发明涉及具有硅绝缘体(SOI)结构半导体器件,特别涉及减轻“弯折效应”的 SOI 结构半导体器件。

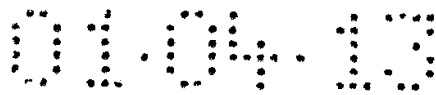
制造于例如 SOS、SIMOX 或 BSOI 衬底等一般已知 SOI 结构上的 MOSFET,能够低压高速工作。除此之外,与制造于体硅衬底上的器件相比,SOI MOSFET 的优点是实现较小的布局面积。

10 同时,尽管体硅 MOSFET 具有四个端子(栅,漏,源和衬底),而 SOI MOSFET 却仅有三个端子(栅,漏和源)。因此,SOI MOSFET 会使器件的电特性尤其是短沟道效应、漏/源间的击穿电压等退化。

更具体说,在体硅 MOSFET 中,如图 7(a)和 7(b)所示,寄生双极(NPN)晶体管具有固定于衬底上的基极, MOSFET 的衬底-源结被反偏。因此,甚至  
15 在 MOSFET 的漏区附近产生碰撞电离电流  $I_i$  时,寄生双极晶体管也几乎不影响 MOSFET 的工作。

另一方面,在 SOI MOSFET 中,如图 8(a)和 8(b)所示,寄生双极晶体管具有由浮置状态的表面半导体层构成的基极,因此,在 MOSFET 的一般工作过程中,在 MOSFET 的漏区附近产生的碰撞电离电流  $I_i$  用作寄生双极晶体管的  
20 基极电流,产生正反馈效应,结果引起短沟道效应劣化和漏/源间的击穿电压下降。除此之外,在 MOSFET 的沟道区形成为较厚的表面半导体层时,其工作变为局部耗尽模式,由于碰撞电离,其输出特性中出现所谓的“弯折效应”,所以 SOI MOSFET 特性明显受限。

图 9(a)和 9(b)是展示具有浮置本体的普通 SOI MOSFET 的特性的曲线  
25 图,其中图 9(a)中展示了亚阈电流  $I_d$  和栅电压  $V_g$  间的关系,而图 9(b)展示了输出电流  $I_d$  和漏-源电压  $V_d$  间的关系。顺便提一下,该 SOI 晶体管的例子栅长  $L=0.35$  微米,沟道宽度  $W=10$  微米,栅氧化膜厚度=7nm,表面硅本体层厚度=50nm,掩埋绝缘膜厚度=120nm。除此之外,应用于低电压驱动的 LSI 时,备用电流限制了便携系统的电池寿命,这由  $V_g=0V$  时的晶体管电  
30 流决定。



在漏电压  $V_d > V_{dk}$  时，观察可能是由于碰撞电离造成的弯折效应。这种情况下，弯折效应起始电压  $V_{dk}$  为约 0.9V。

源于碰撞电离的过量主要载流子（对于 NMOSFET 来说是空穴）升高了浮置本体的电位，在  $I-V$  特性中产生弯折效应。

5 本体电位的升高会使阈值电压下降，在图 9 (a) 所示的  $I_d-V_g$  特性曲线中，将观察到亚阈值摆动 ( $S$  因子) 减小。更具体说， $S=85\text{mV/dec}$  适用于  $V_d=0.1\text{V}$ ， $S=35\text{mV/dec}$  适用于  $V_d=1.5\text{V}$  ( $V_d > V_{dk}$ )。这是由 SOI 衬底中过量主载流子的累积造成的。

10 一般说，弯折效应取决于碰撞电离、本体中载流子的寿命等，因此，难以预先确定和控制。另外，弯折效应会使器件特性发生大的波动，尤其是在低电压工作的器件中不希望的备用泄漏电流 (standby leakage current) 发生波动。

为了克服这些缺点，下面作为例子提出了不同的方法。然而，目前的状况是，这些方法中任何一种都未能成功地有效防止弯折效应，同时不使 SOI MOSFET 的各特性退化。

15 (1) SOI MOSFET 构成为沟道区由全耗尽的低浓度杂质薄表面半导体层形成。于是，可以得到全耗尽模式的 SOI MOSFET，理论上可以防止弯折效应。

为了实际防止全耗尽模式 SOI MOSFET 的弯折效应，在以使用厚 50nm 的表面半导体层作为例子的情况下，需要将杂质浓度设定得远低于  $1 \times 10^{17}\text{cm}^{-3}$ ，低阈值电压为约 0.1V。然而，这种情况下，MOSFET 的截止漏电流增大。

20 (2) 例如如图 10 所示，SOI MOSFET 形成于颈缩形状的有源区 11 上，本体接触 13 形成在有源区 11 中 (参见日本专利申请公开公报 8431/1996)。于是由较厚表面半导体层形成的沟道区可以在固定电位保持不变，所以在使用体硅的器件中，可以抑制浮置本体效应和寄生双极效应。

25 然而，在固定沟道区的电位的情况下，本体接触 13 需要占据面积，结果是增大了元件面积。除此之外，在表面半导体层已经全耗尽时，使得浮置本体效应和寄生双极效应的抑制无效。另外，在沟道区电位固定时，背栅效应和漏结电容增大，易导致器件质量下降。

(3) 例如，如图 11 所示，两个 SOI MOSFETs 串联，以便在电浮置状态下共用漏 14 (参见日本专利申请公开公报 218425/1993)。

30 然而，对于具有亚半微米级的沟道长度的器件来说，难以实现 SOI

MOSFETs。例如，在栅长为 0.35 微米的器件中，每个 P 型区 15,16 的沟道长度  $d$  变为约 0.1 微米。这种长度基本上等于在 N+ 杂质扩散层中的横向扩散长度。因此，特别难控制扩散层的杂质扩散。另外，在沟道长度  $d$  约为 0.1 微米时，从漏区 14 延伸的耗尽层区穿过整个沟道区 16。因此非常难控制器件特性。

5 (4) 如图 12 所示，利用由 N 型单晶硅构成的表面硅层 20 构成 SOI MOSFET，其表面沟道 21 设定为 P 型（参见日本专利申请公开公报 13376/1987）。由于这种结构，碰撞电离产生的穴在 N 型表面硅层 20 中复合，所以可以抑制弯折效应。除此之外，可以通过在 MOSFET 的截止态下全耗尽表面硅层 20，抑制源-漏泄漏电流。

10 然而，该结构的问题是容易发生短沟道效应和穿通，以及由短沟道效应引起的亚沟道漏电。

(5) 如图 13 所示，SOI MOSFET 制造成在表面硅层 30 中在沟道中间部分具有 N 型区 31 的结构（参见日本专利申请公开公报 30371/1991），因此，可以提高 MOSFET 的耐压。

15 然而，甚至在被 N 型区 31 分开的两个沟道区 32,33 中的每一个都形成为最小沟道区，因此需要大的布局面积，于是造成了晶体管的电流驱动能力的下降。

(6) 另外，如图 14 所示，SOI MOSFET 制造成在源 40 之下具有杂质区 41 的结构（参见日本专利申请公开公报 43475/1986）。这样一来会缩短累积于表面半导体层 42 中的载流子的寿命，于是可以抑制弯折效应。

20 然而，由于这种结构，在例如需要栅长为 0.25 微米的全耗尽器件时，在很薄的表面半导体层（薄于约 50nm）中形成杂质区 41 的工艺裕度非常窄，致使制造工艺复杂化，降低了效率。

25 考虑到上述问题，做出了本发明，本发明的目的是提供一种 SOI 结构的半导体器件，可以抑制在浮置状态的表面半导体层中发生的弯折效应，同时不会使上述各种特性劣化，也不会使器件的微细加工相矛盾。

30 根据本发明，提供的 SOI 结构的半导体器件包括：浮置状态下的表面半导体层，该层叠置于掩埋绝缘膜上，以便构成 SOI 衬底；第二导电类型的源/漏区，它们形成于所说表面半导体层中；位于源/漏之间的第一导电类型的沟道区；通过栅绝缘膜形成于沟道区上的栅极；其中表面半导体层具有在栅宽度方向上、在和/或靠近沟道区的至少一端形成于其中的第一导电类型的位阱。

图 1 (a) 是展示根据本发明的 SOI 结构的半导体器件的实施例的主要部分的示意平面图，而图 1 (b) 是用于解释其工作情况的主要部分的示意模式平面图；

5 图 2 (a) 和 2 (b) 是解释图 1 (a) 和 1 (b) 所示半导体器件的特性的曲线图；

图 3 (a) 至 3 (d) 是解释制造图 1 (a) 和 1 (b) 所示半导体器件的方法的主要部分的示意平面加工图；

图 4 是展示根据本发明的 SOI 结构半导体器件的另一实施例的主要部分的示意平面图；

10 图 5 是展示根据本发明的 SOI 结构半导体器件的再一实施例的主要部分的示意平面图；

图 6 (a) 是展示根据本发明的 SOI 结构半导体器件的又一实施例的主要部分的示意平面图，图 6 (b) 是沿图 6 (a) 所示的线 X-X' 取的剖面图；

图 7 (a) 是现有技术的体半导体器件的剖面图，图 7 (b) 是其等效电路图；

15 图 8 (a) 是现有技术的普通 SOI 结构半导体器件的剖面图，图 8 (b) 是其等效电路图；

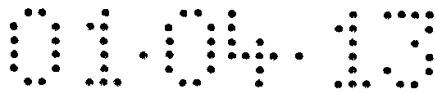
图 9 (a) 和 9 (b) 是解释图 8 (a) 和 8 (b) 所示 SOI 结构半导体器件的特性的曲线图；

20 图 10 是展示另一现有技术的 SOI 结构半导体器件的主要部分的示意平面图；

图 11-14 是展示再一现有技术的 SOI 结构半导体器件的主要部分的示意剖面图。

25 根据本发明的 SOI 结构半导体器件主要构成为具有：形成在处于浮置态的 SOI 衬底的表面半导体层中的源/漏区；形成于设置在源/漏区之间的沟道区上的栅极；在其栅宽方向上，在和/或靠近沟道区的至少一端形成的位阱。

30 本发明的 SOI 衬底可以是通常按以下方式构成的衬底，即，在支撑衬底上连续形成掩埋绝缘膜和表面半导体层，该衬底有利用于实现低功耗和高速工作。作为 SOI 衬底的例子有 SOS 衬底、键合的 SOI (BSOI) 衬底、SIMOX (离子注入氧分离) 衬底等等。支撑衬底可以是任何衬底，例如，如硅和锗等元素半导体衬底，如 GaAs 和 InGaAs 等化合物半导体衬底，如蓝宝石、石英、玻璃



和塑料等绝缘衬底。顺便提一下，这种情况下的支撑衬底可以是其上形成有例如晶体管或电容器、电路等的支撑衬底。

5 所说掩埋绝缘膜例如是如  $\text{SiO}_2$  膜或  $\text{SiN}$  膜等单层膜或它们的多层膜。膜的厚度可以根据要制造的半导体器件的特性、使所制造的半导体器件工作时所加电压的大小等适当地调节，例如可以是约  $50\text{nm}$ — $500\text{nm}$ 。

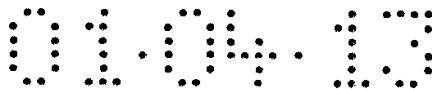
10 表面半导体层可以是用作形成晶体管的有源层的半导体薄膜，可由例如硅或锗等元素半导体、如  $\text{GaAs}$  或  $\text{InGaAs}$  等化合物半导体等构成的薄膜形成。其中，硅薄膜较好。表面半导体层的厚度可以在考虑了要制造的半导体器件的特性等后，根据例如晶体管的源/漏区的结深、表面半导体层的表面中的沟道区的深度及杂质浓度等参数适当地调节。该厚度例如可以是约  $150\text{nm}$ — $200\text{nm}$ 。顺便提一下，表面半导体层可以形成为至少具有一个高浓度杂质扩散层作为阱。在形成两个以上阱的情况下，或在阱内或外形成多个半导体器件时，各个阱或各个半导体器件较好是通过 LOCOS 膜或沟槽器件隔离膜隔离。

15 表面半导体层中包括第二导电类型的源/漏区、设置于源/漏区之间的第一导电类型的沟道区、及第一导电类型的位阱。

20 第二导电类型的源/漏区可以含与表面半导体层相反导电类型的杂质，其浓度例如可以为约  $1 \times 10^{20}$ — $1 \times 10^{21}$  原子/ $\text{cm}^3$ 。源/漏区中，在沟道侧上源/漏区的端部，可以具有低浓度区，例如 LDD 结构或 DDD 结构。除此之外，由于耗尽层的垂直宽度会减小源/漏区和衬底间的电容，所以源/漏区的深度较好是达到掩埋氧化膜。

第一导电类型的沟道区设置于源/漏区之间，可以将之适当地调节为具有把半导体器件的阈值电压控制为适当值的杂质浓度，该浓度例如可以为约  $1 \times 10^{15}$ — $1 \times 10^{18}$  原子/ $\text{cm}^3$ 。

25 第一导电类型的位阱可以形成在其栅宽方向（图 1 (a) 中箭头所示方向），在和/或靠近沟道区的一端，或位阱可以形成在和/或靠近沟道区的两端。这里单词“端”表面邻近沟道区且位于栅极正下方的区域。另外，单词“靠近”表示包围该端部但不包括该端部本身的区域。因此，位阱可以是设置在栅极之下的整个区域或类似设置的其部分区域。另外，整个位阱区不必与栅极重叠。尽管没有特殊限制，但位阱所在处的深度较好是基本与表面半导体层的厚度相同，  
30 即，达到掩埋氧化膜的深度，以便收集过量的载流子。



位阱的平面形状也取决于栅极的形状，可以是矩形、大致的矩形等形状，或可以是在器件隔离区侧上具有突出部分的形状等。在任何一种情况下，合适是位阱在，栅极的栅长方向，至少具有不引起使电位下降的短沟道效应的长度  $L_{pn}$ （参见图 1（b）），该长度较好是比栅极的栅长  $L$  长。例如，位阱较好是

5 具有最小栅长的 SOI MOSFET 的栅极长度  $L$  的约 1.5 倍以上。具体说，在栅极的长度  $L$  可以为约 0.1-0.3 微米时，位阱的长度  $L_{pn}$  可以设为约 0.2-0.5 微米。尽管没有特别限制，但位阱的宽度  $a$ （参见图 1（b）和图 5）较好是能够在制造工艺中补偿栅极的对不准的宽度。例如，宽度  $a$  可以设定为是对准裕度  $DM$  的至少两倍。具体说，在栅极的长度  $L$  和位阱的长度  $L_{pn}$  如上所述设定时，宽度  $a$

10 可以设定为约 0.2-0.3 微米。另外，当位阱在器件隔离区侧具有突出部分时，突出部分的宽度  $W_{pn}$ （参见图 1（b））例如可以设定为  $L < W_{pn} < L_{pn} + 2DM$  左右。具体说，在栅极的栅长  $L$  和位阱的长度  $L_{pn}$  及宽度  $a$  如上述设定时，栅的栅宽  $W$  可以设置为  $W < 15$  微米左右。顺便提一下，当位阱存在于沟道区的两端时，每个位阱的宽度  $W_{pn}$  可以是上述值的一半左右。除此之外，位阱的宽度  $b$ （参

15 见图 1（b））较好是如上所述能够补偿对不准的宽度，例如可以设定为  $b > 4DM$ 。另外，位阱的宽度  $c$ （参见图 1（b））例如可以设定为约 0.3-0.6 微米。

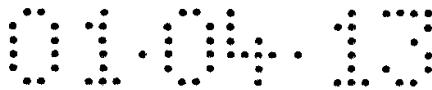
位阱的第一导电类型的杂质浓度可以根据要制造的半导体器件的阈值电压、所加电压等适当地调节，至少可以等于沟道区的杂质浓度。尤其是，较好是高于沟道区的杂质浓度。例如，位阱的杂质浓度可以设定为沟道区杂质浓度

20 的至少两倍，即可以为约 2—10 倍。具体说，在沟道区的杂质浓度在上述范围内时，位阱的杂质浓度可以设定为约  $3 \times 10^{16} - 3 \times 10^{18}/\text{cm}^3$ 。顺便提一下，位阱在其整个区域上可以是一致的或可以局部设定为较高浓度，或可以具有要求的浓度梯度。在位阱局部设定为具有较高浓度或具有浓度梯度时，较高浓度区较好是设置在位阱中远离沟道区的位置。

25 除第一导电类型的杂质外，位阱可以含有惰性元素和/或锗。由于这些附加杂质，可以缩短载流子的寿命，或可以改变位阱的带隙能量，以改变例如源结的注入效率。上述惰性元素可以是例如氦、氖或氩等惰性气体。位阱中含有的惰性元素的浓度例如可以为  $10^{16} - 10^{18}/\text{cm}^3$  等，该浓度在整个位阱区上可以是一致的，或局部具有较高浓度。除此之外，位阱中所含锗的浓度例如为  $10^{16} -$

30  $10^{18}/\text{cm}^3$  左右，该浓度在整个位阱区上可以是一致的，或局部具有较高浓度。





顺便提一下，本发明中，位阱较好是处于浮置态。

沟道区上的栅绝缘膜可以以与有像普通栅绝缘膜一样的材料和厚度形成。

栅极可由多晶硅，例如 W、Ta、Ti 和 Mo 等难熔金属的硅化物、硅化物（例如  $\text{MoSi}_2$  和  $\text{WSi}_2$ ）与多晶硅构成的多硅化物、其它金属等中的任一种构成，厚度

5 约为 150nm—300nm。顺便提一下，栅极可以具有以绝缘膜为基础的侧壁垫。

结合适当的工艺，所属领域的技术人员可以制造根据本发明的 SOI 结构的半导体器件，从而实现上述结构。

下面结合附图介绍一下根据本发明的 SOI 结构的半导体器件的实施例。

### 实施例 1

10 如图 1 (a) 所示，本实施例中的 SOI MOSFET 制造在一种 SOI 衬底上，该 SOI 衬底是按约 120nm 厚的掩埋氧化膜和约 50nm 厚的表面硅层依次叠置于硅衬底上的方式构成的。LOCOS 膜 1 形成在 SOI 衬底的表面硅层上，以限定有源区。掺有 N 型杂质的栅极 2，通过厚约 7nm 的栅氧化膜形成在有源区上，栅长  $L=0.35$  微米。除此之外，N 型源区 3 和漏区 4 形成在栅极 2 两侧那些表面硅层

15 部分中。顺便提一下，表面硅层处于浮置态。

沟道区 5 形成于栅极 2 的正下方，位阱 6 在其栅宽方向上（图 1 (a) 中箭头所示方向）形成于沟道区 5 正下方，并包围沟道区 5 的一端。除突出到 LOCOS 膜 1 侧，且其 P 型杂质浓度较高（或为  $10^{19}/\text{cm}^3$  的量级）的其部分区域 6a 外，位阱 6 具有与沟道区 5 相同的 P 型杂质浓度（ $10^{17}/\text{cm}^3$  的量级）。参见图 1 (b)，

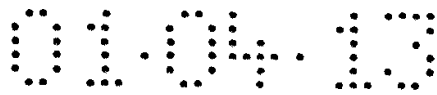
20 位阱 6 的栅长  $L_{pn}$  约为 1.0 微米，其栅宽  $W_{pn}$  约为 0.6 微米，宽度  $a_b$  和  $c$  分别约为 0.2 微米、约 0.35 微米和约 0.5 微米。

在普通的 SOI N 沟道 MOSFET 中，碰撞电离产生的电子被电场吸引到漏，而空穴在表面硅层内累积于最低电位位置处，例如在表面硅层和掩埋氧化膜之间的界面，或在源和表面硅层间的结附近。

25 在本实施例的 N 型 SOI MOSFET 中，碰撞电离在漏结附近产生的空穴向着位阱 6 迁移，如图 1 (b) 所示。特别是，由于较低静电位的缘故，具有较高杂质浓度的区域 6a 促进了使空穴（主要载流子）向位阱 6 迁移的作用。于是，可以抑制表面硅层电位的改变。

除此之外，由于位阱 6 存在于主要用作晶体管的沟道区的区域之外，所以

30 可以有效地抑制由于累积的空穴造成的背栅体效应。因此，位阱 6 不会影响沟



道特性例如不会改变晶体管的阈值电压。另外，位阱 6 可以通过复合在短时间内消灭迁移的空穴。

因此，可以减轻或抑制由于浮置本体造成的弯折效应。

5 这可以从图 2(a)和 2(b)所示的该 SOI MOSFET 的  $I_d-V_g$  特性曲线和  $I_d-V_d$  特性曲线看出。顺便提一下，表面硅层及源区 3 的电位在这些特性的测量期间设定为 0V。

更具体说，如关于浮置位阱结构来说的图 2 (a) 和 2 (b) 所示实验  $I-V$  特性曲线所示，弯折效应在约为 1.7V 的弯折起始电压  $V_{dk}$  处开始发生（在现有 SOI 器件中，电压  $V_{dk}$  低至约 0.9V）。

10 图 2 (a) 所示的亚阈值电流  $I_d-V_g$  特性曲线表明了正常的亚阈值摆动值。即，甚至在漏电压  $V_{ds}=1.5V$  时，S 因子也为约 75mV/dec。

换言之，如图 2 (a) 所示，浮置位阱结构的 SOI MOSFET 可以抑制亚阈值弯折效应。尽管该因素未减小栅电压  $V_g=0V$  时的截止电流，但可以提供具有更稳定再现率的器件。除此之外， $I_d-V_d$  特性曲线中的弯折效应在较高的漏电压  
15  $V_d$  处发生。

可以如下形成上述 SOI MOSFET。

首先，如图 3 (a) 所示，形成 LOCOS 膜 1，从而限定有源区 7。LOCOS 膜 1 形成为使有源区 7 的一端突出。

20 调节了有源区 7 的 P 型杂质浓度后，在有源区 7 上形成栅极 2，如图 3 (b) 所示。栅极 2 形成为横跨有源区 7，并叠置在有源区 7 的突出部分上。

然后，如图 3 (c) 所示，形成除其突出部分外在有源区 7 上具有开口的抗蚀膜 8，使用抗蚀膜 8 和栅极 2 作掩模，以约  $1-5 \times 10^{15}/\text{cm}^2$  的剂量和约 30—50keV 的能量，离子注入例如砷等 N 型杂质，从而形成源区 3 和漏区 4。

25 去除抗蚀膜 8 后，如图 3 (d) 所示，形成具有与抗蚀膜 8 相反图形的抗蚀膜 9，使用抗蚀膜 9 和栅极 2 的一部分作掩模，以约  $0.4-4 \times 10^{15}/\text{cm}^2$  的剂量和约 30—40keV 的能量，离子注入例如硼等 P 型杂质，从而在有源区 7 的突出部分的一部分处形成较高杂质浓度区 6a。除此之外，在该离子注入步骤，可以按约  $2 \times 10^{14}/\text{cm}^2$  的剂量离子注入氩 (Ar)。这样便可以缩短载流子的寿命。

实施例 2

30 如图 4 所示，除位阱 6 形成在沟道区 5 的两侧外，该实施例中的 SOI MOSFET

基本与实施例 1 的 SOI MOSFET 相同。

所以，会使在漏结附近产生的空穴向着两个位阱 6 迁移。

### 实施例 3

如图 5 所示，除位阱 16 在其栅宽方向上，形成于沟道区 5 两端的正下方，且不包括任何突出的有源区或任何较高杂质浓度的区域外，该实施例的 SOI MOSFET 与实施例 1 的 SOI MOSFET 基本相同。

### 实施例 4

如图 6 (a) 和 6 (b) 所示，除以下方面外，该实施例的 SOI MOSFET 与实施例 1 的 SOI MOSFET 基本相同，所述方面包括：杂质浓度 ( $10^{18}/\text{cm}^3$  的量级) 高于沟道区 5 的杂质浓度 ( $10^{17}/\text{cm}^3$  的量级) 的位阱 26，在其栅宽方向，形成于沟道区 5 的正下方并包围沟道区 5 的两端；不包括杂质浓度基本上与沟道区 5 相同的任何区或任何突出的有源区。

该 SOI MOSFET 可以按以下方式制造，在形成 LOCOS 膜后，且形成栅极之前，通过在有源区端部的某些部分具有开口的抗蚀掩模，离子注入 P 型杂质，形成位阱 26。

对本发明更进一步的介绍可以引起如下所述各种有效效果。

根据本发明，在 SOI 结构的半导体器件中，第一导电类型的位阱在其栅宽方向，形成在沟道区至少一端和其附近，因而该半导体器件可以包括全耗尽或部分耗尽沟道，可有效地收集和消除碰撞电离产生的主要载流子，同时不会由于背栅衬底效应而改变阈值电压。所以，可以有效减轻 SOI 结构的该半导体器件的亚阈值区的弯折效应，可以增大漏电压的弯折起始电压。

因此，可以实现更稳定的 I-V 特性，减轻截止态电流的波动。另外，由于减轻了特性波动，可以提高工作效率，进而，由于制造成本降低，可以提供便宜的 SOI 结构半导体器件。另外，这些特点有利于需要提高增益的模拟晶体管的工作。换言之，晶体管可以稳定工作的电压范围更宽，晶体管可以在较低电压下工作。

尤其是在位阱的杂质浓度高于沟道区时，或在其栅长方向，位阱比栅长长时，可以更有效地收集和消灭碰撞电离产生的主要载流子，可以更有效地减轻亚阈值区中的弯折效应。

另外，在位阱进一步包含惰性元素作杂质时，可以在短时间内通过复合消

灭主要载流子，可以进一步缩短载流子寿命。除此之外，在进一步含锗作杂质时，可以改变位阱的带隙能量，所以可以引起空穴更有效向着位阱迁移。

在杂质浓度高于沟道区的位阱按与栅电极自对准方式形成时，可以简化制造工艺，因而降低了制造成本，进而可以提供便宜的半导体器件。

- 5 另外，在位阱设置为电浮置态时，不必特别形成引到表面半导体层或位阱的任何接触，因此，占据面积可以减小，可以实现更高的集成密度。由于可以不形成接触，所以可以简化制造工艺，进而降低制造成本。另外，可以防止 AC 特性等级的下降，可以得到高可靠性半导体器件。

说明书附图

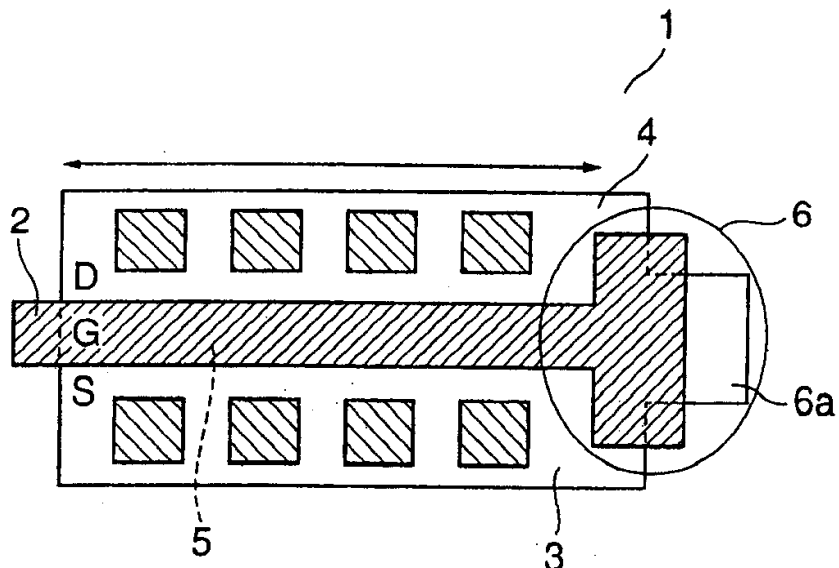


图 1(a)

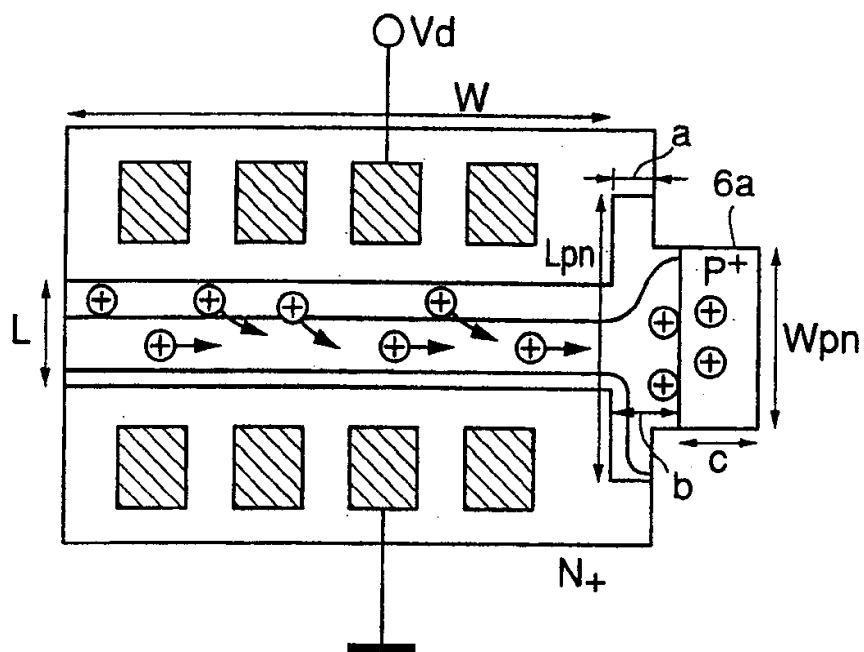


图 1(b)

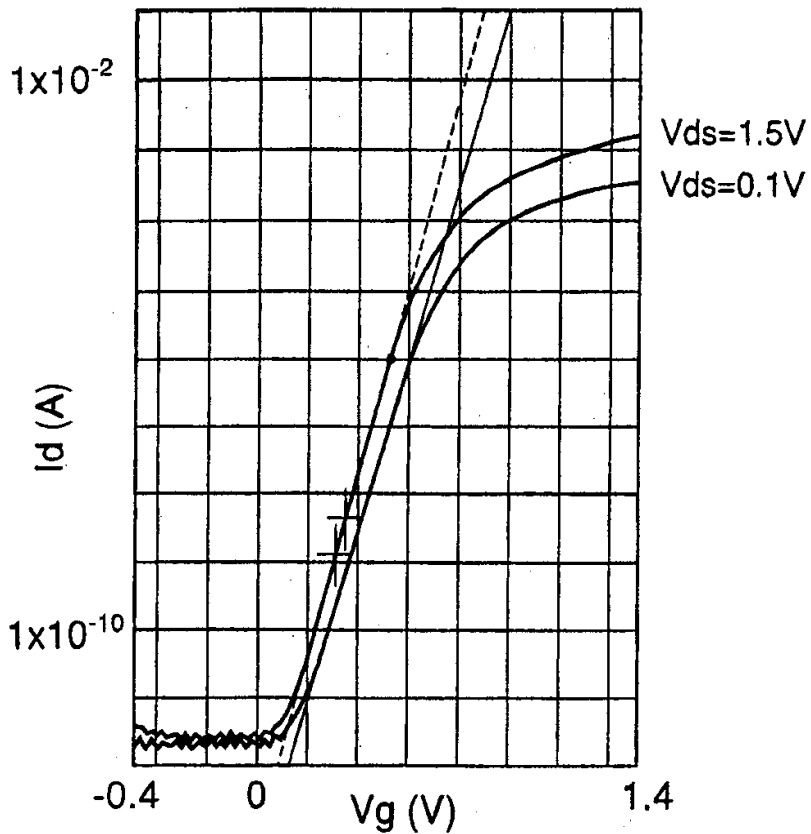


图 2(a)

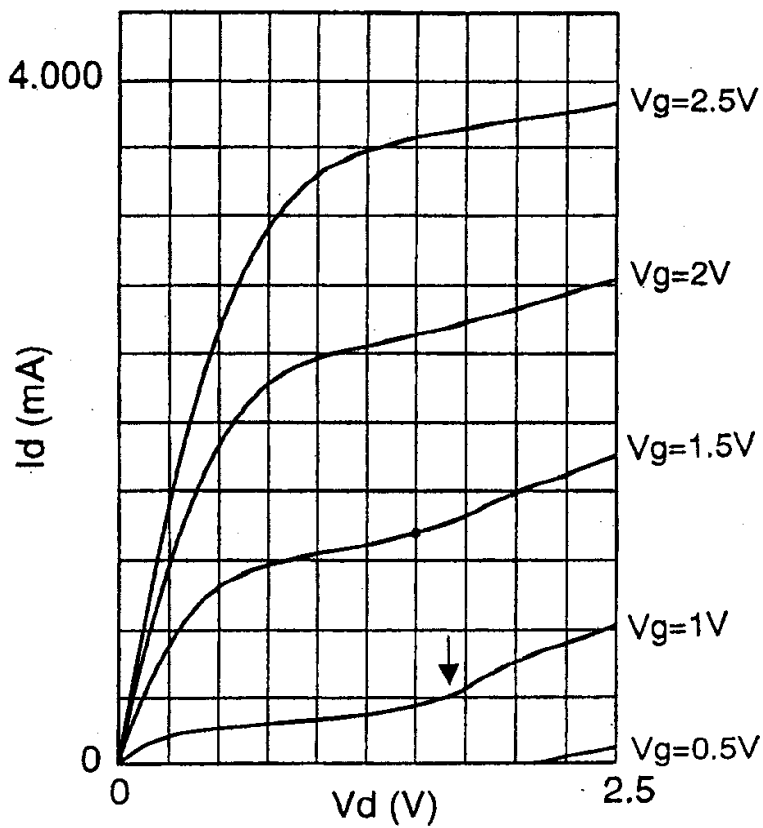


图 2(b)

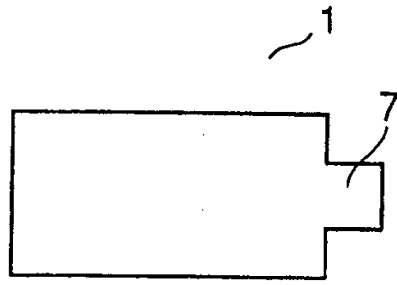


图 3(a)

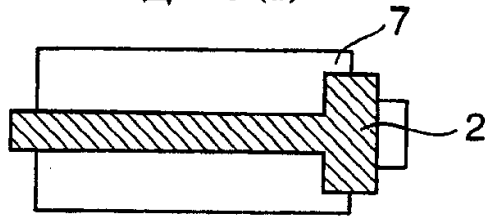


图 3(b)

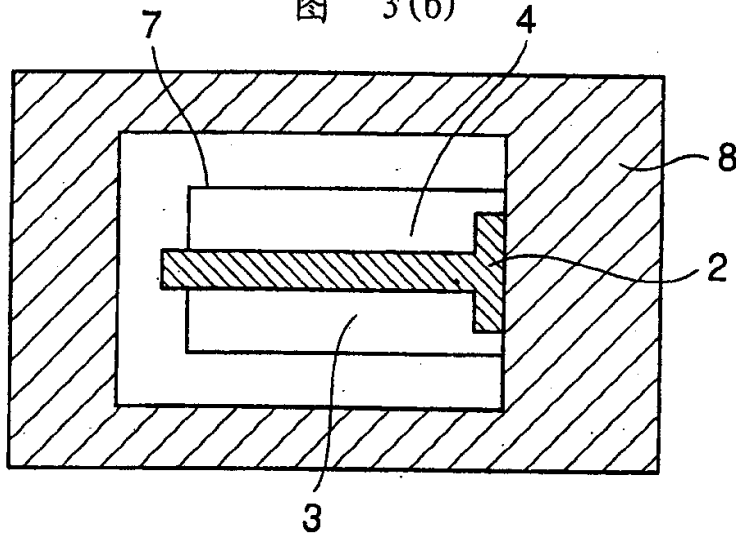


图 3(c)

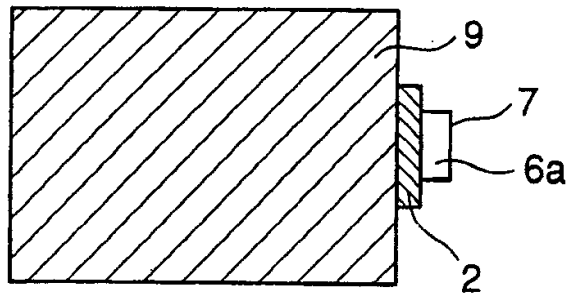


图 3(d)

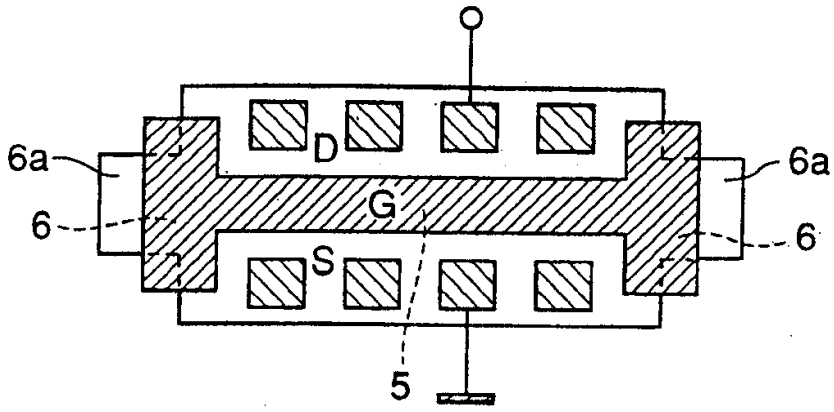


图 4

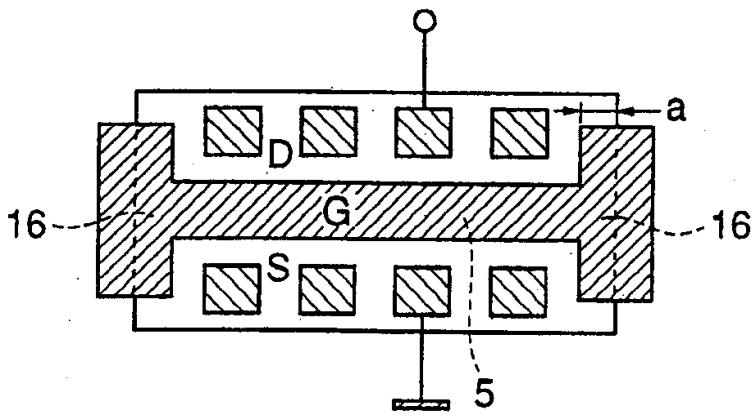


图 5



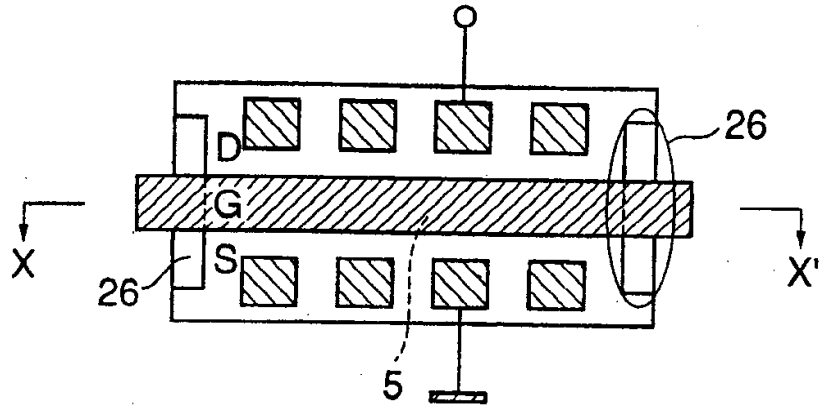


图 6(a)

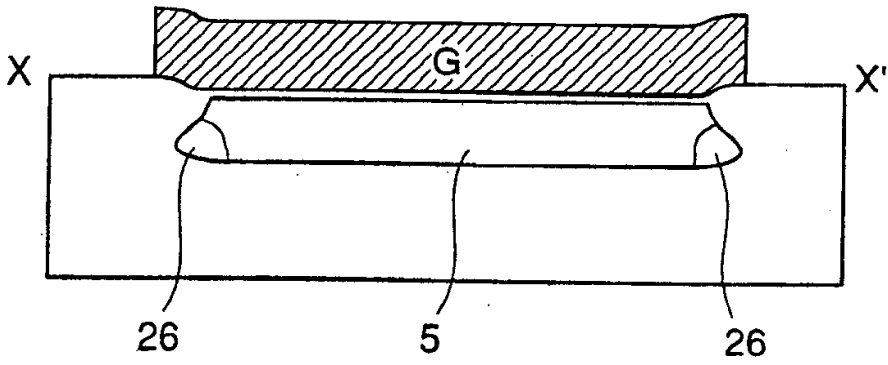


图 6(b)

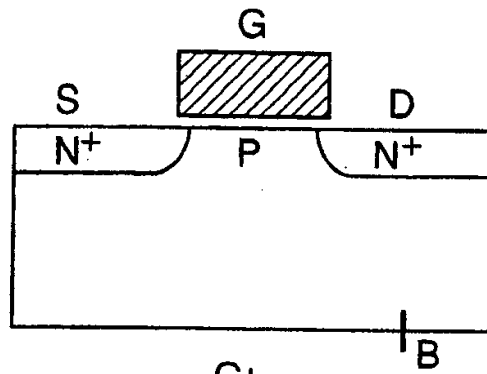


图 7(a)  
(现有技术)

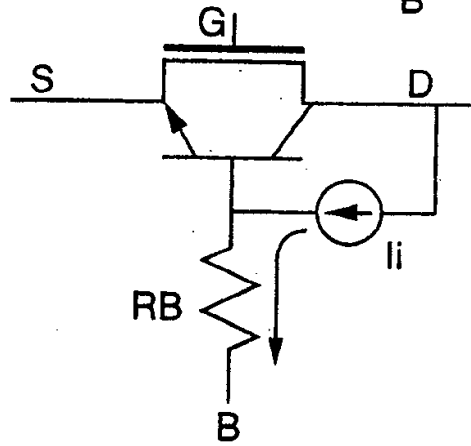


图 7(b)  
(现有技术)

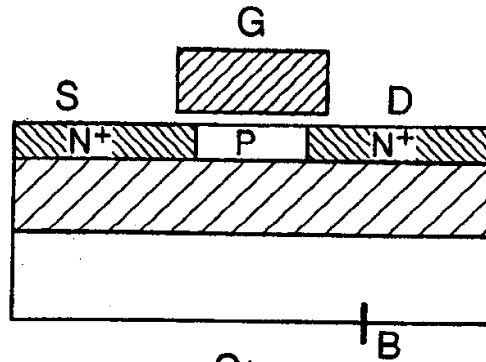


图 8(a)  
(现有技术)

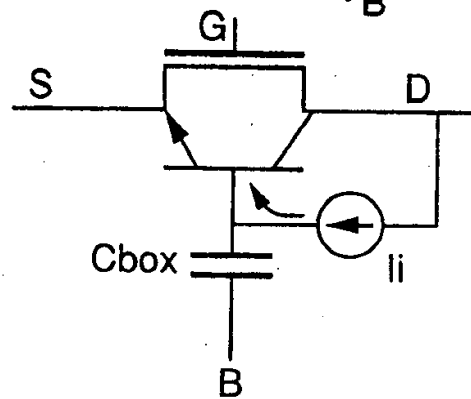


图 8(b)  
(现有技术)

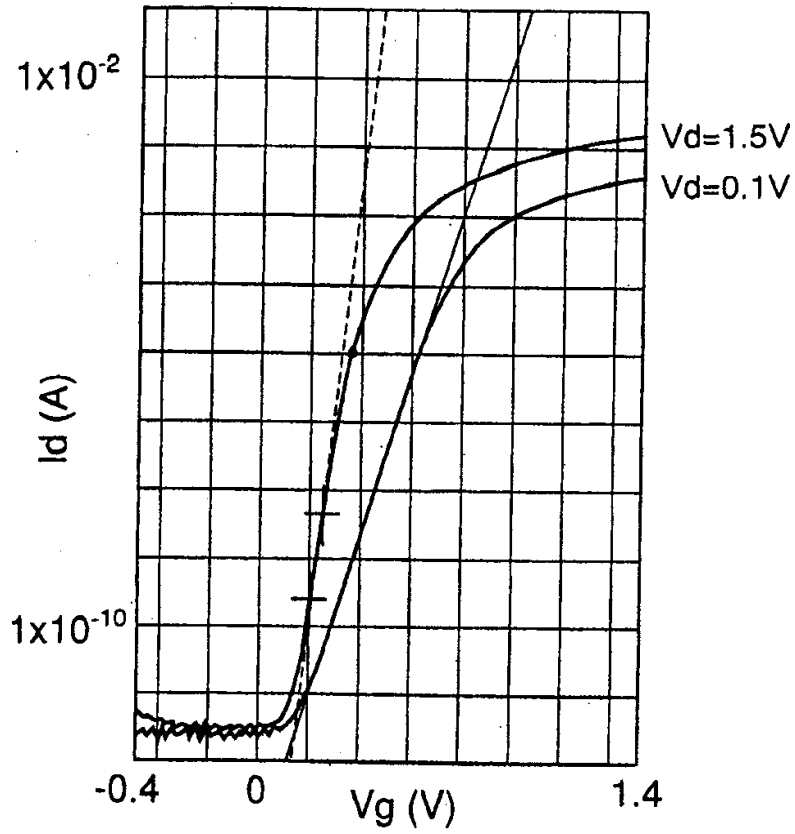


图 9(a)  
(现有技术)

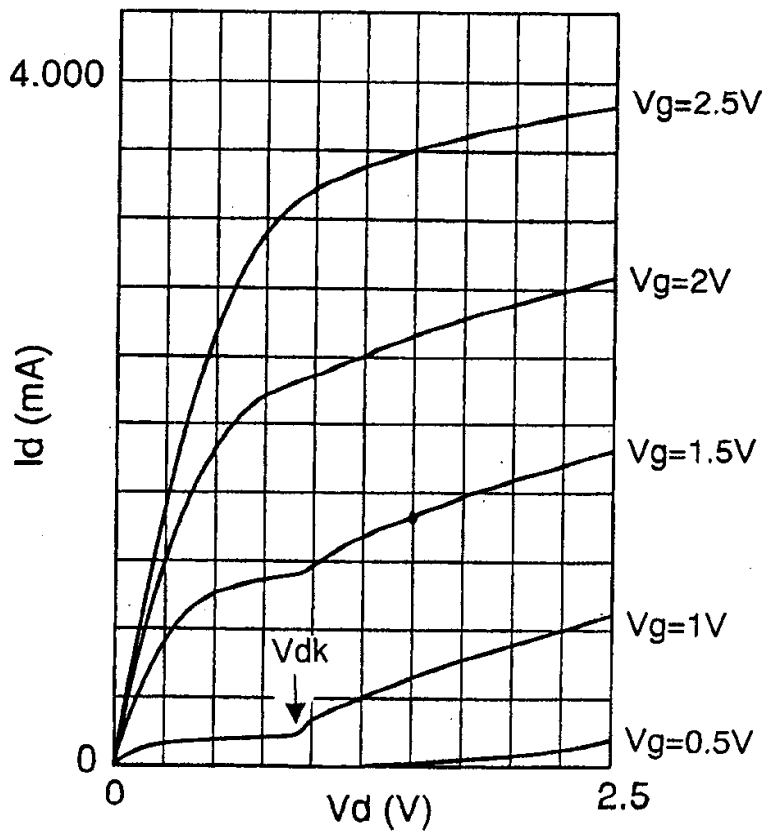


图 9(b)  
(现有技术)

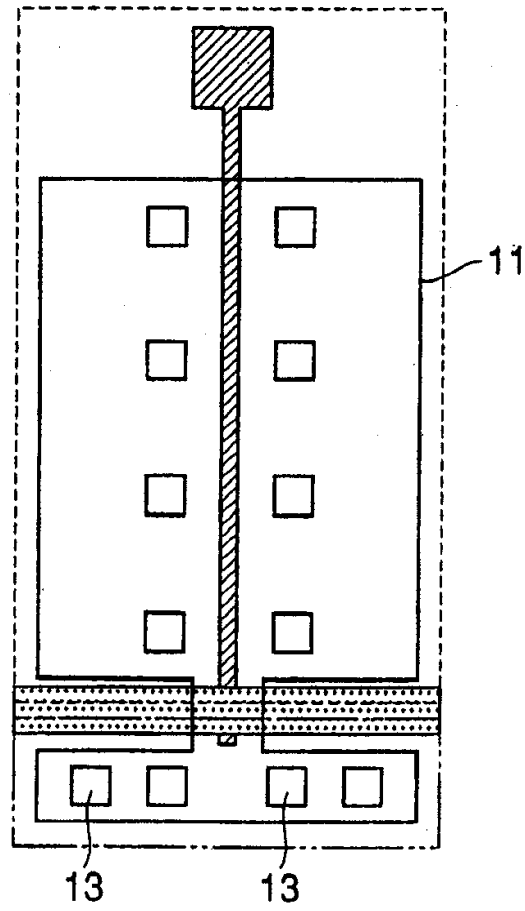


图 10  
(现有技术)

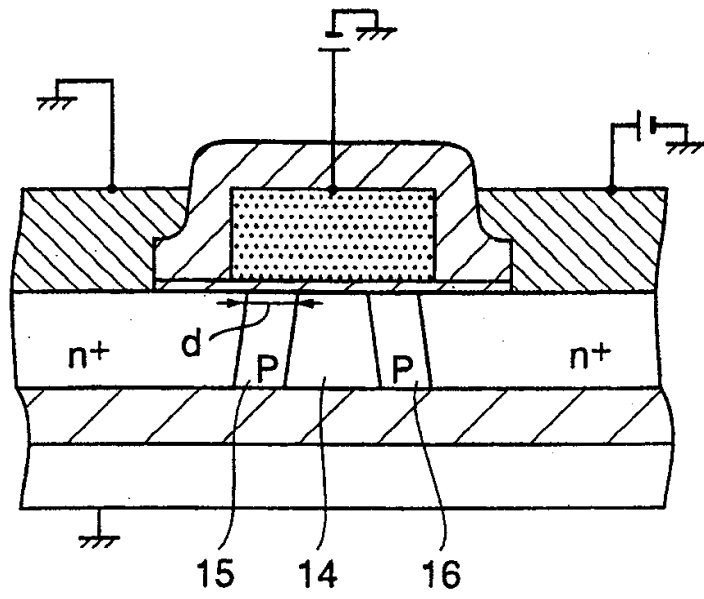


图 11  
(现有技术)

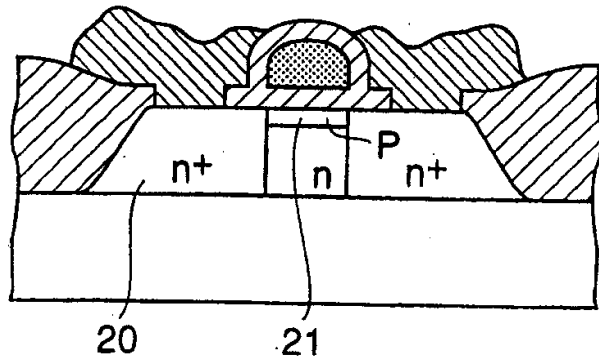


图 12  
(现有技术)

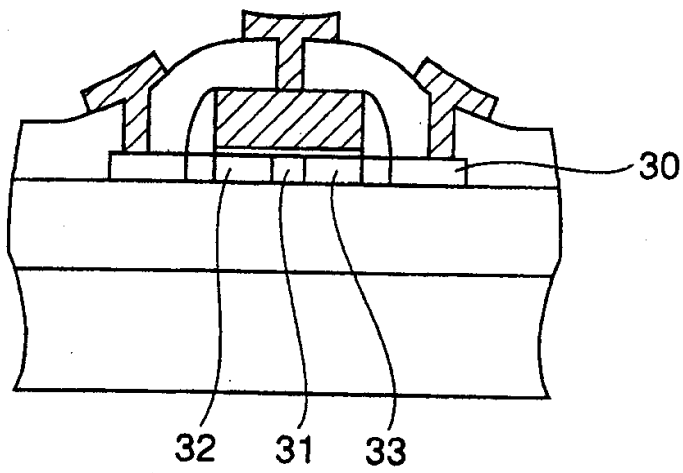


图 13  
(现有技术)

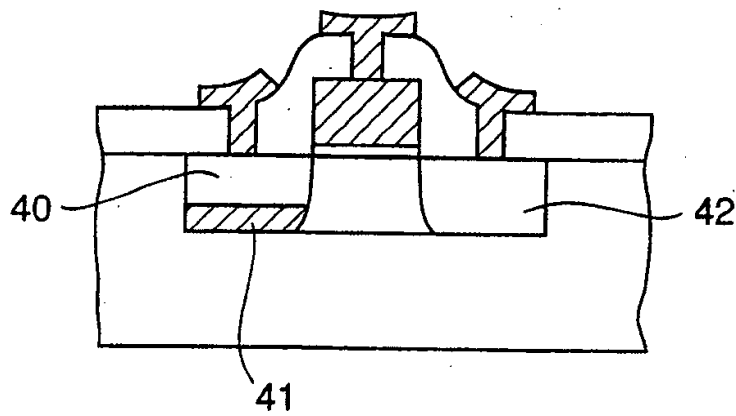


图 14  
(现有技术)