

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-150494
(P2005-150494A)

(43) 公開日 平成17年6月9日(2005.6.9)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 21/027	HO 1 L 21/30	5 F O 3 3
GO 3 F 7/20	GO 3 F 7/20	5 F O 4 6
HO 1 L 21/3205	HO 1 L 21/88	B
	HO 1 L 21/30	5 1 5 F

審査請求 未請求 請求項の数 2 O L (全 16 頁)

(21) 出願番号	特願2003-387467 (P2003-387467)	(71) 出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22) 出願日	平成15年11月18日(2003.11.18)	(74) 代理人	100086298 弁理士 船橋 國則
		(72) 発明者	竹内 幸一 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		Fターム(参考)	5F033 QQ01 QQ02 QQ09 QQ28 QQ37 QQ48 RR04 VV16 VV17 XX03 5F046 AA05 AA26 BA04 BA08 CB17

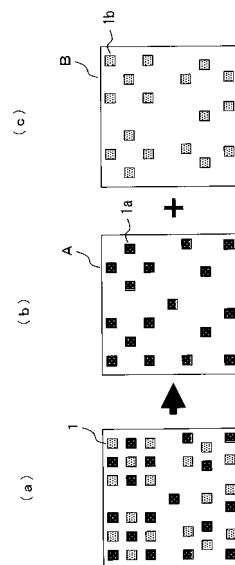
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 リソグラフィ工程において、狭いピッチの開口パターンであっても解像することができ、微細な開口であっても寸法精度良く形成できるようにする。

【解決手段】 半導体基板上の被加工膜に形成すべき開口群を構成する開口1を、当該開口同士の間隔が所定の設定距離よりも小さくならないように複数のグループA、Bに分割して、各グループA、B別の露光用マスクを形成し、各グループA、B別の露光用マスク毎に、前記被加工膜上に成膜されたレジスト膜へのマスクパターンの露光転写工程と、当該マスクパターンが露光転写されたレジスト膜をマスクにしたエッチング工程とを行い、これを前記グループ別の露光用マスクの全てについて繰り返すことで、前記被加工膜に前記開口群を形成する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

半導体基板上の被加工膜に形成すべき開口群を構成する開口を、当該開口同士の間隔が所定の設定距離よりも小さくならないように複数のグループに分割して、各グループ別の露光用マスクを形成し、

前記グループ別の露光用マスク毎に、前記被加工膜上に成膜されたレジスト膜へのマスクパターンの露光転写工程と、当該マスクパターンが露光転写されたレジスト膜をマスクにしたエッチング工程とを行い、これを前記グループ別の露光用マスクの全てについて繰り返すことで、前記被加工膜に前記開口群を形成する

ことを特徴とする半導体装置の製造方法。

10

【請求項 2】

前記露光転写工程では、前記被加工膜に形成すべき開口のターゲット寸法よりも大きな開口寸法のマスクパターンを露光転写し、

前記露光転写工程の後に前記開口の大きさを前記ターゲット寸法まで縮小化させる工程を行う

ことを特徴とする請求項 1 記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、リソグラフィ工程を経て形成される半導体装置の製造方法に関し、特に接続孔やキャパシタ等といった開口パターンの形成工程を含む半導体装置の製造方法に関するものである。

20

【背景技術】

【0002】

近年、半導体デバイス、MEMS (Micro Electro Mechanical Systems)、液晶デバイス、磁気ヘッド等のパターン形成に、半導体装置の製造プロセスにて用いられるリソグラフィ技術が広く応用されている。リソグラフィ技術は、光または荷電粒子線によりレジストと呼ばれる感光性樹脂を照射し、その後現像してレジストにマスクパターンを転写し、これにより所望するパターンを形成するものである。

【0003】

30

ところで、最近では、リソグラフィ技術を用いて形成すべきパターンのピッチ、サイズは高集積化や微細化等が進んでおり、そのパターン形成が困難になりつつある。例えば、半導体回路素子には、ソース・ドレイン領域、ゲート、配線、接続孔、メモリー用キャパシタ等があるが、その中でも等に接続孔やキャパシタ等といった開口(ホール)パターンのパターンニングが困難である。

【0004】

一般に、半導体回路素子の製造に広く用いられている、縮小投影光リソグラフィ技術では、パターンの解像限界が R (Half pitch) = $k_1 \times (\lambda / NA)$ というレイリーの式で表されることが知られている。ここで、 R は、プロセスマージンをもって解像できるパターンのハーフピッチである。 λ は露光波長、 NA は露光装置の投影レンズの像側の開口数で、像側焦点から見た投影レンズ(瞳面)の見込み角の正弦に像側媒質の屈折率 n をかけたもの、つまり $NA = n \times \sin \theta$ で(通常、媒質は空気なので、 $n = 1$)である。また、 k_1 は、露光プロセス、レジストプロセスに応じたプロセスファクターである。現状のリソグラフィ・プロセスでは、ライン&スペースパターンに対しては、 $k_1 = 0.35$ 程度であり、ホールパターン(ピッチが緩い孤立ホールも共存する)に対しては $k_1 = 0.43$ 程度である。

40

【0005】

このレイリーの式によれば、露光波長を短波長化するか、 NA を大きくすれば、解像限界は小さくできることがわかる。ところが、露光波長が短波長化して紫外線領域に入ると、透明で均一な硝材があまりなく、露光装置やフォトマスクの作成が困難になってしまう

50

。さらには、露光装置やレジスト材料等のコストも高くなる。したがって、露光光の短波長化は、必ずしも容易ではない。また、投影レンズのNAを大きくすることは、投影レンズを大きくすることであるが、投影レンズを大き、均一に加工するのは難しく、高NA化は限界にきている。また、NAを大きくすることは、微細なパターンで開回折した、回折角の大きい回折光を取り込むといことを意味するが、回折角が大きくなるとp偏向成分がきれいに干渉しなくなることが考えられる。そのため、実際には、レイリーの式で示したようにNAに反比例して解像限界が小さくなるとは限らない。つまり、現在のリソグラフィ技術では、解像限界があり、より微細なパターンを形成することができないという問題がある。特に、開口パターンについては、 $k_1 = 0.43$ 程度であることから、ライン&スペースパターンに比べて、微細なパターン形成が困難である。

10

【0006】

このような問題点に対しては、リソグラフィ工程（リソグラフィ技術を用いて実施される工程）での解像限界以下の大きさの開口パターンを形成する手法として、同層のパターンを分割して、一つのレジストに多重露光を行うことが提案されている（例えば、特許文献1参照）。これは、同層のパターンを分割することで、解像困難な密集した開口パターンを形成する場合であっても、孤立した開口パターンの解像度向上に適した露光条件を使用できるので、解像度の劣化を防止しつつ密集パターンの形成を可能にするというものである。

【0007】

【特許文献1】特開2002-287324号公報

20

【発明の開示】

【発明が解決しようとする課題】

【0008】

しかしながら、特許文献1に開示された従来のパターン形成方法では、必ずしも微細な開口パターンを精度良く形成できるとは限らない。同層のパターンを分割して、一つのレジストに多重露光を行うと、そのレジストに分割した各パターンの潜像を重ね焼きすることになるからである。つまり、狭いピッチのパターン部分では、光強度分布の関係上、レジスト上にて、あるパターンによる潜像と他のパターンによる潜像とが重なってしまうおそれがある。したがって、多重露光では、必ずしも狭いピッチのパターンを解像できるとは限らないのである。

30

【0009】

そこで、本発明は、リソグラフィ工程において、狭いピッチの開口パターンであっても解像することができ、微細な開口であっても寸法精度良く形成することのできる半導体装置の製造方法を提供することを目的とする。

【課題を解決するための手段】

【0010】

本発明は、上記目的を達成するために案出された半導体装置の製造方法で、半導体基板上の被加工膜に形成すべき開口群を構成する開口を、当該開口同士の間隔が所定の設定距離よりも小さくならないように複数のグループに分割して、各グループ別の露光用マスクを形成し、前記グループ別の露光用マスク毎に、前記被加工膜上に成膜されたレジスト膜へのマスクパターンの露光転写工程と、当該マスクパターンが露光転写されたレジスト膜をマスクにしたエッチング工程とを行い、これを前記グループ別の露光用マスクの全てについて繰り返すことで、前記被加工膜に前記開口群を形成することを特徴とする。

40

【0011】

上記手順による半導体装置の製造方法では、グループ別の露光用マスク毎に、露光転写工程とエッチング工程とを行うので、同一レジスト膜に多重露光を行う必要がない。すなわち、同一レジスト膜上で、各露光用マスクによる潜像が重なってしまうことがない。しかも、各露光用マスクは、開口同士の間隔が所定の設定距離よりも小さくならないようにグループ分けされたものである。したがって、解像困難な密集した開口群を形成する場合であっても、解像度の劣化を防止しつつ寸法精度良く形成することができる。

50

【発明の効果】

【0012】

本発明によれば、密集した開口群であっても解像度の劣化を防止しつつ寸法精度良く形成できるようになるので、ピッチが狭く微細な寸法の開口パターン形成が実現可能となり、高度に集積化した半導体装置等を製造に適用して非常に好適なものとなる。

【発明を実施するための最良の形態】

【0013】

以下、図面に基づき本発明に係る半導体装置の製造方法について説明する。

図1～4は、本発明の半導体装置の製造方法の概要の一例を示す模式図である。

【0014】

本実施形態で説明する半導体装置の製造方法では、図1(a)に示すように、半導体基板上に形成された被加工膜、すなわち同一レイヤーに対して、四辺形状の開口1が規則的に配置されてなる開口群を形成する。このような開口群を形成するのにあたっては、先ず、その開口群を構成する開口1を、図1(a)および(b)に示すように、複数(例えば、二つ)のグループA, B...に分割して、各グループA, B...別の露光用マスクを形成する。

10

【0015】

このときのグループ分けは、同一グループに属する開口1a, 1b同士の間隔が所定の設定距離よりも小さくならないように行う。「所定の設定距離」とは、開口群の形成を行うリソグラフィ工程での露光条件に依存して決定されるもので、当該露光条件における解像限界に相当する大きさをいう。開口群のグループ分けは、その分割数を極力抑えることが望ましい。その後の工程数を増加させずに、迅速な処理を可能にするためである。したがって、開口群のグループ分けは、二つのグループA, Bへの分割が理想的である。

20

【0016】

例えば、図2に示すように、ピッチPでマトリクス状に開口が並んで配置される開口群であれば、その開口群を、グループAに属する開口1aと、グループBに属する開口1bとに分割する。そして、グループAに属する開口1aのみによって構成される開口パターンと、グループBに属する開口1bのみによって構成される開口パターンとを、それぞれ別の露光用マスク上に形成する。このように、交互に各パターンを配置すれば、開口群全体では開口が最小ピッチPで並んでいても、同一グループA, Bに属する開口1a, 1b同士の間隔は $P \times 2^{1/2}$ となる。つまり、1回当たりのリソグラフィ工程での最小ピッチを、元の最小ピッチPの $2^{1/2}$ 倍に緩和できる。しかも、最小ピッチPが解像限界より小さい場合であっても、これを緩和することによって、その緩和後の最小ピッチ $P \times 2^{1/2}$ が解像限界よりも小さくならない大きさとすることが可能となる。

30

【0017】

ただし、例えば、図3に示すように、ピッチPで正三角形状に開口1a, 1b, 1cが並んで配置される開口群については、二つのグループへの分割ではピッチPで隣り合う開口が存在してしまうため、三つ以上のグループへ分割する。なお、三つ以上のグループ分けを避け、理想的である二つのグループへの分割を可能にすべく、予め設計段階で、開口が正三角形状に並んで配置されることのない設計ルールを設けて適用するようにしても構

40

【0018】

このような開口群のグループ分けを行ったら、各グループA, B別の露光用マスクを形成するが、このマスク形成については、公知技術を利用して具現化すればよいため、ここではその説明を省略する。また、露光用マスクを形成する際には、ハーフトーン位相シフトマスクやレベンソン位相シフトマスク、アシストパターン、OPC(Optical Proximity Correction)等といった公知の寸法精度向上技術を適用することも考えられる。

【0019】

各グループA, B別の露光用マスクを形成した後は、次いで、図4に示すように、そのグループA, B別の露光用マスク毎に、リソグラフィ(露光転写)工程およびエッチング

50

工程を繰り返して行う。

【0020】

詳しくは、半導体基板上の被加工膜に対して、図4(a)に示すように、その被加工膜2の上に無機材料からなるハードマスク膜3を成膜し、さらにそのハードマスク膜3の上に、図4(b)に示すように、レジスト膜4を成膜して積層する。そして、グループAについての露光用マスクを用いて、グループAに属する開口1aのみによって構成される開口パターン、すなわちその露光用マスクに形成されたマスクパターンを、レジスト膜4に露光転写する。さらには、そのマスクパターンが露光転写されたレジスト膜4をマスクにして、ハードマスク膜3に対するドライエッチングを行う。このエッチング処理の後、レジスト膜4を除去すれば、ハードマスク膜3には、図4(c)に示すように、グループAに属する開口1aが形成されることになる。

10

【0021】

グループAに属する開口1aの形成後は、続いて、その開口1aが形成されたハードマスク膜3の上に、図4(d)に示すように、レジスト膜5を成膜して積層する。そして、グループBについての露光用マスクを用いて、グループBに属する開口1bのみによって構成される開口パターン、すなわちその露光用マスクに形成されたマスクパターンを、レジスト膜5に露光転写する。さらには、図4(e)に示すように、そのマスクパターンが露光転写されたレジスト膜5をマスクにして、ハードマスク膜3に対するドライエッチングを行う。

【0022】

20

このエッチング処理の後、レジスト膜5を除去すれば、ハードマスク膜3には、図4(f)に示すように、グループAに属する開口1aに加えて、グループBに属する開口1bも形成されることになる。したがって、ハードマスク膜3をマスクにして被加工膜2に対するドライエッチングを行えば、その被加工膜2には、グループAに属する開口1aと、グループBに属する開口1bとの両方、すなわちグループ分け前の開口群が形成されることになる。

【0023】

なお、上述した手順のうちのリソグラフィ工程およびエッチング工程については、公知技術を利用して具現化すればよいため、ここではその詳細の説明を省略する。

【0024】

30

また、ここでは、被加工膜2の上にハードマスク膜3を設け、そこに別々に各グループA、Bの開口パターンを加工転写し、その後ハードマスク膜3をマスクに、被加工膜2をエッチングして、最終的に全ての開口群を形成する場合を例に挙げている。このような場合であれば、二回目以降のリソグラフィ工程でレジスト膜5を均一な厚さに塗布するために、ハードマスク膜3は薄くすることが望ましい。ただし、ハードマスク膜3を薄くすると、そのハードマスク膜3をマスクにして被加工膜2をエッチングするときの選択比を確保できないおそれもある。そのため、選択比を確保できないおそれがあれば、最上層のハードマスク膜3の下に、中間のハードマスク膜を設けるようにしてもよい。また、ハードマスク膜3の存在によって、被加工膜2への開口加工精度を高く維持することが可能となるが、開口加工精度に関するスペックを満足するようであれば、ハードマスク膜3を設けることなく被加工膜2の上に直接レジスト膜4、5を設けるようにすることも考えられる。

40

【0025】

以上のように、本実施形態の製造方法では、グループA、B別の露光用マスク毎に、リソグラフィ工程とエッチング工程とを行うので、同一のレジスト膜4またはレジスト膜5に多重露光を行う必要がない。すなわち、同一のレジスト膜4またはレジスト膜5上で、各露光用マスクによる潜像が重なってしまうことがない。しかも、各露光用マスクは、開口同士の間隔が所定の設定距離よりも小さくならないようにグループ分けされたものである。したがって、一回のリソグラフィ工程で形成するパターンのピッチは緩くなるので、解像困難な密集した開口群を形成する場合であっても、解像度の劣化を防止しつつ寸

50

法精度良く形成することができ、従来のリソグラフィ技術では解像できなかった狭ピッチを含むパターンを寸法精度よく形成できる。

【0026】

ところで、上述した実施形態の例では、グループA，B別の露光用マスクにおける開口パターンをそのまま露光転写して開口群を加工形成しているため、パターンピッチの緩和により密集した狭ピッチの開口群であっても寸法精度よく形成できるが、形成すべき開口1のターゲット寸法が解像限界を超えてしまうと、その開口形成が困難になってしまう可能性がある。

【0027】

そこで、次に、解像限界よりも小さいターゲット寸法の開口を形成する場合の例について説明する。図5～7は、本発明の半導体装置の製造方法の概要の他の例を示す模式図である。

【0028】

ここで説明する開口の形成手順では、リソグラフィ工程において、被加工膜2に形成すべき開口のターゲット寸法よりも大きな開口寸法のマスクパターンを露光転写し、そのリソグラフィ工程の後に開口の大きさをターゲット寸法まで縮小化させる工程を行うようにする。なお、他の工程（開口群のグループ分けやエッチング工程等）については、上述した例と同様である。

【0029】

開口の大きさを縮小化させる工程では、例えば、図5(a)に示すように、ハードマスク膜3上のレジスト膜4，5に、被加工膜2に形成すべき開口のターゲット寸法よりも大きな開口寸法のマスクパターンを露光転写した後、図5(b)に示すように、レジスト加熱によるサーマルフローを行って、レジスト膜4，5に形成された開口1a，1bの大きさをターゲット寸法まで縮小化させ、その後、図5(c)に示すように、レジスト膜4，5をマスクにしたハードマスク膜3へのエッチングを行う。レジスト加熱によるサーマルフローについては、例えば特開2002-231601号公報または特開2002-217087号公報に開示されているように公知であるため、ここではその詳細な説明を省略するが、加熱温度の制御によって縮小化の量をコントロールすることが可能である。

【0030】

また、開口の大きさを縮小化させる工程では、例えば、図6(a)に示すように、ハードマスク膜3上のレジスト膜4，5に、被加工膜2に形成すべき開口のターゲット寸法よりも大きな開口寸法のマスクパターンを露光転写した後、図6(b)に示すように、架橋剤6を塗布する。そして、図6(c)に示すように、基板加熱によりレジスト膜4，5の側壁に架橋層7を形成し、さらには、図6(d)に示すように、リンス処理により余分な架橋剤6を除去する。その後、図6(e)に示すように、架橋層7が形成されたレジスト膜4，5をマスクにハードマスク膜3へのエッチングを行う。架橋剤6を用いた架橋層7の形成については、例えば特開平10-73927号公報に開示されているように公知であるため、ここではその詳細な説明を省略するが、架橋剤6の材料選択および基板加熱温度の制御によって架橋層7の膜厚、すなわち縮小化の量をコントロールすることが可能である。

【0031】

また、開口の大きさを縮小化させる工程では、例えば、図7(a)に示すように、被加工膜2上のハードマスク膜3に、グループ別の露光用マスク毎のリソグラフィ工程とエッチング工程とを繰り返して、被加工膜2に形成すべき開口のターゲット寸法よりも大きな開口寸法の開口群を形成した後、図7(b)に示すように、無機膜8を成膜する。そして、図7(c)に示すように、無機膜8をテーパエッチング（垂直性エッチング）して、開口群の側壁部分にサイドウォール9を形成し、開口1a，1bの大きさをターゲット寸法まで縮小化させた後に、図7(d)に示すように、サイドウォール9が形成されたハードマスク膜3をマスクにした被加工膜2へのエッチングを行う。なお、無機膜8を用いたサイドウォール形成についても、公知技術を利用して具現化すればよいため、ここではその

10

20

30

40

50

詳細の説明を省略する。

【0032】

以上のように、図5～7に示した例のような縮小化の工程を含む場合には、形成すべき開口のターゲット寸法が解像限界を超えていても、解像限界よりも大きいターゲット寸法の開口を露光転写した後、その開口の大きさをターゲット寸法まで縮小化させることで、解像限界よりも小さいターゲット寸法の開口を形成することが可能となる。したがって、開口群のパターンピッチのみならず、形成すべき開口のターゲット寸法が解像限界を超えていても、その開口群を解像度の劣化を防止しつつ寸法精度良く形成することができるのである。

【実施例1】

10

【0033】

次に、本発明に係る半導体装置の製造方法について、図8～14の説明図を参照しながら、具体例を挙げて詳細に説明する。

具体例の一つ目として説明する実施例1では、図8に示すようなゲートアレイのコンタクトホール層を形成する場合を例に挙げて説明する。図例のコンタクトホール層において、形成すべき開口であるコンタクトホール(Contact Hole)の大きさは70nm×70nmで、最小ピッチは160nmである。

【0034】

このようなコンタクトホールの形成にあたっては、まず、半導体基板上にゲートおよび素子分離領域、ソース、ドレイン領域を形成した後、図9(a)に示すように、被加工膜2である層間絶縁膜として酸化珪素(SiO)膜10を例えばCVD(Chemical Vapor Deposition)法で積層し、CMP処理を行って平坦化する。このとき、SiO膜10の厚さは、例えば300nmとする。なお、図中では、素子分離領域上のゲート電極11をも示している。SiO膜10の形成後は、図9(b)に示すように、そのSiO膜10の上に、例えばCVD法を用いて、ハードマスク膜3としての窒化珪素(SiN)膜12を80nm厚積層する。そして、SiN膜12上には、80nm厚の有機系反射防止膜を介して、レジスト膜4としてのメタアクリル系化学増幅型ポジレジスト膜を例えば250nm厚で塗布する。

20

【0035】

ここで、図8に示したゲートアレイのコンタクトホール層を形成する場合であれば、図10に示すようなコンタクトホールパターンの露光転写を行う必要がある。ところが、ここでは、当該コンタクトホールパターンの露光転写を行うのではなく、当該コンタクトホールパターンを図11(a)および(b)に示すような二つのグループA、Bに分割して、各グループA、B別の露光用マスクを形成する。このときのグループ分けは、同一グループに属するホール同士の間隔が所定の設定距離よりも小さくならないように、すなわち最小ピッチ160nmで隣り合うホール同士が同一グループA、Bに属さないように行う。このグループ分けによって、コンタクトホールパターン全体では開口が最小ピッチ160nmで並んでいても、同一グループA、Bに属するホール同士の間隔の最小ピッチは、 $\{(160\text{nm})^2 + (200\text{nm})^2\}^{1/2} = 256\text{nm}$ に緩和されることになる。

30

【0036】

さらに、各グループA、B別の露光用マスクの形成にあたっては、解像限界よりも小さいターゲット寸法のコンタクトホールの形成を精度良く行うべく、ホールの大きさを、形成すべき大きさである70nm×70nmではなく、それよりも大きな120nm×120nmのホール寸法に拡大する。

40

【0037】

そして、各グループA、B別の露光用マスクを形成したら、そのうちの一方の露光用マスク(例えば、グループAについての露光用マスク)を用いて、図12(a)に示すように、SiN膜12上に有機系反射防止膜13を介して形成されたレジスト膜4としてのメタアクリル系化学増幅型ポジレジスト膜14に対して、光リソグラフィ技術を用いたマスクパターン(コンタクトホールパターン)の露光転写を行う。このときのリソグラフィ条

50

件は、以下のようにすることが考えられる。

【0038】

露光装置：ArFエキシマレーザ縮小投影型スキャナー（縮小率1/4）

露光波長：193nm

投影レンズの像側開口数：0.80

投影レンズの照明側開口数：0.56

マスク：ハーフトーン位相シフトマスク（背景透過率6%）

レジスト：メタアクリル系化学増幅型ポジレジスト（250nm厚）

反射防止膜：有機系反射防止膜（80nm厚）

現像液：TMAH（Tetramethyl ammonium hydroxide）2.38%

10

【0039】

その後は、図12(b)に示すように、レジスト膜14を十分に覆うように、架橋剤15として、例えばクラリアント（株）製の架橋剤R500を全面塗布する。そして、基板加熱を120で120秒間行った後、基板を23に冷却し、純水でのリンス処理により余分な架橋剤15を除去する。これにより、レジスト膜14の上面およびホールの側壁には、そのレジスト膜14から拡散した酸と反応して、図12(c)に示すように、架橋層16が形成され、この架橋層16によってホールの大きさが70nm×70nmに縮小化されることになる。そして、架橋層16が形成されたレジスト膜14をマスクに、有機系反射防止膜13およびSiN膜12に対するエッチングを行う。これにより、有機系反射防止膜13およびSiN膜12には、図12(d)に示すように、グループAに属するホール1aが形成されることになる。

20

【0040】

さらにその後は、架橋層16、レジスト膜14および有機系反射防止膜13の除去を行い、ホール1aが形成されたSiN膜12上に有機系反射防止膜17を介してレジスト膜18を塗布し、そのレジスト膜14に対して、他方の露光用マスク（グループBについての露光用マスク）により光リソグラフィ技術を用いたマスクパターン（コンタクトホールパターン）の露光転写を行う。このときのリソグラフィ条件も、上述したグループAについての露光用マスクの場合と同様にすることが考えられる。さらには、グループAの場合と同様にして、図12(e)に示すように、レジスト膜18の上面およびホールの側壁に架橋層19を形成する。これにより、レジスト膜18に形成されたホールの大きさは、70nm×70nmに縮小化されることになる。そして、架橋層19が形成されたレジスト膜18をマスクに、有機系反射防止膜17およびSiN膜12に対するエッチングを行う。これにより、有機系反射防止膜17およびSiN膜12には、図12(f)に示すように、グループBに属するホール1bが形成されることになる。

30

【0041】

グループBに属するホール1bの形成後は、架橋層19、レジスト膜18および有機系反射防止膜17の除去を行う。これにより、SiN膜12には、図12(g)に示すように、グループAに属するホール1aとグループBに属するホール1bとの両方、すなわちゲートレイのコンタクトホール層に対応するホールの全てが形成されることになる。そして、ホールの全てが形成されたSiN膜12をマスクに、層間絶縁膜であるSiO膜10をドライエッチングして、そのSiO膜10にコンタクトホールを形成し、さらにはそのコンタクトホールの内側にバリアメタルを成膜してタングステン埋め込んだ後、上部の余分なタングステン、バリアメタルおよびSiN膜12をCMP処理によって削れば、図12(h)に示すように、コンタクトホール・プラグ20が完成する。

40

【0042】

なお、この実施例1において、二つに分割した各グループA、B別のコンタクトホール群は、それぞれ、下のゲート層に位置合わせして露光する必要がある。このとき、露光装置での重ね合わせ補正パラメータは、各グループA、Bとも同じものを用いる。よって、コンタクトホール群同士が大きく位置ずれすることはない。しかしながら、露光装置等の揺らぎにより、各グループA、B別のコンタクトホール群同士の間には若干の位置ずれが生

50

じる場合もあり得る。このコンタクトホール層に対して、上の配線層を合わせる場合には、各コンタクトホール群の両方に対して位置合わせをするのが望ましい。そこで、グループA、B別の露光用マスクには、位置合わせを行うための重ね合わせ測定用マークとして、図13(a)、(b)に示すような二組の重ね合わせ測定用マークを設けたり、図14に示すような二重のバーマークからなる重ね合わせ測定用マークを設けたりすることが考えられる。

【実施例2】

【0043】

次に、具体例の二つ目である実施例2として、実施例1のような架橋層16、19ではなく、サイドウォール形成によってコンタクトホールの大きさを縮小化させる場合を例に挙げて、図15の説明図を参照しながら説明する。

10

【0044】

実施例2においても、グループ別の露光用マスク毎に、光リソグラフィ工程とエッチング工程とを行うことで、図15(a)に示すように、SiN膜12に、グループAに属するホール1aとグループBに属するホール1bとの両方、すなわちゲートアレイのコンタクトホール層に対応するホールの全てを形成する。このとき、ホールの大きさは、架橋層16、19を用いていないことから、 $120\text{nm} \times 120\text{nm}$ の開口寸法となる。

【0045】

その後は、図15(b)に示すように、SiN膜12上に、CVD技術を用いてSiN膜21を成膜する。このとき、SiN膜21の成膜厚さは、ホールの側壁厚さが 30nm になるように調整する。SiN膜21の成膜後は、そのSiN膜21の全面に対して異方性エッチングバックを行い、図15(c)に示すように、ホールの側壁に、 25nm 厚のサイドウォール22を形成する。そして、サイドウォール22が形成されたSiN膜12をマスクに、層間絶縁膜であるSiO膜10をドライエッチングする。これにより、SiO膜10には、図15(d)に示すように、所望する $70\text{nm} \times 70\text{nm}$ の大きさのコンタクトホールが形成されることになる。その後は、実施例1の場合と同様にして、コンタクトホール・プラグを完成させればよい。

20

【実施例3】

【0046】

次に、具体例の三つ目である実施例3を、図16~18の説明図を参照しながら、具体例を挙げて詳細に説明する。ここでは、図16(a)に示すようなデザインのDRAM(Dynamic Random Access Memory)キャパシタを形成する場合を例に挙げて説明する。図例のDRAMキャパシタにおいて、形成すべき開口の最小間隔は 60nm である。このようなキャパシタを形成する場合も、図16(b)に示すように、形成すべき開口パターンを、グループA(図中の実線参照)とグループB(図中の破線参照)とに分け、各グループ別の露光用マスクを形成する。さらに、各グループ別の露光用マスクの形成にあたっては、当該露光用マスク上における開口の大きさを、形成すべき大きさである $140\text{nm} \times 160\text{nm}$ (図16参照)ではなく、それよりも大きな $175\text{nm} \times 200\text{nm}$ の寸法に拡大する。ただし、露光用マスク上における開口の形状は、図17に示すような楕円状であるものとする。

30

40

【0047】

そして、各グループ別の露光用マスクを形成したら、グループ別の露光用マスク毎に、光リソグラフィ工程とエッチング工程とを行う。すなわち、図18(a)に示すような被加工膜10上に形成されたTEOS膜23(厚さ 100nm)の上に、図18(b)に示すように、有機系反射防止膜24およびレジスト膜25を塗布した後、まず、一方の露光用マスク(グループAについての露光用マスク)を用いて、そのレジスト膜25に対して、光リソグラフィ技術を用いたマスクパターン(キャパシタ開口パターン)の露光転写を行う。これにより、レジスト膜25には、 $175\text{nm} \times 200\text{nm}$ の楕円状の開口パターンが形成されることになる。このときのリソグラフィ条件は、以下のようにすることが考えられる。

50

【0048】

露光装置：ArFエキシマレーザー縮小投影型スキャナー（縮小率1/4）

露光波長：193nm

投影レンズの像側開口数：0.75

投影レンズの照明側開口数：0.56

照明形状：輪帯（輪帯比0.67）

マスク：ハーフトーン位相シフトマスク（背景透過率6%）

レジスト：シクロオレフィン系化学増幅型ポジレジスト（250nm厚）

反射防止膜：有機系反射防止膜（80nm厚）

現像液：TMAH 2.38%

10

【0049】

その後は、基板加熱を134で60秒間行った後、さらに138で45秒間行う。すると、レジスト膜25が均一に熱流動して、図18(c)に示すように、そのレジスト膜25における開口の大きさが140nm×160nmの楕円状に縮小化されることになる。そして、開口が縮小化された後のレジスト膜25をマスクに、有機系反射防止膜24およびTEOS膜23に対するエッチングを行う。これにより、有機系反射防止膜24およびTEOS膜23には、図18(d)に示すように、グループAに属する開口1aが形成されることになる。

【0050】

このような開口形成処理を、レジスト膜25および有機系反射防止膜24の除去後、他方の露光用マスク（グループBについての露光用マスク）についても全く同様に行えば、TEOS膜23には、以上の二回の露光加工により、図18(e)に示すように、最終的に所望するキャパシタ用の開口パターンを形成することができる。

20

【実施例4】

【0051】

次に、具体例の四つ目である実施例4を、図19の説明図を参照しながら、具体例を挙げて詳細に説明する。ここでは、図19(a)に示すようなデザインのSRAM（Static Random Access Memory）セルパターンのコンタクトホールを形成する場合を例に挙げて説明する。図例のSRAMセルパターンにおいて、形成すべき開口であるコンタクトホールの大きさは80nm×80nmで、最小ピッチは180nmである。

30

【0052】

このようなコンタクトホールの形成にあっても、実施例1～3のいずれかの場合と同様に、そのコンタクトホールのパターンを図19(b)に示すような二つのグループA、Bに分割して、各グループA、B別の露光用マスクを形成すればよい。このようなグループ分けを行ってホールパターンを形成することにより、同一グループA、Bに属するコンタクトホール同士の間の最小ピッチは266nmに緩和され、最終的に全てのコンタクトホールを寸法精度良く形成することができるようになる。

【実施例5】

【0053】

次に、具体例の五つ目である実施例5を、図20、21の説明図を参照しながら、具体例を挙げて詳細に説明する。ここでは、多層配線構造を有する半導体装置を、いわゆるダマシンプロセスを用いて製造する場合、さらに具体的には、最小ピッチ160nm、最小線幅80nmの下層配線と最小ピッチ160nm、最小線幅80nmの上層配線とを接続するビアプラグパターンを形成する場合を説明する。ビアプラグパターンの最小ピッチは160nmで、その大きさは一律80nm×80nmである。

40

【0054】

このようなビアプラグパターンの形成にあっても、実施例1～4のいずれかの場合と同様に、設計段階でビアプラグを形成するためのビア（開口）を順次配置するとき、各ビアを2種類のグループA、Bに分けて、各グループA、B別の露光用マスクを形成すればよい。このようなグループ分けを行えば、異なるグループ（AとB）のビア

50

間の最小ピッチは160nmとなるが、同じ種類(AとA、BとB)のグループに属するビア同士であれば、その最小ピッチは226nmとなる。

【0055】

なお、ビアプラグを形成するためのビア(開口)を配線上に配置する際には、一般に、そのビアの位置を配線のエッジから、図20(a)に示すようにX方向またはY方向60nm以上か、図20(b)に示すようにX方向40nmおよびY方向40nmだけ離さなければならない。これは、リソグラフィ工程で、設計上の配線エッジよりレジストパターンの先端が後退したり、設計通りの位置に配線とビアパターンが重ならないといったことがあり得るので、それを見越して、ビアの位置を配線エッジから離しているのである。

10

【0056】

ところで、ビアプラグパターンを構成する各ビアをグループA、Bに分割しない場合、図21(a)に示すように、最小ピッチ160nmに配置した二つのビア26a、26bに対して、二等辺三角形の頂点に三つ目のビア26cが配置されていると、そのビア26cと他の二つのビア26a、26bとのピッチは234nmとなる。つまり、このような配置の場合に、電氣的に接続していない配線に接続するビアパターンで、三つのビアパターンが互いに最も接近する。このように、三つのビア26a、26b、26cが二等辺三角形の配置関係にあると、二種類のグループA、Bへの分割が困難となるおそれがある。ただし、図21(a)に示した配置を、例えば図21(b)に示すように分割した場合すると、同じグループAに属するビア同士であっても、その間の距離は234nm離れている。つまり、同一グループ内の最小ピッチ226nmというルールを設定しなくても、元々の設計ルール上、同電位でないビア同士の間では、その距離が234nm以上離れることになる。逆に言えば、最小ピッチ226nmというルールを設定しても、元々の設計ルールで配置できる最密配置より大きくなるということはない。したがって、同一グループ内の最小ピッチ226nmというルールを設定したからといって、セル面積が大きくなるという欠点が生じることはない。なお、元々の設計ルールでは、同電位の配置で、図21(c)に示すような二等辺三角形の配置になる場合がある。しかしながら、同電位のビアを最小ピッチで配置する必要はないので、上記の「同じ種類(AとA、BとB)のグループに属するビア同士の最小ピッチは226nmとする」という設計ルールで配置を規制しても、セル面積への影響はない。

20

30

【0057】

ビアプラグパターンの形成プロセスは、実施例1~4のいずれかの場合と同様に行えばよい。このようにして、ビアプラグパターンを形成すれば、ダマシンプロセスを用いて多層配線構造の半導体装置を製造する場合であっても、元々の設計ルールで配置した場合のセル面積より大きくすることなく、最小ピッチ160nm、大きさ80nm×80nmのビアプラグパターンを形成することができる。

【0058】

なお、上述した実施例1~5では、本発明の実施具体例を挙げて詳細に説明したが、本発明がこれらの実施具体例(特に、成膜材料やその膜厚等)に限定されるものでないことはいうまでもない。

40

【図面の簡単な説明】

【0059】

【図1】本発明の半導体装置の製造方法の概要の一例を示す模式図(その1)である。

【図2】本発明の半導体装置の製造方法の概要の一例を示す模式図(その2)である。

【図3】本発明の半導体装置の製造方法の概要の一例を示す模式図(その3)である。

【図4】本発明の半導体装置の製造方法の概要の一例を示す模式図(その4)である。

【図5】本発明の半導体装置の製造方法の概要の他の例を示す模式図(その1)である。

【図6】本発明の半導体装置の製造方法の概要の他の例を示す模式図(その2)である。

【図7】本発明の半導体装置の製造方法の概要の他の例を示す模式図(その3)である。

【図8】本発明の実施例1を具体的に示す説明図(その1)である。

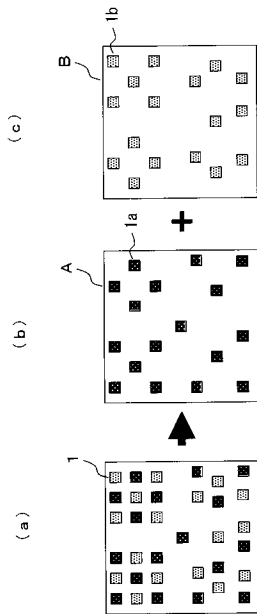
50

- 【図 9】本発明の実施例 1 を具体的に示す説明図 (その 2) である。
- 【図 10】本発明の実施例 1 を具体的に示す説明図 (その 3) である。
- 【図 11】本発明の実施例 1 を具体的に示す説明図 (その 4) である。
- 【図 12】本発明の実施例 1 を具体的に示す説明図 (その 5) である。
- 【図 13】本発明の実施例 1 を具体的に示す説明図 (その 6) である。
- 【図 14】本発明の実施例 1 を具体的に示す説明図 (その 7) である。
- 【図 15】本発明の実施例 2 を具体的に示す説明図である。
- 【図 16】本発明の実施例 3 を具体的に示す説明図 (その 1) である。
- 【図 17】本発明の実施例 3 を具体的に示す説明図 (その 2) である。
- 【図 18】本発明の実施例 3 を具体的に示す説明図 (その 3) である。
- 【図 19】本発明の実施例 4 を具体的に示す説明図である。
- 【図 20】本発明の実施例 5 を具体的に示す説明図 (その 1) である。
- 【図 21】本発明の実施例 5 を具体的に示す説明図 (その 2) である。

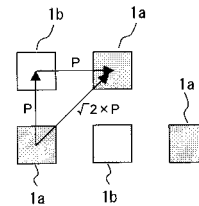
【符号の説明】

【0060】
1, 1a, 1b ... 開口、2 ... 被加工膜、3 ... ハードマスク膜、4, 5 ... レジスト膜、6 ... 架橋剤、7 ... 架橋層、8 ... 無機膜、9 ... サイドウォール、A, B ... グループ

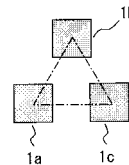
【図 1】



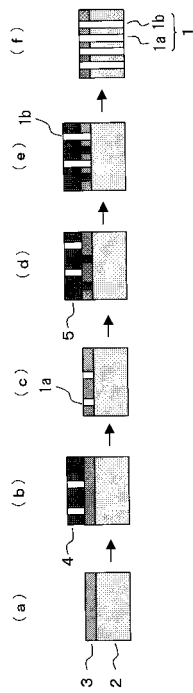
【図 2】



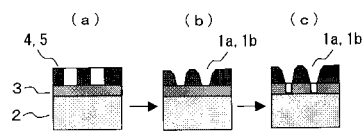
【図 3】



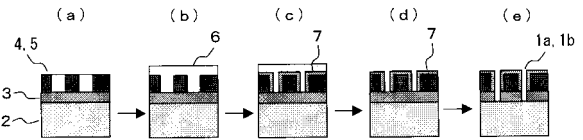
【 図 4 】



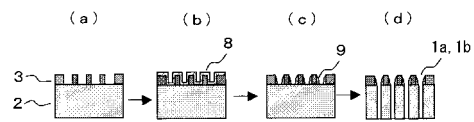
【 図 5 】



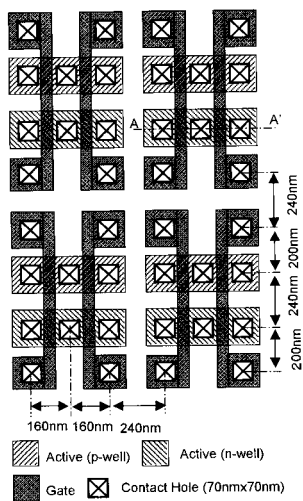
【 図 6 】



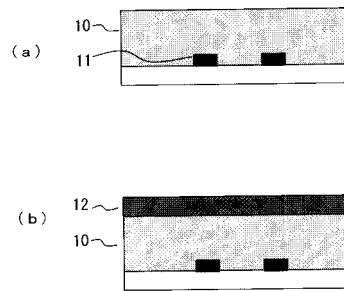
【 図 7 】



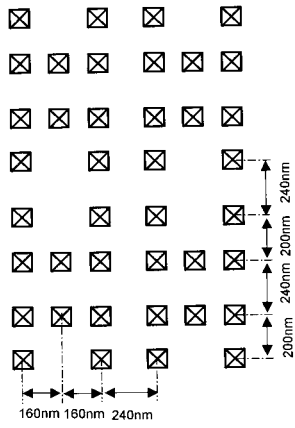
【 図 8 】



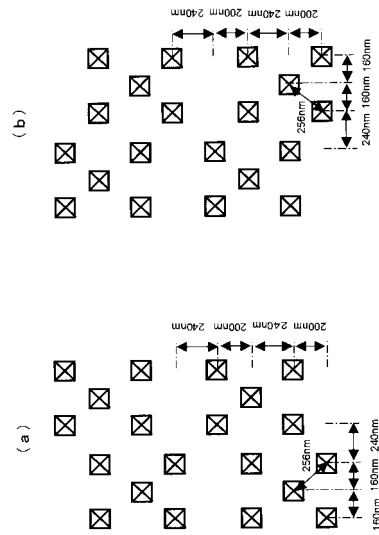
【 図 9 】



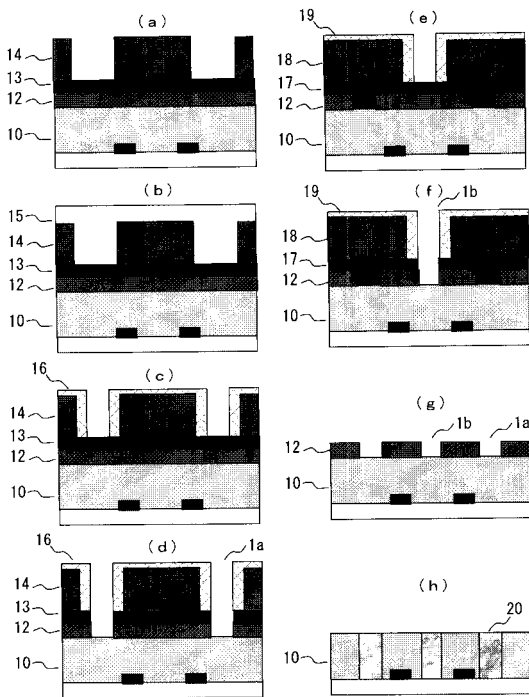
【図 10】



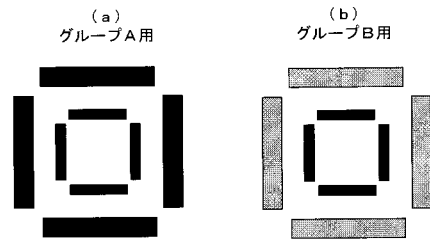
【図 11】



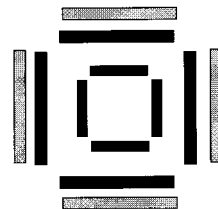
【図 12】



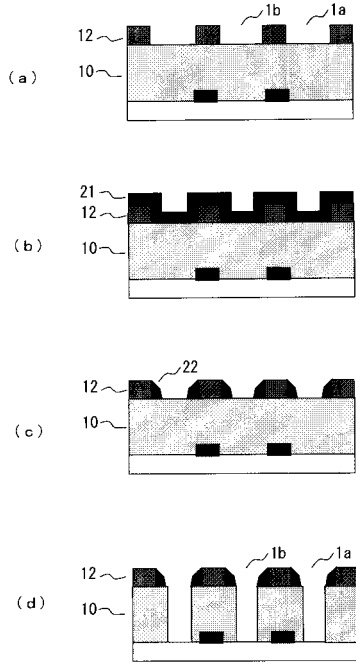
【図 13】



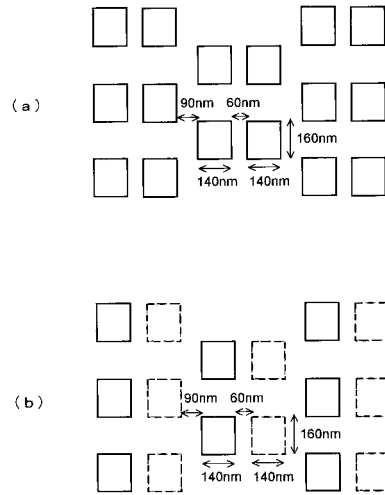
【図 14】



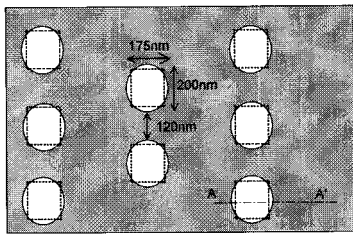
【 図 1 5 】



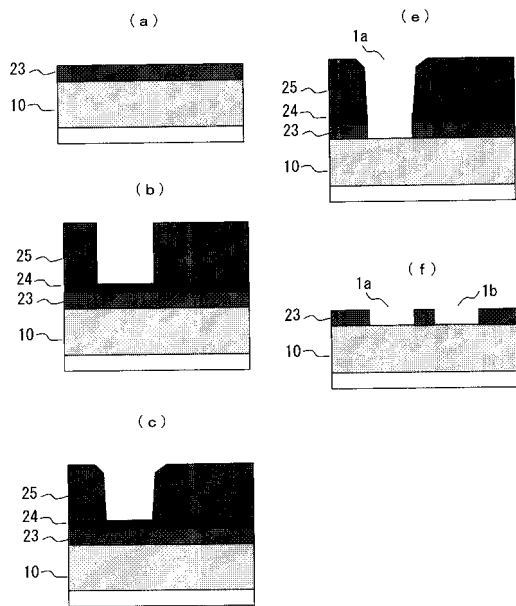
【 図 1 6 】



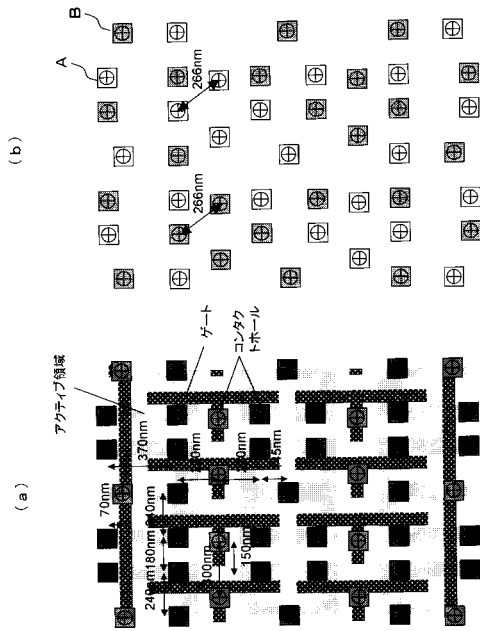
【 図 1 7 】



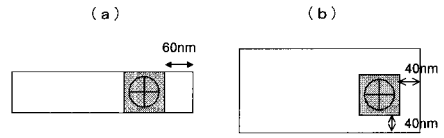
【 図 1 8 】



【 図 19 】



【 図 20 】



【 図 21 】

