



(12) 发明专利申请

(10) 申请公布号 CN 104102585 A

(43) 申请公布日 2014. 10. 15

(21) 申请号 201310115764. 0

(22) 申请日 2013. 04. 03

(71) 申请人 群联电子股份有限公司
地址 中国台湾苗栗县竹南镇群义路 1 号

(72) 发明人 何国华 陈庆聪

(74) 专利代理机构 北京同立钧成知识产权代理
有限公司 11205

代理人 臧建明

(51) Int. Cl.

G06F 12/02 (2006. 01)

G06F 3/06 (2006. 01)

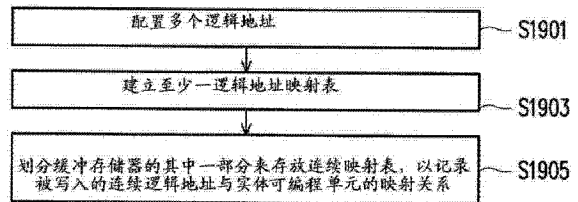
权利要求书5页 说明书19页 附图15页

(54) 发明名称

映射信息记录方法、存储器控制器与存储器
储存装置

(57) 摘要

本发明提供一种映射信息记录方法、存储器
控制器与存储器储存装置,用于可复写式非易失
性存储器模块。本方法包括配置多个逻辑地址;
建立至少一逻辑地址映射表并且将逻辑地址映射
表储存至可复写式非易失性存储器模块。本方法
也包括从主机系统中接收欲储存至多个连续逻辑
地址中的数据;将这些数据写入至多个实体可编
程单元中;在载入至缓冲存储器的一对应逻辑地
址映射表中更新这些连续逻辑地址与实体可编程
单元之间的映射关系;在此缓冲存储器中存放连
续映射表并且此连续映射表中记录对应此连续逻
辑地址的连续映射记录。



1. 一种映射信息记录方法,用于一可复写式非易失性存储器模块,该可复写式非易失性存储器模块具有多个实体擦除单元并且每一所述实体擦除单元具有多个实体可编程单元,其特征在于,该映射信息记录方法包括:

配置多个逻辑地址;

建立至少一逻辑地址映射表并且将该至少一逻辑地址映射表储存至该可复写式非易失性存储器模块;

从一主机系统中接收多笔第一数据,其中该主机系统指示将该些第一数据储存至该些逻辑地址之中的多个第一连续逻辑地址中;

将该些第一数据写入至所述实体擦除单元的实体可编程单元之中的多个第一实体可编程单元中;

将对应该些第一连续逻辑地址的一第一逻辑地址映射表载入至一缓冲存储器,并且在该第一逻辑地址映射表中更新该些第一连续逻辑地址与该些第一实体可编程单元之间的映射关系;以及

在该缓冲存储器中存放一连续映射表并且在该连续映射表中记录对应该些第一连续逻辑地址的一第一连续映射记录。

2. 根据权利要求 1 所述的映射信息记录方法,其特征在于,该第一连续映射记录的一一起始逻辑地址字段记录该些第一连续逻辑地址的一一起始逻辑地址,该第一连续映射记录的一一起始实体可编程单元字段记录该些第一实体可编程单元的一一起始实体可编程单元并且该第一连续映射记录的一长度字段记录该些第一连续逻辑地址的一长度。

3. 根据权利要求 2 所述的映射信息记录方法,其特征在于,还包括:

从该主机系统中接收多笔第二数据,其中该主机系统指示将该些第二数据储存至该些逻辑地址之中的多个第二连续逻辑地址中,且该些第二连续逻辑地址接续该些第一连续逻辑地址;

将该些第二数据写入至所述实体擦除单元的实体可编程单元之中的多个第二实体可编程单元中,其中该些第二实体可编程单元是接续该些第一实体可编程单元;以及

在该连续映射表中更新该第一连续映射记录,其中该第一连续映射记录的该长度字段被更新为该些第一连续逻辑地址的长度与该些第二连续逻辑地址的长度的总和。

4. 根据权利要求 3 所述的映射信息记录方法,其特征在于,还包括:

在该第一逻辑地址映射表中更新该些第二连续逻辑地址与该些第二实体可编程单元之间的映射关系。

5. 根据权利要求 3 所述的映射信息记录方法,其特征在于,还包括:

将该第一逻辑地址映射表回存至该可复写式非易失性存储器模块;以及

将对应该些第二连续逻辑地址的一第二逻辑地址映射表载入至该缓冲存储器,并且在该第二逻辑地址映射表中更新该些第二连续逻辑地址与该些第二实体可编程单元之间的映射关系。

6. 根据权利要求 2 所述的映射信息记录方法,其特征在于,还包括:

从该主机系统中接收一第三数据,其中该主机系统指示将该第三数据储存至该些第一连续逻辑地址之中的一第一逻辑地址中,其中该第一逻辑地址接续于该些第一连续逻辑地址之中的多个第三连续逻辑地址并且该些第一连续逻辑地址之中的多个第四连续逻辑地

址接续该第一逻辑地址；

将该第三数据写入至所述实体擦除单元的实体可编程单元之中的一第三实体可编程单元中；

在该第一逻辑地址映射表中更新该第一逻辑地址与该第三实体可编程单元之间的映射关系；以及

在该连续映射表中将该第一连续映射记录的该长度字段更新为这些第三连续逻辑地址的一长度，并且增加一第二连续映射记录，其中该第二连续映射记录的一起始逻辑地址字段记录这些第四连续逻辑地址的一起始逻辑地址，该第二连续映射记录的一起始实体可编程单元字段记录映射接续该第一逻辑地址的一逻辑地址的一实体可编程单元，并且该第二连续映射记录的一长度字段记录这些第四连续逻辑地址的一长度。

7. 根据权利要求 1 所述的映射信息记录方法，其特征在于，还包括：

从该主机系统中接收一读取指令；

判断该连续映射表中是否存有对应该读取指令指示的一逻辑地址的信息；以及

倘若该连续映射表中存有对应该读取指令指示的逻辑地址的信息时，根据该连续映射表从该可复写式非易失性存储器模块中读取对应该读取指令的一读取数据。

8. 根据权利要求 7 所述的映射信息记录方法，其特征在于，还包括：

倘若该连续映射表中未存有对应该读取指令指示的逻辑地址的信息时，从该可复写式非易失性存储器模块中载入这些逻辑地址映射表之中的一对应逻辑地址映射表并且根据该对应逻辑地址映射表从该可复写式非易失性存储器模块中读取对应该读取指令的一读取数据，其中该对应逻辑地址映射表为该读取指令指示的逻辑地址所对应的逻辑地址映射表。

9. 一种存储器控制器，用于控制一可复写式非易失性存储器模块，该可复写式非易失性存储器模块具有多个实体擦除单元并且每一所述实体擦除单元具有多个实体可编程单元，其特征在于，该存储器控制器包括：

一主机接口，用以电性连接至一主机系统；

一存储器接口，用以电性连接至该可复写式非易失性存储器模块；

一缓冲存储器；以及

一存储器管理电路，电性连接至该主机接口、该存储器接口与该缓冲存储器，

其中该存储器管理电路用以配置多个逻辑地址，

其中该存储器管理电路还用以建立至少一逻辑地址映射表并且将该至少一逻辑地址映射表储存至该可复写式非易失性存储器模块，

其中该存储器管理电路还用以从该主机系统中接收多笔第一数据，其中该主机系统指示将这些第一数据储存至这些逻辑地址之中的多个第一连续逻辑地址中，

其中该存储器管理电路还用以将这些第一数据写入至所述实体擦除单元的实体可编程单元之中的多个第一实体可编程单元中，

其中该存储器管理电路还用以将对应该第一连续逻辑地址的一第一逻辑地址映射表载入至该缓冲存储器，并且在该第一逻辑地址映射表中更新这些第一连续逻辑地址与这些第一实体可编程单元之间的映射关系，

其中该存储器管理电路还用以在该缓冲存储器中存放一连续映射表并且在该连续映

射表中记录对应该些第一逻辑地址的一第一连续映射记录。

10. 根据权利要求 9 所述的存储器控制器,其特征在于,该第一连续映射记录的一一起始逻辑地址字段记录该些第一连续逻辑地址的一一起始逻辑地址,该第一连续映射记录的一一起始实体可编程单元字段记录该些第一实体可编程单元的一一起始实体可编程单元并且该第一连续映射记录的一长度字段记录该些第一连续逻辑地址的一长度。

11. 根据权利要求 10 所述的存储器控制器,其特征在于,该存储器管理电路还用从该主机系统中接收多笔第二数据,其中该主机系统指示将该些第二数据储存至该些逻辑地址之中的多个第二连续逻辑地址中,且该些第二连续逻辑地址接续该些第一连续逻辑地址,

其中该存储器管理电路还用将该些第二数据写入至所述实体擦除单元的实体可编程单元之中的多个第二实体可编程单元中,其中该些第二实体可编程单元是接续该些第一实体可编程单元,

其中该存储器管理电路还用在该连续映射表中更新该第一连续映射记录,其中该第一连续映射记录的该长度字段被更新为该些第一连续逻辑地址的长度与该些第二连续逻辑地址的长度的一总和。

12. 根据权利要求 11 所述的存储器控制器,其特征在于,该存储器管理电路还用在该第一逻辑地址映射表中更新该些第二连续逻辑地址与该些第二实体可编程单元之间的映射关系。

13. 根据权利要求 11 所述的存储器控制器,其特征在于,该存储器管理电路还用将该第一逻辑地址映射表回存至该可复写式非易失性存储器模块,

其中该存储器管理电路还用将对应该些第二连续逻辑地址的一第二逻辑地址映射表载入至该缓冲存储器,并且在该第二逻辑地址映射表中更新该些第二连续逻辑地址与该些第二实体可编程单元之间的映射关系。

14. 根据权利要求 10 所述的存储器控制器,其特征在于,该存储器管理电路还用从该主机系统中接收一第三数据,其中该主机系统指示将该第三数据储存至该些第一连续逻辑地址之中的一第一逻辑地址中,其中该第一逻辑地址接续于该些第一连续逻辑地址之中的多个第三连续逻辑地址并且该些第一连续逻辑地址之中的多个第四连续逻辑地址接续该第一逻辑地址,

其中该存储器管理电路还用将该第三数据写入至所述实体擦除单元的实体可编程单元之中的一第三实体可编程单元中,

其中该存储器管理电路还用在该第一逻辑地址映射表中更新该第一逻辑地址与该第三实体可编程单元之间的映射关系,

其中该存储器管理电路还用在该连续映射表中将该第一连续映射记录的该长度字段更新为该些第三连续逻辑地址的一长度,并且增加一第二连续映射记录,其中该第二连续映射记录的一一起始逻辑地址字段记录该些第四连续逻辑地址的一一起始逻辑地址,该第二连续映射记录的一一起始实体可编程单元字段记录映射接续该第一逻辑地址的一逻辑地址的一实体可编程单元,并且该第二连续映射记录的一长度字段记录该些第四连续逻辑地址的一长度。

15. 根据权利要求 9 所述的存储器控制器,其特征在于,该存储器管理电路还用从该

主机系统中接收一读取指令,并判断该连续映射表中是否存有对应该读取指令指示的一逻辑地址的信息,

其中倘若该连续映射表中存有对应该读取指令指示的逻辑地址的信息时,该存储器管理电路还用以根据该连续映射表从该可复写式非易失性存储器模块中读取对应该读取指令的一读取数据。

16. 根据权利要求 15 所述的存储器控制器,其特征在于,倘若该连续映射表中未存有对应该读取指令指示的逻辑地址的信息时,该存储器管理电路还用以从该可复写式非易失性存储器模块中载入该些逻辑地址映射表之中的一对应逻辑地址映射表并且根据该对应逻辑地址映射表从该可复写式非易失性存储器模块中读取对应该读取指令的一读取数据,其中该对应逻辑地址映射表为该读取指令指示的逻辑地址所对应的逻辑地址映射表。

17. 一种存储器储存装置,其特征在于,包括:

一连接器,用以电性连接至一主机系统;

一可复写式非易失性存储器模块,具有多个实体擦除单元,其中每一所述实体擦除单元具有多个实体可编程单元;以及

一存储器控制器,电性连接至该连接器与该可复写式非易失性存储器模块,并具有一缓冲存储器,

其中该存储器控制器用以配置多个逻辑地址,

其中该存储器控制器还用以建立至少一逻辑地址映射表并且将至少一逻辑地址映射表储存至该可复写式非易失性存储器模块,

其中该存储器控制器还用以从该主机系统中接收多笔第一数据,其中该主机系统指示将该些第一数据储存至该些逻辑地址之中的多个第一连续逻辑地址中,

其中该存储器控制器还用以将该些第一数据写入至所述实体擦除单元的实体可编程单元之中的多个第一实体可编程单元中,

其中该存储器控制器还用以将对应该些第一连续逻辑地址的一第一逻辑地址映射表载入至该缓冲存储器,并且在该第一逻辑地址映射表中更新该些第一连续逻辑地址与该些第一实体可编程单元之间的映射关系,

其中该存储器控制器还用以在该缓冲存储器中存放一连续映射表并且在该连续映射表中记录对应该些第一连续逻辑地址的一第一连续映射记录。

18. 根据权利要求 17 所述的存储器储存装置,其特征在于,该第一连续映射记录的一起始逻辑地址字段记录该些第一连续逻辑地址的一起始逻辑地址,该第一连续映射记录的一起始实体可编程单元字段记录该些第一实体可编程单元的一起始实体可编程单元并且该第一连续映射记录的一长度字段记录该些第一连续逻辑地址的一长度。

19. 根据权利要求 18 所述的存储器储存装置,其特征在于,该存储器控制器还用以从该主机系统中接收多笔第二数据,其中该主机系统指示将该些第二数据储存至该些逻辑地址之中的多个第二连续逻辑地址中,且该些第二连续逻辑地址接续该些第一连续逻辑地址,

其中该存储器控制器还用以将该些第二数据写入至所述实体擦除单元的实体可编程单元之中的多个第二实体可编程单元中,其中该些第二实体可编程单元是接续该些第一实体可编程单元,

其中该存储器控制器还用在该连续映射表中更新该第一连续映射记录,其中该第一连续映射记录的该长度字段被更新为这些第一连续逻辑地址的长度与这些第二连续逻辑地址的长度的一总和。

20. 根据权利要求 19 所述的存储器储存装置,其特征在于,该存储器控制器还用在该第一逻辑地址映射表中更新这些第二连续逻辑地址与这些第二实体可编程单元之间的映射关系。

21. 根据权利要求 19 所述的存储器储存装置,其特征在于,该存储器控制器还用将该第一逻辑地址映射表回存至该可复写式非易失性存储器模块,

其中该存储器控制器还用将对应这些第二连续逻辑地址的一第二逻辑地址映射表载入至该缓冲存储器,并且在该第二逻辑地址映射表中更新这些第二连续逻辑地址与这些第二实体可编程单元之间的映射关系。

22. 根据权利要求 18 所述的存储器储存装置,其特征在于,该存储器控制器还用从该主机系统中接收一第三数据,其中该主机系统指示将该第三数据储存至这些第一连续逻辑地址之中的一第一逻辑地址中,其中该第一逻辑地址接续于这些第一连续逻辑地址之中的多个第三连续逻辑地址并且这些第一连续逻辑地址之中的多个第四连续逻辑地址接续该第一逻辑地址,

其中该存储器控制器还用将该第三数据写入至所述实体擦除单元的实体可编程单元之中的一第三实体可编程单元中,

其中该存储器控制器还用在该第一逻辑地址映射表中更新该第一逻辑地址与该第三实体可编程单元之间的映射关系,

其中该存储器控制器还用在该连续映射表中将该第一连续映射记录的该长度字段更新为这些第三连续逻辑地址的一长度,并且增加一第二连续映射记录,其中该第二连续映射记录的一起始逻辑地址字段记录这些第四连续逻辑地址的一起始逻辑地址,该第二连续映射记录的一起始实体可编程单元字段记录映射接续该第一逻辑地址的一逻辑地址的一实体可编程单元,并且该第二连续映射记录的一长度字段记录这些第四连续逻辑地址的一长度。

23. 根据权利要求 17 所述的存储器储存装置,其特征在于,该存储器控制器还用从该主机系统中接收一读取指令,并判断该连续映射表中是否存有对应该读取指令指示的一逻辑地址的信息,

其中倘若该连续映射表中存有对应该读取指令指示的逻辑地址的信息时,该存储器控制器还用根据该连续映射表从该可复写式非易失性存储器模块中读取对应该读取指令的一读取数据。

24. 根据权利要求 23 所述的存储器储存装置,其特征在于,倘若该连续映射表中未存有对应该读取指令指示的逻辑地址的信息时,该存储器控制器还用从该可复写式非易失性存储器模块中载入这些逻辑地址映射表之中的一对应逻辑地址映射表并且根据该对应逻辑地址映射表从该可复写式非易失性存储器模块中读取对应该读取指令的一读取数据,其中该对应逻辑地址映射表为该读取指令指示的逻辑地址所对应的逻辑地址映射表。

映射信息记录方法、存储器控制器与存储器储存装置

技术领域

[0001] 本发明涉及一种映射信息记录方法、存储器控制器与存储器储存装置，尤其涉及一种用于可复写式非易失性存储器的映射信息记录方法及使用此方法的存储器控制器与存储器储存装置。

背景技术

[0002] 数码相机、手机与 MP3 在这几年来的成长十分迅速，使得消费者对储存媒体的需求也急速增加。由于可复写式非易失性存储器 (rewritable non-volatile memory) 具有数据非易失性、省电、体积小、无机械结构、读写速度快等特性，最适于可携式电子产品，例如笔记本电脑。固态硬盘就是一种以闪存作为储存媒体的储存装置。因此，近年闪存产业成为电子产业中相当热门的一环。

[0003] 一般来说，闪存储存装置的闪存模块会划分为多个实体区块，其中实体区块还划分为多个实体页面，而实体区块是闪存的擦除单位并且实体页面是闪存的写入单位。由于在编程闪存的单元时，仅能执行单向的编程（即仅能将单元的值由 1 编程为 0），因此无法对已编程的实体页面（即存有旧数据的页面）直接进行写入，而是必须先将此实体页面擦除后方可重新编程。特别是，由于闪存的擦除是以实体区块为单位，因此当欲将存有旧数据的实体页面执行擦除运作时，必须对此实体页面所属的整个实体区块进行擦除。因此，闪存模块的实体区块会被区分为数据区与闲置区，其中数据区的实体区块是已被使用来储存数据的实体区块，而备用区中的实体区块是未被使用的实体区块，其中当主机系统欲写入数据至闪存储存装置时，闪存储存装置的控制电路会从备用区中提取实体区块来写入数据，并且将所提取的实体区块会关联为数据区。并且，当数据区的实体区块被执行擦除运作 (erase operation) 后，已擦除的实体区块会被关联为备用区。

[0004] 由于主机系统是以逻辑地址来进行写入，因此，在闪存储存系统运作过程中，控制电路会在用以暂存数据的随机存取存储器中储存逻辑地址与实体页面之间的映射关系，以利数据的存取。然而，一般来说，闪存储存系统的随机存取存储器空间有限，因此，如何有效地记录逻辑地址与实体地址之间的映射关系，以提升数据的存取速度是此领域技术人员所致力目标。

发明内容

[0005] 本发明提供一种映射信息记录方法、存储器控制器与存储器储存装置，其能够有效地记录逻辑地址与实体地址之间的映射关系并提升数据读取的速度。

[0006] 本发明范例实施例提出一种映射信息记录方法用于可复写式非易失性存储器模块，其中此可复写式非易失性存储器模块具有多个实体擦除单元并且每一实体擦除单元具有多个实体可编程单元。本映射信息记录方法包括配置多个逻辑地址；建立至少一逻辑地址映射表并且将逻辑地址映射表储存至可复写式非易失性存储器模块。本映射信息记录方法也包括从主机系统中接收多笔第一数据，其中此主机系统指示将这些第一数据储存至此

些逻辑地址之中的多个第一连续逻辑地址中。本映射信息记录方法还包括将这些第一数据写入至所述实体擦除单元的实体可编程单元之中的多个第一实体可编程单元中；将对应该些第一第一连续逻辑地址的第一逻辑地址映射表载入至缓冲存储器；在第一逻辑地址映射表中更新此些第一连续逻辑地址与此些第一实体可编程单元之间的映射关系；在此缓冲存储器中存放连续映射表；并且在此连续映射表中记录对应此些第一连续逻辑地址的第一连续映射记录。

[0007] 在本发明的一范例实施例中，上述第一连续映射记录的一起始逻辑地址字段记录此些第一连续逻辑地址的起始逻辑地址，上述第一连续映射记录的起始实体可编程单元字段记录此些第一实体可编程单元的起始实体可编程单元并且上述第一连续映射记录的长度字段记录此些第一连续逻辑地址的长度。

[0008] 在本发明的一范例实施例中，上述映射信息记录方法还包括：从主机系统中接收多笔第二数据，其中主机系统指示将此些第二数据储存至此些逻辑地址之中的多个第二连续逻辑地址中，且此些第二连续逻辑地址接续此些第一连续逻辑地址。上述映射信息记录方法还包括：将此些第二数据写入至所述实体擦除单元的实体可编程单元之中的多个第二实体可编程单元中，其中此些第二实体可编程单元是接续此些第一实体可编程单元。上述映射信息记录方法也包括：在连续映射表中更新第一连续映射记录，其中第一连续映射记录的长度字段被更新为此些第一连续逻辑地址的长度与此些第二连续逻辑地址的长度的总和。

[0009] 在本发明的一范例实施例中，上述映射信息记录方法还包括：在第一逻辑地址映射表中更新此些第二连续逻辑地址与此些第二实体可编程单元之间的映射关系。

[0010] 在本发明的一范例实施例中，上述映射信息记录方法还包括：将第一逻辑地址映射表回存至可复写式非易失性存储器模块；以及将对应第二连续逻辑地址的第二逻辑地址映射表载入至缓冲存储器，并且在第二逻辑地址映射表中更新此些第二连续逻辑地址与此些第二实体可编程单元之间的映射关系。

[0011] 在本发明的一范例实施例中，上述映射信息记录方法还包括：从主机系统中接收一第三数据，其中主机系统指示将第三数据储存至此些第一连续逻辑地址之中的第一逻辑地址中，其中第一逻辑地址接续于此些第一连续逻辑地址之中的多个第三连续逻辑地址并且此些第一连续逻辑地址之中的多个第四连续逻辑地址接续此第一逻辑地址。上述映射信息记录方法还包括：将第三数据写入至所述实体擦除单元的实体可编程单元之中的第三实体可编程单元中；在第一逻辑地址映射表中更新第一逻辑地址与第三实体可编程单元之间的映射关系；以及在上述连续映射表中将第一连续映射记录的长度字段更新为此些第三连续逻辑地址的长度，并且增加第二连续映射记录，其中此第二连续映射记录的起始逻辑地址字段记录此些第四连续逻辑地址的起始逻辑地址，此第二连续映射记录的起始实体可编程单元字段记录映射接续第一逻辑地址的逻辑地址的实体可编程单元，并且此第二连续映射记录的长度字段记录此些第四连续逻辑地址的长度。

[0012] 在本发明的一范例实施例中，上述映射信息记录方法还包括：从主机系统中接收读取指令；判断连续映射表中是否存有对应此读取指令指示的逻辑地址的信息；以及倘若此连续映射表中存有对应此读取指令指示的逻辑地址的信息时，根据此连续映射表从可复写式非易失性存储器模块中读取对应此读取指令的读取数据。

[0013] 在本发明的一范例实施例中,上述映射信息记录方法还包括:倘若此连续映射表中未存有对应此读取指令指示的逻辑地址的信息时,从可复写式非易失性存储器模块中载入此些逻辑地址映射表中的一对应逻辑地址映射表并且根据此对应逻辑地址映射表从可复写式非易失性存储器模块中读取对应此读取指令的读取数据,其中此对应逻辑地址映射表为此读取指令指示的逻辑地址所对应的逻辑地址映射表。

[0014] 本发明范例实施例提出一种存储器控制器,其配置在存储器装置中。此存储器控制器包括主机接口、存储器接口、缓冲存储器与存储器管理电路。主机接口用以电性连接至主机系统。存储器接口用以电性连接至可复写式非易失性存储器模块。存储器管理电路电性连接至主机接口、存储器接口与缓冲存储器。存储器管理电路用以配置多个逻辑地址,建立至少一逻辑地址映射表并且将逻辑地址映射表储存至可复写式非易失性存储器模块。存储器管理电路也用以从主机系统中接收多笔第一数据,其中此主机系统指示将这些第一数据储存至此些逻辑地址之中的多个第一连续逻辑地址中。存储器管理电路还用以将这些第一数据写入至所述实体擦除单元的实体可编程单元之中的多个第一实体可编程单元中,将对应第一连续逻辑地址的第一逻辑地址映射表载入至缓冲存储器,在第一逻辑地址映射表中更新此些第一连续逻辑地址与此些第一实体可编程单元之间的映射关系,在此缓冲存储器中存放连续映射表,并且在此连续映射表中记录对应此些第一连续逻辑地址的第一连续映射记录。

[0015] 在本发明的一范例实施例中,上述第一连续映射记录的一起始逻辑地址字段记录此些第一连续逻辑地址的起始逻辑地址,上述第一连续映射记录的起始实体可编程单元字段记录此些第一实体可编程单元的起始实体可编程单元并且上述第一连续映射记录的长度字段记录此些第一连续逻辑地址的长度。

[0016] 在本发明的一范例实施例中,存储器管理电路还用以从主机系统中接收多笔第二数据,其中主机系统指示将这些第二数据储存至此些逻辑地址之中的多个第二连续逻辑地址中,且此些第二连续逻辑地址接续此些第一连续逻辑地址。存储器管理电路还用以将这些第二数据写入至所述实体擦除单元的实体可编程单元之中的多个第二实体可编程单元中,其中此些第二实体可编程单元是接续此些第一实体可编程单元。存储器管理电路也用以在连续映射表中更新第一连续映射记录,其中第一连续映射记录的长度字段被更新为此些第一连续逻辑地址的长度与此些第二连续逻辑地址的长度的总和。

[0017] 在本发明的一范例实施例中,存储器管理电路还用以在第一逻辑地址映射表中更新此些第二连续逻辑地址与此些第二实体可编程单元之间的映射关系。

[0018] 在本发明的一范例实施例中,上述存储器管理电路还用以将第一逻辑地址映射表回存至可复写式非易失性存储器模块,将对应第二连续逻辑地址的第二逻辑地址映射表载入至缓冲存储器,并且在第二逻辑地址映射表中更新此些第二连续逻辑地址与此些第二实体可编程单元之间的映射关系。

[0019] 在本发明的一范例实施例中,上述存储器管理电路还用以从主机系统中接收一第三数据,其中主机系统指示将第三数据储存至此些第一连续逻辑地址之中的第一逻辑地址中,第一逻辑地址接续于此些第一连续逻辑地址之中的多个第三连续逻辑地址并且此些第一连续逻辑地址之中的多个第四连续逻辑地址接续此第一逻辑地址。上述存储器管理电路还用以将第三数据写入至所述实体擦除单元的实体可编程单元之中的第三实体可编程

单元中,在第一逻辑地址映射表中更新第一逻辑地址与第三实体可编程单元之间的映射关系,以及在上述连续映射表中将第一连续映射记录的长度字段更新为此些第三连续逻辑地址的长度,并且增加第二连续映射记录,其中此第二连续映射记录的起始逻辑地址字段记录此些第四连续逻辑地址的起始逻辑地址,此第二连续映射记录的起始实体可编程单元字段记录映射接续第一逻辑地址的逻辑地址的实体可编程单元,并且此第二连续映射记录的长度字段记录此些第四连续逻辑地址的长度。

[0020] 在本发明的一范例实施例中,上述存储器管理电路还用从主机系统中接收读取指令,判断连续映射表中是否存有对应此读取指令指示的逻辑地址的信息,以及倘若此连续映射表中存有对应此读取指令指示的逻辑地址的信息时,根据此连续映射表从可复写式非易失性存储器模块中读取对应此读取指令的读取数据。

[0021] 在本发明的一范例实施例中,倘若此连续映射表中未存有对应此读取指令指示的逻辑地址的信息时,上述存储器管理电路还用从可复写式非易失性存储器模块中载入此些逻辑地址映射表中的一对应逻辑地址映射表并且根据此对应逻辑地址映射表从可复写式非易失性存储器模块中读取对应此读取指令的读取数据,其中此对应逻辑地址映射表为此读取指令指示的逻辑地址所对应的逻辑地址映射表。

[0022] 本发明范例实施例提出一种存储器储存装置,其包括连接器、可复写式非易失性存储器模块与存储器控制器。连接器用以电性连接至主机系统,存储器控制器电性连接至连接器与可复写式非易失性存储器模块。存储器控制器用以配置多个逻辑地址,建立至少一逻辑地址映射表并且将逻辑地址映射表储存至可复写式非易失性存储器模块。存储器控制器也用以从主机系统中接收多笔第一数据,其中此主机系统指示将此些第一数据储存至此些逻辑地址之中的多个第一连续逻辑地址中。存储器控制器还用将这些第一数据写入至所述实体擦除单元的实体可编程单元之中的多个第一实体可编程单元中,将对应第一连续逻辑地址的第一逻辑地址映射表载入至缓冲存储器,在第一逻辑地址映射表中更新此些第一连续逻辑地址与此些第一实体可编程单元之间的映射关系,在此缓冲存储器中存放连续映射表,并且在此连续映射表中记录对应此些第一连续逻辑地址的第一连续映射记录。

[0023] 在本发明的一范例实施例中,上述第一连续映射记录的一起始逻辑地址字段记录此些第一连续逻辑地址的起始逻辑地址,上述第一连续映射记录的起始实体可编程单元字段记录此些第一实体可编程单元的起始实体可编程单元并且上述第一连续映射记录的长度字段记录此些第一连续逻辑地址的长度。

[0024] 在本发明的一范例实施例中,存储器控制器还用从主机系统中接收多笔第二数据,其中主机系统指示将此些第二数据储存至此些逻辑地址之中的多个第二连续逻辑地址中,且此些第二连续逻辑地址接续此些第一连续逻辑地址。存储器控制器还用将这些第二数据写入至所述实体擦除单元的实体可编程单元之中的多个第二实体可编程单元中,其中此些第二实体可编程单元是接续此些第一实体可编程单元。存储器控制器也用以在连续映射表中更新第一连续映射记录,其中第一连续映射记录的长度字段被更新为此些第一连续逻辑地址的长度与此些第二连续逻辑地址的长度的总和。

[0025] 在本发明的一范例实施例中,存储器控制器还用在第一逻辑地址映射表中更新此些第二连续逻辑地址与此些第二实体可编程单元之间的映射关系。

[0026] 在本发明的一范例实施例中,上述存储器控制器还用将第一逻辑地址映射表回

存至可复写式非易失性存储器模块,将对应第二连续逻辑地址的第二逻辑地址映射表载入至缓冲存储器,并且在第二逻辑地址映射表中更新此些第二连续逻辑地址与此些第二实体可编程单元之间的映射关系。

[0027] 在本发明的一范例实施例中,上述存储器控制器还用以从主机系统中接收一第三数据,其中主机系统指示将第三数据储存至此些第一连续逻辑地址之中的第一逻辑地址中,第一逻辑地址接续于此些第一连续逻辑地址之中的多个第三连续逻辑地址并且此些第一连续逻辑地址之中的多个第四连续逻辑地址接续此第一逻辑地址。上述存储器控制器还用以将第三数据写入至所述实体擦除单元的实体可编程单元之中的第三实体可编程单元中,在第一逻辑地址映射表中更新此些第一逻辑地址与第三实体可编程单元之间的映射关系,以及在上述连续映射表中将第一连续映射记录的长度字段更新为此些第三连续逻辑地址的长度,并且增加第二连续映射记录,其中此第二连续映射记录的起始逻辑地址字段记录此些第四连续逻辑地址的起始逻辑地址,此第二连续映射记录的起始实体可编程单元字段记录映射接续第一逻辑地址的逻辑地址的实体可编程单元,并且此第二连续映射记录的长度字段记录此些第四连续逻辑地址的长度。

[0028] 在本发明的一范例实施例中,上述存储器控制器还用以从主机系统中接收读取指令,判断连续映射表中是否存有对应此读取指令指示的逻辑地址的信息,以及倘若此连续映射表中存有对应此读取指令指示的逻辑地址的信息时,根据此连续映射表从可复写式非易失性存储器模块中读取对应此读取指令的读取数据。

[0029] 在本发明的一范例实施例中,倘若此连续映射表中未存有对应此读取指令指示的逻辑地址的信息时,上述存储器控制器还用以从可复写式非易失性存储器模块中载入此些逻辑地址映射表中的一对应逻辑地址映射表并且根据此对应逻辑地址映射表从可复写式非易失性存储器模块中读取对应此读取指令的读取数据,其中此对应逻辑地址映射表为此读取指令指示的逻辑地址所对应的逻辑地址映射表。

[0030] 基于上述,本范例实施例的映射信息记录方法、存储器控制器与存储器储存装置能够在有限的缓冲存储器空间内记录连续映射信息,以提升数据读取的速度。

[0031] 为了让本发明的上述特征和优点能更明显易懂,下文特举实施例,并配合附图作详细说明如下。

附图说明

[0032] 图 1 是根据一范例实施例所示出的主机系统与存储器储存装置的示意图;

[0033] 图 2 是根据一范例实施例所示出的电脑、输入 / 输出装置与存储器储存装置的示意图;

[0034] 图 3 是根据一范例实施例所示出的主机系统与存储器储存装置的示意图;

[0035] 图 4 是示出图 1 所示的存储器储存装置的概要方块图;

[0036] 图 5 是根据一范例实施例所示出的存储器控制器的概要方块图;

[0037] 图 6 与图 7 是根据一范例实施例所示出的管理可复写式非易失性存储器模块的范例示意图;

[0038] 图 8 是根据本发明范例实施例所示出的逻辑地址映射表的范例示意图;

[0039] 图 9 ~ 图 11 是根据本发明范例实施例所示出的进行写入运作而更新逻辑地址映

射表的一范例示意图；

[0040] 图 12 是根据本范例实施例所示出的实体地址储存状态表的示意图；

[0041] 图 13 是根据本发明一范例实施例所示出的连续映射表的范例示意图；

[0042] 图 14 是根据本发明范例实施例所示出的执行连续写入运作而更新逻辑地址映射表与连续映射表的一范例示意图；

[0043] 图 15 是根据本发明范例实施例所示出的执行连续写入运作而更新逻辑地址映射表与连续映射表的另一范例示意图；

[0044] 图 16 与图 17 是根据本发明范例实施例所示出的执行连续写入运作而更新逻辑地址映射表与连续映射表的另一范例示意图；

[0045] 图 18 是根据本发明范例实施例所示出的执行写入运作而更新逻辑地址映射表与连续映射表的另一范例示意图；

[0046] 图 19 是根据本范例实施例所示出的映射信息记录方法中初始化存储器储存装置的流程图；

[0047] 图 20 是根据本范例实施例所示出的映射信息记录方法中执行连续写入运作的流程图；

[0048] 图 21 是根据另一范例实施例所示出的映射信息记录方法中执行连续写入运作的流程图；

[0049] 图 22 是根据另一范例实施例所示出的映射信息记录方法中执行写入运作的流程图；

[0050] 图 23 是根据另一范例实施例所示出的映射信息记录方法中执行读取运作的流程图。

[0051] 附图标记说明：

[0052] 1000 :主机系统；

[0053] 1100 :电脑；

[0054] 1102 :微处理器；

[0055] 1104 :随机存取存储器；

[0056] 1106 :输入 / 输出装置；

[0057] 1108 :系统总线；

[0058] 1110 :数据传输接口；

[0059] 1202 :鼠标；

[0060] 1204 :键盘；

[0061] 1206 :显示器；

[0062] 1208 :打印机；

[0063] 1212 :随身盘；

[0064] 1214 :存储卡；

[0065] 1216 :固态硬盘；

[0066] 1310 :数码相机；

[0067] 1312 :SD 卡；

[0068] 1314 :MMC 卡；

- [0069] 1316 :记忆棒 ;
- [0070] 1318 :CF 卡 ;
- [0071] 1320 :嵌入式储存装置 ;
- [0072] 100 :存储器储存装置 ;
- [0073] 102 :连接器 ;
- [0074] 104 :存储器控制器 ;
- [0075] 106 :可复写式非易失性存储器模块 ;
- [0076] 304(0) ~ 304(R) :实体擦除单元 ;
- [0077] 202 :存储器管理电路 ;
- [0078] 206 :存储器接口 ;
- [0079] 208 :缓冲存储器 ;
- [0080] 210 :电源管理电路 ;
- [0081] 212 :错误检查与校正电路 ;
- [0082] 402 :储存区 ;
- [0083] 404 :系统区 ;
- [0084] 406 :取代区 ;
- [0085] LZ(0) ~ LZ(M) :逻辑区域 ;
- [0086] LBA(0) ~ LBA(H) :逻辑地址 ;
- [0087] PBA(0-1) ~ PBA(N-K) :实体可编程单元 ;
- [0088] 800、801、802 :逻辑地址映射表 ;
- [0089] 802 :逻辑地址索引字段 ;
- [0090] 804 :实体地址字段 ;
- [0091] 1290 :实体地址储存状态表 ;
- [0092] 1292 :实体地址索引字段 ;
- [0093] 1294 :状态字段 ;
- [0094] 1300 :连续映射表 ;
- [0095] 1302 :记录编号字段 ;
- [0096] 1304 :起始逻辑地址字段 ;
- [0097] 1306 :起始实体可编程单元字段 ;
- [0098] 1308 :长度字段 ;
- [0099] S1901、S1903、S1905 :记录映射信息的步骤 ;
- [0100] S2001、S2003、S2005、S2007、S2009、S2011 :写入运作的步骤 ;
- [0101] S2101、S2103、S2105、S2107、S2109、S2111 :写入运作的步骤 ;
- [0102] S2201、S2203、S2205、S2207、S2209、S2211、S2213 :写入运作的步骤 ;
- [0103] S2301、S2303、S2305、S2307、S2309、S2311、S2313 :读取运作的步骤。

具体实施方式

[0104] 一般而言,存储器储存装置(也称存储器储存系统)包括可复写式非易失性存储器模块与控制器(也称控制电路)。通常存储器储存装置是与主机系统一起使用,以使主机

系统可将数据写入至存储器储存装置或从存储器储存装置中读取数据。

[0105] 图 1 是根据一范例实施例所示出的主机系统与存储器储存装置的示意图。

[0106] 请参照图 1, 主机系统 1000 一般包括电脑 1100 与输入 / 输出 (input/output, 简称 I/O) 装置 1106。电脑 1100 包括微处理器 1102、随机存取存储器 (random access memory, 简称 RAM) 1104、系统总线 1108 与数据传输接口 1110。输入 / 输出装置 1106 包括如图 2 的鼠标 1202、键盘 1204、显示器 1206 与打印机 1208。必须了解的是, 图 2 所示的装置非限制输入 / 输出装置 1106, 输入 / 输出装置 1106 可还包括其他装置。

[0107] 在本发明实施例中, 存储器储存装置 100 是通过数据传输接口 1110 与主机系统 1000 的其他元件电性连接。通过微处理器 1102、随机存取存储器 1104 与输入 / 输出装置 1106 的运作可将数据写入至存储器储存装置 100 或从存储器储存装置 100 中读取数据。例如, 存储器储存装置 100 可以是如图 2 所示的随身盘 1256、存储卡 1214 或固态硬盘 (Solid State Drive, 简称 SSD) 1216 等的可复写式非易失性存储器储存装置。

[0108] 一般而言, 主机系统 1000 为可实质地与存储器储存装置 100 配合以储存数据的任意系统。虽然在本范例实施例中, 主机系统 1000 是以电脑系统来作说明, 然而, 在本发明另一范例实施例中主机系统 1000 可以是数码相机、摄影机、通信装置、音频播放器或视频播放器等系统。例如, 在主机系统为数码相机 (摄影机) 1310 时, 可复写式非易失性存储器储存装置则为其所使用的 SD 卡 1312、MMC 卡 1314、记忆棒 (memory stick) 1316、CF 卡 1318 或嵌入式储存装置 1320 (如图 3 所示)。嵌入式储存装置 1320 包括嵌入式多媒体卡 (Embedded MMC, 简称 eMMC)。值得一提的是, 嵌入式多媒体卡是直接电性连接于主机系统的基板上。

[0109] 图 4 是示出图 1 所示的存储器储存装置的概要方块图。

[0110] 请参照图 4, 存储器储存装置 100 包括连接器 102、存储器控制器 104 与可复写式非易失性存储器模块 106。

[0111] 在本范例实施例中, 连接器 102 是相容于安全数字 (Secure Digital, 简称 SD) 接口标准。然而, 必须了解的是, 本发明不限于此, 连接器 102 也可以是符合并列先进附件 (Parallel Advanced Technology Attachment, 简称 PATA) 标准、电气和电子工程师协会 (Institute of Electrical and Electronic Engineers, 简称 IEEE) 1394 标准、高速周边零件连接接口 (Peripheral Component Interconnect Express, 简称 PCI Express) 标准、通用序列总线 (Universal Serial Bus, 简称 USB) 标准、序列先进附件 (Serial Advanced Technology Attachment, 简称 SATA) 标准、超高速一代 (Ultra High Speed-I, 简称 UHS-I) 接口标准、超高速二代 (Ultra High Speed-II, 简称 UHS-II) 接口标准、记忆棒 (Memory Stick, 简称 MS) 接口标准、多媒体储存卡 (Multi Media Card, 简称 MMC) 接口标准、嵌入式多媒体储存卡 (Embedded Multimedia Card, 简称 eMMC) 接口标准、通用闪存 (Universal Flash Storage, 简称 UFS) 接口标准、小型快闪 (Compact Flash, 简称 CF) 接口标准、整合式驱动电子接口 (Integrated Device Electronics, 简称 IDE) 标准或其他适合的标准。

[0112] 存储器控制器 104 用以执行以硬件型式或韧体型式实作的多个逻辑门或控制指令, 并且根据主机系统 1000 的指令在可复写式非易失性存储器模块 106 中进行数据的写入、读取与擦除等运作。

[0113] 可复写式非易失性存储器模块 106 是电性连接至存储器控制器 104, 并且用以储存主机系统 1000 所写入的数据。可复写式非易失性存储器模块 106 具有实体擦除单元

304(O) ~ 304(R)。例如,实体擦除单元 304(O) ~ 304(R) 可属于同一个存储器晶粒 (die) 或者属于不同的存储器晶粒。每一实体擦除单元分别具有多个实体可编程单元,并且属于同一个实体擦除单元的实体可编程单元可被独立地写入且被同时地擦除。例如,每一实体擦除单元是由 128 个实体可编程单元所组成。然而,必须了解的是,本发明不限于此,每一实体擦除单元也可由 64 个实体可编程单元、256 个实体可编程单元或其他任意个实体可编程单元所组成。

[0114] 更详细来说,实体擦除单元为擦除的最小单位。亦即,每一实体擦除单元含有最小数目之一并被擦除的单元。实体可编程单元为可编程的最小单元。即实体可编程单元为写入数据的最小单元。每一实体可编程单元通常包括数据比特区与冗余比特区。数据比特区包含多个实体存取地址用以储存使用者的数据,而冗余比特区用以储存系统的数据(例如,控制信息与错误更正码)。在本范例实施例中,每一个实体可编程单元的数据比特区中会包含 4 个实体存取地址,且一个实体存取地址的大小为 512 字节 (byte)。然而,在其他范例实施例中,数据比特区中也可包含数目更多或更少的实体存取地址,本发明并不限制实体存取地址的大小以及个数。例如,在一范例实施例中,实体擦除单元为实体区块,并且实体可编程单元为实体页面或实体扇区,但本发明不以此为限。

[0115] 在本范例实施例中,可复写式非易失性存储器模块 106 为多阶单元 (Multi Level Cell, 简称 MLC) NAND 型闪存模块(即一个单元中可储存 2 个比特数据的闪存模块)。然而,本发明不限于此,可复写式非易失性存储器模块 106 也可是单阶单元 (Single Level Cell, 简称 SLC) NAND 型闪存模块(即一个单元中可储存 1 个比特数据的闪存模块)、复数阶单元 (Trinary Level Cell, 简称 TLC) NAND 型闪存模块(即一个单元中可储存 3 个比特数据的闪存模块)、其他闪存模块或其他具有相同特性的存储器模块。

[0116] 图 5 是根据一范例实施例所示出的存储器控制器的概要方块图。必须了解的是,图 5 所示的存储器控制器的结构仅为一范例,本发明不以此为限。

[0117] 请参照图 5,存储器控制器 104 包括存储器管理电路 202、主机接口 204、存储器接口 206 与缓冲存储器 208。

[0118] 存储器管理电路 202 用以控制存储器控制器 104 的整体运作。具体来说,存储器管理电路 202 具有多个控制指令,并且在存储器储存装置 100 运作时,这些控制指令会被执行以进行数据的写入、读取与擦除等运作。

[0119] 在本范例实施例中,存储器管理电路 202 的控制指令是以韧体型式来实作。例如,存储器管理电路 202 具有微处理器单元(未示出)与只读存储器(未示出),并且这些控制指令是被烧录至此只读存储器中。当存储器储存装置 100 运作时,这些控制指令会由微处理器单元来执行以进行数据的写入、读取与擦除等运作。

[0120] 在本发明另一范例实施例中,存储器管理电路 202 的控制指令也可以程序码型式储存于可复写式非易失性存储器模块 106 的特定区域(例如,存储器模块中专用于存放系统数据的系统区)中。此外,存储器管理电路 202 具有微处理器单元(未示出)、只读存储器(未示出)及随机存取存储器(未示出)。特别是,此只读存储器具有驱动码,并且当存储器控制器 104 被使能时,微处理器单元会先执行此驱动码段来将储存于可复写式非易失性存储器模块 106 中的控制指令载入至存储器管理电路 202 的随机存取存储器中。之后,微处理器单元会运转这些控制指令以进行数据的写入、读取与擦除等运作。

[0121] 此外,在本发明另一范例实施例中,存储器管理电路 202 的控制指令也可以一硬件型式来实作。例如,存储器管理电路 202 包括微控制器、单元管理电路、存储器写入电路、存储器读取电路、存储器擦除电路与数据处理电路。单元管理电路、存储器写入电路、存储器读取电路、存储器擦除电路与数据处理电路是电性连接至微控制器。其中,单元管理电路用以管理可复写式非易失性存储器模块 106 的实体擦除单元;存储器写入电路用以对可复写式非易失性存储器模块 106 下达写入指令以将数据写入至可复写式非易失性存储器模块 106 中;存储器读取电路用以对可复写式非易失性存储器模块 106 下达读取指令以从可复写式非易失性存储器模块 106 中读取数据;存储器擦除电路用以对可复写式非易失性存储器模块 106 下达擦除指令以将数据从可复写式非易失性存储器模块 106 中擦除;而数据处理电路用以处理欲写入至可复写式非易失性存储器模块 106 的数据以及从可复写式非易失性存储器模块 106 中读取的数据。

[0122] 主机接口 204 是电性连接至存储器管理电路 202 并且用以接收与识别主机系统 1000 所传送的指令与数据。也就是说,主机系统 1000 所传送的指令与数据会通过主机接口 204 来传送至存储器管理电路 202。在本范例实施例中,主机接口 204 是相容于 SD 标准。然而,必须了解的是本发明不限于此,主机接口 204 也可以是相容于 PATA 标准、IEEE1394 标准、PCI Express 标准、USB 标准、SATA 标准、UHS-I 接口标准、UHS-II 接口标准、MS 标准、MMC 标准、eMMC 接口标准、UFS 接口标准、CF 标准、IDE 标准或其他适合的数据传输标准。

[0123] 存储器接口 206 是电性连接至存储器管理电路 202 并且用以存取可复写式非易失性存储器模块 106。也就是说,欲写入至可复写式非易失性存储器模块 106 的数据会通过存储器接口 206 转换为可复写式非易失性存储器模块 106 所能接受的格式。

[0124] 缓冲存储器 208 是电性连接至存储器管理电路 202 并且用以暂存来自于主机系统 1000 的数据与指令或来自于可复写式非易失性存储器模块 106 的数据。

[0125] 在本发明一范例实施例中,存储器控制器 104 还包括电源管理电路 210 以及错误检查与校正电路 212。

[0126] 电源管理电路 210 是电性连接至存储器管理电路 202 并且用以控制存储器储存装置 100 的电源。

[0127] 错误检查与校正电路 212 是电性连接至存储器管理电路 202 并且用以执行错误检查与校正程序以确保数据的正确性。具体来说,当存储器管理电路 202 从主机系统 1000 中接收到写入指令时,错误检查与校正电路 212 会为对应此写入指令的数据产生对应的错误检查与校正码 (Error Checking and Correcting Code, 简称 ECC Code), 并且存储器管理电路 202 会将对应此写入指令的数据与对应的错误检查与校正码写入至可复写式非易失性存储器模块 106 中。之后,当存储器管理电路 202 从可复写式非易失性存储器模块 106 中读取数据时会同时读取此数据对应的错误检查与校正码, 并且错误检查与校正电路 212 会依据此错误检查与校正码对所读取的数据执行错误检查与校正程序。

[0128] 图 6 与图 7 是根据一范例实施例所示出的管理可复写式非易失性存储器模块的范例示意图。

[0129] 必须了解的是,在此描述可复写式非易失性存储器模块 106 的实体擦除单元的操作时,以“提取”、“交换”、“分组”、“轮替”等词来操作实体擦除单元是逻辑上的概念。也就是说,可复写式非易失性存储器模块的实体擦除单元的实际位置并未更动,而是逻辑上对

可复写式非易失性存储器模块的实体擦除单元进行操作。

[0130] 请参照图 6, 存储器控制器 104 (或存储器管理电路 202) 会将可复写式非易失性存储器模块 106 的实体擦除单元 304(0) ~ 304(R) 逻辑地分组为储存区 402、系统区 404 与取代区 406。

[0131] 逻辑上属于储存区 402 的实体擦除单元 304(0) ~ 304(N) 是用以储存主机系统 1000 所写入的数据。也就是说, 存储器储存装置 100 会使用分组为储存区 402 的实体擦除单元来实际地储存主机系统 1000 所写入的数据。

[0132] 逻辑上属于系统区 404 的实体擦除单元 304(N+1) ~ 304(S) 是用以记录系统数据, 其中此系统数据包括关于存储器芯片的制造商与型号、存储器芯片的实体擦除单元数、每一实体擦除单元的实体可编程单元数等。

[0133] 逻辑上属于取代区 406 中的实体擦除单元 304(S+1) ~ 304(R) 是替代实体擦除单元。例如, 可复写式非易失性存储器模块 106 于出厂时会预留 4% 的实体擦除单元作为更换使用。也就是说, 当储存区 402 与系统区 404 中的实体擦除单元损毁时, 预留于取代区 406 中的实体擦除单元是用以取代损坏的实体擦除单元 (即坏实体擦除单元 (bad block))。因此, 倘若取代区 406 中仍存有正常的实体擦除单元且发生实体擦除单元损毁时, 存储器控制器 104 会从取代区 406 中提取正常的实体擦除单元来更换损毁的实体擦除单元。倘若取代区 406 中无正常的实体擦除单元且发生实体擦除单元损毁时, 则存储器控制器 104 会将整个存储器储存装置 100 宣告为写入保护 (write protect) 状态, 而无法再写入数据。

[0134] 特别是, 储存区 402、系统区 404 与取代区 406 的实体擦除单元的数量会依据不同的存储器规格而有所不同。此外, 必须了解的是, 在存储器储存装置 100 的运作中, 实体擦除单元关联至储存区 402、系统区 404 与取代区 406 的分组关系会动态地变动。例如, 当储存区 402 中的实体擦除单元损坏而被取代区 406 的实体擦除单元取代时, 则原本取代区 406 的实体擦除单元会被关联至储存区 402。

[0135] 请参照图 7, 如上所述, 储存区 402 的实体擦除单元是以轮替方式来储存主机系统 1000 所写入的数据。在本范例实施例中, 存储器控制器 104 (或存储器管理电路 202) 会配置逻辑地址 LBA(0) ~ LBA(H) 给主机系统 1000 以进行数据的存取。每个逻辑地址是由数个扇区 (sector) 所组成。例如, 在本范例实施例中, 每一逻辑地址是由 4 个扇区所组成。但本发明不限于此, 在本发明另一范例实施例中, 逻辑地址也可由 8 个扇区所组成或是由 16 个扇区所组成。一般来说, 储存区 402 的实体擦除单元的实体可编程单元的数目是大于逻辑地址的数目。

[0136] 例如, 当存储器控制器 104 (或存储器管理电路 202) 开始使用实体擦除单元 304(0) 来储存主机系统 1000 欲写入的数据时, 不管主机系统 1000 是写入那个逻辑地址, 存储器控制器 104 (或存储器管理电路 202) 会将数据写入至实体擦除单元 304(0) 的实体可编程单元; 而当存储器控制器 104 (或存储器管理电路 202) 开始使用实体擦除单元 304(1) 来储存主机系统 1000 欲写入的数据时, 不管主机系统 1000 是写入哪个逻辑地址, 存储器控制器 104 (或存储器管理电路 202) 会将数据写入至实体擦除单元 304(1) 的实体可编程单元中。

[0137] 为了识别数据每个逻辑地址的被储存在那个实体可编程单元, 在本范例实施例中, 存储器控制器 104 (或存储器管理电路 202) 会记录逻辑地址与实体可编程单元之间的

映射关系。并且,当主机系统 1000 欲在扇区中存取数据时,存储器控制器 104(或存储器管理电路 202)会确认此扇区所属的逻辑地址,并且在此逻辑地址所映射的实体可编程单元中来存取数据。例如,在本范例实施例中,存储器控制器 104(或存储器管理电路 202)会在可复写式非易失性存储器模块 106 中储存逻辑地址映射表来记录每一逻辑地址所映射的实体可编程单元,并且当欲存取数据时存储器控制器 104(或存储器管理电路 202)会将逻辑地址映射表载入至缓冲存储器 208 来维护。

[0138] 值得一提的是,由于缓冲存储器 208 的容量有限无法储存记录所有逻辑地址的映射关系的映射表,因此,在本范例实施例中,存储器控制器 104(或存储器管理电路 202)会将逻辑地址 LBA(0)~LBA(H)分组为多个逻辑区域 LZ(0)~LZ(M),并且为每一逻辑区域配置一个逻辑地址映射表。特别是,当存储器控制器 104(或存储器管理电路 202)欲更新某个逻辑地址的映射关系时,对应此逻辑地址所属的逻辑区域的逻辑地址映射表会被载入至缓冲存储器 208 来被更新。

[0139] 图 8 是根据本发明范例实施例所示出的逻辑地址映射表的范例示意图。

[0140] 请参照图 8,在本范例实施例中,每一逻辑区域的逻辑地址映射表是相同的,在此仅以对应逻辑区域 LZ(0)的逻辑地址映射表 800 来作说明。逻辑地址映射表 800 包括逻辑地址索引字段 802 以及实体地址字段 804。逻辑地址索引字段 802 记录逻辑区域 LZ(0)的每个逻辑地址的编号并且实体地址字段 804 记录每个逻辑地址所映射的实体可编程单元。在存储器储存装置 100 为全新且未曾被用来储存数据的状态下,所有逻辑地址映射表中对应每一个逻辑地址所映射的实体程式单元的字段会被标记为空值(例如, NULL)。

[0141] 图 9~图 11 是根据本发明范例实施例所示出的进行写入运作而更新逻辑地址映射表的一范例示意图。

[0142] 请参照图 9,倘若在存储器储存装置 100 为全新且未曾被用来储存数据的状态下主机系统 1000 欲写入数据至逻辑地址 LBA(1)时,存储器控制器 104(或存储器管理电路 202)会选择一个实体擦除单元(例如,实体擦除单元 304(0))并且将主机系统 1000 欲写入的数据写入至实体可编程单元 PBA(0-1)。在完成数据的写入后,存储器控制器 104(或存储器管理电路 202)会在逻辑地址映射表 800 中将逻辑地址 LBA(1)映射至实体可编程单元 PBA(0-1)。

[0143] 请参照图 10,倘若在图 9 的状态下主机系统 1000 欲写入数据至逻辑地址 LBA(129)时,存储器控制器 104(或存储器管理电路 202)会将主机系统 1000 欲写入的数据写入至实体可编程单元 PBA(0-2)中。此时,存储器控制器 104(或存储器管理电路 202)会在逻辑地址映射表 800 中将逻辑地址 LBA(129)映射至实体可编程单元 PBA(0-2)。

[0144] 请参照图 11,倘若在图 10 的状态下主机系统 1000 欲写入数据至逻辑地址 LBA(1)时,存储器控制器 104(或存储器管理电路 202)会将主机系统 1000 欲写入的数据写入至实体可编程单元 PBA(0-3)中。此时,存储器控制器 104(或存储器管理电路 202)会在逻辑地址映射表 800 中将逻辑地址 LBA(1)映射至实体可编程单元 PBA(0-3)。此时,实体可编程单元 PBA(0-1)所储存的数据为无效数据。特别是,在某个实体擦除单元的所有实体可编程单元所储存的数据皆为无效数据时,存储器控制器 104(或存储器管理电路 202)就可对此实体擦除单元执行擦除运作并且所擦除后的实体擦除单元就可再被用来写入数据。基此,为了识别储存无效数据的实体可编程单元,例如,在一范例实施例中,存储器控制器 104(或

存储器管理电路 202) 会维护实体地址信息表, 由此来识别每个实体地址所储存的数据为有效数据或无效数据。例如, 存储器控制器 104(或存储器管理电路 202) 会使用实体地址储存状态表来记录实体地址的状态。

[0145] 图 12 是根据本范例实施例所示出的实体地址储存状态表的示意图。

[0146] 请参照图 12, 实体地址储存状态表 1290 包括实体地址索引字段 1292 与状态字段 1294, 实体地址索引字段 1292 记录每个实体可编程单元的编号且状态字段 1294 记录每个对应实体可编程单元的状态。例如, 当状态字段被标记为“0”时, 表示对应的实体可编程单元所储存的数据为无效数据且状态字段被标记为“1”时, 表示对应的实体可编程单元储存数据为有效数据, 但本发明不限于此。

[0147] 值得一提的, 除了使用上述的实体地址储存状态表 1290 来识别实体地址的状态外, 在本发明另一范例实施例中, 也可用实体地址映射表来识别实体地址的状态。例如, 实体地址映射表包括实体地址索引字段与逻辑地址字段, 其中逻辑地址字段用以记录映射实体地址索引字段所记录的实体可编程单元的逻辑地址。并且, 通过比对逻辑地址映射表与实体地址映射表, 每个实体可编程单元所储存的数据为有效数据或无效数据就可被识别。

[0148] 如上所述, 在存储器储存装置 100 运作期间对应所有逻辑区域的逻辑地址映射表无法同时被载入至缓冲存储器 208, 因此, 当主机系统 1000 欲读取储存于某个逻辑地址的数据时, 存储器控制器 104(或存储器管理电路 202) 需从可复写式非易失性存储器模块 106 中载入对应的逻辑地址映射表(即将已完成更新的逻辑地址映射表回存至可复写式非易失性存储器模块 106 且将对应目前欲存取的逻辑地址所属的逻辑区域的逻辑地址映射表载入至缓冲存储器 208), 由此会延迟读取数据所需的时间, 进而影响存储器储存装置 100 的存取效能。基于, 在本范例实施例中, 存储器控制器 104(或存储器管理电路 202) 还会在执行连续写入运作时利用缓冲存储器 208 的一部分空间来存放连续映射表, 以记录连续逻辑地址与连续实体可编程单元的映射关系。在此, 连续写入运作意指写入欲储存至连续逻辑地址的数据。也就是说, 在本范例实施例中, 当主机系统 1000 将多笔数据写入至连续逻辑地址时, 除了更新对应的逻辑地址映射表(如图 9 所示) 之外, 存储器控制器 104(或存储器管理电路 202) 会在连续映射表中记录对应所写入的数据的起始逻辑地址、起始实体可编程单元与长度, 由此以较少的数据量来记录逻辑地址与实体可编程单元的映射关系。特别是, 在执行读取运作期间, 若欲存取的逻辑地址的映射信息可由连续映射表来提供时, 存储器控制器 104(或存储器管理电路 202) 会根据连续映射表中的映射信息来从对应的实体可编程单元中读取数据, 由此减少从可复写式非易失性存储器模块 106 中载入逻辑地址映射表的次数, 以提升读取速度。以下将配合图式详细描述存储器控制器 104(或存储器管理电路 202) 如何在写入数据时维护连续映射表以提升后续读取数据的速度。值得一提的是, 在本范例实施例, 连续映射表存放在缓冲存储器 208 中, 并且不会存至可复写式非易失性存储器模块 106。然而, 本发明不限于此, 在本发明另一范例实施例中, 连续映射表也可于存储器储存装置 100 关机前存至可复写式非易失性存储器模块 106 并且于存储器储存装置 100 再次启动时被载入至缓冲存储器 208 中来继续维护。

[0149] 图 13 是根据本发明一范例实施例所示出的连续映射表的范例示意图。

[0150] 请参照图 13, 连续映射表 1300 包括记录编号字段 1302、起始逻辑地址字段 1304、起始实体可编程单元字段 1306 与长度字段 1308。记录编号字段 1302 用以记录连续映射记

录的编号,起始逻辑地址字段 1304 用以记录此笔连续映射记录的起始逻辑地址、起始实体可编程单元字段 1306 用以记录此笔连续映射记录的起始实体可编程单元与长度字段 1308 用以记录此笔连续映射记录的逻辑地址的长度。在本范例实施例中,连续映射表 1300 可记录多笔连续映射记录。例如,在一范例实施例中,连续映射表 1300 可记录的连续映射记录的数目可根据缓冲存储器 208 的大小来决定。

[0151] 图 14 是根据本发明范例实施例所示出的执行连续写入运作而更新逻辑地址映射表与连续映射表的一范例示意图。为了方便说明说,在此假设主机系统 1000 欲储存多笔数据至连续逻辑地址 LBA(0) ~ LBA(3),逻辑地址 LBA(0) ~ LBA(9) 被分组为第一逻辑区域且逻辑地址映射表 801 被指配用于记录第一逻辑区域的逻辑地址 LBA(0) ~ LBA(9) 的映射关系。

[0152] 请参照图 14,当接收到欲储存至连续逻辑地址 LBA(0) ~ LBA(3) 的数据时,存储器控制器 104(或存储器管理电路 202) 会选择一个空的实体擦除单元 304(0) 并且将欲储存至连续逻辑地址 LBA(0) ~ LBA(3) 的数据写入至实体擦除单元 304(0) 的连续实体可编程单元 PBA(0-0) ~ PBA(0-3) 中。并且,存储器控制器 104(或存储器管理电路 202) 会从可复写式非易失性存储器模块 106 中载入逻辑地址映射表 801 至缓冲存储器 208 并且在逻辑地址映射表 801 中记录连续逻辑地址 LBA(0) ~ LBA(3) 与连续实体可编程单元 PBA(0-0) ~ PBA(0-3) 的映射关系,其中逻辑地址 LBA(0) 映射实体可编程单元 PBA(0-0),逻辑地址 LBA(1) 映射实体可编程单元 PBA(0-1),逻辑地址 LBA(2) 映射实体可编程单元 PBA(0-2),并且逻辑地址 LBA(3) 映射实体可编程单元 PBA(0-3)。

[0153] 另外,存储器控制器 104(或存储器管理电路 202) 会在连续映射表 1300 新增一个连续映射记录(以下称为第一连续映射记录),以记录连续逻辑地址 LBA(0) ~ LBA(3) 的起始逻辑地址 LBA(0)、连续实体可编程单元 PBA(0-0) ~ PBA(0-3) 的起始实体可编程单元 PBA(0-0) 以及连续逻辑地址 LBA(0) ~ LBA(3) 的长度(即 4)。

[0154] 图 15 是根据本发明范例实施例所示出的执行连续写入运作而更新逻辑地址映射表与连续映射表的另一范例示意图。图 15 的范例是延续图 14 的范例,并假设主机系统 1000 在储存多笔数据至连续逻辑地址 LBA(0) ~ LBA(3) 后再储存多笔数据至连续逻辑地址 LBA(4) ~ LBA(6)。

[0155] 请参照图 15,当后续接收到欲储存至连续逻辑地址 LBA(4) ~ LBA(6) 的数据时,存储器控制器 104(或存储器管理电路 202) 会将欲储存至连续逻辑地址 LBA(4) ~ LBA(6) 的数据写入至实体擦除单元 304(0) 的连续实体可编程单元 PBA(0-4) ~ PBA(0-6) 中。特别是,由于逻辑地址映射表 801 已被载入至缓冲存储器 208,因此,存储器控制器 104(或存储器管理电路 202) 可直接在逻辑地址映射表 801 中记录连续逻辑地址 LBA(4) ~ LBA(6) 与连续实体可编程单元 PBA(0-4) ~ PBA(0-6) 的映射关系,其中逻辑地址 LBA(4) 映射实体可编程单元 PBA(0-4),逻辑地址 LBA(5) 映射实体可编程单元 PBA(0-5),并且逻辑地址 LBA(6) 映射实体可编程单元 PBA(0-6)。

[0156] 另外,存储器控制器 104(或存储器管理电路 202) 会在连续映射表 1300 更新第一连续映射记录,以将对应的长度更新为 7。具体来说,由于储存第二数据的逻辑地址 LBA(4) ~ LBA(6) 是接续逻辑地址 LBA(0) ~ LBA(3) 并且实体可编程单元 PBA(0-4) ~ PBA(0-6) 是接续实体可编程单元 PBA(0-0) ~ PBA(0-3),因此,存储器控制器 104(或存储

器管理电路 202) 仅需更新第一连续映射记录中的长度字段内的值,即可存有连续逻辑地址 LBA(0) ~ LBA(6) 的映射信息。

[0157] 图 16 与图 17 是根据本发明范例实施例所示出的执行连续写入运作而更新逻辑地址映射表与连续映射表的另一范例示意图。为了方便说明,在此假设主机系统 1000 先储存多笔数据至连续逻辑地址 LBA(0) ~ LBA(9) 且之后再储存多笔数据至连续逻辑地址 LBA(10) ~ LBA(19),其中逻辑地址 LBA(0) ~ LBA(9) 被分组为第一逻辑区域,逻辑地址 LBA(10) ~ LBA(19) 被分组为第二逻辑区域,逻辑地址映射表 801 被指配用于记录第一逻辑区域内的逻辑地址 LBA(0) ~ LBA(9) 的映射关系并且逻辑地址映射表 802 被指配用于记录第二逻辑区域内的逻辑地址 LBA(10) ~ LBA(19) 的映射关系。

[0158] 请参照图 16,当接收到欲储存至连续逻辑地址 LBA(0) ~ LBA(9) 的数据时,存储器控制器 104(或存储器管理电路 202) 会选择一个空的实体擦除单元 304(0) 并且将欲储存至连续逻辑地址 LBA(0) ~ LBA(9) 的数据写入至实体擦除单元 304(0) 的连续实体可编程单元 PBA(0-0) ~ PBA(0-9) 中。并且,存储器控制器 104(或存储器管理电路 202) 会从可复写式非易失性存储器模块 106 中载入逻辑地址映射表 801 至缓冲存储器 208 并且在逻辑地址映射表 801 中记录连续逻辑地址 LBA(0) ~ LBA(9) 与连续实体可编程单元 PBA(0-0) ~ PBA(0-9) 的映射关系。

[0159] 另外,存储器控制器 104(或存储器管理电路 202) 会在连续映射表 1300 新增第一连续映射记录,以记录连续逻辑地址 LBA(0) ~ LBA(9) 的起始逻辑地址 LBA(0)、连续实体可编程单元 PBA(0-0) ~ PBA(0-9) 的起始实体可编程单元 PBA(0-0) 以及连续逻辑地址 LBA(0) ~ LBA(9) 的长度(即 10)。

[0160] 请参照图 17,当后续接收到欲储存至连续逻辑地址 LBA(10) ~ LBA(19) 的数据时,存储器控制器 104(或存储器管理电路 202) 会将欲储存至连续逻辑地址 LBA(10) ~ LBA(19) 的数据写入至实体擦除单元 304(0) 的连续实体可编程单元 PBA(0-10) ~ PBA(0-19) 中。特别是,由于逻辑地址映射表 802 未被载入至缓冲存储器 208,因此,存储器控制器 104(或存储器管理电路 202),存储器控制器 104(或存储器管理电路 202) 会从可复写式非易失性存储器模块 106 中载入逻辑地址映射表 802 至缓冲存储器 208 以替换逻辑地址映射表 801 并且在逻辑地址映射表 802 中记录连续逻辑地址 LBA(10) ~ LBA(19) 与连续实体可编程单元 PBA(0-10) ~ PBA(0-19) 的映射关系。

[0161] 另外,存储器控制器 104(或存储器管理电路 202) 会在连续映射表 1300 中更新第一连续映射记录,以将对应的长度更新为 20。具体来说,由于逻辑地址 LBA(10) ~ LBA(19) 是接续逻辑地址 LBA(0) ~ LBA(9) 并且实体可编程单元 PBA(0-10) ~ PBA(0-19) 是接续实体可编程单元 PBA(0-0) ~ PBA(0-9),因此,存储器控制器 104(或存储器管理电路 202) 仅需更新第一连续映射记录中的长度值,则可存有连续逻辑地址 LBA(0) ~ LBA(19) 的映射信息。

[0162] 值得一提的是,在完成图 17 的写入运作后,倘若主机系统 1000 欲读取储存于逻辑地址 LBA(8) 的数据时,尽管逻辑地址映射表 801 未被载入至缓冲存储器 208 中,但存储器控制器 104(或存储器管理电路 202) 也可根据连续映射表 1300 中的信息获取逻辑地址 LBA(8) 的映射信息,以从对应的实体可编程单元(即实体可编程单元 PBA(0-0)) 中读取数据,由此缩短读取数据所需的时间。具体来说,存储器控制器 104(或存储器管理电路 202)

会计算逻辑地址 LBA(8) 与第一连续映射记录中的起始逻辑地址 (即逻辑地址 LBA(0)) 之间的偏移并且根据此偏移以及第一连续映射记录中的起始实体可编程单元 (即实体可编程单元 PBA(0-0)) 计算出映射逻辑地址 LBA(8) 的实体可编程单元。

[0163] 图 18 是根据本发明范例实施例所示出的执行写入运作而更新逻辑地址映射表与连续映射表的另一范例示意图。为了方便说明说,在此假设接续图 16 与图 17 的写入运作 (即储存多笔数据至连续逻辑地址 LBA(0) ~ LBA(9) 并储存多笔数据至连续逻辑地址 LBA(10) ~ LBA(19)) 后主机系统 1000 再更新一笔数据至逻辑地址 LBA(12)。

[0164] 请参照图 18,当接收到欲储存至逻辑地址 LBA(12) 的更新数据时,存储器控制器 104 (或存储器管理电路 202) 会将欲储存至逻辑地址 LBA(12) 的更新数据写入至实体擦除单元 304(0) 的实体可编程单元 PBA(0-20) 中,并且在逻辑地址映射表 802 中更新逻辑地址 LBA(12) 的映射关系 (即逻辑地址 LBA(12) 映射至实体可编程单元 PBA(0-20))。

[0165] 另外,存储器控制器 104 (或存储器管理电路 202) 会在连续映射表 1300 中更新第一连续映射记录,以将长度字段更新为连续逻辑地址 LBA(0) ~ LBA(11) 的长度 (即 12)。此外,存储器控制器 104 (或存储器管理电路 202) 会在连续映射表 1300 中新增第二连续映射记录,以记录连续逻辑地址 LBA(13) ~ LBA(19) 的起始逻辑地址 LBA(13)、连续实体可编程单元 PBA(0-13) ~ PBA(0-19) 的起始实体可编程单元 PBA(0-13) 以及连续逻辑地址 LBA(13) ~ LBA(19) 的长度 (即 7)。具体来说,由于逻辑地址 LBA(12) 中的数据被更新且更新数据被写入至实体可编程单元 PBA(0-20),因此,原连续逻辑地址 LBA(0) ~ LBA(19) 会被切割为连续逻辑地址 LBA(0) ~ LBA(11) 与连续逻辑地址 LBA(13) ~ LBA(19) 并且存储器控制器 104 (或存储器管理电路 202) 会以两笔连续映射记录来储存连续逻辑地址 LBA(0) ~ LBA(11) 与连续逻辑地址 LBA(13) ~ LBA(19) 的映射关系。

[0166] 值得一提的是,在本范例实施例中,写入运作是在一个实体擦除单元中依序地使用实体可编程单元来进行,因此,上述连续实体可编程单元被定义为每个实体擦除单元中依序排列的实体可编程单元。然而,必须了解的是,在另一范例实施例中,写入运作也可将预先定义数目的实体擦除单元划分为一组,并且轮流地使用每一个实体擦除单元的实体可编程单元。例如,依据实体可编程单元 PBA(0-1)、PBA(1-1)、PBA(2-1)、PBA(3-1)、PBA(0-2)、PBA(1-2)、PBA(2-2)、PBA(3-2)、...PBA(0-k)、PBA(1-k)、PBA(2-k) 与 PBA(N-k) 的顺序来执行写入运作。在此例子中,上述连续实体可编程单元被定义为在多个实体擦除单元中被依序使用的实体可编程单元。

[0167] 图 19 是根据本范例实施例所示出的映射信息记录方法中初始化存储器储存装置的流程图。

[0168] 请参照图 19,在步骤 S1901 中,存储器控制器 104 (或存储器管理电路 202) 会配置多个逻辑地址。

[0169] 在步骤 S1903 中,存储器控制器 104 (或存储器管理电路 202) 会建立至少一逻辑地址映射表。

[0170] 并且,在步骤 S1905 中,存储器控制器 104 (或存储器管理电路 202) 会划分缓冲存储器 208 的其中一部分来存放连续映射表,以记录被写入的连续逻辑地址与实体可编程单元的映射关系。

[0171] 图 20 是根据本范例实施例所示出的映射信息记录方法中执行连续写入运作的流

程图,其中此连续写入运作非接续前一个写入指令所写入的逻辑地址。

[0172] 请参照图 20,在步骤 S2001 中,存储器控制器 104(或存储器管理电路 202)会从主机系统 1000 中接收欲储存至连续逻辑地址(以下称为第一连续逻辑地址)的数据(以下称为第一数据)。

[0173] 在步骤 S2003 中,存储器控制器 104(或存储器管理电路 202)会将所接收的第一数据写入至空的实体可编程单元(以下称为第一实体可编程单元)中。

[0174] 在步骤 S2005 中,存储器控制器 104(或存储器管理电路 202)会判断缓冲存储器 208 中是否存有对应第一连续逻辑地址的逻辑地址映射表(以下称为第一逻辑地址映射表)。

[0175] 倘若缓冲存储器 208 中未存有第一逻辑地址映射表时,在步骤 S2007 中,存储器控制器 104(或存储器管理电路 202)会将目前暂存于缓冲存储器 208 中的逻辑地址映射表回存至可复写式非易失性存储器模块 106 并且从可复写式非易失性存储器模块 106 中将指派给第一逻辑区域的第一逻辑地址映射表载入至缓冲存储器 208 中。

[0176] 之后,在步骤 S2009 中,存储器控制器 104(或存储器管理电路 202)会在第一逻辑地址映射表中更新第一连续逻辑地址的映射关系。

[0177] 然后,在步骤 S2011 中,存储器控制器 104(或存储器管理电路 202)会在连续映射表 1300 中新增一笔连续映射记录(以下称为第一连续映射记录)以记录第一连续逻辑地址的起始逻辑地址、第一实体可编程单元的起始实体可编程单元与第一连续逻辑地址的长度。

[0178] 图 21 是根据另一范例实施例所示出的映射信息记录方法中执行连续写入运作的流程图,其中此连续写入运作是接续前一个写入指令所写入的逻辑地址。

[0179] 请参照图 21,在步骤 S2101 中,存储器控制器 104(或存储器管理电路 202)会从主机系统 1000 中接收欲储存至连续逻辑地址(以下称为第二连续逻辑地址)的数据(以下称为第二数据),其中第二连续逻辑地址是接续上述第一连续逻辑地址。

[0180] 在步骤 S2103 中,存储器控制器 104(或存储器管理电路 202)会将所接收的第二数据写入至空的实体可编程单元(以下称为第二实体可编程单元)中。

[0181] 在步骤 S2105 中,存储器控制器 104(或存储器管理电路 202)会判断缓冲存储器 208 中是否存有对应第二连续逻辑地址的逻辑地址映射表。

[0182] 倘若缓冲存储器 208 中未存有对应第二连续逻辑地址的逻辑地址映射表时,在步骤 S2107 中,存储器控制器 104(或存储器管理电路 202)会将目前暂存于缓冲存储器 208 中的逻辑地址映射表(例如,第一逻辑地址映射表)回存至可复写式非易失性存储器模块 106 并且从可复写式非易失性存储器模块 106 中将对应第二连续逻辑地址的逻辑地址映射表(以下称为第二逻辑地址映射表)载入至缓冲存储器 208 中。

[0183] 之后,在步骤 S2109 中,存储器控制器 104(或存储器管理电路 202)会在对应第二连续逻辑地址的逻辑地址映射表中更新第二连续逻辑地址的映射关系。

[0184] 然后,在步骤 S2111 中,存储器控制器 104(或存储器管理电路 202)会在连续映射表 1300 中更新对应第一连续逻辑地址的连续映射记录(即上述第一连续映射记录)以将第一连续映射记录的长度字段更新为第一连续逻辑地址的长度与第二连续逻辑地址的长度的总和。

[0185] 图 22 是根据另一范例实施例所示出的映射信息记录方法中执行写入运作的流程图,其中此写入运作为更新先前所写入的连续逻辑地址的其中一个逻辑地址的数据

[0186] 在步骤 S2201 中,存储器控制器 104(或存储器管理电路 202)会从主机系统 1000 中接收欲更新至逻辑地址(以下称为第一逻辑地址)的数据(以下称为第三数据),其中第一逻辑地址是将先前所写入的连续逻辑地址切割为两个连续逻辑地址(以下称为第三连续逻辑地址与第四连续逻辑地址),第一逻辑地址是接续第三连续逻辑地址且第四连续逻辑地址接续第一逻辑地址。

[0187] 在步骤 S2203 中,存储器控制器 104(或存储器管理电路 202)会将所接收的第三数据写入至空的实体可编程单元(以下称为第三实体可编程单元)中。

[0188] 在步骤 S2205 中,存储器控制器 104(或存储器管理电路 202)会判断缓冲存储器 208 中是否存有对应第一逻辑地址的逻辑地址映射表。

[0189] 倘若缓冲存储器 208 中未存有对应第一逻辑地址的逻辑地址映射表时,在步骤 S2207 中,存储器控制器 104(或存储器管理电路 202)会将目前暂存于缓冲存储器 208 中的逻辑地址映射表回存至可复写式非易失性存储器模块 106 且从可复写式非易失性存储器模块 106 中将对应第一逻辑地址的逻辑地址映射表载入至缓冲存储器 208 中。

[0190] 之后,在步骤 S2209 中,存储器控制器 104(或存储器管理电路 202)会在对应第一逻辑地址的逻辑地址映射表中更新第一逻辑地址的映射关系。

[0191] 然后,在步骤 S2211 中,存储器控制器 104(或存储器管理电路 202)会在连续映射表 1300 中更新对应被分割的连续逻辑地址的连续映射记录(以下称为第一连续映射记录)以将第一连续映射记录的长度字段更新为第三连续逻辑地址的长度。并且,在步骤 S2213 中,存储器控制器 104(或存储器管理电路 202)会在连续映射表 1300 中新增一笔连续映射记录(以下称为第二连续映射记录)以记录第四连续逻辑地址的起始逻辑地址、第四连续逻辑地址的起始逻辑地址所映射的实体可编程单元与第四连续逻辑地址的长度。

[0192] 图 23 是根据另一范例实施例所示出的映射信息记录方法中执行读取运作的流程图。

[0193] 请参照图 23,在步骤 S2301 中,存储器控制器 104(或存储器管理电路 202)会从主机系统 1000 中接收读取指令。

[0194] 之后,在步骤 S2303 中,存储器控制器 104(或存储器管理电路 202)会判断连续映射表 1300 中是否存有此读取指令所指示的逻辑地址的映射信息。

[0195] 倘若连续映射表 1300 中存有此读取指令所指示的逻辑地址的映射信息时,在步骤 S2305 中,存储器控制器 104(或存储器管理电路 202)会根据连续映射表 1300 中的信息识别对应的实体可编程单元。

[0196] 倘若连续映射表 1300 中未存有此读取指令所指示的逻辑地址的映射信息时,在步骤 S2307 中,存储器控制器 104(或存储器管理电路 202)会判断缓冲存储器 208 中是否对应此读取指令所指示的逻辑地址的逻辑地址映射表。

[0197] 倘若缓冲存储器 208 未存有对应此读取指令所指示的逻辑地址的逻辑地址映射表时,在步骤 S2309 中,存储器控制器 104(或存储器管理电路 202)会将目前暂存于缓冲存储器 208 中的逻辑地址映射表回存至可复写式非易失性存储器模块 106 且从可复写式非易失性存储器模块 106 中载入指派给此读取指令所指示的逻辑地址所属的逻辑区域的逻辑

地址映射表至缓冲存储器 208。

[0198] 之后,在步骤 S2311 中,存储器控制器 104(或存储器管理电路 202)会根据在对应此读取指令所指示的逻辑地址的逻辑地址映射表中的映射信息识别对应的实体可编程单元。

[0199] 并且,在步骤 S2313 中,存储器控制器 104(或存储器管理电路 202)会从对应的实体可编程单元中读取数据并且将所读取的数据传送给主机系统 1000。

[0200] 综上所述,本发明范例实施例的映射信息记录方法、存储器控制器与存储器储存装置能够有效地利用有限的缓冲存储器空间来储存连续映射信息,由此缩短执行读取运作所需的时间,提升存储器储存装置的效能。

[0201] 最后应说明的是:以上各实施例仅用以说明本发明的技术方案,而非对其限制;尽管参照前述各实施例对本发明进行了详细的说明,本领域的普通技术人员应当理解:其依然可以对前述各实施例所记载的技术方案进行修改,或者对其中部分或者全部技术特征进行等同替换;而这些修改或者替换,并不使相应技术方案的本质脱离本发明各实施例技术方案的范围。

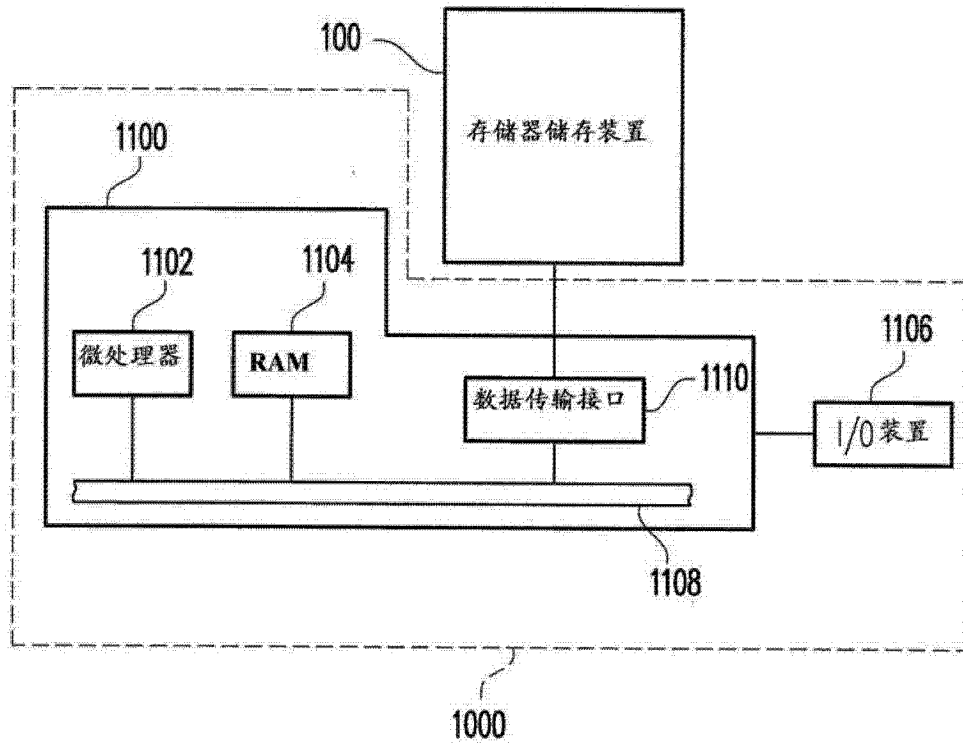


图 1

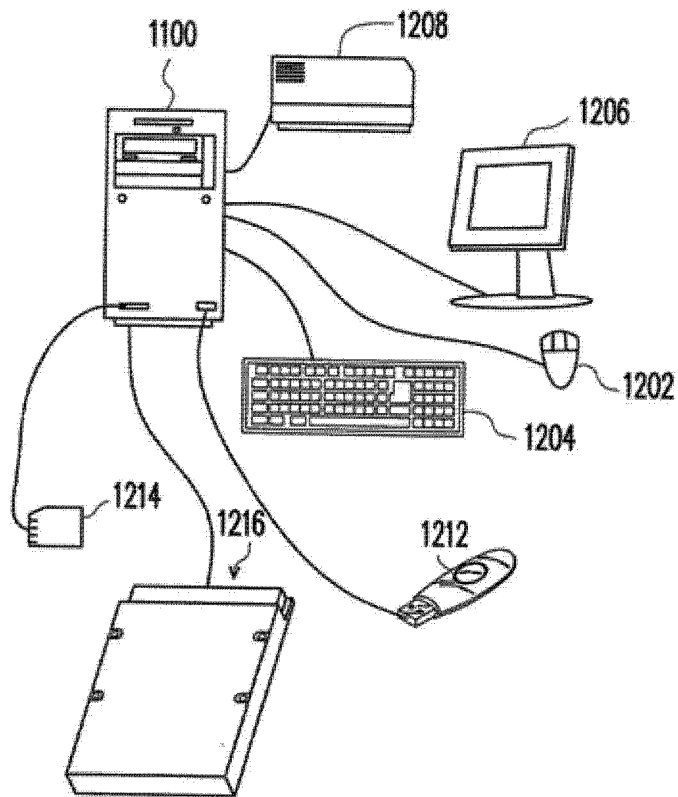


图 2

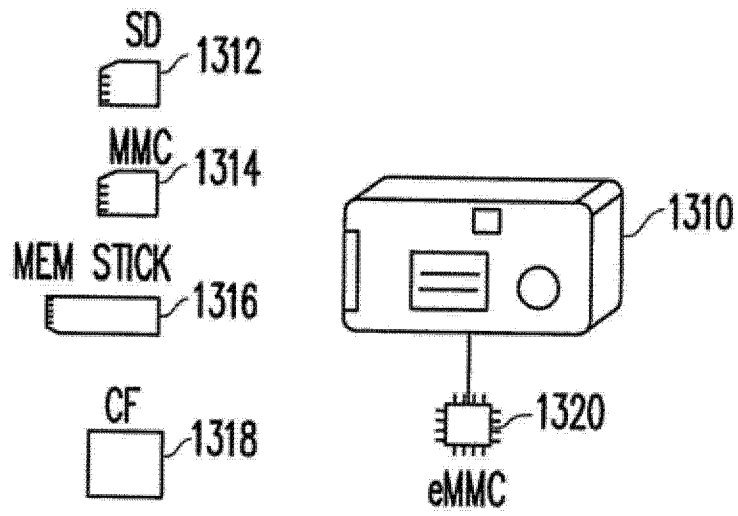


图 3

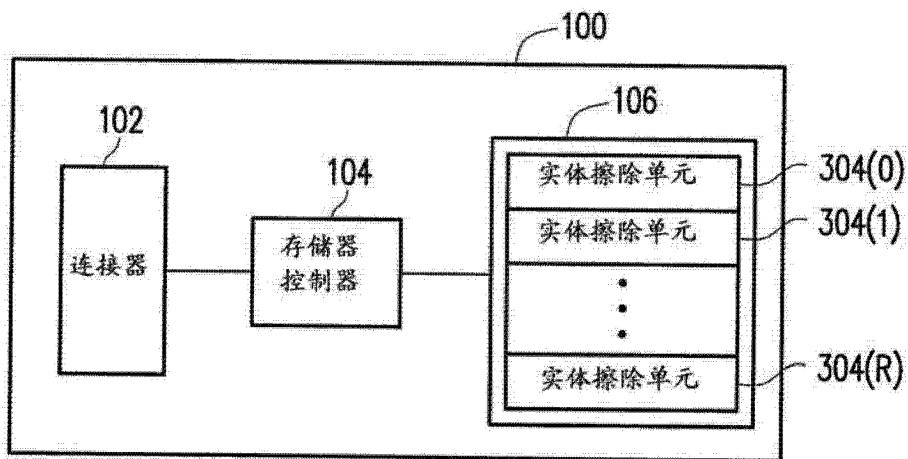


图 4

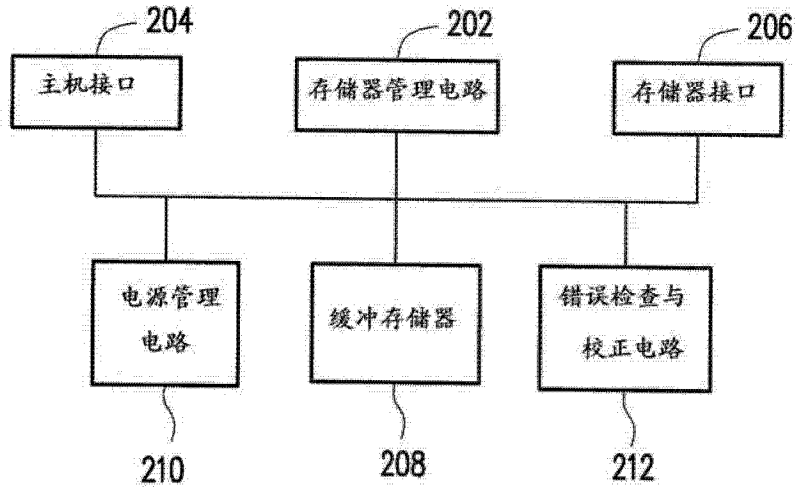


图 5

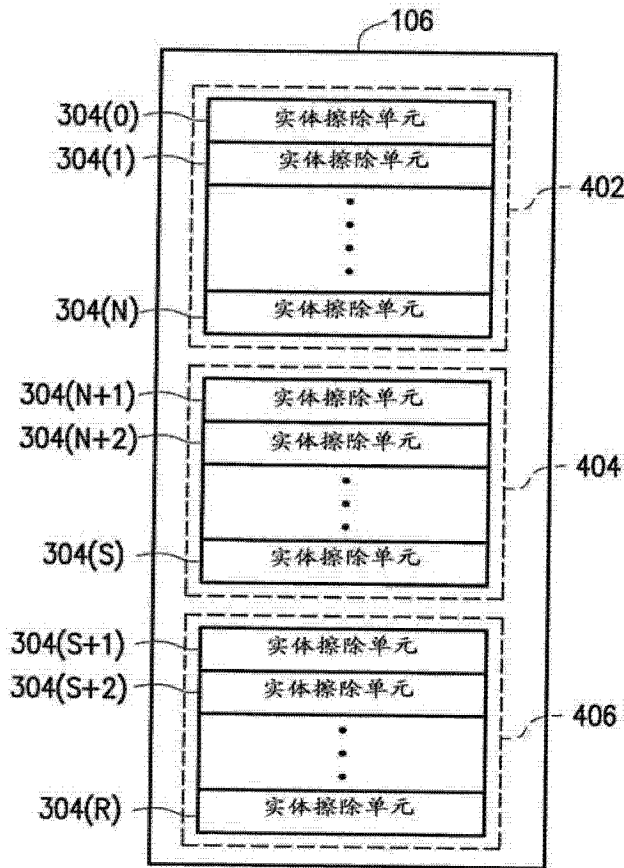


图 6

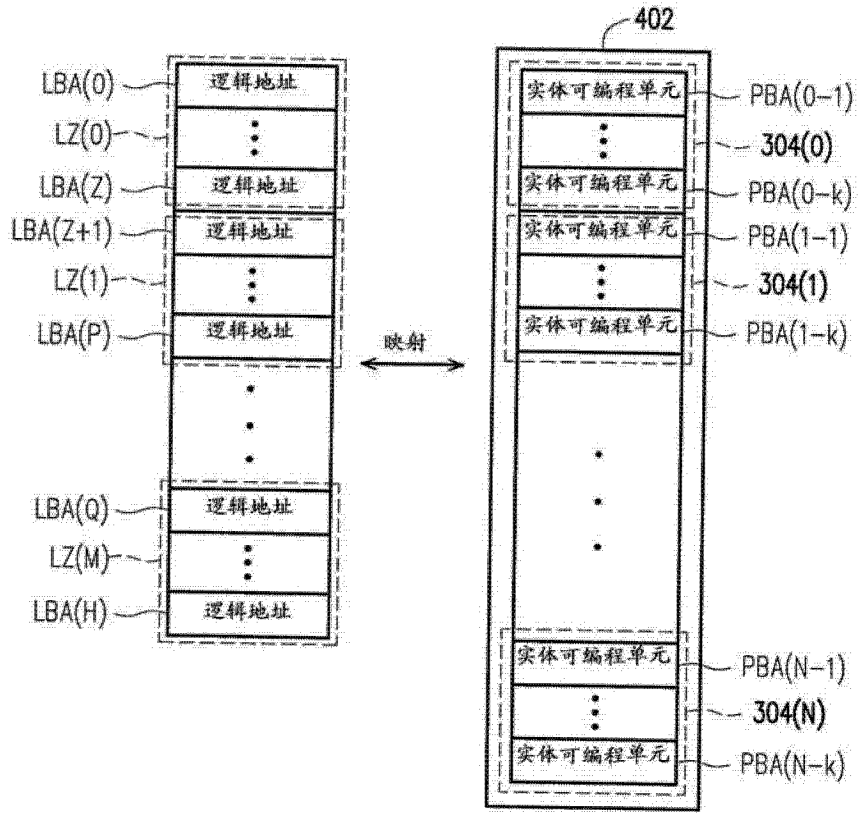


图 7

802 804

逻辑地址索引	实体地址
LBA(0)	NULL
LBA(1)	NULL
LBA(2)	NULL
·	·
·	·
·	·
LBA(Z)	NULL

800

图 8

802 804

逻辑地址索引	实体地址
LBA(0)	NULL
LBA(1)	PBA(0-1)
LBA(2)	NULL
·	·
·	·
·	·
LBA(Z)	NULL

800

图 9

802 804

↓ ↓

逻辑地址索引	实体地址
LBA(0)	NULL
LBA(1)	PBA(0-1)
LBA(2)	NULL
⋮	⋮
LBA(128)	NULL
LBA(129)	PBA(0-2)
LBA(130)	NULL
⋮	⋮
LBA(Z)	NULL

800

图 10

802 804

↓ ↓

逻辑地址索引	实体地址
LBA(0)	NULL
LBA(1)	PBA(0-3)
LBA(2)	NULL
⋮	⋮
LBA(128)	NULL
LBA(129)	PBA(0-2)
LBA(130)	NULL
⋮	⋮
LBA(Z)	NULL

800

图 11

1292 1294

↓ ↓

实体地址索引	状态
PBA(0-1)	0
PBA(0-2)	1
PBA(0-3)	1
PBA(0-4)	0
⋮	⋮
PBA(N-K)	0

1290

图 12

1302 1304 1306 1308

↓ ↓ ↓ ↓

记录编号字段	起始逻辑地址字段	起始实体可编程单元字段	长度
⋮	⋮	⋮	⋮

1300

图 13

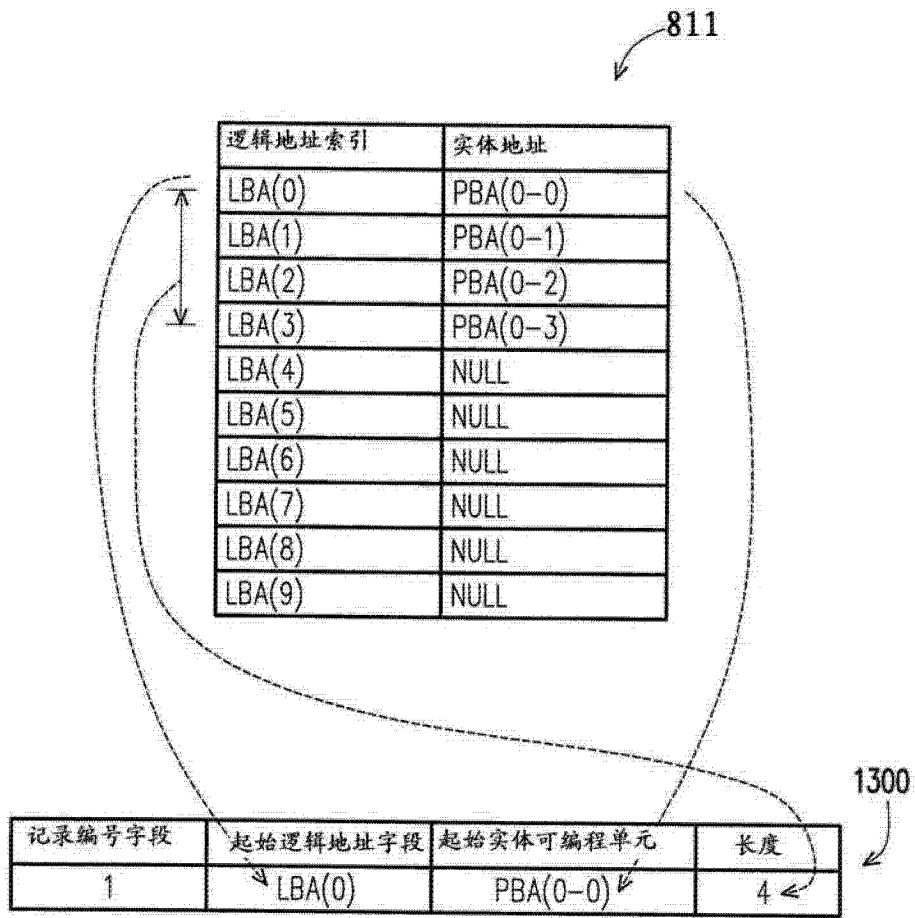


图 14

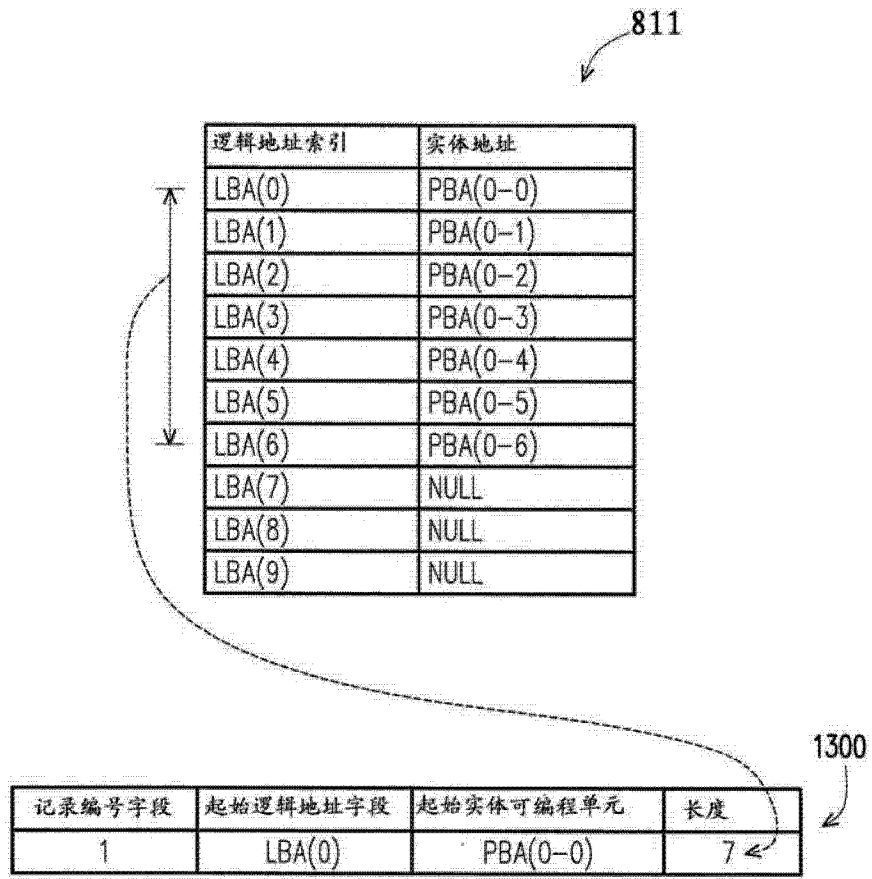


图 15

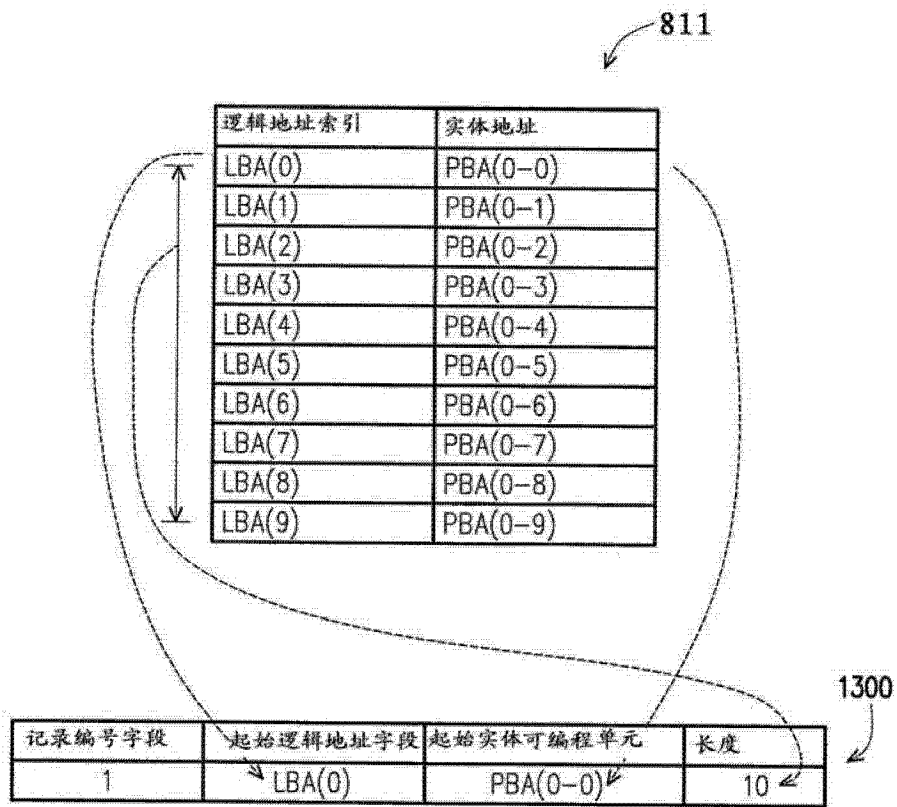


图 16

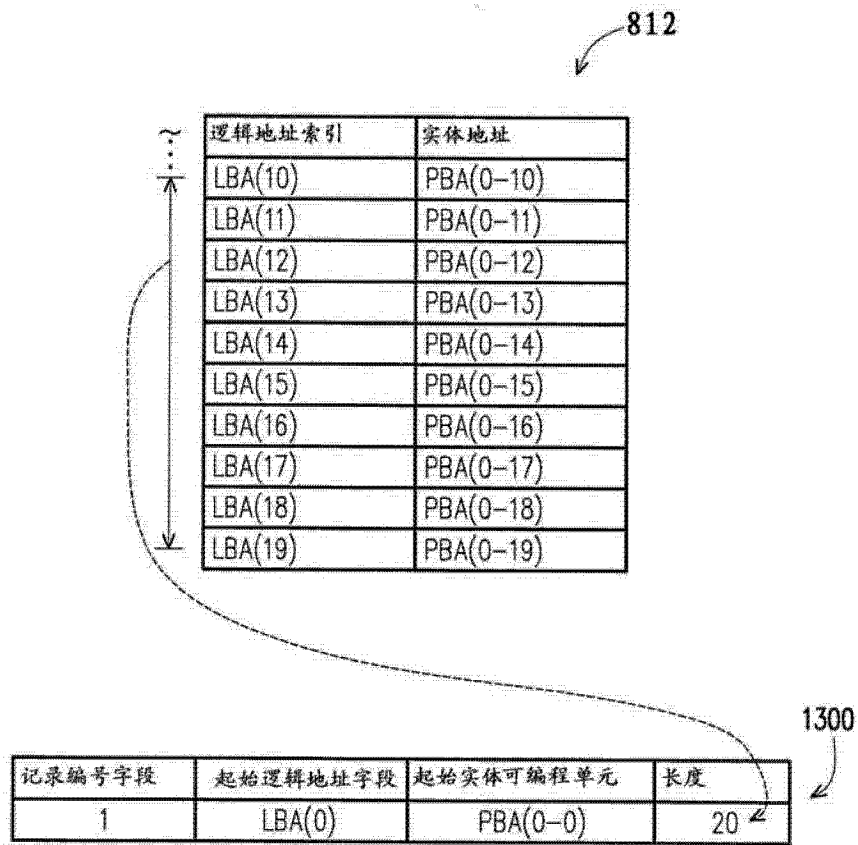


图 17

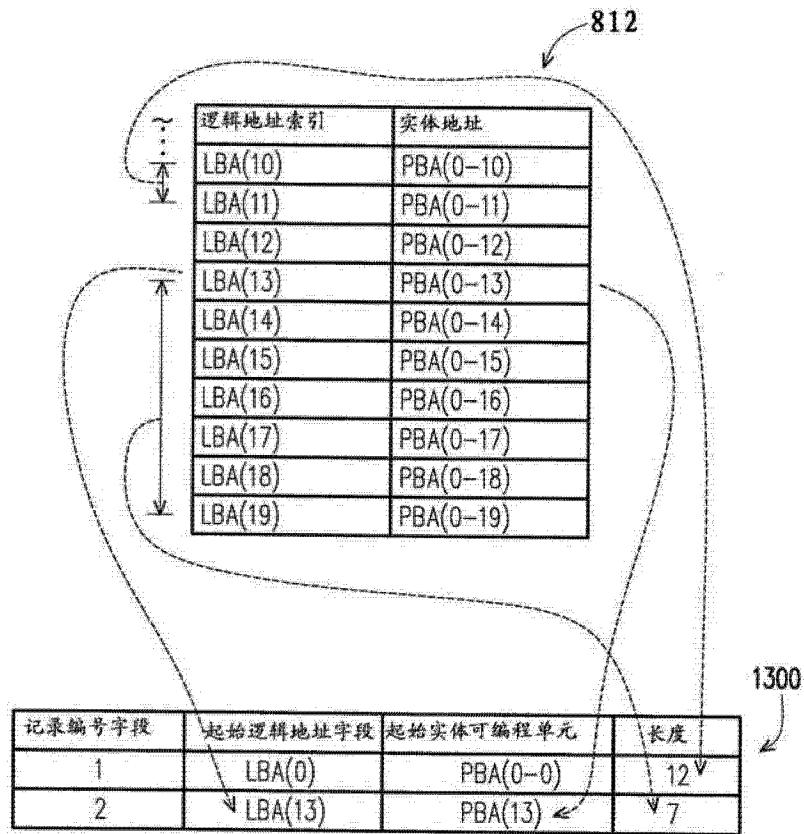


图 18

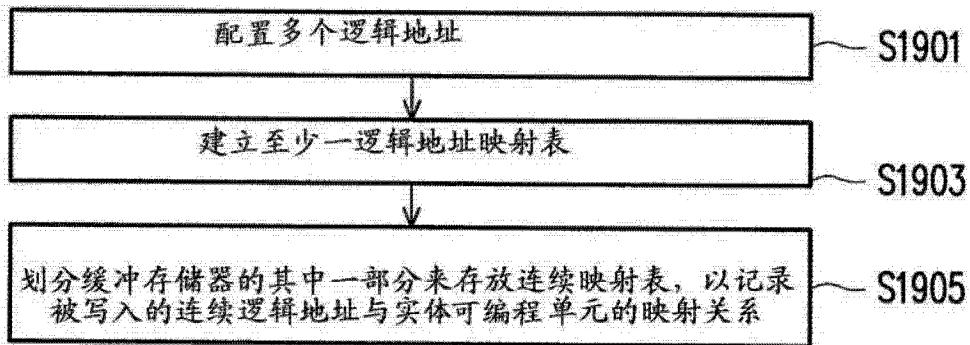


图 19

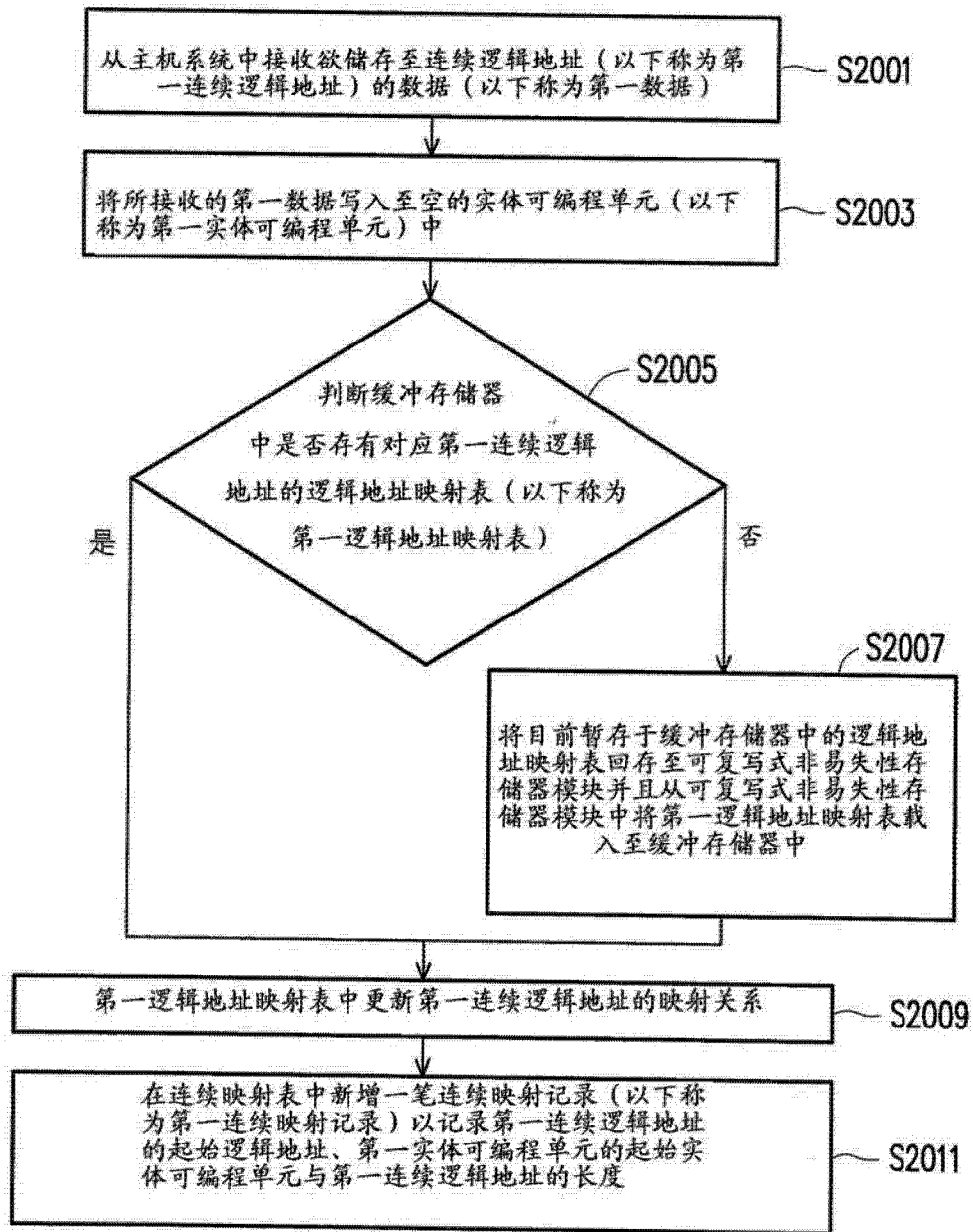


图 20

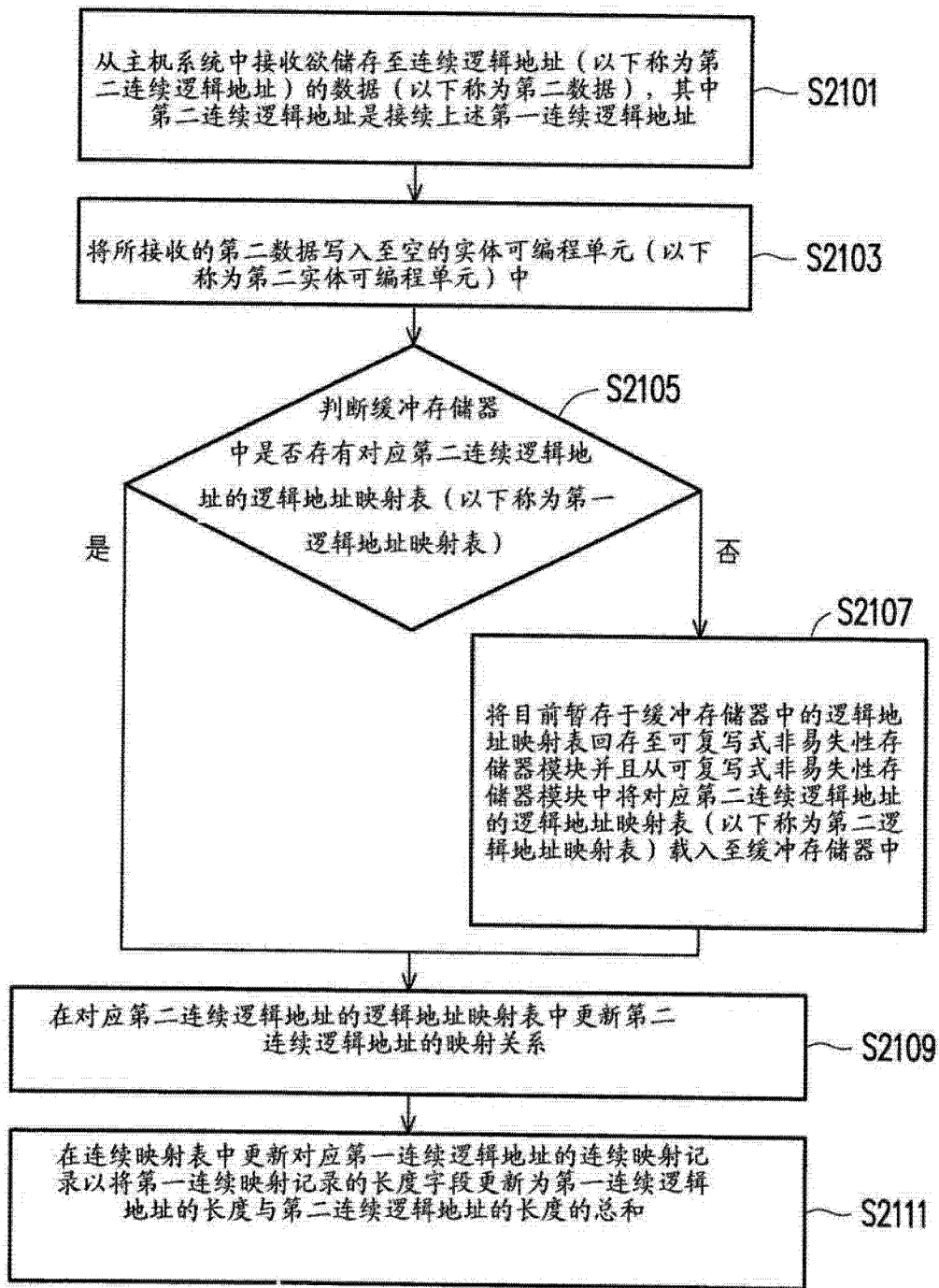


图 21

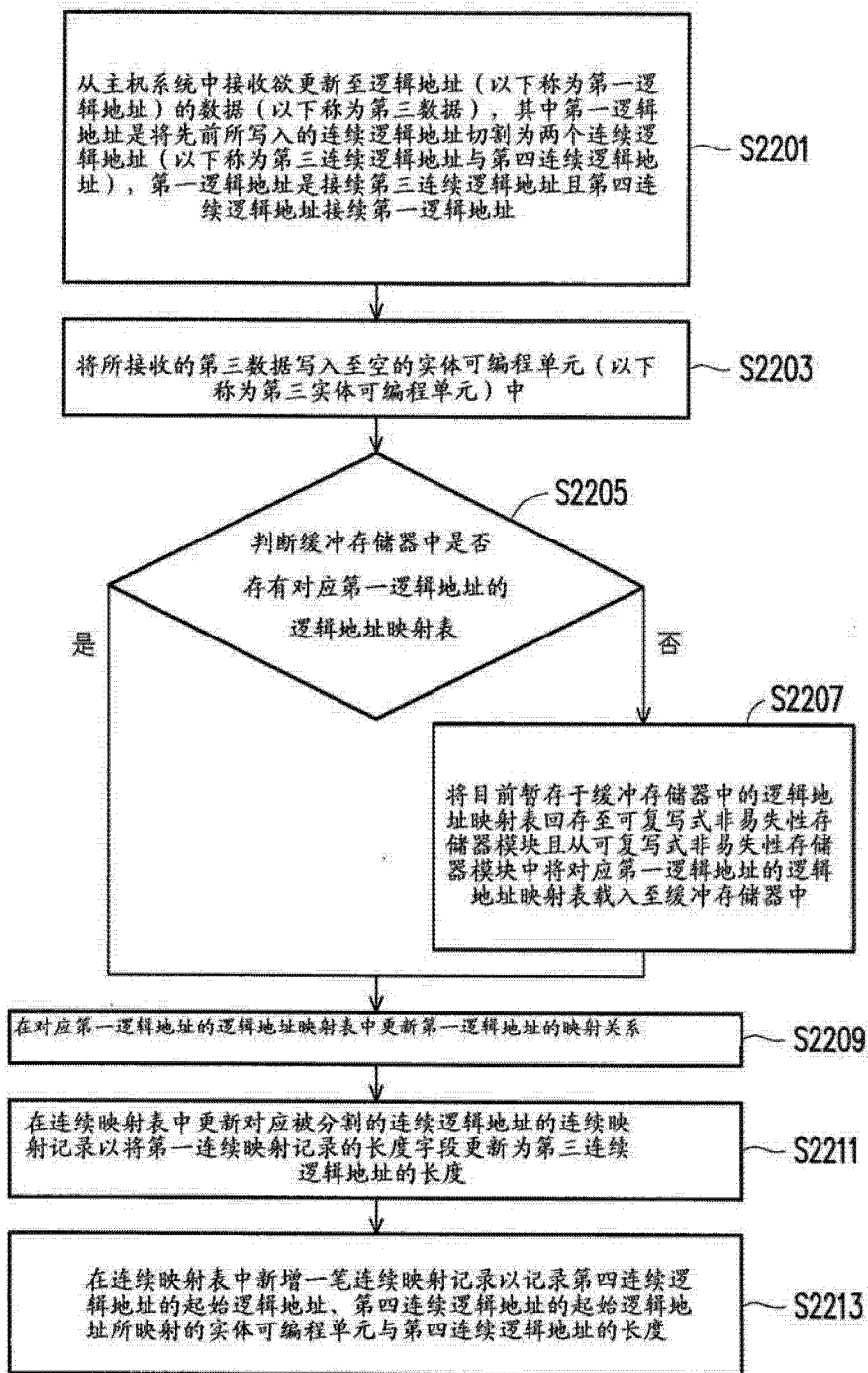


图 22

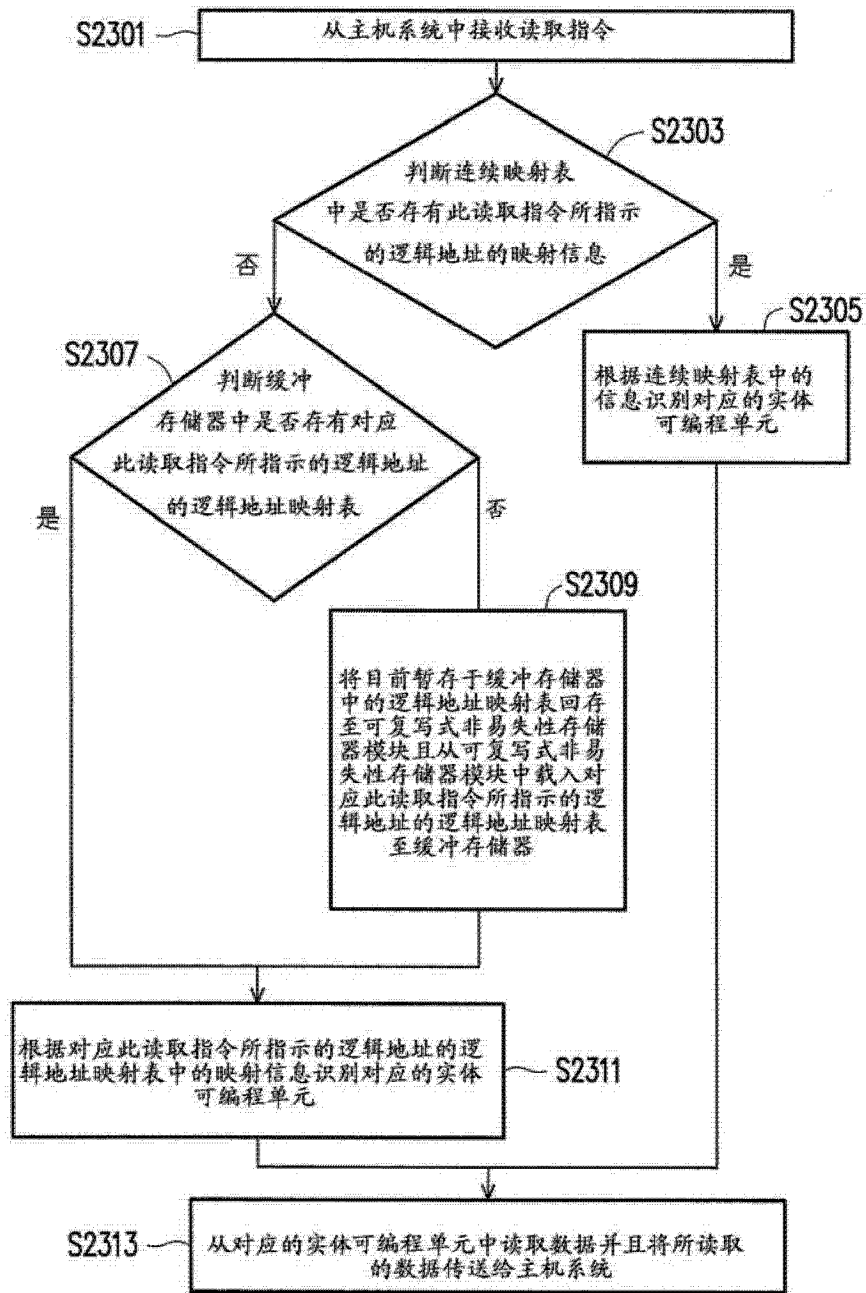


图 23