

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013年9月19日(19.09.2013)



(10) 国際公開番号
WO 2013/136998 A1

- (51) 国際特許分類:
G09G 3/30 (2006.01) G09G 3/36 (2006.01)
G09G 3/20 (2006.01) H01L 51/50 (2006.01)
- (21) 国際出願番号: PCT/JP2013/055310
- (22) 国際出願日: 2013年2月28日(28.02.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-057271 2012年3月14日(14.03.2012) JP
- (71) 出願人: シャープ株式会社 (SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町2番2号 Osaka (JP).
- (72) 発明者: 高濱 健吾 (TAKAHAMA, Kengo). 山中成継 (YAMANAKA, Shigetsugu).
- (74) 代理人: 島田 明宏 (SHIMADA, Akihiro); 〒6340078 奈良県橿原市八木町1丁目10番3号 萬盛庵ビル 島田特許事務所 Nara (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

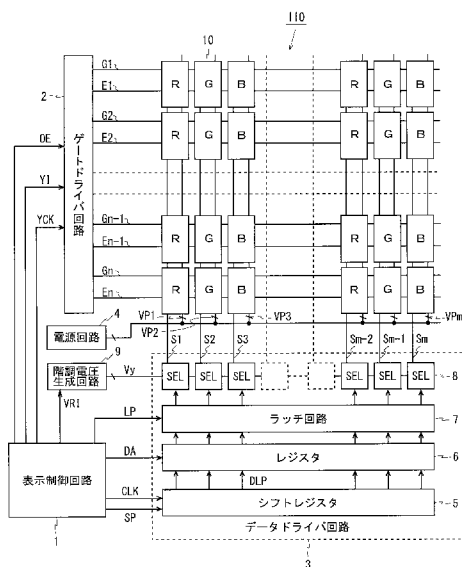
添付公開書類:

- 国際調査報告 (条約第21条(3))

(54) Title: DISPLAY DEVICE

(54) 発明の名称: 表示装置

[図1]



- 1... DISPLAY CONTROL CIRCUIT
- 2... GATE DRIVER CIRCUIT
- 3... DATA DRIVER CIRCUIT
- 4... POWER SOURCE CIRCUIT
- 5... SHIFT REGISTER
- 6... REGISTER
- 7... LATCH CIRCUIT
- 9... GRADATION VOLTAGE GENERATION CIRCUIT

(57) Abstract: A display device (110) equipped with a pixel circuit including an organic EL element has: a display control circuit (1), which calculates the amount of voltage drop (VRI) on a power line due to the act of displaying for each frame on the basis of the integrated value of display data; and a gradation voltage generation circuit (9), which, on the basis of the integrated value, adjusts a voltage as a reference for the gradation voltage to compensate for the amount of voltage drop (VRI). Thereby, the voltage drop of a power distribution line is accurately compensated for without increasing power consumption and without increasing the wires in the pixel circuit.

(57) 要約: 有機EL素子を含む画素回路を備える表示装置(110)は、表示制御回路(1)において、表示による電源線の電圧降下量VRIを表示データの積算値に基づき1フレーム毎に算出し、当該積算値に基づき、階調電圧生成回路(9)において、電圧降下量VRIが補償されるように階調電圧の基準となる電圧を調整する。このことにより、消費電力を増加させず、画素回路内の配線を増加させることなく、電源配線の電圧降下が正確に補償される。

WO 2013/136998 A1

明 細 書

発明の名称：表示装置

技術分野

[0001] 本発明は、表示装置に関し、より詳細的には有機ELディスプレイなどの電流で駆動される自発光型表示素子を備えた表示装置およびその駆動方法に関する。

背景技術

[0002] 薄型、高画質、低消費電力の表示装置として、従来より有機EL (Electro Luminescence) ディ스플레이が知られている。この有機ELディスプレイには、電流で駆動される自発光型表示素子である有機EL素子およびこれを駆動するための駆動用トランジスタを含む画素回路がマトリクス状に複数配置されている。

[0003] このような有機EL素子などの電流駆動型表示素子に流される電流量を制御する方式は、表示素子のデータ信号線電極に流れるデータ信号電流により、表示素子に流すべき電流を制御する定電流型制御方式（または電流プログラム型駆動方式）と、データ信号電圧に応じた電圧により表示素子に流すべき電流を制御する定電圧型制御方式（または電圧プログラム型駆動方式）とに大別される。これらの方式のうち、定電圧型制御方式によって有機ELディスプレイで表示を行うときには、駆動用トランジスタの閾値電圧のばらつきや、有機EL素子に流れる電流の減少（輝度低下）を補償する必要がある。これに対して、定電流型制御方式では、上記閾値電圧や有機EL素子の内部抵抗とは無関係に、有機EL素子に一定の電流が流れるようデータ信号の電流値が制御されるため、通常上記補償は必要とはならない。しかし、この定電流型制御方式では、定電圧型制御方式よりも駆動用トランジスタや配線の数が増加するため、開口率が低下することが知られていることから、定電圧型制御方式が広く採用されている。

[0004] このように定電圧型制御方式を採用する構成において、有機EL素子に流

れるべき電流は、駆動用（制御用）トランジスタによって定められるが、電源電位は必ずしも一定であるわけではなく、電源配線の抵抗および配線を通れる電流により、電圧降下（いわゆるIRドロップ）を生じることがある。

[0005] 特に、表示されるべき画素の平均階調が高い画像（明るい画像）では、電源配線を通れる電流が大きくなるため、駆動トランジスタの制御電圧に上記電圧降下の影響が入り込み、上記電圧降下が大きくなり、その結果、表示される画像の色味がずれてしまったり、低階調部分が黒くつぶれたりするなどの表示品位の低下が生じることがある。

[0006] そこで、このような電圧降下を補償するため、例えば日本特開2004-101767号公報には、有機EL素子に通れる電流を測定することにより、駆動用トランジスタに与えられるべき階調電圧値を適宜に補正する構成の表示装置が開示されている。

[0007] また、例えば日本特開2010-181877号公報には、通常の電源配線である第1の電源配線の他に、電圧降下を補償するための第2の電源配線が設けられ、これら第1および第2の電源配線が適宜に接続される構成の表示装置が開示されている。

先行技術文献

特許文献

[0008] 特許文献1：日本特開2004-101767号公報

特許文献2：日本特開2010-181877号公報

発明の概要

発明が解決しようとする課題

[0009] 上述した日本特開2004-101767号公報に開示されるような、電流を測定する構成を備える表示装置は、実際に通れる電流を計測することができる反面、測定のための電流が必要であることから消費電力が大きくなる。また、測定のための電流に応じた電圧が駆動用トランジスタ（の制御電圧）に対して影響を与えることがあり、その場合には表示品位の低下が生じる

。

[0010] また上述した日本特開2010-181877号公報に開示されるような、電圧降下を補償するための第2の電源配線を備える表示装置は、当該電源配線を設けるための配線領域が必要になることから高精細化が困難となる。また、そもそも第1および第2の電源配線における電位差を上記電圧降下の補償にそのまま使用できるわけではないことから、結果として電圧降下の補償は十分なものにはならない場合が多い。そこで本発明は、消費電力を増加させず、画素回路内の配線を増加させることなく、電源配線の電圧降下を正確に補償する表示装置を提供することを目的とする。

課題を解決するための手段

[0011] 本発明の第1の局面は、アクティブマトリクス型の表示装置であって、
表示すべき画像を表す信号を伝達するための複数の映像信号線と、
前記複数の映像信号線と交差する複数の走査信号線と、
前記複数の映像信号線と前記複数の走査信号線との交差点にそれぞれ対応してマトリクス状に配置された、表示すべき画像を形成するための複数の画素を表示する複数の画素回路と、
前記複数の画素回路に電源電圧を供給する電源線と、
前記複数の走査信号線を選択的に駆動する走査信号線駆動回路と、
前記表示すべき画像を表す信号を印加することにより前記複数の映像信号線を駆動する映像信号線駆動回路と、
前記複数の映像信号線に印加される電圧の基準となる基準電圧に基づき複数の階調電圧を生成する階調電圧生成部と、
前記電源線に電源電圧を与える電源回路と
を備え、
前記複数の画素回路は、前記電源線から与えられる電流により駆動される電気光学素子をそれぞれ含み、
前記階調電圧生成部は、前記複数の画素の表示輝度を示す階調値に基づき、前記画像の表示による前記電源線の電圧降下量を算出し、算出された当該

電圧降下量に基づき、前記基準電圧を設定することを特徴とする。

[0012] 本発明の第2の局面は、本発明の第1の局面において、

前記階調電圧生成部は、

前記複数の画素の少なくとも一部の画素の表示輝度を示す階調値を積算し、当該積算により得られた値に基づき前記電圧降下量を算出する電圧降下量算出部と、

前記電圧降下量に基づき、前記基準電圧を設定する基準電圧設定部と、

前記基準電圧に基づき前記複数の階調電圧値を生成し出力する階調電圧出力部と

を含むことを特徴とする。

[0013] 本発明の第3の局面は、本発明の第2の局面において、

前記基準電圧設定部は、前記電圧降下量に基づき、前記複数の階調電圧の最高値および最低値を前記基準電圧として設定し、

前記階調電圧出力部は、前記最高値および前記最低値に基づき前記複数の階調電圧を生成し出力することを特徴とする。

[0014] 本発明の第4の局面は、本発明の第3の局面において、

前記画素回路は、複数の原色のうちのいずれかの原色を表示し、

前記基準電圧設定部は、前記電圧降下量に基づき、前記最高値および前記最低値の少なくとも一方を前記原色毎に設定し、

前記階調電圧出力部は、前記最高値および前記最低値に基づき、前記原色毎に前記複数の階調電圧値をそれぞれ生成し出力することを特徴とする。

[0015] 本発明の第5の局面は、本発明の第4の局面において、

前記電圧降下量算出部は、同一の原色を表示する複数の画素の少なくとも一部の画素の表示輝度を示す階調値を、前記原色毎にそれぞれ積算し、当該積算により得られた前記原色毎の値に基づき、前記原色毎に前記電圧降下量を算出することを特徴とする。

[0016] 本発明の第6の局面は、本発明の第5の局面において、

前記電源線は、同一の原色を表示する複数の画素を形成する複数の画素回

路に対応する電源電圧を供給するよう、前記原色毎に備えられ、

前記電源回路は、前記原色毎に備えられる電源線に対して前記対応する電源電圧を与えることを特徴とする。

[0017] 本発明の第7の局面は、本発明の第3の局面において、

前記基準電圧設定部は、前記電圧降下量に基づき、前記最高値を前記原色毎に設定するとともに、1つの共通する前記最低値を設定することを特徴とする。

[0018] 本発明の第8の局面は、本発明の第3の局面において、

前記基準電圧設定部は、前記電圧降下量に基づき、前記最低値を前記原色毎に設定するとともに、1つの共通する前記最高値を設定することを特徴とする。

[0019] 本発明の第9の局面は、本発明の第3の局面において、

前記基準電圧設定部は、前記電圧降下量に基づき、前記最高値および前記最低値の双方を前記原色毎に設定することを特徴とする。

[0020] 本発明の第10の局面は、本発明の第3の局面において、

前記階調電圧出力部は、前記複数の階調電圧の数以下の数からなる複数の抵抗により構成される、前記最高値から前記最低値までの電圧を分圧するための抵抗分圧回路であることを特徴とする。

[0021] 本発明の第11の局面は、本発明の第10の局面において、

前記複数の抵抗の値は、所望のガンマ特性が得られるように定められることを特徴とする。

[0022] 本発明の第12の局面は、表示すべき画像を表す信号を伝達するための複数の映像信号線と、前記複数の映像信号線と交差する複数の走査信号線と、

前記複数の映像信号線と前記複数の走査信号線との交差点にそれぞれ対応してマトリクス状に配置された、表示すべき画像を形成するための複数の画素を表示する複数の画素回路と、前記複数の画素回路に電源電圧を供給する電源線とを備えるアクティブマトリクス型の表示装置の駆動方法であって、

前記複数の走査信号線を選択的に駆動する走査信号線駆動ステップと、

前記表示すべき画像を表す信号を印加することにより前記複数の映像信号線を駆動する映像信号線駆動ステップと、

前記複数の映像信号線に印加される電圧の基準となる基準電圧に基づき複数の階調電圧を生成する階調電圧生成ステップと、

前記電源線に電源電圧を与える電源ステップとを備え、

前記複数の画素回路は、前記電源線から与えられる電流により駆動される電気光学素子をそれぞれ含み、

前記階調電圧生成ステップでは、前記複数の画素の表示輝度を示す階調値に基づき、前記画像の表示による前記電源線の電圧降下量を算出し、算出された当該電圧降下量に基づき、前記基準電圧を設定することを特徴とする。

発明の効果

[0023] 上記本発明の第1の局面によれば、階調電圧生成部によって、複数の画素の表示輝度を示す階調値に基づき、画像の表示による電源線の電圧降下量を算出し、算出された当該電圧降下量に基づき、基準電圧を設定するので、電圧降下量を検出するための検出電流を流す必要がないことから消費電力を増加させることがなく、電圧降下量を検出するための配線を設ける必要がないことから画素回路内の配線を増加させることなく、電圧降下を正確に補償することができる。

[0024] 上記本発明の第2の局面によれば、階調値を積算し、当該積算により得られた値に基づき電圧降下量を算出するので、消費電力を増加させることがなく、画素回路内の配線を増加させることなく、簡易な構成で、電圧降下を正確に補償することができる。

[0025] 上記本発明の第3の局面によれば、階調電圧の最高値および最低値を基準電圧として設定し、最高値および最低値に基づき階調電圧を生成し出力するので、特別な回路構成を要することなく、簡易な構成で、電圧降下を正確に補償することができる。

[0026] 上記本発明の第4の局面によれば、最高値および最低値の少なくとも一方

を原色毎に設定し、原色毎に階調電圧値をそれぞれ生成し出力するので、色毎に画素回路の構成が異なる場合、典型的には電気光学素子の駆動手段の構成が異なる場合には、色毎の画素回路の構成に合わせて適切な階調電圧を与えることができ、電圧降下をより正確に補償することができるとともに、表示品位を向上させることができる。

[0027] 上記本発明の第5の局面によれば、階調値を原色毎にそれぞれ積算し、当該積算により得られた原色毎の値に基づき、原色毎に前記電圧降下量を算出するので、色毎に電圧降下をより正確に補償することができる。

[0028] 上記本発明の第6の局面によれば、電源線が原色毎に備えられ、原色毎に備えられる電源線に対して対応する電源電圧を与えるので、各電源線の電圧降下が互いに干渉しない。したがって、各電源線において電圧降下量自体が小さくすることができるとともに、色毎に電圧降下をより正確に補償することができる。

[0029] 上記本発明の第7の局面によれば、最高値を原色毎に設定するとともに、1つの共通する最低値を設定するので、共通する回路等を使用することにより、製造コストを下げることもできるとともに、電圧降下による低階調側の階調変化を抑制することができるので、表示品質を向上させることができる。

[0030] 上記本発明の第8の局面によれば、最低値を原色毎に設定するとともに、1つの共通する最高値を設定するので、共通する回路等を使用することにより、製造コストを下げることもできるとともに、最低値を適宜に調整すれば、色味のズレが生じる場合であっても、容易に調整することができ、表示品質を向上させることができる。

[0031] 上記本発明の第9の局面によれば、最高値および最低値の双方を原色毎に設定することができるので、共通する回路等を使用することにより、製造コストを下げることもできるとともに、電圧降下による低階調側の階調変化を抑制することができ、かつ色味のズレが生じる場合であっても容易に調整することができるので、表示品質をさらに向上させることができる。

[0032] 上記本発明の第10の局面によれば、最高値から最低値までの電圧を分圧するための抵抗分圧回路が使用されるので、階調電圧を簡易な回路構成で容易に生成することができる。また、このような抵抗分圧回路を使用することにより、無効な出力電圧が生じず、高精度な階調データを生成することが可能になる。

[0033] 上記本発明の第11の局面によれば、複数の抵抗の値が所望のガンマ特性が得られるように定められるので、表示品位を向上させることができる。

[0034] 上記本発明の第12の局面によれば、上記本発明の第1の局面と同様の効果を、対応する表示装置の駆動方法において奏することができる。

図面の簡単な説明

[0035] [図1]本発明の第1の実施形態に係る表示装置の構成を示すブロック図である。

[図2]上記実施形態における画素回路の回路図である。

[図3]上記実施形態における画素回路の駆動方法を示すタイミングチャートである。

[図4]上記実施形態における表示制御回路の詳細な構成を示すブロック図である。

[図5]上記実施形態における電圧降下量算出部の詳細な構成を示すブロック図である。

[図6]上記実施形態におけるR画素算出部の詳細な構成を示すブロック図である。

[図7]上記実施形態におけるR画素算出部に含まれる各構成要素の動作を説明するためのタイミングチャートである。

[図8]上記実施形態における階調電圧生成回路の詳細な構成を示すブロック図である。

[図9]上記実施形態における抵抗分圧回路の詳細な構成を示す回路図である。

[図10]上記実施形態における発光輝度と表示階調の関係を示す図である。

[図11]上記実施形態における各色の画素回路に含まれる駆動用TFTの動作

点を示す図である。

[図12]本発明の第2の実施形態に係る表示装置の構成を示すブロック図である。

[図13]上記実施形態における階調電圧生成回路の詳細な構成を示すブロック図である。

[図14]上記実施形態におけるR階調電圧生成回路の詳細な構成を示すブロック図である。

[図15]上記実施形態における各色の画素回路に含まれる駆動用TFTの動作点を示す図である。

[図16]上記実施形態の第1の変形例の構成を説明するための図である。

[図17]上記変形例において、最高値VCHを変化させることによる表示品質の向上効果を説明するための図である。

[図18]上記実施形態における第2の変形例の構成を説明するための図である。

[図19]上記変形例において、最低値VCLを変化させることによる表示品質の向上効果を説明するための図である。

[図20]本発明の第3の実施形態に係る表示装置の構成を示すブロック図である。

[図21]上記実施形態における電圧降下量算出部および階調電圧生成回路の詳細な構成を示すブロック図である。

[図22]上記実施形態におけるR階調電圧生成回路の詳細な構成を示すブロック図である。

発明を実施するための形態

[0036] <1. 第1の実施形態>

<1.1 全体構成>

図1は、本発明の第1の実施形態に係る表示装置の構成を示すブロック図である。図1に示す表示装置110は、表示制御回路1、ゲートドライバ回路2、データドライバ回路3、電源回路4、階調電圧生成回路9、および（

$m \times n$) 個の画素回路 10 を備えた有機 EL ディスプレイである。以下、 m および n は 2 以上の整数、 i は 1 以上 n 以下の整数、 j は 1 以上 m 以下の整数であるとする。

[0037] 表示装置 110 には、互いに並行な n 本の走査信号線 G_i およびこれに直交する互いに並行な m 本のデータ線 S_j が設けられる。なお、図中では省略されているが、後述する初期化制御のための走査信号線 G_0 がさらに設けられている。 $(m \times n)$ 個の画素回路 10 は、走査信号線 G_i とデータ線 S_j の各交差点に対応してマトリクス状に配置されており、表示画像を構成する各色の画素を表示する。また、走査信号線 G_i と並行に、 n 本の制御線 E_i が設けられ、データ線 S_j と並行に、2 本の配線を 1 組とした n 組の電源線 V_{P_i} が設けられる。走査信号線 G_i および制御線 E_i は、ゲートドライバ回路 2 に接続され、データ線 S_j は、データドライバ回路 3 に接続される。電源線 V_{P_i} は、後述する 2 つの電位を与える 2 つの配線からなり、対応する電流供給用幹配線である 2 つの共通電源線を介して電源回路 4 に接続される。画素回路 10 には、図示しない共通電極により共通電位 V_{com} が供給される。なお、ここでは 2 本 1 組の電源線 V_{P_i} の一端が 2 本 1 組の共通電源線に接続される構成であるが、その両端（または 3 つ以上の接続点）でそれぞれ接続される構成であってもよい。

[0038] 表示制御回路 1 は、ゲートドライバ回路 2、データドライバ回路 3、および電源回路 4 に対して制御信号を出力する。より詳細には、表示制御回路 1 は、ゲートドライバ回路 2 に対してタイミング信号 OE 、スタートパルス YI およびクロック YCK を出力し、データドライバ回路 3 に対してスタートパルス SP 、クロック CLK 、表示データ DA およびラッチパルス LP を出力し、電源回路 4 に対して制御信号 CS を出力し、階調電圧生成回路 9 に対して後述する電源線の電圧降下量 VR_I を出力する。

[0039] ゲートドライバ回路 2 は、シフトレジスタ回路、論理演算回路、およびバッファ（いずれも図示せず）を含んでいる。シフトレジスタ回路は、クロック YCK に同期してスタートパルス YI を順次転送する。論理演算回路は、

シフトレジスタ回路の各段から出力されたパルスとタイミング信号OEとの間で論理演算を行う。論理演算回路の出力は、バッファを經由して、対応する走査信号線Giおよび制御線Eiに与えられる。走査信号線Giにはm個の画素回路10が接続されており、画素回路10は走査信号線Giを用いてm個ずつ一括して選択される。

[0040] 階調電圧生成回路9は、データ線Sjに与えられるべき複数の階調電圧Vyを出力する。この複数の階調電圧Vyは、表示階調値に対応するアナログ電圧信号であって、表示制御回路1から与えられる電圧降下量VRIに基づき、後述するように有機EL素子の発光による電源電圧の降下が補償される。

[0041] データドライバ回路3は、mビットのシフトレジスタ5、レジスタ6、ラッチ回路7、およびm個のセクタ回路8を含んでいる。シフトレジスタ5は、縦続接続されたm個のレジスタを有し、初段のレジスタに供給されたスタートパルスSPをクロックCLKに同期して転送し、各段のレジスタからタイミングパルスDLPを出力する。タイミングパルスDLPの出力タイミングに合わせて、レジスタ6には表示データDAが供給される。レジスタ6は、タイミングパルスDLPに従い、表示データDAを記憶する。レジスタ6に1行分の表示データDAが記憶されると、表示制御回路1はラッチ回路7に対してラッチパルスLPを出力する。ラッチ回路7は、ラッチパルスLPを受け取ると、レジスタ6に記憶された表示データを保持する。セクタ回路8は、データ線Sjに対応して設けられる。セクタ回路8は、階調電圧生成回路9からの複数の階調電圧Vyから、ラッチ回路7に保持された表示データに対応する階調電圧を選択し出力する。すなわち、セクタ回路8は、ラッチ回路7に保持された表示データをアナログ電圧に変換する機能を有している。

[0042] 電源回路4は、制御信号CSに基づき、2本の配線からなる共通電源線のうちの一方の配線に電源電位VDDを、他方の配線に初期化電位Viniをそれぞれ印加する。図1に示すように、電源線VPiは、共通電源線に接続

されるので、電源線 $V P i$ の配線の一方は電源電位 $V D D$ となり、他方は初期化電位 $V i n i$ となる。

[0043] <1. 2 画素回路の構成>

図2は、画素回路10の回路図である。図2に示すように、画素回路10は、6つのTFT11~16と、有機EL素子17と、データ保持用コンデンサ18とを含んでいる。6つのTFT11~16は、いずれもpチャネル型トランジスタである。なお、これらを全てnチャネル型トランジスタにより構成してもよいし、場合により併せて使用する構成であってもよい。

[0044] 例えば、nチャネル型トランジスタにより構成する場合には、各TFTやコンデンサの接続関係を変更することなく、電源電位や制御線のレベル等を反転することにより、同様の動作を容易に実現することができる。

[0045] 6つのTFT11~16は、それぞれ、初期化制御トランジスタ、書き込み制御トランジスタ、駆動用トランジスタ、および発光制御トランジスタとして機能する。なお、これらの機能は主たる機能を説明するためのものであって、その他の機能を有していてもよい。これらの機能の内容については後述する。また、有機EL素子17は、電気光学素子として機能する。

[0046] なお、本明細書において、電気光学素子とは、有機EL素子の他、FED (Field Emission Display)、LED、電荷駆動素子、液晶、Eインク (Electronic Ink) など、電気を与えることにより光学的な特性が変化する全ての素子をいうものとする。また、以下では電気光学素子として有機EL素子を例示するが、電流量に応じて発光量が制御される発光素子であれば同様の説明が可能である。

[0047] 図2に示すように、画素回路10は、2本の走査信号線 $G i$ 、 $G (i - 1)$ 、制御線 $E i$ 、データ線 $S j$ 、2本1組の電源線 $V P j$ 、および共通電位 $V c o m$ を有する電極に接続される。TFT11のソース端子は、TFT13の一方の導通端子およびTFT15の一方の導通端子に接続され、TFT11のドレイン端子は、TFT12の一方の導通端子およびTFT14の一方の導通端子に接続される。

[0048] T F T 1 3 の他方の導通端子は、電源線 V P j のうち電源電位 V D D を与える配線に接続される。T F T 1 5 の他方の導通端子は、データ線 S j に接続される。T F T 1 4 の他方の導通端子は、有機 E L 素子 1 7 のアノード端子に接続される。

[0049] また、T F T 1 2 の一方の導通端子は、T F T 1 1 のドレイン端子に接続され、T F T 1 2 の他方の導通端子は、T F T 1 1 のゲート端子（制御端子）に接続される。このように接続されることにより、T F T 1 1 のダイオード接続が可能になる。

[0050] さらに T F T 1 6 の一方の導通端子は、電源線 V P j のうち初期化電位 V i n i を与える配線に接続され、T F T 1 6 の他方の導通端子は、T F T 1 1 のゲート端子に接続される。データ保持用コンデンサ 1 8 の一端もこの T F T 1 1 のゲート端子に接続され、他端は、電源線 V P j のうち電源電位 V D D を与える配線に接続される。有機 E L 素子 1 7 のカソード端子には、共通電位 V c o m が印加される。

[0051] 走査信号線 G i には、T F T 1 2, 1 5 のゲート端子（制御端子）がそれぞれ接続される。これらの T F T 1 2, 1 5 は、書き込み制御トランジスタとして機能する。走査信号線 G (i - 1) には、T F T 1 6 のゲート端子（制御端子）が接続される。この T F T 1 6 は、初期化制御トランジスタとして機能する。制御線 E i には、T F T 1 3, 1 4 のゲート端子（制御端子）がそれぞれ接続される。これらの T F T 1 3, 1 4 は、発光制御トランジスタとして機能する。

[0052] < 1. 3 画素回路の動作 >

図 3 は、画素回路 1 0 の駆動方法を示すタイミングチャートである。時刻 t 1 より前では、走査信号線 G (i - 1) , G i の電位はハイレベル、すなわち非アクティブであり、制御線 E i の電位はローレベル、すなわちアクティブである。時刻 t 1 の直前に制御線 E i の電位が非アクティブとなって前フレームで発光が停止され、時刻 t 1 において、走査信号線 G (i - 1) がアクティブとなることにより、T F T 1 1 のゲート端子と電源線 V P j のう

ち初期化電位 V_{ini} を与える配線とが導通され、データ保持用コンデンサ 18 の一端（および駆動用トランジスタとして機能する T F T 11 のゲート端子）に、初期化電位 V_{ini} が書き込まれる。以上の動作は、初期化動作と呼ばれる。

[0053] 時刻 t_2 において、走査信号線 $G(i-1)$ が非アクティブとなり、走査信号線 G_i がアクティブとなることにより、T F T 12, 15 がオンされる。また、データ線 S_j の電位は表示データに応じた電位となる。以下、この電位を「データ電位 V_{data} 」と呼ぶ。このため、T F T 11 のソース端子の位置に図示されているノード B の電位は T F T 11 のゲートとドレインがショート接続されるので、 $V_{data} - V_{th}$ (V_{th} は T F T 11 の閾値電圧) まで変化し、当該電圧で安定する。なお、このときは T F T 14 がオフされているため、有機 E L 素子 17 に電流は流れない。

[0054] 時刻 t_3 において、走査信号線 G_i が非アクティブとなることにより、T F T 12, 15 がオフされ、データ保持用コンデンサ 18 は、他端を電源電位 V_{DD} に接続されているため、 $(V_{DD} - V_{data} + V_{th})$ の電圧を保持する。以上の動作は、書き込み動作と呼ばれる。

[0055] ここで、データ保持用コンデンサ 18 の容量値を c とするとき、データ保持用コンデンサ 18 の蓄積電荷 Q は、次式 (1) のように表される。

$$Q = c \times (V_{DD} - V_{data} + V_{th}) \quad \dots (1)$$

[0056] 時刻 t_4 において、制御線 E_i がアクティブとなると、T F T 13, 14 がオンされる。そのことにより有機 E L 素子 17 に電流が流れ、発光が開始される。このとき、ノード B の電位は、電源電位 V_{DD} となり、かつデータ保持用コンデンサ 18 の両端子間の電圧（すなわち、図示されるノード A とノード B との間の電位差）は時刻 t_4 直前の両端子間の電圧と等しくなる。以下この電圧を V_{gs} とする。そして、書き込み期間が終了した後、各 T F T の接続関係よりノード A から逃げる電荷はないことが明らかであるため、データ保持用コンデンサ 18 の蓄積電荷 Q は保存される。したがって、上記電圧 V_{gs} は次式 (2) のように表される。

$$V_{gs} = (V_{DD} - V_{data}) + V_{th} \quad \dots (2)$$

[0057] 以上のような発光期間（時刻 t_4 ～）において、電源電位 V_{DD} は TFT 11 を飽和領域で動作させる値となっているため、発光期間において TFT 11 を流れる電流 I_{ds} は、チャネル長変調効果を見れば、次式 (3) で与えられる。

$$I_{ds} = 1/2 \cdot W/L \cdot \mu \cdot C_{ox} (V_{gs} - V_{th})^2 \quad \dots (3)$$

ただし、上式 (3) において、 W はゲート幅、 L はゲート長、 μ はキャリア移動度、 C_{ox} はゲート酸化膜容量である。

[0058] そして、上式 (2) および上式 (3) から、次式 (4) が導かれる。

$$I_{ds} = 1/2 \cdot \beta \cdot (V_{DD} - V_{data})^2 \quad \dots (4)$$

ただし、上式 (4) において、 $\beta = W/L \cdot \mu \cdot C_{ox}$ とする。

[0059] 上式 (4) に示す電流 I_{ds} は、データ電位 V_{data} に応じて変化するが、TFT 11 の閾値電圧 V_{th} には依存しない。したがって、閾値電圧 V_{th} がばらつく場合や、閾値電圧 V_{th} が経時的に変化する場合でも、有機 EL 素子 17 にデータ電位 V_{data} に応じた電流を流し、有機 EL 素子 17 を所望の輝度で発光させることができる。

[0060] 以上のように、制御線 E_i の電位がアクティブの間、有機 EL 素子 17 に電流が流れ続けるため、 i 行目の画素回路 10 は与えられたデータ電位に応じた輝度で点灯する。このとき ($i+1$) 行目以降の画素回路 10 は、書き込み期間中である場合がある。すなわち、ある画素回路が書き込み期間中に、それより前の行の画素回路は点灯している。そのため、電源電位 V_{DD} は電圧降下（いわゆる IR ドロップ）を生じていることがあり、電源電位 V_{DD} の変化（ここでは低下）は、上式 (4) から明らかのように、TFT 11 を介して有機 EL 素子 17 に流れる電流 I_{ds} を変化（ここでは低下）させる。

[0061] この電源電位 V_{DD} の変化量（電圧降下量）は、電源配線の抵抗値（正確には電源回路から有機 EL 素子までの電流経路の抵抗値） R_{vdd} に、配線を通る電流値 I_{drv} を乗算した値 ($R_{vdd} \cdot I_{drv}$) と表せるので

、上式（４）における電源電位 V_{DD} を電源回路４における電源電位とすると、発光期間において電圧降下の影響を受けた $TFT11$ を流れる電流 I_{ds}' は次式（５）のように表すことができる。

$$I_{ds}' = 1/2 \cdot \beta \cdot (V_{DD} - R_{vdd} \cdot I_{drv} - V_{data})^2 \dots (5)$$

[0062] したがって、この電圧降下の影響を補償するためには、上式（５）における V_{data} の電位もまた、電源電位 V_{DD} の変化と同一値（ $R_{vdd} \cdot I_{drv}$ ）だけ変化させればよい。このような変化は、具体的には、階調電圧生成回路９において生成される階調電圧を変化させることによりなされるが、この階調電圧生成回路９の構成については後述することとし、まず上記電圧降下量（ $R_{vdd} \cdot I_{drv}$ ）の算出を行う表示制御回路１の構成について説明する。

[0063] < 1. 4 表示制御回路の構成 >

図４は、表示制御回路１の詳細な構成を示すブロック図である。この表示制御回路１は、フレームメモリ２０と、電圧降下量算出部３０と、タイミング制御部４０とを備えている。

[0064] タイミング制御部４０は、外部から送られるタイミング制御信号 TS を受け取り、フレームメモリ２０および電圧降下量算出部３０の各動作を制御するための制御信号 CT と、ゲートドライバ回路２に対して出力されるタイミング信号 OE 、スタートパルス YI およびクロック YCK と、データドライバ回路３に対して出力されるスタートパルス SP 、クロック CLK 、およびラッチパルス LP と、電源回路４に対して出力される制御信号 CS とをそれぞれ生成する。これらの信号の内容およびタイミングは、従来の表示装置と同様であるので詳しい説明は省略する。

[0065] フレームメモリ２０は、外部からの表示データ信号 DAT を１フレーム分記憶する。また、フレームメモリ２０は、タイミング制御部４０からの制御信号 CT に基づき、記憶した１フレーム分の表示データ信号 DAT を順にデータドライバ回路３に対して表示データ DA として出力する。したがって、

フレームメモリ20に記憶された後に出力される表示データDAは、外部から与えられる表示データ信号DATから見て、1フレーム前のデータとなっている。なお、このフレームメモリ20は、表示制御回路1に表示データ信号DATを与える図示されないホストコントローラに内蔵されていてもよいし、データドライバ回路3を含む集積回路内に内蔵されていてもよい。

[0066] 電圧降下量算出部30は、外部からの表示データ信号DATに含まれる各表示階調値（画素階調値）を積算し、積算値に対して所定の値を乗算することにより、電圧降下値VRIを算出し、階調電圧生成回路9に対して出力する。次に、図5および図6を参照して、この電圧降下量算出部30の詳しい構成について説明する。

[0067] 図5は、電圧降下量算出部の詳細な構成を示すブロック図である。この電圧降下量算出部30は、赤色を表示する画素回路（以下R画素という）についての電圧降下量VRI_rを算出するR画素算出部31と、緑色を表示する画素回路（以下G画素という）についての電圧降下量VRI_gを算出するG画素算出部32と、青色を表示する画素回路（以下B画素という）についての電圧降下量VRI_bを算出するB画素算出部33と、これら各色画素毎の電圧降下量VRI_r、VRI_g、VRI_bを合算する加算器35とを備える。

[0068] この図5に示されるR画素算出部31は、表示データ信号DATに含まれるR画素に与えられる8ビットの表示データ信号である赤色表示データ信号DAT_rに含まれる赤色表示データを積算し、R画素が表示される（発光することによる電圧降下量）を出力する。また、G画素算出部32は、表示データ信号DATに含まれるG画素に与えられる8ビットの表示データ信号である緑色表示データ信号DAT_gに含まれる緑色表示データを積算し、G画素が表示される（発光することによる電圧降下量）を出力する。さらに、B画素算出部33は、表示データ信号DATに含まれるB画素に与えられる8ビットの表示データ信号である青色表示データ信号DAT_bに含まれる青色表示データを積算し、B画素が表示される（発光することによる電圧降下

量を出力する。このように、R画素算出部31と、G画素算出部32と、B画素算出部33とは入出力されるデータの内容を除き、同様の動作を行うので、以下では図6および図7を参照して、R画素算出部31の詳細な構成および動作を例に説明し、G画素算出部32およびB画素算出部33の詳細な構成および動作の説明は省略する。

[0069] 図6は、R画素算出部の詳細な構成を示すブロック図である。この図6に示されるように、R画素算出部31は、2乗算出部311と、加算器312と、第1のフリップフロップ回路313と、第2のフリップフロップ回路314と、乗算器315と、レジスタ316とを備える。

[0070] 図6に示される2乗算出部311は、外部から受け取った赤色表示データ信号DAT_rに含まれる8ビットの赤色表示データに対して、2乗となる値を算出し、19ビットのデータとして出力する。出力された2乗値は、加算器312のB端子に与えられる。なお、このような2乗の計算は、例えば予め計算結果を記載したルックアップテーブルを参照する手法など、周知の手法を採用することにより容易に実現可能である。

[0071] 加算器312は、第1のフリップフロップ回路313のQ1端子から出力される値をA端子から受け取り、このA端子から受け取った値と、B端子から受け取った上記2乗値とを加算し、S端子から出力する。

[0072] 第1のフリップフロップ回路313は、加算器312のS端子から出力される上記加算値をD1端子から受け取る。また、水平同期信号であるクロック信号CLKをクロック端子（CK端子）から受け取り、垂直同期信号であるスタートパルスYIをリセット端子（RS端子）から受け取る。

[0073] このような入力信号に応じて、第1のフリップフロップ回路313は、クロック信号CLKが立ち上がる毎に、赤色表示データである階調値の積算値を得ることができる。

[0074] また第2のフリップフロップ回路314は、第1のフリップフロップ回路313のQ1端子から出力される値をD2端子から受け取る。また、垂直同期信号であるスタートパルスYIをクロック端子（CK端子）から受け取り

、その時にラッチした値をQ 2端子から出力する。以上のような第1および第2のフリップフロップ回路3 1 3, 3 1 4の動作を図7を参照して説明する。

[0075] 図7は、R画素算出部に含まれる各構成要素の動作を説明するためのタイミングチャートである。この図7に示されるように、イネーブル信号であるタイミング信号OEがアクティブであるときに赤色表示データ信号DATrが与えられ、2. 2乗算出部3 1 1は、赤色表示データの2. 2乗値を出力信号LUTRとして出力し、加算器3 1 2のB端子に与える。なお、図中では、i列j行目の赤色表示データの値を「R i j」と表記し、例えばi = 1、j = 1の場合の赤色表示データの値を「R 1 1」と表記する。

[0076] 図6および図7を参照すればわかるように、第1のフリップフロップ回路3 1 3は、垂直同期信号であるスタートパルスYIが非アクティブに変化した時点（立ち下がり時点）でリセットされるので、その時点で出力端子Q 1から出力される値はゼロとなる。その後、2. 2乗算出部3 1 1から赤色表示データ値R 1 1の2. 2乗値が出力されると、加算器3 1 2のA端子の値はゼロなので、S端子からは2. 2乗値（ $R 1 1^{2.2}$ ）が出力される。

[0077] 次に、クロック信号CLKが立ち上がると、上記S端子から出力される2. 2乗値（ $R 1 1^{2.2}$ ）がラッチされ、この値がQ 1端子から出力される。出力された値は、加算器3 1 2のA端子に与えられ、続いて加算器3 1 2のB端子に与えられる2. 2乗値（ $R 1 2^{2.2}$ ）と加算され、S端子から出力される。

[0078] さらに次のクロック信号CLKが立ち上がると、上記S端子から出力される加算値（ $R 1 1^{2.2} + R 1 2^{2.2}$ ）がラッチされ、この値がQ 1端子から出力される。そうして、クロック信号CLKが立ち上がる毎に、赤色表示データの2. 2乗値が積算される動作が繰り返される。この動作は、次の垂直同期信号であるスタートパルスYIの立ち下がりでリセットされるまで繰り返される。すなわち、1フレーム分の赤色表示データの2. 2乗値が積算されることになる

[0079] そして、この次の垂直同期信号であるスタートパルスY1は、第2のフリップフロップ回路314のクロック端子（CK端子）に与えられるので、その時にラッチした値、すなわち1フレーム分の赤色表示データの2.2乗値の積算値が第2のフリップフロップ回路314のQ2端子から出力される。その後、第1のフリップフロップ回路313がリセットされても、第2のフリップフロップ回路314の出力値は変化しないので、結局、1フレーム期間中、上記積算値がQ2端子から出力される。

[0080] 乗算器315は、第2のフリップフロップ回路314から受け取ったこの積算値と、レジスタ316から受け取った係数値VDrとを乗算することにより、赤色の画素回路における電圧降下量VRlrを算出し出力する。

[0081] ここで、赤色の画素回路の総数が $(n \cdot m / 3)$ 個であることから、赤色の画素回路全てにより最大階調値255での表示がなされる場合の（Q2端子から出力される）上記積算値は、 $(255^{2.2} \cdot (n \cdot m / 3))$ となる。

[0082] したがって、係数値VDrは、赤色の画素回路全てにより最大階調での表示がなされる場合に生じるべき電圧降下量を $(VRlr255)$ とすれば、次式（6）のように表すことができる。

$$VDr = (VRlr255)^{2.2} / (255^{2.2} \cdot (n \cdot m / 3)) \quad \dots (6)$$

[0083] なお、この上記電圧降下量VRlr255は、数値計算や、シミュレーション、実測値などにより容易に得ることができるので、得られた電圧降下量VRlr255に基づき、上式（6）に従って係数VDrを予め算出し、レジスタ316に格納しておけば、各フレームにおける赤色の画素回路における電圧降下量VRlrを正確に算出することができる。

[0084] また、ここではR画素算出部31における動作についてのみ説明したが、G画素算出部32およびB画素算出部33においても同様の動作により同様に、緑色の画素回路における電圧降下量VRlgおよび青色の画素回路における電圧降下量VRlbが算出され、図5に示される加算器35によってこれらが加算されることにより、電圧降下量VRlが出力される。

[0085] ここで、電圧降下量算出部30から出力される電圧降下量VRIは、図6および図7を参照して説明したように、1フレーム前の画像における電圧降下量を示している。しかし、図4に示すフレームメモリ20は、外部からの表示データ信号DATを1フレーム分記憶する。また、フレームメモリ20によって、出力される表示データDAは、外部から与えられる表示データ信号DATから見て、1フレーム前のデータとなっているため、上記電圧降下量VRIを使用することが可能となっている。このように、結果的に現在の画像データに対して、対応する現在の電圧降下量を適用して補正するため、いわゆるフィードフォワード的な補正態様となり、正確な補正を行うことができる。特に、シーンチェンジなどが生じる場合にも正確な補正を行うことができ、その結果、高品位な表示を行うことが可能となる。

[0086] なお、隣接するフレーム間で表示される画像は、静止画像はもとより、動画像であっても実際にはそれほど大きく変化することは少ない。したがって、1フレーム前の電圧降下量VRIをそのまま現フレームの電圧降下量とみなして使用する場合であっても、正確ではないとしても、表示上の大きな問題は生じないことが多い。したがって、フレームメモリ20は省略することも可能である。次に、階調電圧生成回路9の詳しい構成について、図8および図9を参照して説明する。

[0087] <1.5 階調電圧生成回路の構成>

図8は、階調電圧生成回路9の詳細な構成を示すブロック図である。この階調電圧生成回路9は、2つの減算器91a、91bと、2つのD/A変換器92a、92bと、2つのバッファ回路93a、93bとを備えている。

[0088] 減算器91aのA端子には第1のオフセット電圧VCHOFが与えられ、B端子には電圧降下量算出部30から出力される電圧降下量VRIが与えられる。ここで、第1のオフセット電圧VCHOFは、最小階調値0のときの予め定められたオフセット電圧である。減算器91aは、A端子の値からB端子の値を減算した値(VCHOF-VRI)を出力し、D/A変換器92aに与える。

[0089] また減算器 91b の A 端子には第 2 のオフセット電圧 V_{CLOF} が与えられ、B 端子には同様に電圧降下量算出部 30 から出力される電圧降下量 V_{R1} が与えられる。ここで、第 2 のオフセット電圧 V_{CLOF} は、最大階調値 255 のときの予め定められたオフセット電圧である。減算器 91b は、A 端子の値から B 端子の値を減算した値 ($V_{CLOF} - V_{R1}$) を出力し、D/A 変換器 92b に与える。

[0090] 2 つの D/A 変換器 92a, 92b は、それぞれ受け取ったデジタル値をアナログ電圧に変換し、オペアンプからなる 2 つのバッファ回路 93a, 93b は、受け取った電圧をバッファリングして抵抗分圧回路 94 の両端に与える。

[0091] 図 9 は、抵抗分圧回路 94 の詳細な構成を示す回路図である。図 9 に示されるように、抵抗分圧回路 94 は、直列に接続された 255 個の抵抗 $R_1 \sim R_{255}$ からなり、その両端部の接続点から階調電圧 V_y ($V_0 \sim V_{255}$) が出力される。

[0092] ここで、これらの階調電圧 V_y は、ディスプレイとして理想的なガンマ特性である $\gamma = 2.2$ の特性が得られるように設定されることが望ましい。そこで、上記抵抗 $R_1 \sim R_{255}$ は、次式 (7) の比率を満たすように定められる。ただし n は 1 から 255 までの整数であるものとする。

$$R_n = (n^{1.1} - (n-1)^{1.1}) \cdot R \quad \dots (7)$$

[0093] なお、上式 (7) は、図 2 に示す有機 EL 素子 17 の発光輝度 L は、有機 EL 素子 17 を流れる電流 I_{ds} に比例するとともに、表示階調 Y_x の 2.2 乗にも比例するので、階調電圧 V_y が表示階調 Y_x の 1.1 乗に比例する関係にあることから導かれる。もっとも、実際には TFT の電流 I_{ds} が小さい領域では 2 乗特性から外れるので、上式 (7) も低階調部は理論値から補正される場合がある。

[0094] 図 10 は、発光輝度と表示階調の関係を示す図である。図 10 に示されるように、発光輝度は、表示階調とは比例関係になく、上述したように表示階調 Y_x の 2.2 乗に比例するように定められる。このような $\gamma = 2.2$ と

るようなガンマ特性を得られるようにすれば、表示装置の表示品位を高めることができる。もっとも、表示装置の特性等の各種理由により、 γ を異なる値に定めてもよい。例えば、 $\gamma = 3.0$ とする場合であっても、本実施形態における $\gamma = 2.2$ を置き換えて適宜の抵抗値を算出することにより、所望の γ 特性を容易に得ることができる。また、このような抵抗分圧回路を使用することにより、無効な出力電圧が生じず、高精度な階調データを生成することが可能になる。

[0095] <1.6 効果>

以上のように、本実施形態の構成によれば、電圧降下量を検出するための検出電流を流す必要がないことから消費電力を増加させることがなく、電圧降下量を検出するための配線を設ける必要がないことから画素回路内の配線を増加させることなく、表示階調データに基づき1フレーム毎に電圧降下量を算出し、算出された電圧降下量に基づき、階調電圧の基準となる電圧を変更する構成によって、電圧降下を正確に補償することができる。

[0096] また、本実施形態では、R画素、B画素、およびG画素に対して同一の補正を行った階調電圧値が与えられる構成となっているが、これは各色の画素回路に含まれるTFT11の動作点は、そのゲート電圧が共にほぼ等しくなるようにチャンネルサイズが定められている。すなわち、有機EL素子17は、発する色によって特性が異なることが多いため、有機EL素子17に適した動作点が定められることが多い。そのため、各色の画素回路に含まれるTFT11の動作点は異なっていることが多い。しかしここでは、各色の画素回路に含まれるTFT11のチャンネルサイズを適宜に調整することにより、そのゲート電圧がほぼ等しくなるように設計されている。以下、図11を参照して説明する。

[0097] 図11は、各色の画素回路における駆動用TFTの動作点を示す図である。この図11に示されるように、R画素の最大階調値 I_{r255} と、G画素の最大階調値 I_{g255} と、B画素の最大階調値 I_{b255} に対応するゲート電圧 V_{in} は、 $0.70V$ であって、線分A上で揃っている。

[0098] ここで、電源線の電圧が0.25V低下する場合、各色の画素回路における駆動用TFTのゲート電圧 V_{in} も0.25V低下し0.55Vとなるため、やはり線分B上で揃っている。このように、動作点が定められているため、階調電圧値およびその補正值は、各色同一にすることができる。そのため、各色で階調電圧生成回路を（3系統）設ける必要が無く、よりチップサイズの小さなドライバ回路を実現することができる。その結果、表示装置を小型化し、低消費電力化することができる。

[0099] <2. 第2の実施形態>

<2.1 全体構成>

図12は、本発明の第2の実施形態に係る表示装置の構成を示すブロック図である。図12に示す表示装置120は、第1の実施形態における図1に示す表示装置110の構成とほぼ同様であり、同一の構成要素には同一の符号を付してその説明を省略する。本実施形態では、階調電圧生成回路95の構成が、第1の実施形態における階調電圧生成回路9の構成とは異なる。そこで、以下では、図13および図14を参照して、階調電圧生成回路95の構成および動作について説明する。

[0100] <2.2 階調電圧生成回路の構成>

図13は、階調電圧生成回路の詳細な構成を示すブロック図である。この図13に示される階調電圧生成回路95は、R階調電圧生成回路95aと、G階調電圧生成回路95bと、B階調電圧生成回路95cとを備える。これらの回路の詳細な構成は同一であるので、以下ではR階調電圧生成回路95aを例にして、その詳細な構成を図14を参照して説明する。

[0101] 図14は、R階調電圧生成回路95aの詳細な構成を示すブロック図である。このR階調電圧生成回路95aは、図8に示される階調電圧生成回路9と同様、2つの減算器91a、91bと、2つのD/A変換器92a、92bと、2つのバッファ回路93a、93bとを備えている。これらの構成要素の動作は、第1の実施形態の場合と同様であるので、ここではその説明を省略するが、R画素用の第1および第2のオフセット電圧 V_{CHrOF} 、 V

CLrOFが与えられ、R画素用の階調電圧 Yvr が出力される点のみが異なる。

[0102] すなわち、G階調電圧生成回路95bおよびB階調電圧生成回路95cにおいても同様に、当該色に応じたオフセット電圧が設けられており、各色毎に別系統で階調電圧 Yvr 、 Yvg 、 Yvb が生成され、各色画素回路に与えられる構成となっている。このことから、各色画素回路に適した電圧の階調電圧を与えることができる。

[0103] <2.3 効果>

以上のように、本実施形態の構成によれば、第1の実施形態と同様に、消費電力を増加させることがなく、かつ画素回路内の配線を増加させることなく、表示階調データに基づき1フレーム毎に電圧降下量を算出し、算出された電圧降下量に基づき、階調電圧の基準となる電圧を変更する構成によって、電圧降下を正確に補償することができる。

[0104] また、本実施形態では、R画素、B画素、およびG画素に対して異なるように補正を行った階調電圧値を与えることができる構成となっているが、これは各色の画素回路に含まれるTFT11の動作点を自由に定めることができることを意味している。すなわち、有機EL素子17は、発する色によって特性が異なることが多いため、有機EL素子17に適した動作点が定められることが多い。そのため、各色の画素回路に含まれるTFT11の動作点は異なっていることが多い。そこで、各色の画素回路に含まれるTFT11のチャンネルサイズを変更することなく、すなわちそのゲート電圧がほぼ等しくなるように設計することなく、電源線の電圧降下を正確に補償することができる。以下、図15を参照して説明する。

[0105] 図15は、各色の画素回路における駆動用TFTの動作点を示す図である。この図15に示されるように、R画素の最大階調値 $Ir255$ と、G画素の最大階調値 $Ig255$ と、B画素の最大階調値 $Ib255$ に対応するゲート電圧 Vin は、共に異なっている。

[0106] ここで、電源線の電圧が0.512V降下する場合、各色の画素回路にお

ける駆動用TFTのゲート電圧 V_{in} も0.512V低下することになるが、やはりゲート電圧は異なっている。しかし、各色画素回路において階調電圧の基準となる電圧を個別に（適宜に）設定することができるため、この場合であっても電源線の電圧降下を正確に補償できる。このように各色で階調電圧生成回路を（3系統）設けることにより、画素回路に含まれるTFTを各色同一の構成とすることができるため、製造が容易となり、結果として製造コストを下げるることができる。

[0107] <2.4 第1の変形例>

図16は、第2の実施形態の第1の変形例の構成を説明するための図である。この図16に示されるように、階調電圧の基準となる電圧のうち、低階調側の最高値 V_{CH} を補正することにより可変とし、高階調側の最低値 V_{CL} を補正することなく固定する。このように構成することにより、図14に示される減算器91bと、D/A変換器92bと、バッファ回路93bとを省略することができ、製造コストを下げるることができる。

[0108] そしてこのような構成によっても、表示装置の表示品質を向上させることができる。以下、図17を参照して説明する。図17は、最高値 V_{CH} を変化させることによる表示品質の向上効果を説明するための図である。この図17では、最高値 V_{CH} が目標値に対してずれる場合の階調-規格化輝度特性を示しており、最高値 V_{CH} について、R画素では目標値から+0.5%ずれており、G画素では目標値から+2.0%ずれており、B画素では目標値から-1.0%ずれている。このため、高階調側での階調変化が大きくないのに対して、低階調側では目標値から大きく階調が変化していることがわかる。よって、このことから、最高値 V_{CH} を適宜に調整すれば、電圧降下による低階調側の階調変化を抑制することができる。したがって、表示品質を向上させることができる。

[0109] <2.5 第2の変形例>

図18は、第2の実施形態の第2の変形例の構成を説明するための図である。この図18に示されるように、階調電圧の基準となる電圧のうち、高階

調側の最低値VCLを補正することにより可変とし、低階調側の最高値VCHを補正することなく固定する。このように構成することにより、図14に示される減算器91aと、D/A変換器92aと、バッファ回路93aとを省略することができ、製造コストを下げるができる。

[0110] そしてこのような構成によっても、表示装置の表示品質を向上させることができる。以下、図19を参照して説明する。図19は、最高値VCLを変化させることによる表示品質の向上効果を説明するための図である。この図19は、CIE表色系の色度図であり、RGB表色系の範囲が図中のAで示されており、表示装置120の色再現範囲が図中のBで示されている。ここで、最低値VCL_r、VCL_g、VCL_bに対応する電圧VCLを50%の範囲で増加させまたは減少させた場合に、RGBの階調がそれぞれ最大階調255である表示色の変化範囲が図中のCで示されている。このように、最低値VCLを適宜に調整すれば、色味のズレが生じる場合であっても、自由に、例えば図中のD65のような白に容易に調整することができる。したがって、表示品質を向上させることができる。

[0111] <3. 第3の実施形態>

<3.1 全体構成>

図20は、本発明の第3の実施形態に係る表示装置の構成を示すブロック図である。図20に示す表示装置130は、第2の実施形態における図12に示す表示装置120の構成とほぼ同様であり、同一の構成要素には同一の符号を付してその説明を省略する。本実施形態では、電圧降下量算出部30および階調電圧生成回路95の構成が第2の実施形態の場合とはやや異なり、かつ電源回路45の構成および電源配線の構成が大きく異なる。

[0112] すなわち、電源回路45は、R画素にのみ繋がるR画素用電源線VP_rと、G画素にのみ繋がるG画素用電源線VP_gと、B画素にのみ繋がるB画素用電源線VP_bとを備えており、これらは独立に駆動され、電位が与えられる。したがって、電圧降下は各電源線で互いに干渉することなく生じる。したがって、その電圧降下の補償動作も、各色で独立して行われる。以下、図

21 および図22を参照して階調電圧生成回路の構成および動作を説明する。

[0113] <3.2 階調電圧生成回路の構成>

図21は、電圧降下量算出部および階調電圧生成回路の詳細な構成を示すブロック図である。図21に示される電圧降下量算出部30は、図5に示される電圧降下量算出部30と同一のR画素算出部31と、G画素算出部32と、B画素算出部33とを備えるが、図5に示される構成とは異なって、加算器を備えない。その他の構成は全て同一である。すなわち、各色を表示する画素回路についての電圧降下量 VRI_r 、 VRI_g 、 VRI_b は、合算されることなく個別にそのまま階調電圧生成回路95に与えられる。なお、電圧降下量算出部30を構成する各構成要素の詳細な構成および動作は、第1または第2の実施形態の場合と同様であるのでここでは説明を省略する。

[0114] また、図21に示されるように、階調電圧生成回路95は、R階調電圧生成回路95aと、G階調電圧生成回路95bと、B階調電圧生成回路95cとを備える。これらの回路の詳細な構成は同一であるので、以下ではR階調電圧生成回路95aを例にして、その詳細な構成を図22を参照して説明する。

[0115] 図22は、R階調電圧生成回路95aの詳細な構成を示すブロック図である。このR階調電圧生成回路95aは、図14に示されるR階調電圧生成回路95aと同一の構成要素を備えており、ここではその説明を省略するが、R画素についての電圧降下量 VRI_r が与えられている点が第2の実施形態の場合とは異なる。

[0116] すなわち、G階調電圧生成回路95bおよびB階調電圧生成回路95cにおいても同様に、当該色に応じたオフセット電圧が設けられており、各色毎に別系統で階調電圧 Yv_r 、 Yv_g 、 Yv_b が生成され、各色画素回路に与えられる構成となっている。また、前述したように、各色を表示する画素回路についての電圧降下量 VRI_r 、 VRI_g 、 VRI_b は独立に計算される。このことから、各色画素回路において独立に生じる電源線の電圧降下に対

してそれぞれ適した電圧の階調電圧を与えることができる。

[0117] <3. 3 効果>

以上のように、本実施形態の構成によれば、第1の実施形態と同様に、消費電力を増加させることがなく、かつ画素回路内の配線を増加させることなく、表示階調データに基づき1フレーム毎に電圧降下量を算出し、算出された電圧降下量に基づき、階調電圧の基準となる電圧を変更する構成によって、電圧降下を正確に補償することができる。

[0118] また、本実施形態では、R画素、B画素、およびG画素に対して全く別系統で電源が与えられ補正が行われるので、それぞれの電源線の電圧降下量自体が小さくなるとともに、それぞれの電源線の電圧降下をより正確に補償することができる。

[0119] さらに、本実施形態の電源構成では、1電源で構成される場合よりも相対的に低い電圧となるように画素回路内に設けられるスイッチ用TFTへの分圧レベルをより小さく設定することができる。そのため、当該スイッチ素子において消費される無駄な電力を低減することができる。

[0120] <4. その他の変形例>

上記各実施形態では、RGB各色を表示する画素回路が配置される表示装置の例で説明したが、カラー表示装置でない場合であっても、本発明の適用は可能であり、また、RGB以外の色やその他の色を含む2色以上の画素回路（例えばRGBW4色を表示する画素回路）が配置される表示装置であっても、同様に適用可能である。

[0121] 上記各実施形態では、図2に示す画素回路の構成を例に説明したが、階調電圧を駆動用TFTに与えることにより、有機EL素子17（またはその他の電気光学素子）を制御する構成であれば、画素回路の構成は図2に示す構成に限定されるものではなく、周知の様々な回路を適用可能である。

[0122] また、上記各実施形態では、階調電圧の基準となる電圧のうち、最高値および最低値に関連する電圧の少なくとも1つを補正する構成で説明したが、階調電圧を補正可能であれば、階調電圧の中央値などの特定の値や、複数の

階調基準電圧など、どの値の階調電圧を基準に補正してもよい。

- [0123] さらに、上記各実施形態では、表示データを全て（または色毎に全て）積算し、当該積算値に基づき電圧降下量を算出する構成であるが、表示データのうちの一部分を（例えば、1つ飛ばしまたは2つ飛ばしで）積算するなど、全体として電圧降下量が算出または推定できる程度の表示データを適宜選択し、上記積算を行う構成であってもよい。

産業上の利用可能性

- [0124] 本発明は、アクティブマトリクス型の表示装置に適用されるものであって、特に有機ELディスプレイなどの電流で駆動される自発光型表示素子を備えた表示装置に適している。

符号の説明

- [0125] 1…表示制御回路
2…ゲートドライバ回路
3…データドライバ回路
4, 45…電源回路
5…シフトレジスタ
6…レジスタ
7…ラッチ回路
8…セレクト回路
9, 95…階調電圧生成回路
10…画素回路
20…電圧降下量算出部
11～16…TFT
17…有機EL素子（電気光学素子）
110, 120, 130…表示装置
Gi…走査信号線
Ei…制御線
Sj…データ線

V P i …電源線

請求の範囲

[請求項1]

アクティブマトリクス型の表示装置であって、
表示すべき画像を表す信号を伝達するための複数の映像信号線と、
前記複数の映像信号線と交差する複数の走査信号線と、
前記複数の映像信号線と前記複数の走査信号線との交差点にそれぞれ対応してマトリクス状に配置された、表示すべき画像を形成するための複数の画素を表示する複数の画素回路と、
前記複数の画素回路に電源電圧を供給する電源線と、
前記複数の走査信号線を選択的に駆動する走査信号線駆動回路と、
前記表示すべき画像を表す信号を印加することにより前記複数の映像信号線を駆動する映像信号線駆動回路と、
前記複数の映像信号線に印加される電圧の基準となる基準電圧に基づき複数の階調電圧を生成する階調電圧生成部と、
前記電源線に電源電圧を与える電源回路と
を備え、
前記複数の画素回路は、前記電源線から与えられる電流により駆動される電気光学素子をそれぞれ含み、
前記階調電圧生成部は、前記複数の画素の表示輝度を示す階調値に基づき、前記画像の表示による前記電源線の電圧降下量を算出し、算出された当該電圧降下量に基づき、前記基準電圧を設定することを特徴とする、表示装置。

[請求項2]

前記階調電圧生成部は、
前記複数の画素の少なくとも一部の画素の表示輝度を示す階調値を積算し、当該積算により得られた値に基づき前記電圧降下量を算出する電圧降下量算出部と、
前記電圧降下量に基づき、前記基準電圧を設定する基準電圧設定部と、
前記基準電圧に基づき前記複数の階調電圧値を生成し出力する階

調電圧出力部と

を含むことを特徴とする、請求項 1 に記載の表示装置。

[請求項3] 前記基準電圧設定部は、前記電圧降下量に基づき、前記複数の階調電圧の最高値および最低値を前記基準電圧として設定し、

前記階調電圧出力部は、前記最高値および前記最低値に基づき前記複数の階調電圧を生成し出力することを特徴とする、請求項 2 に記載の表示装置。

[請求項4] 前記画素回路は、複数の原色のうちのいずれかの原色を表示し、

前記基準電圧設定部は、前記電圧降下量に基づき、前記最高値および前記最低値の少なくとも一方を前記原色毎に設定し、

前記階調電圧出力部は、前記最高値および前記最低値に基づき、前記原色毎に前記複数の階調電圧値をそれぞれ生成し出力することを特徴とする、請求項 3 に記載の表示装置。

[請求項5] 前記電圧降下量算出部は、同一の原色を表示する複数の画素の少なくとも一部の画素の表示輝度を示す階調値を、前記原色毎にそれぞれ積算し、当該積算により得られた前記原色毎の値に基づき、前記原色毎に前記電圧降下量を算出することを特徴とする、請求項 4 に記載の表示装置。

[請求項6] 前記電源線は、同一の原色を表示する複数の画素を形成する複数の画素回路に対応する電源電圧を供給するよう、前記原色毎に備えられ、

前記電源回路は、前記原色毎に備えられる電源線に対して前記対応する電源電圧を与えることを特徴とする、請求項 5 に記載の表示装置。

[請求項7] 前記基準電圧設定部は、前記電圧降下量に基づき、前記最高値を前記原色毎に設定するとともに、1つの共通する前記最低値を設定することを特徴とする、請求項 3 に記載の表示装置。

[請求項8] 前記基準電圧設定部は、前記電圧降下量に基づき、前記最低値を前

記原色毎に設定するとともに、1つの共通する前記最高値を設定することを特徴とする、請求項3に記載の表示装置。

[請求項9] 前記基準電圧設定部は、前記電圧降下量に基づき、前記最高値および前記最低値の双方を前記原色毎に設定することを特徴とする、請求項3に記載の表示装置。

[請求項10] 前記階調電圧出力部は、前記複数の階調電圧の数以下の数からなる複数の抵抗により構成される、前記最高値から前記最低値までの電圧を分圧するための抵抗分圧回路であることを特徴とする、請求項3に記載の表示装置。

[請求項11] 前記複数の抵抗の値は、所望のガンマ特性が得られるように定められることを特徴とする、請求項10に記載の表示装置。

[請求項12] 表示すべき画像を表す信号を伝達するための複数の映像信号線と、前記複数の映像信号線と交差する複数の走査信号線と、前記複数の映像信号線と前記複数の走査信号線との交差点にそれぞれ対応してマトリクス状に配置された、表示すべき画像を形成するための複数の画素を表示する複数の画素回路と、前記複数の画素回路に電源電圧を供給する電源線とを備えるアクティブマトリクス型の表示装置の駆動方法であって、

前記複数の走査信号線を選択的に駆動する走査信号線駆動ステップと、

前記表示すべき画像を表す信号を印加することにより前記複数の映像信号線を駆動する映像信号線駆動ステップと、

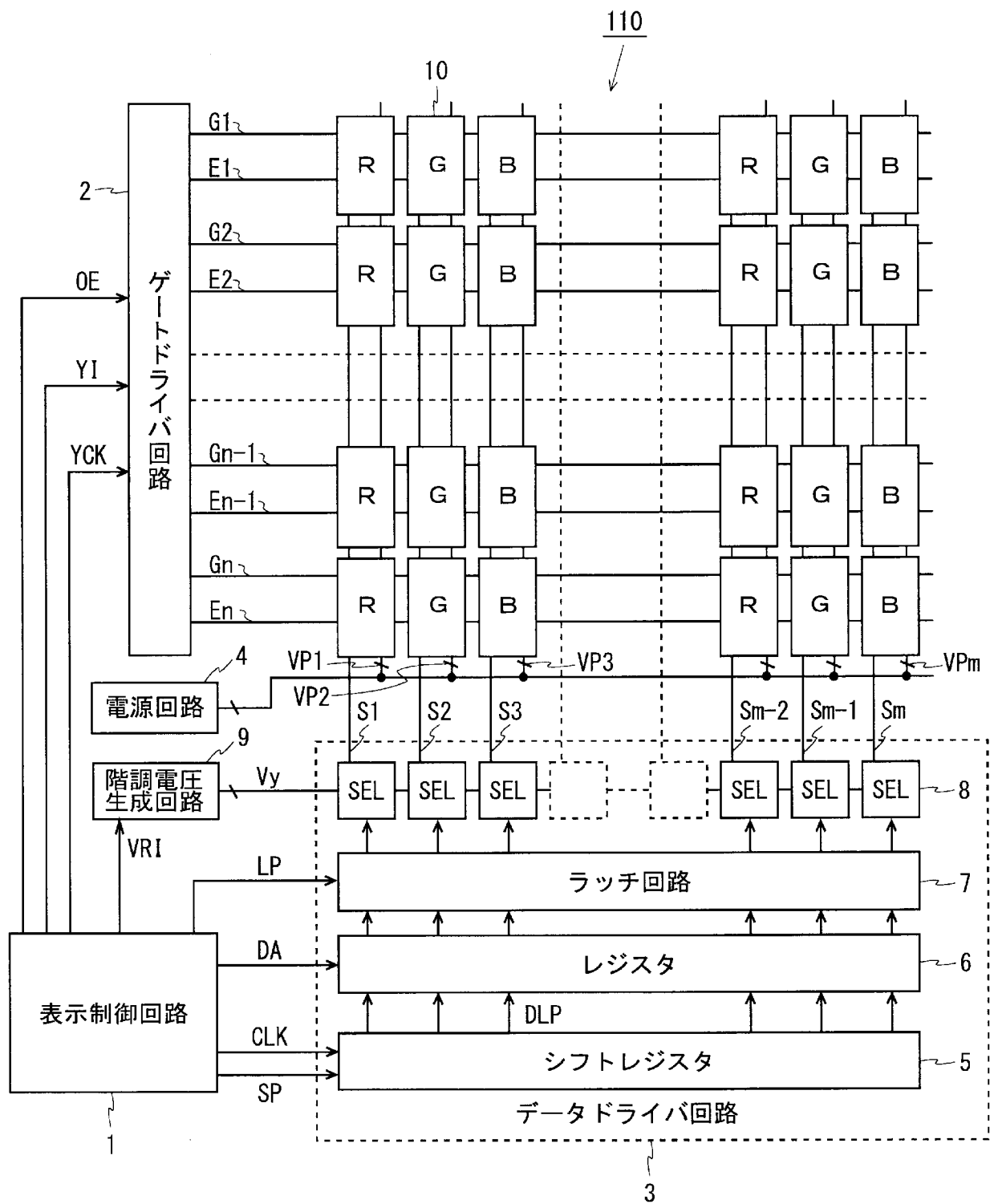
前記複数の映像信号線に印加される電圧の基準となる基準電圧に基づき複数の階調電圧を生成する階調電圧生成ステップと、

前記電源線に電源電圧を与える電源ステップとを備え、

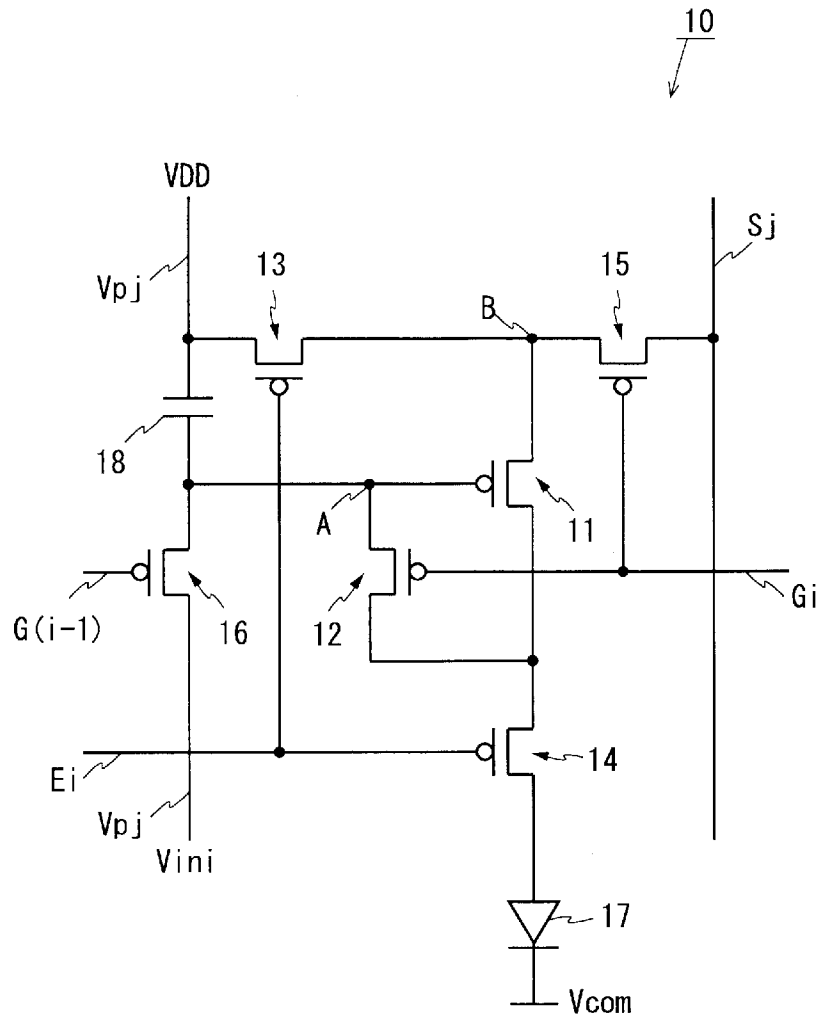
前記複数の画素回路は、前記電源線から与えられる電流により駆動される電気光学素子をそれぞれ含み、

前記階調電圧生成ステップでは、前記複数の画素の表示輝度を示す階調値に基づき、前記画像の表示による前記電源線の電圧降下量を算出し、算出された当該電圧降下量に基づき、前記基準電圧を設定することを特徴とする、表示装置の駆動方法。

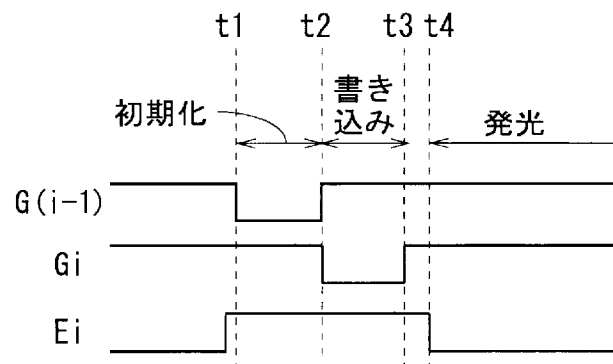
[図1]



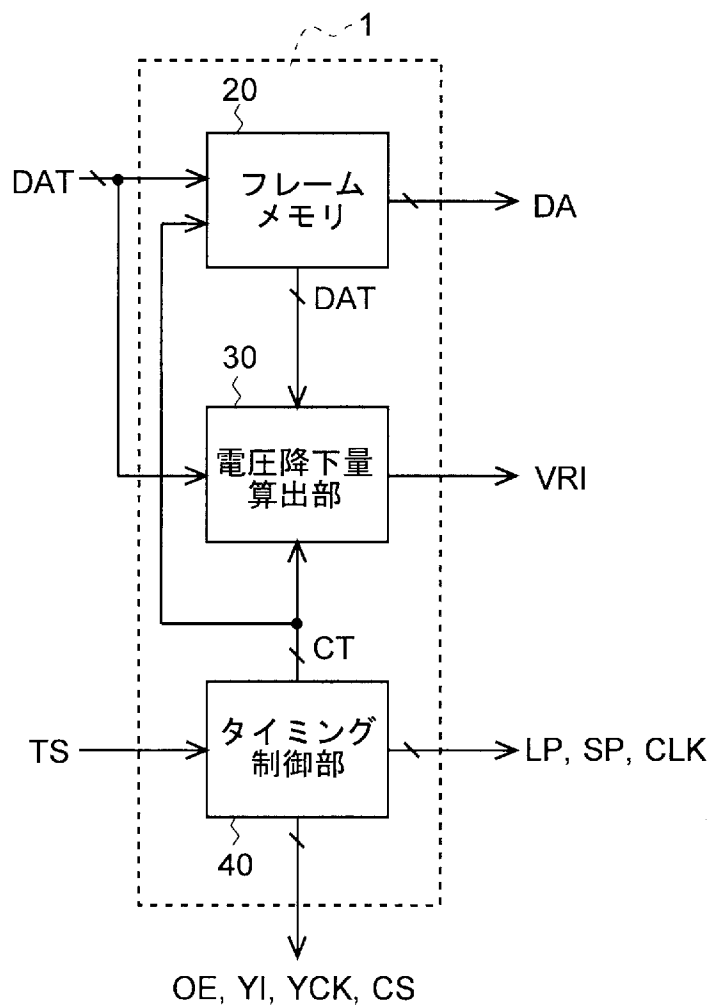
[図2]



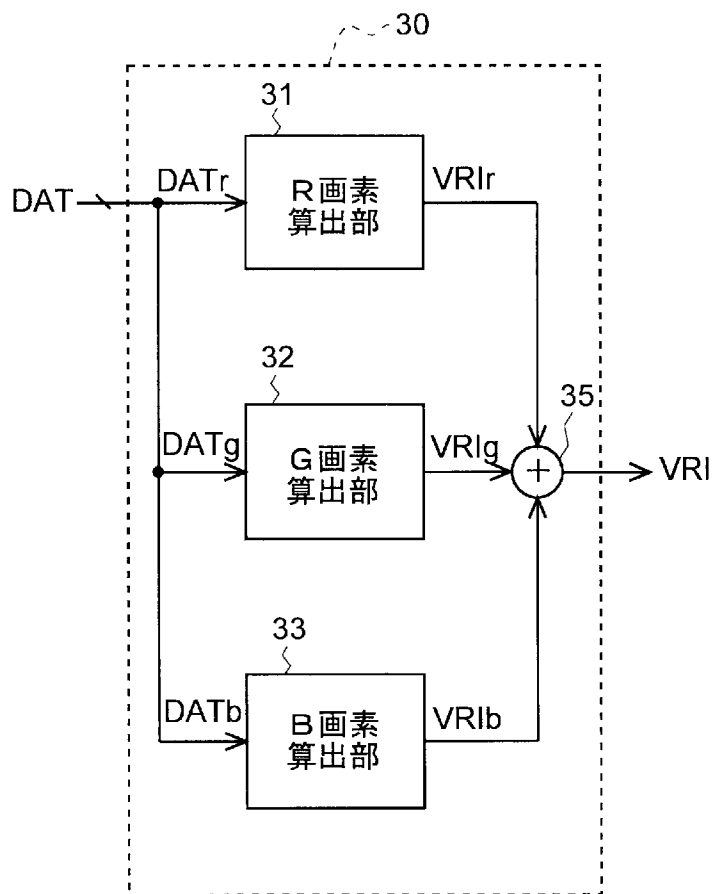
[図3]



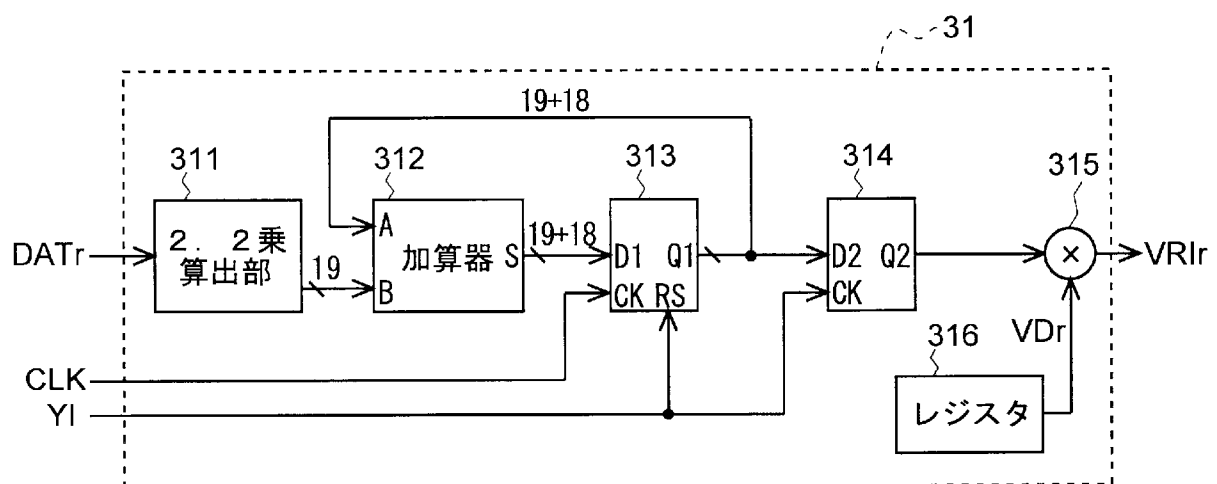
[図4]



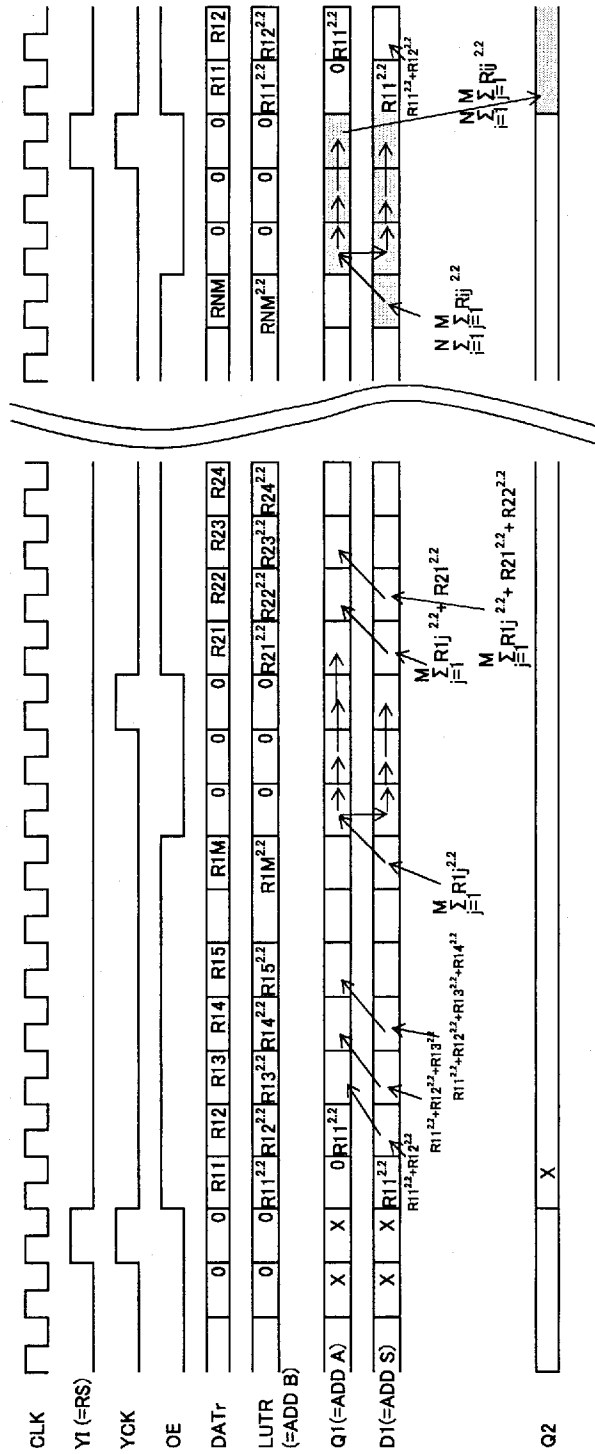
[図5]



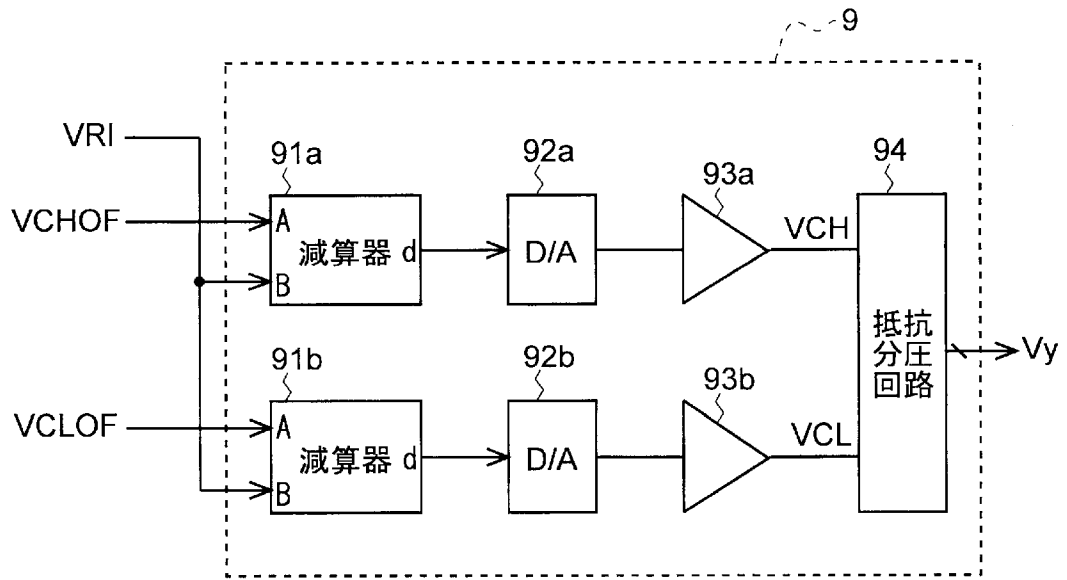
[図6]



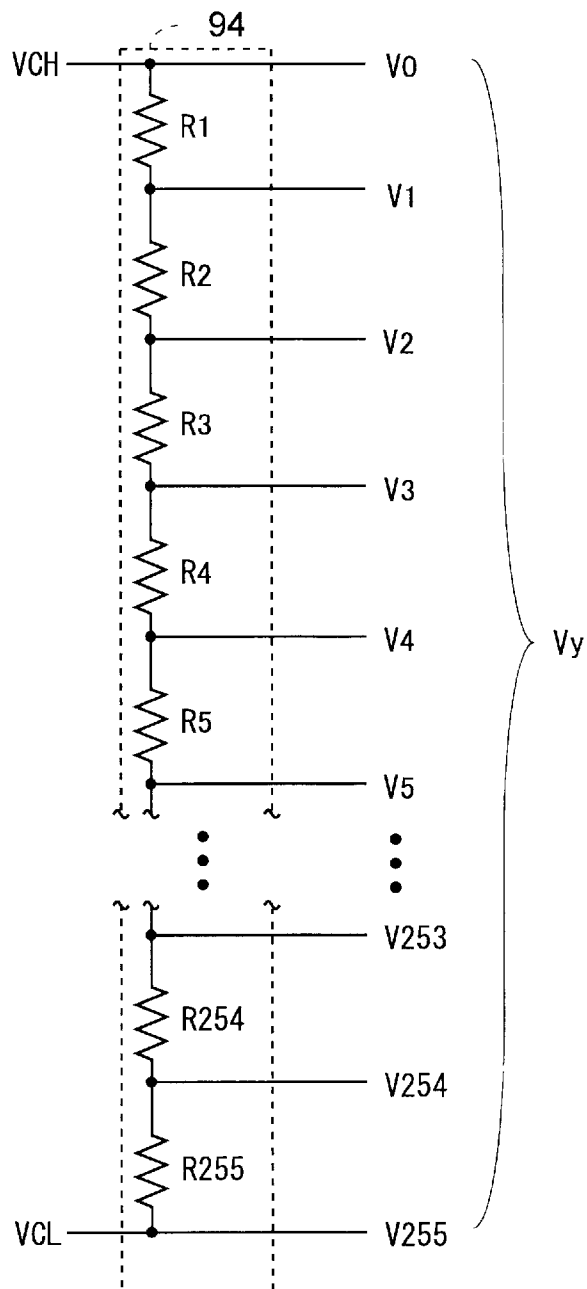
[7]



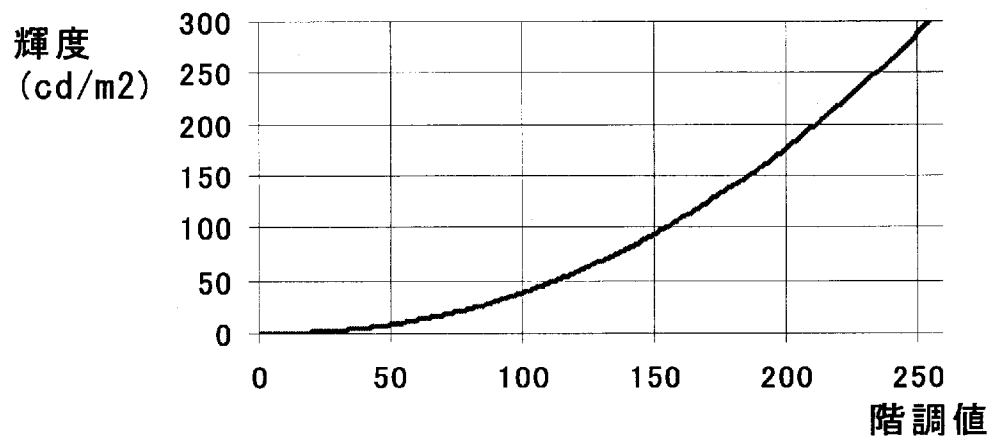
[図8]



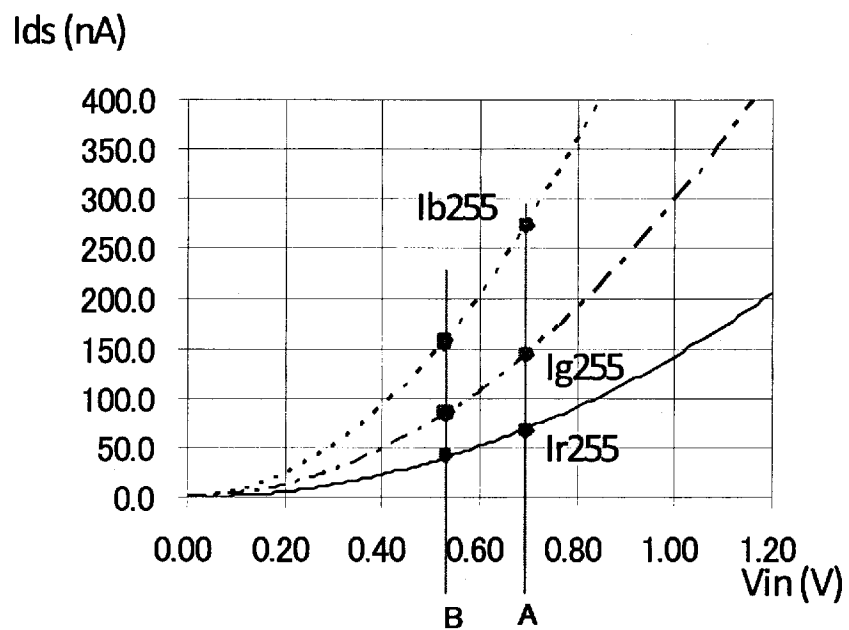
[図9]



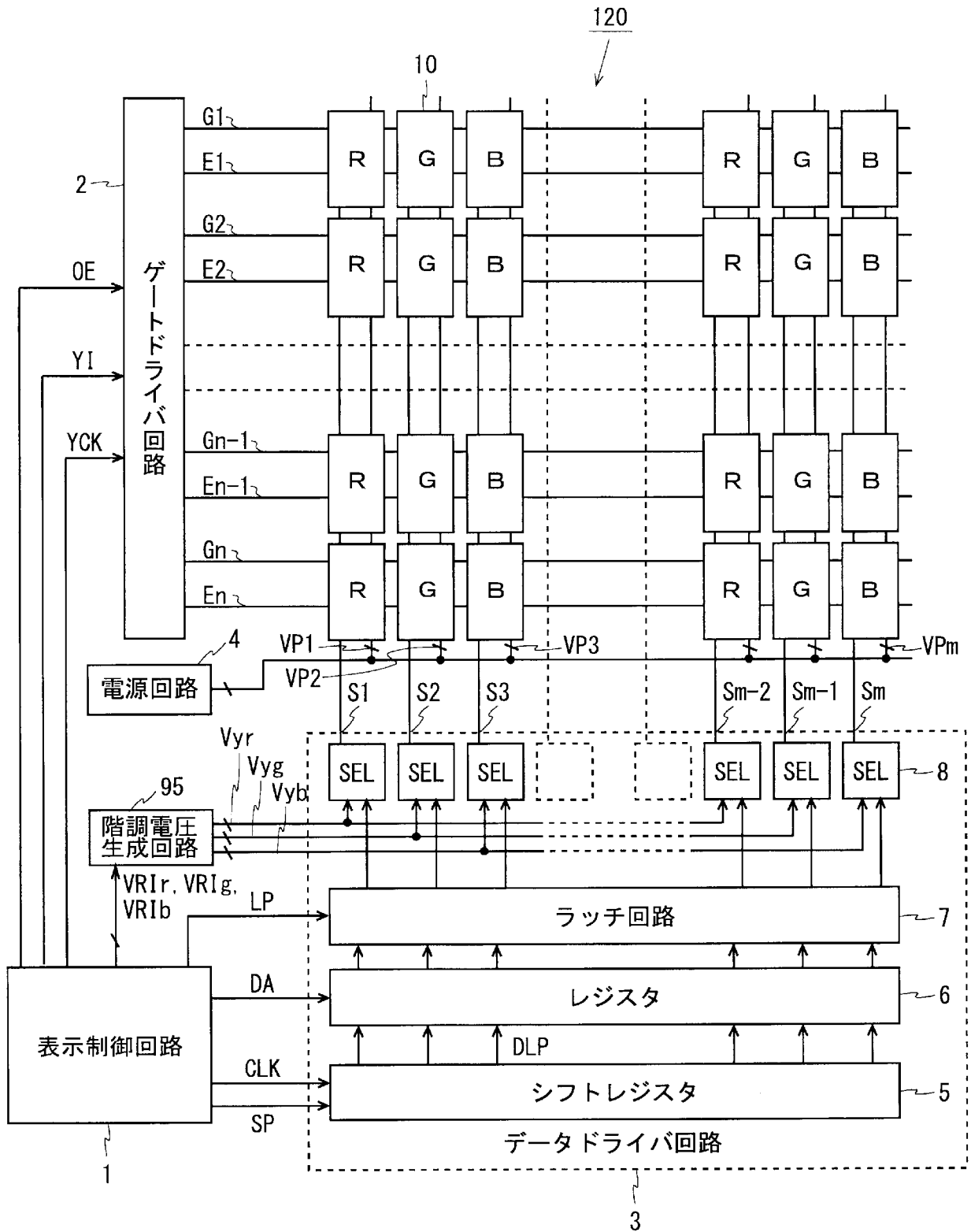
[図10]



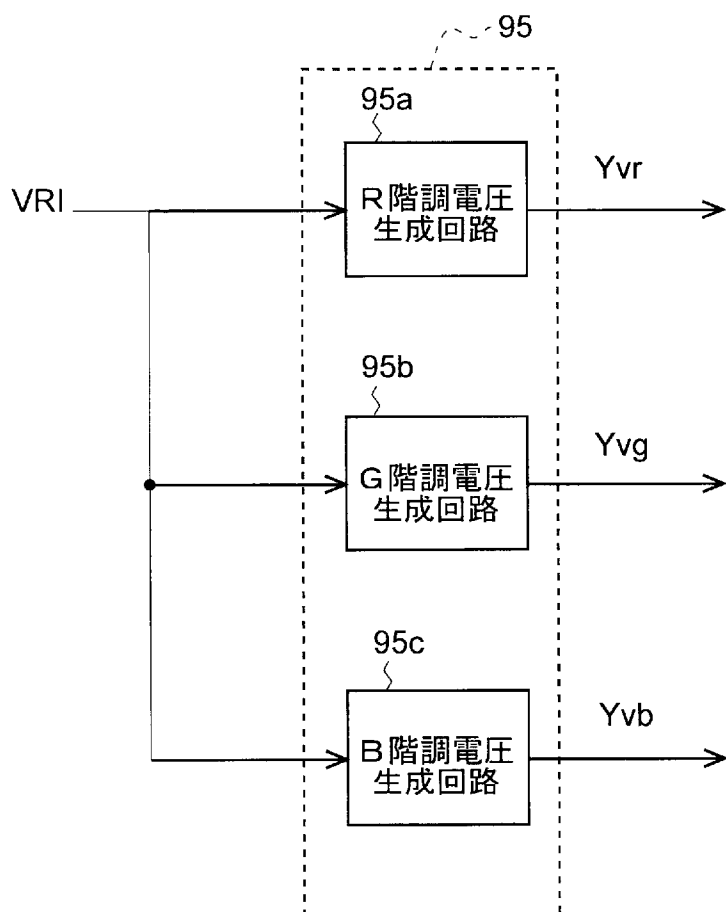
[図11]



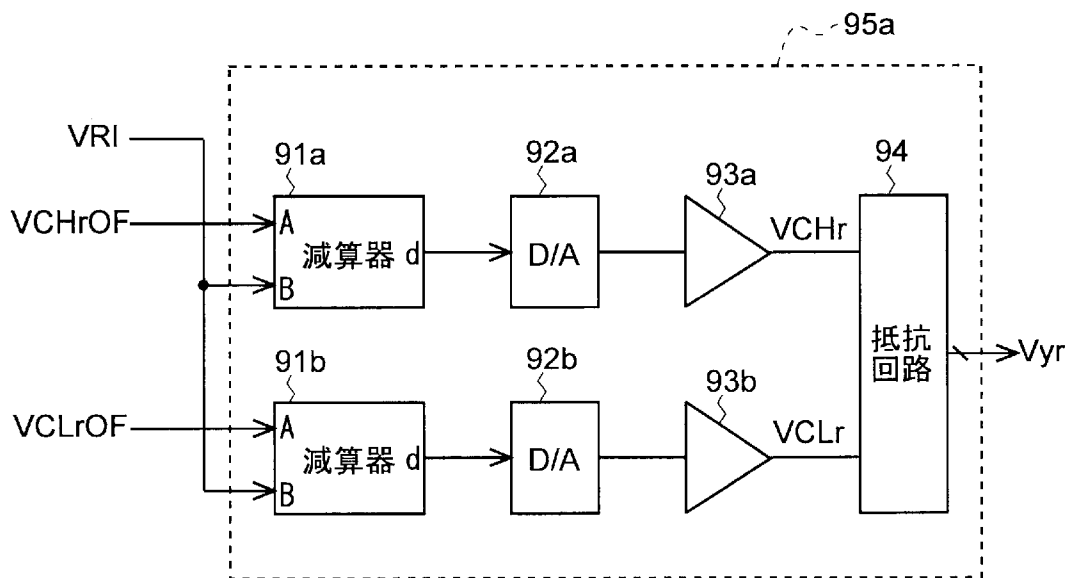
[図12]



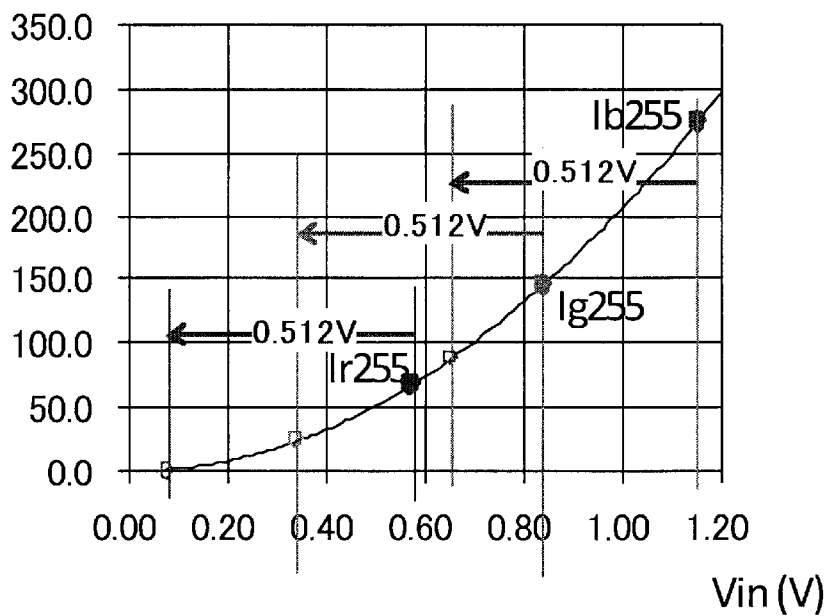
[図13]



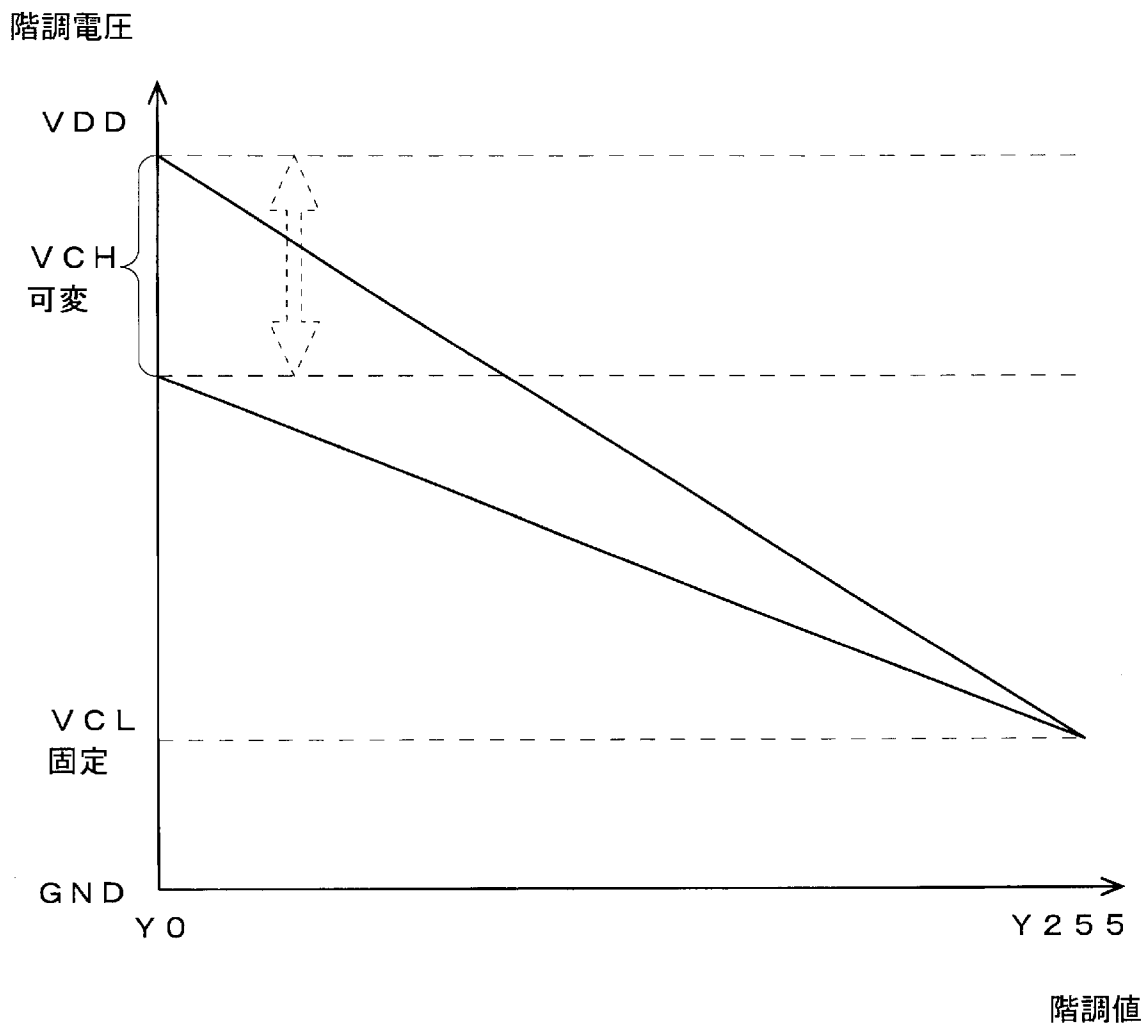
[図14]



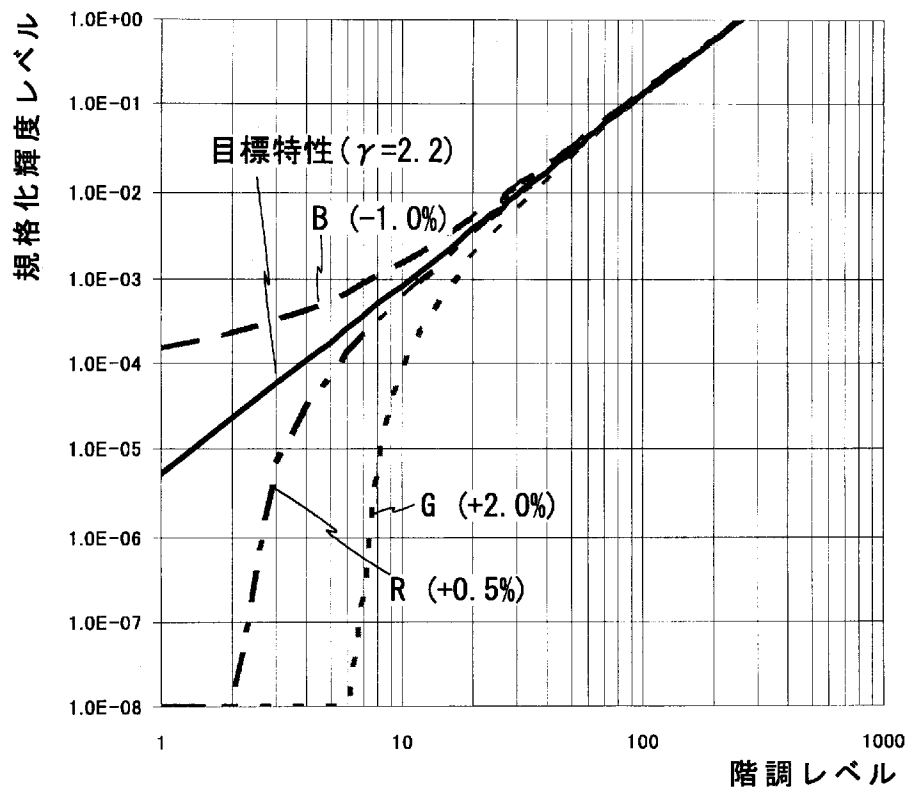
[圖15]

 I_{ds} (nA)

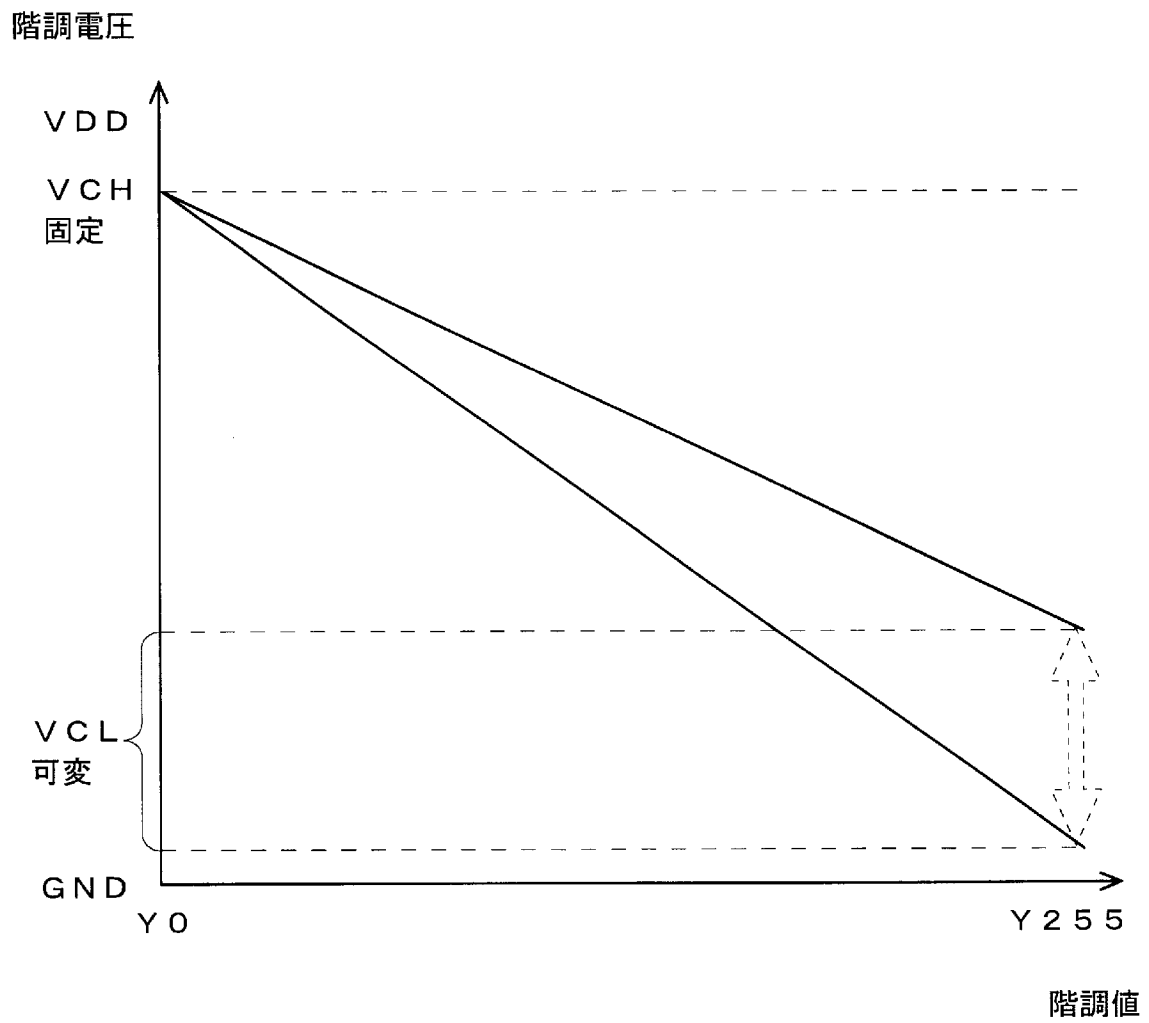
[図16]



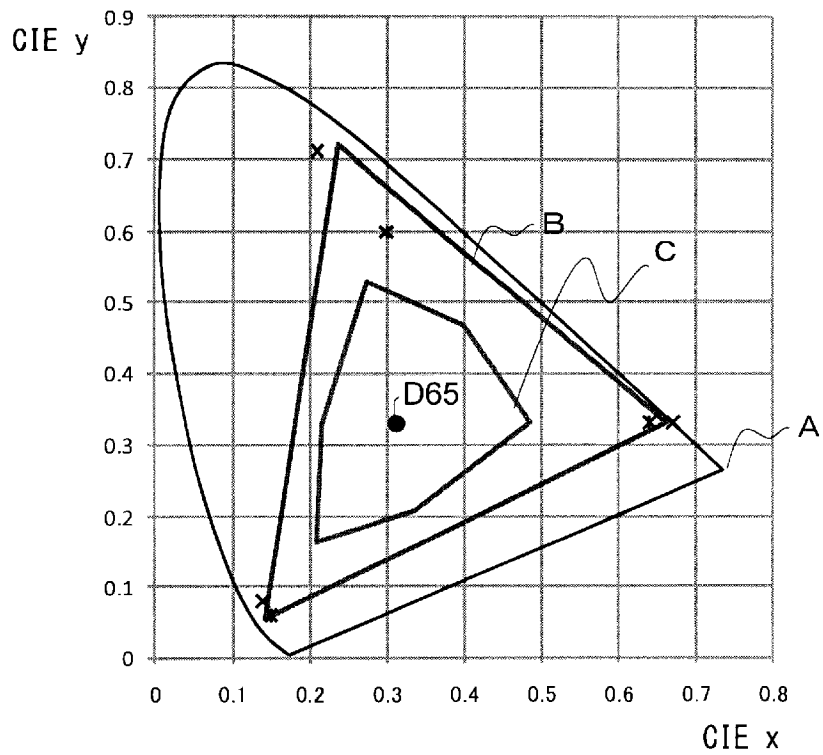
[図17]



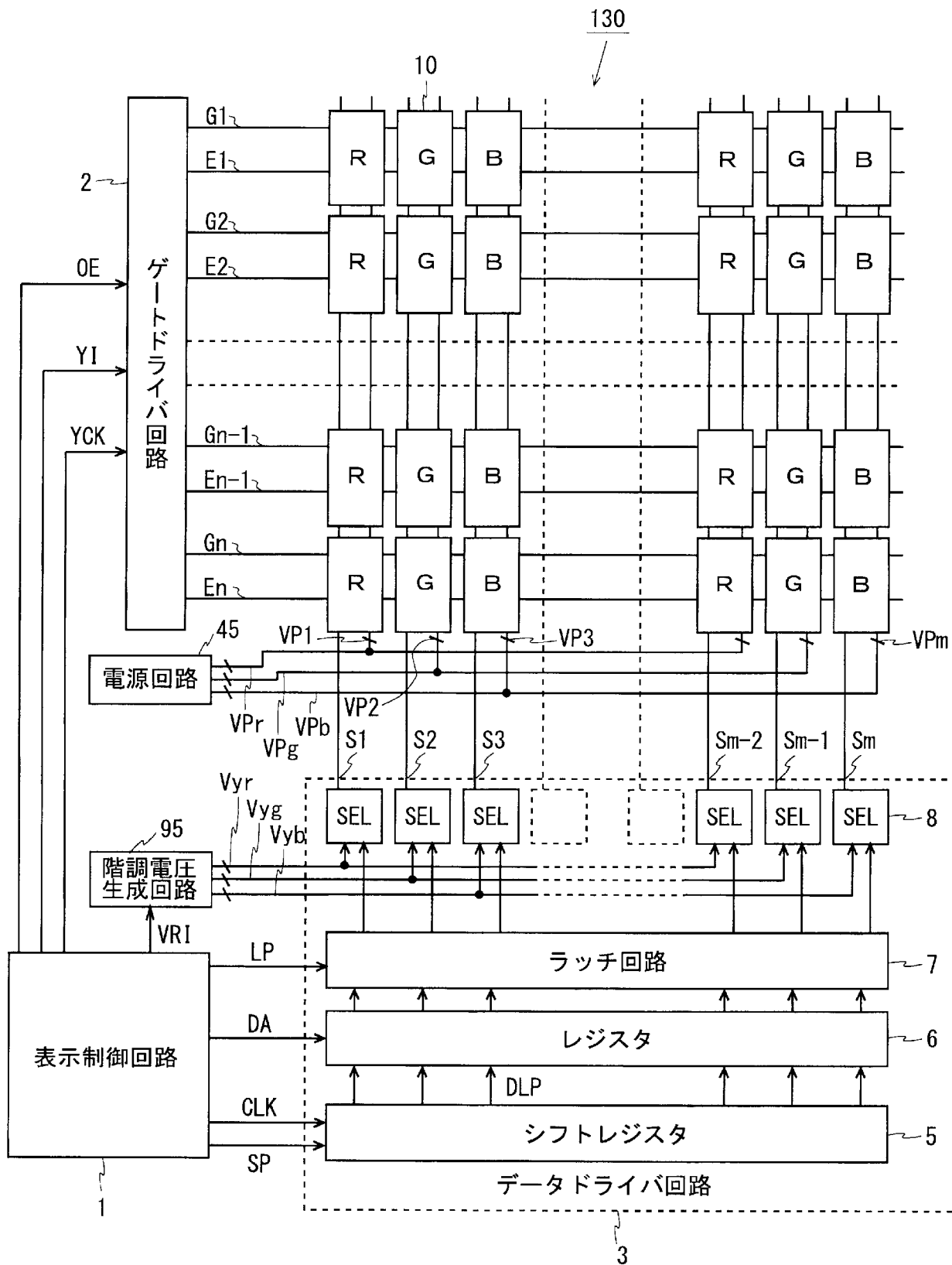
[図18]



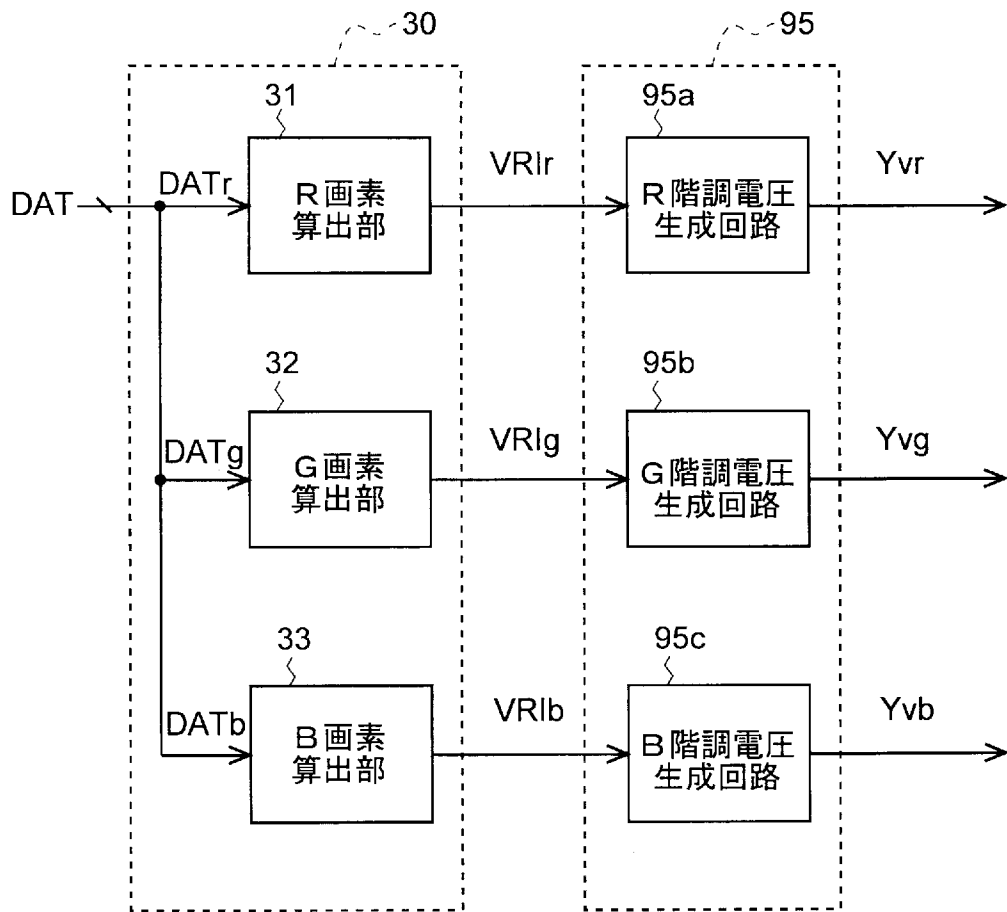
[圖19]



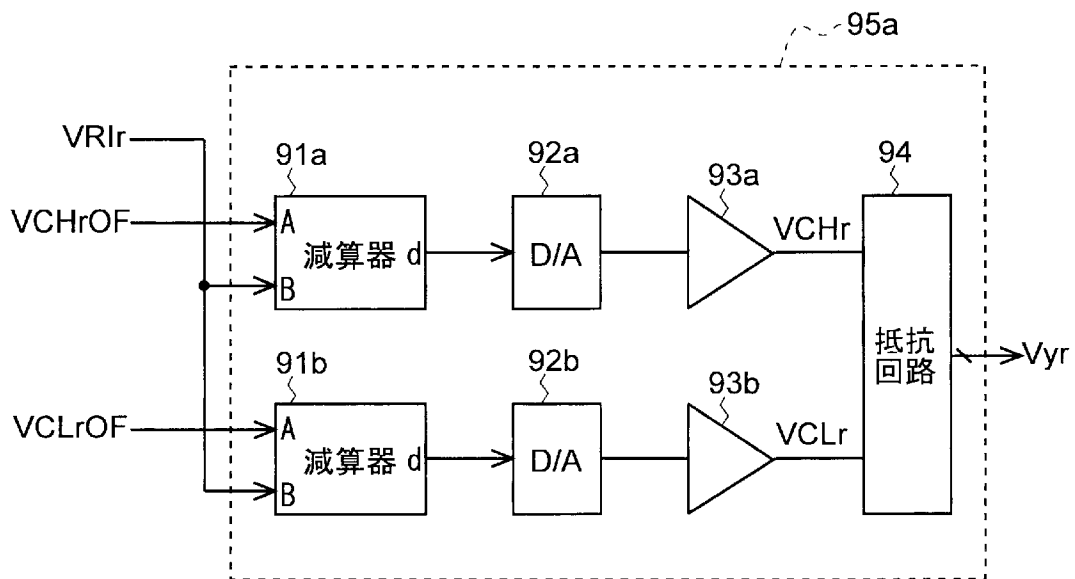
[図20]



[図21]



[図22]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/055310

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/30(2006.01) i, G09G3/20(2006.01) i, G09G3/36(2006.01) i, H01L51/50 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/30, G09G3/20, G09G3/36, H01L51/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2011-27819 A (Hitachi Displays, Ltd.), 10 February 2011 (10.02.2011), paragraphs [0022] to [0052]; fig. 1 to 9 & US 2011/0018787 A1	1-5, 9-12 6-8
Y	JP 2004-118184 A (Semiconductor Energy Laboratory Co., Ltd.), 15 April 2004 (15.04.2004), paragraphs [0037] to [0105]; fig. 3 to 5 & US 2004/0046718 A1 & US 2006/0186832 A1 & US 2010/0289840 A1 & WO 2004/023445 A1 & KR 10-2005-0057173 A & CN 1679072 A & CN 101707044 A & AU 2003260952 A & KR 10-0958048 B & TWB 00I354975	6

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
15 March, 2013 (15.03.13)

Date of mailing of the international search report
26 March, 2013 (26.03.13)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/055310

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2008-102235 A (Sony Corp.), 01 May 2008 (01.05.2008), paragraphs [0022] to [0045]; fig. 1 to 8 & US 2008/0094425 A1 & CN 101165753 A & KR 10-2008-0035470 A	7
Y	JP 2003-228332 A (Toshiba Corp.), 15 August 2003 (15.08.2003), paragraphs [0021] to [0030]; fig. 3 to 8 & US 2003/0146887 A1 & TW 226597 B	8
A	JP 2003-280590 A (Sanyo Electric Co., Ltd.), 02 October 2003 (02.10.2003), paragraphs [0030] to [0044]; fig. 4 to 5 (Family: none)	1-12
A	JP 2009-216801 A (Eastman Kodak Co.), 24 September 2009 (24.09.2009), paragraphs [0025] to [0065]; fig. 6 to 17 & US 2009/0225072 A1	1-12
A	WO 03/027999 A1 (Sanyo Electric Co., Ltd.), 03 April 2003 (03.04.2003), page 7, line 6 to page 11, line 13; fig. 1 to 5 & JP 4053001 B & US 2004/0183483 A1 & EP 1439518 A1 & CN 1556977 A	1-12

A. 発明の属する分野の分類（国際特許分類（IPC））
 Int.Cl. G09G3/30(2006.01)i, G09G3/20(2006.01)i, G09G3/36(2006.01)i, H01L51/50(2006.01)i

B. 調査を行った分野
 調査を行った最小限資料（国際特許分類（IPC））
 Int.Cl. G09G3/30, G09G3/20, G09G3/36, H01L51/50

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2013年
 日本国実用新案登録公報 1996-2013年
 日本国登録実用新案公報 1994-2013年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2011-27819 A (株式会社 日立ディスプレイズ) 2011.02.10, 段落【0022】-【0052】, 【図1】-【図9】 & US 2011/0018787 A1	1-5, 9-12 6-8
Y	JP 2004-118184 A (株式会社半導体エネルギー研究所) 2004.04.15, 段落【0037】-【0105】, 【図3】-【図5】 & US 2004/0046718 A1 & US 2006/0186832 A1 & US 2010/0289840 A1 & WO 2004/023445 A1 & KR 10-2005-0057173 A & CN 1679072 A & CN 101707044 A & AU 2003260952 A & KR 10-0958048 B & TWB 00I354975	6

C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日 15.03.2013	国際調査報告の発送日 26.03.2013
--------------------------	--------------------------

国際調査機関の名称及びあて先 日本国特許庁（ISA/J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 西島 篤宏 電話番号 03-3581-1101 内線 3226	2G	9308
--	---	----	------

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2008-102235 A (ソニー株式会社) 2008.05.01, 段落【0022】 －【0045】, 【図1】－【図8】 & US 2008/0094425 A1 & CN 101165753 A & KR 10-2008-0035470 A	7
Y	JP 2003-228332 A (株式会社東芝) 2003.08.15, 段落【0021】 －【0030】, 【図3】－【図8】 & US 2003/0146887 A1 & TW 226597 B	8
A	JP 2003-280590 A (三洋電機株式会社) 2003.10.02, 段落【003 0】－【0044】, 【図4】－【図5】 (ファミリーなし)	1-12
A	JP 2009-216801 A (イーストマン コダック カンパニー) 2009.09.24, 段落【0025】－【0065】, 【図6】－【図1 7】 & US 2009/0225072 A1	1-12
A	WO 03/027999 A1 (三洋電機株式会社) 2003.04.03, 第7頁第6行－ 第11頁第13行, 図1－図5 & JP 4053001 B & US 2004/0183483 A1 & EP 1439518 A1 & CN 1556977 A	1-12