



(12)发明专利申请

(10)申请公布号 CN 110045269 A

(43)申请公布日 2019.07.23

(21)申请号 201910386403.7

(22)申请日 2019.05.09

(71)申请人 肇庆学院

地址 526040 广东省肇庆市端州区肇庆大道

(72)发明人 陈荣荣 陈英俊 吴海涛

(74)专利代理机构 北京诚新知识产权代理事务所(普通合伙) 11759

代理人 唐宏

(51) Int. Cl.

G01R 31/28(2006.01)

G01R 1/067(2006.01)

G01B 11/24(2006.01)

权利要求书1页 说明书3页 附图1页

(54)发明名称

一种芯片测试装置及方法

(57)摘要

本发明提供一种芯片测试装置及方法,该测试装置包括基座、探针卡、三维移动平台、微处理器;测试时,由微处理器控制三维移动平台的运动,以驱动探针卡上的探针进行三维运动,从而使探针卡上的探针与待测芯片上的测试触点进行电连接。本发明提供的芯片测试装置及方法,可以有效地避免芯片测试过程探针发生弯曲以及探针下压力度较大的缺陷,提高了芯片测试准确性,并有效降低了芯片在测试过程中被探针损坏的可能性。

1. 一种芯片测试装置,包括基座、探针卡、三维移动平台、微处理器;其特征在于,待测芯片放置在基座上,探针卡设置在三维移动平台底部上;微处理器和探针卡分别与三维移动平台电连接;探针卡上设有用于与待测芯片上的测试触点电连接的探针。

2. 根据权利要求1所述的芯片测试装置,其特征在于,所述探针卡上的探针为一个或多个。

3. 根据权利要求1所述的芯片测试装置,其特征在于,所述待测芯片上的测试触点为一个或多个。

4. 一种基于权利要求1所述的芯片测试装置的芯片测试方法,其特征在于,包括以下测试步骤:

S1,微处理器发出芯片测试启动指令后,由控制器控制探针卡向下运动,使探针卡上的探针与待测芯片上的触点有效电连接;

S2,微处理器向待测芯片发送测试信号,并接收由探针反馈回的芯片测试信号;

S3,微处理器基于发出的测试信号和接收到的反馈信号分析得出芯片测试结果。

5. 根据权利要求4所述的芯片测试方法,其特征在于,所述步骤S1中,在微处理器发出芯片测试指令之前进一步包括:

S11,确定探针针尖距离底座的高度值 h_1 ;

S12,对待测芯片上具体电路三维轮廓进行测量,并根据测量得到的芯片三维轮廓确定待测芯片上测试触点的高度 h_2 ;

S13,微处理器基于测量得到的高度值 h_1 、 h_2 ,控制探针向下运动的距离 h_3 ,其中 $h_3 = h_1 - h_2$,使测试探针与待测芯片上的测试触点恰好接触,避免了探针发生弯曲以及下压力度过大;

S14,微处理器发出预测试信号,检测探针与待测芯片上的测试触点是否有效电连接,如果探针与测试触点有效电连接,则执行步骤S2,否则,微处理器控制探针再向下运动 h_3/n , n 为大于等于10的自然数,,直到检测到探针与待测芯片上的测试触点有效电连接为止。

6. 根据权利要求4所述的芯片测试方法,其特征在于,所述步骤S12中,对待测芯片上具体电路三维轮廓进行测量,具体是通过原子力显微镜、激光扫描、光学成像等方法实施。

7. 根据权利要求4所述的芯片测试方法,其特征在于, n 取值为100。

一种芯片测试装置及方法

技术领域

[0001] 本发明属于芯片测试领域,尤其是涉及一种芯片测试装置及方法。

背景技术

[0002] 当前芯片的自主研发能力已经成为决定新技术能否快速发展的重要因素。在芯片的研发过程中,涉及芯片设计、制造、封装、测试等多个环节,尤其是芯片测试,作为验证芯片是否制造成功的最后一个环节尤为重要。

[0003] 当前,对芯片的测试通常是采用探针卡来实现测试系统和待测芯片之间的电连接。具体是,通过将探针卡上的探针与待测芯片进行电连接,然后由微处理器向探针卡的探针发送测试信号,以及接收探针反馈回来的测试信号,通过微处理器对发出的测试信号和反馈回的测试信号进行分析,完成对待测芯片的性能测试。

[0004] 实际测试中,由于待测芯片表面上具体的电路中各部件存在高度不一致的问题,即芯片上待测触点的高度不同,因此使用具有弹性的探针与待测芯片接触,以便适应不同高度的待测触点。然而,具体测试过程中,探针卡的下压力度是一致的,为了确保探针与每个待测触点都有效稳定地电连接,这样必定使得高度偏高的待测触点与探针之间的接触力大于高度偏低的待测触点与探针之间的接触。由此,一方面会导致部分探针测试过程中发送较大的弯曲,而影响芯片测试准确性;另一方面也会由于探针受压力度较大而破坏芯片上的待测触点,而造成不必要的浪费。因此,针对现有技术中存在的问题,亟需提供一种避免探针测试过程中发射弯曲以及受压力度过大的芯片测试方法。

发明内容

[0005] 本发明要解决的技术问题是:在现有技术中的芯片测试过程中,探针容易弯曲和受压力度较大,从而导致芯片测试准确度不高和磨损待测芯片的问题。为解决该技术问题,本发明提供一种可根据待测芯片的具体结构而预设探针高度的芯片测试装置及方法,避免芯片测试过程探针发生弯曲以及受压力度过大的缺陷。

[0006] 本发明解决其技术问题所采用的技术方案是:

[0007] 一种芯片测试装置,包括基座、探针卡、三维移动平台、微处理器;其中,待测芯片放置在基座上,探针卡设置在三维移动平台下方;微处理器和探针卡分别与三维移动平台电连接;探针卡上设有用于与待测芯片上的测试触点电连接的探针。测试时,由微处理器控制三维移动平台的运动,以驱动探针卡上的探针进行三维运动,从而使探针卡上的探针与待测芯片上的测试触点进行电连接。

[0008] 本发明还提供一种芯片测试方法,具体包括以下测试步骤:

[0009] S1,微处理器发出芯片测试启动指令后,由控制器控制探针卡向下运动,使探针卡上的探针与待测芯片上的测试触点有效电连接;

[0010] S2,微处理器向待测芯片发送测试信号,并接收由探针反馈回的芯片测试信号;

[0011] S3,微处理器基于发出的测试信号和接收到的反馈信号分析得出芯片测试结果。

[0012] 所述步骤S1中,在微处理器发出芯片测试指令之前进一步包括:

[0013] S11,确定探针针尖距离底座的高度值h1;

[0014] S12,对待测芯片上具体电路三维轮廓进行测量,并根据测量得到的芯片的三维轮廓确定待测芯片上的测试触点的高度h2;

[0015] S13,微处理器基于测量得到的高度值h1、h2,控制探针向下运动距离h3,其中 $h3 = h1 - h2$,使测试探针与待测芯片上的测试触点恰好接触,避免了探针发生弯曲以及下压力度过大;

[0016] S14,微处理器发出预测试信号,检测探针与待测芯片上的测试触点是否有效电连接,如果探针与测试触点有效电连接,则执行步骤S2,否则,微处理器控制探针再向下运动 $h3/n$ (n为大于等于10的自然数),直到检测到探针与待测芯片上的测试触点有效电连接为止。

[0017] 本发明的芯片测试装置及方法,可以有效地避免芯片测试过程探针发生弯曲以及探针下压力度较大的缺陷,提高了芯片测试准确性,并有效降低了芯片在测试过程中被探针损坏的可能性。

附图说明

[0018] 图1是本发明的芯片测试装置示意图。

[0019] 图2是本发明的芯片测试方法流程图。

具体实施方式

[0020] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0021] 如图1所示,本发明提供一种芯片测试装置,包括基座1、探针卡2、三维移动平台3、微处理器4;其中,待测芯片5放置在基座1上,探针卡2设置在三维移动平台3下方;微处理器4分别与探针卡2、三维移动平台3电连接;探针卡2上设有用于与待测芯片5上的测试触点6电连接的探针7。测试时,由微处理器4控制三维移动平台3的运动,以驱动探针卡2上的探针7进行三维运动,从而使探针卡2上的探针7与待测芯片5上的测试触点6进行电连接。

[0022] 进一步的,所述探针卡2以及其上设置的探针7为一个或多个。进一步的,所述待测芯片5上的测试触点6为一个或多个。

[0023] 进一步的,当所述探针卡2以及其上设置的探针7为多个时,该多个探针卡2分别由多个三维移动平台3独立控制,便于控制多个探针卡2上的探针7分别对不同高度的测试触点6进行同时测试。

[0024] 图2是本发明提供的一种芯片测试方法的流程图,结合图1和图2描述示例性的芯片测试方法。

[0025] 一种基于上述芯片测试装置的芯片测试方法,包括以下测试步骤:

[0026] S1,微处理器发出芯片测试启动指令后,由控制器控制探针卡向下运动,使探针卡上的探针与待测芯片上的测试触点有效电连接;

- [0027] S2,微处理器向待测芯片发送测试信号,并接收由探针反馈回的芯片测试信号;
- [0028] S3,微处理器基于发出的测试信号和接收到的反馈信号分析得出芯片测试结果。
- [0029] 所述步骤S1中,在微处理器发出芯片测试指令之前进一步包括:
- [0030] S11,确定探针针尖距离底座的高度值 h_1 ;
- [0031] S12,对待测芯片上具体电路三维轮廓进行测量,并根据测量得到的芯片三维轮廓确定待测芯片上测试触点的高度 h_2 ;
- [0032] S13,微处理器基于测量得到的高度值 h_1 、 h_2 ,控制探针向下运动的距离 $h_3 = h_1 - h_2$,使测试探针与待测芯片上的测试触点恰好接触,避免了探针发生弯曲以及下压力度过大;
- [0033] S14,微处理器发出预测试信号,检测探针与待测芯片上的测试触点是否有效电连接,如果探针与测试触点有效电连接,则执行步骤S2,否则,微处理器控制探针再向下运动 h_3/n (n 为大于等于10的自然数),直到检测到探针与待测芯片上的测试触点有效电连接为止。
- [0034] 进一步的,所述步骤S12中,对待测芯片上具体电路三维轮廓进行测量,具体是通过原子力显微镜、激光扫描、光学成像等方法实施。
- [0035] 进一步的,所述步骤S14中, n 的取值越大越好,优选取值100。
- [0036] 以上通过具体实施方式和实施例对本发明进行了详细的说明,但这些并非构成对本发明的限制。在不脱离本发明原理的情况下,本领域的技术人员还可做出许多变形和改进,这些也应视为本发明的保护范围。

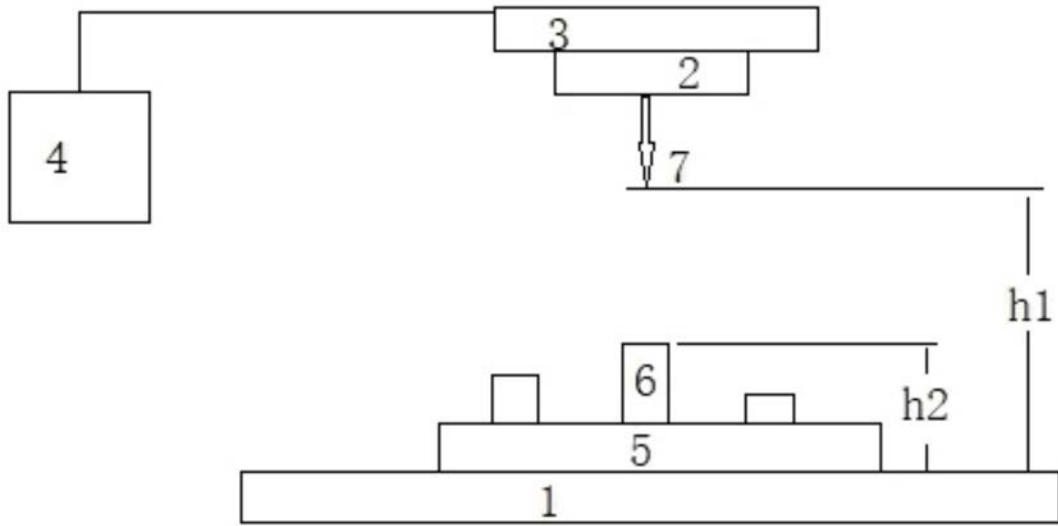


图1

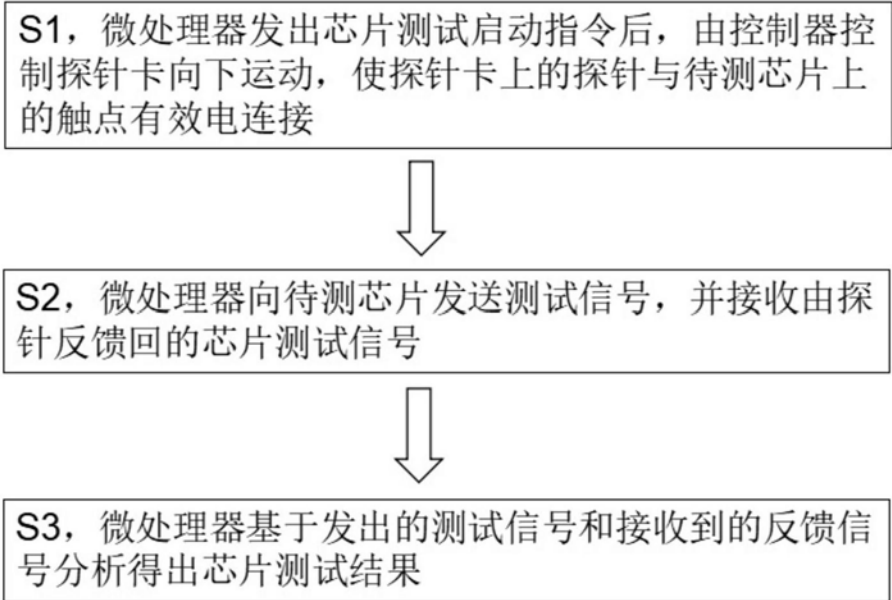


图2