



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2021-0079767  
(43) 공개일자 2021년06월30일

(51) 국제특허분류(Int. Cl.)  
C23C 16/455 (2006.01) C23C 16/04 (2006.01)  
C23C 16/40 (2006.01) H01L 21/02 (2006.01)

(52) CPC특허분류  
C23C 16/45553 (2013.01)  
C23C 16/045 (2013.01)

(21) 출원번호 10-2019-0171894  
(22) 출원일자 2019년12월20일  
심사청구일자 없음

(71) 출원인  
삼성전자주식회사  
경기도 수원시 영통구 삼성로 129 (매탄동)

(72) 발명자  
문금비  
경기도 수원시 팔달구 잣매산로25번길 60-18 (매산로2가)

김진용  
경기도 화성시 동탄지성로 42 (반송동, 동탄시범한빛마을 동탄아이파크)  
(뒷면에 계속)

(74) 대리인  
리엔목특허법인

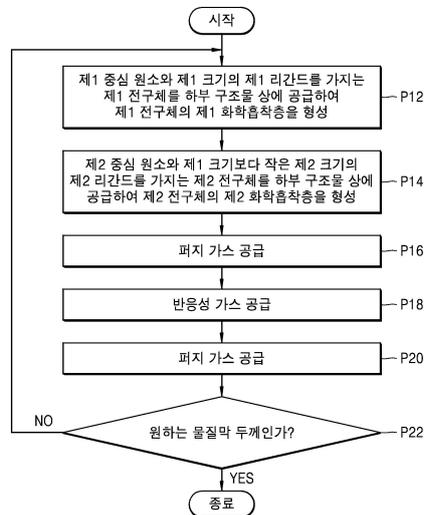
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 물질막 형성 방법과, 집적회로 소자 및 그 제조 방법

(57) 요약

집적회로 소자를 제조하기 위하여, 트렌치를 한정하는 단차 구조를 가지는 하부 구조물을 준비하고, 상기 트렌치 내에 물질막을 형성한다. 물질막을 형성하기 위하여, 제1 중심 원소와, 제1 크기의 제1 리간드를 가지는 제1 전구체를 하부 구조물 상에 공급하여 상기 하부 구조물 상에 상기 제1 전구체의 제1 화학흡착층을 형성한다. 제2 중심 원소와, 상기 제1 크기보다 작은 제2 크기를 가지는 제2 리간드를 가지는 제2 전구체를 상기 제1 화학흡착층이 형성된 결과물 상에 공급하여 상기 하부 구조물 상에 상기 제2 전구체의 제2 화학흡착층을 형성한다. 상기 제1 화학흡착층 및 상기 제2 화학흡착층에 반응성 가스를 공급한다.

대표도 - 도1



(52) CPC특허분류

*C23C 16/401* (2013.01)  
*C23C 16/45536* (2013.01)  
*H01L 21/02126* (2013.01)  
*H01L 21/02164* (2013.01)  
*H01L 21/0228* (2013.01)  
*H01L 21/0234* (2013.01)

(72) 발명자

**이준원**

충청남도 아산시 탕정면 탕정면로 37, 201동 1806호 (탕정삼성트라펠리스아파트)

**황광태**

서울특별시 서초구 효령로12길 56, 102호 (방배동, 현대빌라)

**김익수**

경기도 용인시 수지구 포은대로 231, 204동 804호 (상현동, 서원마을 현대홈타운아파트)

**임지운**

경기도 화성시 동탄대로시범길 19 (청계동, 동탄역시 범더샵 센트럴시티)

## 명세서

### 청구범위

#### 청구항 1

제1 중심 원소와, 제1 크기의 제1 리간드를 가지는 제1 전구체를 하부 구조물 상에 공급하여 상기 하부 구조물 상에 상기 제1 전구체의 제1 화학흡착층을 형성하는 단계와,

제2 중심 원소와, 상기 제1 크기보다 작은 제2 크기를 가지는 제2 리간드를 가지는 제2 전구체를 상기 제1 화학흡착층이 형성된 결과물 상에 공급하여 상기 하부 구조물 상에 상기 제2 전구체의 제2 화학흡착층을 형성하는 단계와,

상기 제1 화학흡착층 및 상기 제2 화학흡착층에 반응성 가스를 공급하여 상기 하부 구조물 상에서 상기 제1 리간드 및 상기 제2 리간드를 제거하고 상기 제1 중심 원소 및 상기 제2 중심 원소를 포함하는 물질막을 형성하는 단계를 포함하는 물질막 형성 방법.

#### 청구항 2

제1항에 있어서,

상기 제1 중심 원소 및 상기 제2 중심 원소는 각각 실리콘(Si) 또는 금속인 물질막 형성 방법.

#### 청구항 3

제1항에 있어서,

상기 제1 전구체의 제1 분자량은 상기 제2 전구체의 제2 분자량보다 더 큰 물질막 형성 방법.

#### 청구항 4

제1항에 있어서,

상기 제1 리간드는 방향족 작용기, 알콕시 작용기, 티올 작용기, 또는  $-Si-(CH_2)_n-Si-$  기( $n$ 은 1 내지 5의 정수)를 포함하는 물질막 형성 방법.

#### 청구항 5

제1항에 있어서,

상기 반응성 가스는 산화성 가스 또는 환원성 가스인 물질막 형성 방법.

#### 청구항 6

제1항에 있어서,

상기 물질막을 수소 플라즈마 처리하는 단계를 더 포함하는 물질막 형성 방법.

#### 청구항 7

트렌치를 한정하는 단차 구조를 가지는 하부 구조물을 준비하는 단계와,

상기 트렌치 내에 물질막을 형성하는 단계를 포함하고,

상기 물질막을 형성하는 단계는

제1 중심 원소와, 제1 크기의 제1 리간드를 가지는 제1 전구체를 상기 트렌치 내에 공급하여 상기 트렌치 내에 상기 제1 전구체의 제1 화학흡착층을 형성하는 제1 프로세스와,

제2 중심 원소와, 상기 제1 크기보다 작은 제2 크기를 가지는 제2 리간드를 가지는 제2 전구체를 상기 제1 화학흡착층이 형성된 상기 트렌치 내에 공급하여 상기 트렌치 내에 상기 제2 전구체의 제2 화학흡착층을 형성하는

제2 프로세스와,

상기 제1 화학흡착층 및 상기 제2 화학흡착층에 반응성 가스를 공급하여 상기 트렌치 내에 상기 제1 중심 원소 및 상기 제2 중심 원소를 포함하는 원자 레벨 물질막을 형성하는 제3 프로세스를 포함하는 ALD(atomic layer deposition) 사이클을 적어도 1 회 수행하는 단계를 포함하는 집적회로 소자의 제조 방법.

**청구항 8**

제7항에 있어서,

상기 ALD 사이클은 상기 제3 프로세스를 수행한 후 상기 원자 레벨 물질막을 수소 플라즈마 처리하는 제4 프로세스를 더 포함하는 집적회로 소자의 제조 방법.

**청구항 9**

제7항에 있어서,

상기 물질막을 형성하는 단계는 상기 ALD 사이클을 복수 회 수행한 후 상기 원자 레벨 물질막을 수소 플라즈마 처리하는 단계를 더 포함하는 집적회로 소자의 제조 방법.

**청구항 10**

제7항에 있어서,

상기 물질막은 실리콘 산화막으로 이루어지고,

상기 제1 중심 원소 및 상기 제2 중심 원소는 각각 Si 원자인 집적회로 소자의 제조 방법.

**청구항 11**

제7항에 있어서,

상기 물질막은 실리콘 산화막으로 이루어지고,

상기 제1 리간드는 방향족 작용기, 알콕시 작용기, 티올 작용기, 또는  $-Si-(CH_2)_n-Si-$  기( $n$ 은 1 내지 5의 정수)를 포함하고,

상기 제2 리간드는 상기 방향족 작용기, 상기 알콕시 작용기, 상기 티올 작용기, 및 상기  $-Si-(CH_2)_n-Si-$  기( $n$ 은 1 내지 5의 정수)를 포함하지 않는 집적회로 소자의 제조 방법.

**청구항 12**

제7항에 있어서,

상기 물질막은 실리콘 산화막으로 이루어지고,

상기 제2 전구체는 실란( $SiH_4$ ), 디실란( $Si_2H_6$ ), 할로젠으로 치환된 실란, 유기 실란, 또는 유기 아미노실란으로 이루어지는 집적회로 소자의 제조 방법.

**청구항 13**

제7항의 방법에 의해 얻어진 집적회로 소자로서,

상기 물질막은 실리콘 산화막으로 이루어지고,

상기 실리콘 산화막 중 상기 트렌치의 입구에 더 가까운 상측 부분은 제1 함량비의 탄소 원자를 포함하고,

상기 실리콘 산화막 중 상기 트렌치의 저면에 더 가까운 하측 부분은 상기 제1 함량비보다 더 낮은 제2 함량비의 탄소 원자를 포함하는 집적회로 소자.

**청구항 14**

기판에 활성 영역을 정의하는 트렌치를 형성하는 단계와,

상기 트렌치 내에 실리콘 산화막을 형성하는 단계를 포함하고,

상기 실리콘 산화막을 형성하는 단계는

제1 Si 중심 원소와, 제1 크기의 제1 리간드를 가지는 제1 전구체를 상기 트렌치 내에 공급하여 상기 트렌치 내에 상기 제1 전구체의 제1 화학흡착층을 형성하는 제1 프로세스와,

제2 Si 중심 원소와, 상기 제1 크기보다 작은 제2 크기를 가지는 제2 리간드를 가지는 제2 전구체를 상기 제1 화학흡착층이 형성된 상기 트렌치 내에 공급하여 상기 트렌치 내에 상기 제2 전구체의 제2 화학흡착층을 형성하는 제2 프로세스와,

상기 제1 화학흡착층 및 상기 제2 화학흡착층에 산화성 가스를 공급하여 상기 트렌치 내에 원자 레벨 실리콘 산화막을 형성하는 제3 프로세스를 포함하는 ALD 사이클을 적어도 1 회 수행하는 단계를 포함하는 집적회로 소자의 제조 방법.

**청구항 15**

제14항에 있어서,

상기 제1 리간드는 방향족 작용기, 알콕시 작용기, 티올 작용기, 또는  $-Si-(CH_2)_n-Si-$  기( $n$ 은 1 내지 5의 정수)를 포함하고,

상기 제2 리간드는 상기 방향족 작용기, 상기 알콕시 작용기, 상기 티올 작용기, 및 상기  $-Si-(CH_2)_n-Si-$  기( $n$ 은 1 내지 5의 정수)를 포함하지 않는 집적회로 소자의 제조 방법.

**청구항 16**

제14항에 있어서,

상기 제1 전구체의 제1 분자량은 상기 제2 전구체의 제2 분자량보다 더 큰 집적회로 소자의 제조 방법.

**청구항 17**

제14항에 있어서,

상기 산화성 가스는  $O_2$ ,  $O_3$ ,  $H_2O$ ,  $NO$ ,  $NO_2$ ,  $N_2O$ ,  $CO_2$ ,  $H_2O_2$ ,  $HCOOH$ ,  $CH_3COOH$ ,  $(CH_3CO)_2O$ , 플라즈마  $O_2$ , 리모트 플라즈마  $O_2$ , 플라즈마  $N_2O$ , 플라즈마  $H_2O$ , 또는 이들의 조합으로 이루어지는 집적회로 소자의 제조 방법.

**청구항 18**

제14항에 있어서,

상기 ALD 사이클은 상기 제3 프로세스를 수행한 후 상기 원자 레벨 실리콘 산화막을 수소 플라즈마 처리하는 제 4 프로세스를 더 포함하는 집적회로 소자의 제조 방법.

**청구항 19**

제14항에 있어서,

상기 실리콘 산화막을 형성하는 단계는 상기 ALD 사이클을 복수 회 수행한 후 상기 원자 레벨 실리콘 산화막을 수소 플라즈마 처리하는 단계를 더 포함하는 집적회로 소자의 제조 방법.

**청구항 20**

제14항의 방법에 의해 얻어진 집적회로 소자로서,

상기 실리콘 산화막은 3 원자% 미만의 탄소 원자 함량을 가지고,

상기 실리콘 산화막 중 상기 트렌치의 입구에 더 가까운 상측 부분은 0 원자%보다 더 크고 3 원자% 미만인 범위 내에서 선택되는 제1 함량비의 탄소 원자를 포함하고,

상기 실리콘 산화막 중 상기 트렌치의 저면에 더 가까운 하측 부분은 0 원자%와 같거나 더 크고 3 원자% 미만인

범위 내에서 선택되고 상기 제1 함량비보다 더 낮은 제2 함량비의 탄소 원자를 포함하는 집적회로 소자.

## 발명의 설명

### 기술 분야

[0001] 본 발명의 기술적 사상은 물질막 형성 방법과, 집적회로 소자 및 그 제조 방법에 관한 것으로, 특히 ALD(atomic layer deposition) 공정을 이용하는 물질막 형성 방법과, 이로부터 얻어진 물질막을 포함하는 집적회로 소자 및 그 제조 방법에 관한 것이다.

### 배경 기술

[0002] 전자 소자가 고집적화되고 미세화되어 감에 따라 전자 소자를 구성하는 패턴들의 아스펙트비(aspect ratio)가 점차 커지고, 이에 수반하여 큰 아스펙트비를 가지는 좁고 깊은 공간 내에서도 우수한 매립 특성을 제공하기 위한 증착 기술이 필요하다. 특히, 깊고 좁은 트렌치를 포함하는 3 차원 구조물 상에 상기 트렌치를 채우는 물질막을 형성하기 위한 ALD 공정을 수행하는 데 있어서, 상기 트렌치 내에서 심(seam) 또는 보이드(void) 없이 물질막을 형성할 수 있는 증착 기술을 개발할 필요가 있다.

### 발명의 내용

#### 해결하려는 과제

[0003] 본 발명의 기술적 사상이 이루고자 하는 기술적 과제는 깊고 좁은 트렌치를 포함하는 3 차원 구조물 상에 상기 트렌치를 채우는 물질막을 형성하는 데 있어서, 상기 트렌치 내에서 심 또는 보이드가 없는 물질막을 형성할 수 있는 물질막 형성 방법을 제공하는 것이다.

[0004] 본 발명의 기술적 사상이 이루고자 하는 다른 기술적 과제는 깊고 좁은 트렌치를 포함하는 3 차원 구조물 상에 상기 트렌치를 심 또는 보이드 없이 채우는 물질막의 제조 공정을 포함하는 집적회로 소자의 제조 방법을 제공하는 것이다.

[0005] 본 발명의 기술적 사상이 이루고자 하는 또 다른 기술적 과제는 3 차원 구조물에 형성된 깊고 좁은 트렌치를 심 또는 보이드 없이 채우며 우수한 전기적 특성을 제공할 수 있는 물질막을 포함하는 집적회로 소자의 제조 방법을 제공하는 것이다.

#### 과제의 해결 수단

[0006] 본 발명의 기술적 사상에 의한 일 양태에 따른 물질막 형성 방법에서는 제1 중심 원소와, 제1 크기의 제1 리간드를 가지는 제1 전구체를 하부 구조물 상에 공급하여 상기 하부 구조물 상에 상기 제1 전구체의 제1 화학흡착층을 형성한다. 제2 중심 원소와, 상기 제1 크기보다 작은 제2 크기를 가지는 제2 리간드를 가지는 제2 전구체를 상기 제1 화학흡착층이 형성된 결과물 상에 공급하여 상기 하부 구조물 상에 상기 제2 전구체의 제2 화학흡착층을 형성한다. 상기 제1 화학흡착층 및 상기 제2 화학흡착층에 반응성 가스를 공급하여 상기 하부 구조물 상에서 상기 제1 리간드 및 상기 제2 리간드를 제거하고 상기 제1 중심 원소 및 상기 제2 중심 원소를 포함하는 물질막을 형성한다.

[0007] 본 발명의 기술적 사상에 의한 일 양태에 따른 집적회로 소자의 제조 방법에서는 트렌치를 한정하는 단차 구조를 가지는 하부 구조물을 준비한다. 상기 트렌치 내에 물질막을 형성한다. 상기 물질막을 형성하기 위하여, 제1 중심 원소와, 제1 크기의 제1 리간드를 가지는 제1 전구체를 상기 트렌치 내에 공급하여 상기 트렌치 내에 상기 제1 전구체의 제1 화학흡착층을 형성하는 제1 프로세스와, 제2 중심 원소와, 상기 제1 크기보다 작은 제2 크기를 가지는 제2 리간드를 가지는 제2 전구체를 상기 제1 화학흡착층이 형성된 상기 트렌치 내에 공급하여 상기 트렌치 내에 상기 제2 전구체의 제2 화학흡착층을 형성하는 제2 프로세스와, 상기 제1 화학흡착층 및 상기 제2 화학흡착층에 반응성 가스를 공급하여 상기 트렌치 내에 상기 제1 중심 원소 및 상기 제2 중심 원소를 포함하는 원자 레벨 물질막을 형성하는 제3 프로세스를 포함하는 ALD(atomic layer deposition) 사이클을 적어도 1 회 수행한다.

[0008] 본 발명의 기술적 사상에 의한 다른 양태에 따른 집적회로 소자의 제조 방법에서는 기판에 활성 영역을 정의하

는 트렌치를 형성한다. 상기 트렌치 내에 실리콘 산화막을 형성한다. 상기 실리콘 산화막을 형성하기 위하여, 제1 Si 중심 원소와, 제1 크기의 제1 리간드를 가지는 제1 전구체를 상기 트렌치 내에 공급하여 상기 트렌치 내에 상기 제1 전구체의 제1 화학흡착층을 형성하는 제1 프로세스와, 제2 Si 중심 원소와, 상기 제1 크기보다 작은 제2 크기를 가지는 제2 리간드를 가지는 제2 전구체를 상기 제1 화학흡착층이 형성된 상기 트렌치 내에 공급하여 상기 트렌치 내에 상기 제2 전구체의 제2 화학흡착층을 형성하는 제2 프로세스와, 상기 제1 화학흡착층 및 상기 제2 화학흡착층에 산화성 가스를 공급하여 상기 트렌치 내에 원자 레벨 실리콘 산화막을 형성하는 제3 프로세스를 포함하는 ALD 사이클을 적어도 1 회 수행한다.

[0009] 본 발명의 기술적 사상에 의한 일 양태에 따른 집적회로 소자는 본 발명의 기술적 사상에 의한 일 양태에 따른 집적회로 소자의 제조 방법에 의해 얻어진 것으로서, 상기 집적회로 소자는 트렌치를 채우는 물질막을 포함하고, 상기 물질막은 실리콘 산화막으로 이루어진다. 상기 실리콘 산화막 중 상기 트렌치의 입구에 더 가까운 상측 부분은 제1 함량비의 탄소 원자를 포함하고, 상기 실리콘 산화막 중 상기 트렌치의 저면에 더 가까운 하측 부분은 상기 제1 함량비보다 더 낮은 제2 함량비의 탄소 원자를 포함한다.

[0010] 본 발명의 기술적 사상에 의한 다른 양태에 따른 집적회로 소자는 본 발명의 기술적 사상에 의한 다른 양태에 따른 집적회로 소자의 제조 방법에 의해 얻어진 것으로서, 상기 집적회로 소자는 트렌치를 채우는 실리콘 산화막을 포함한다. 상기 실리콘 산화막은 3 원자% 미만의 탄소 원자 함량을 가지고, 상기 실리콘 산화막 중 상기 트렌치의 입구에 더 가까운 상측 부분은 0 원자%보다 더 크고 3 원자% 미만인 범위 내에서 선택되는 제1 함량비의 탄소 원자를 포함하고, 상기 실리콘 산화막 중 상기 트렌치의 저면에 더 가까운 하측 부분은 0 원자%와 같거나 더 크고 3 원자% 미만인 범위 내에서 선택되고 상기 제1 함량비보다 더 낮은 제2 함량비의 탄소 원자를 포함한다.

**발명의 효과**

[0011] 본 발명의 기술적 사상에 의한 물질막 형성 방법에 의하면, 하부 구조물 상에 비교적 큰 크기의 제1 리간드를 가지는 제1 전구체로 이루어지는 제1 화학흡착층을 먼저 형성한 후, 제1 화학흡착층을 통해 노출되는 빈 공간에 비교적 작은 크기의 제2 리간드를 가지는 제2 전구체로 이루어지는 제2 화학흡착층을 형성하고, 상기 제1 화학흡착층 및 상기 제2 화학흡착층에 반응성 가스를 공급하여 원자 레벨의 물질막을 형성함으로써, 하부 구조물에 형성된 트렌치를 심(seam) 또는 보이드(void) 없는 물질막으로 채울 수 있다.

[0012] 본 발명의 기술적 사상에 의한 집적회로 소자의 제조 방법에 의하면, 셀 어레이 영역에 형성된 좁고 깊은 소자 분리 트렌치를 심 또는 보이드 없는 소자분리막으로 채울 수 있다. 또한, 다양한 폭을 가지는 복수의 트렌치를 동시에 채우는 소자분리막을 형성하는 데 있어서, 상기 복수의 트렌치 내부를 심 또는 보이드 없는 소자분리막으로 채울 수 있다. 특히, 상기 소자분리막을 형성하는 데 있어서 트렌치의 입구 측에서의 증착 속도를 낮추기 위하여 ALD 공정의 매 사이클마다 별도의 식각 공정을 수반하거나 별도의 인히비터를 사용할 필요가 없으므로 상기 식각 공정 또는 인히비터 채용으로 인해 야기될 수 있는 오염 가능성과, 이로 인해 전기적 특성에 악영향을 미치는 등의 문제를 원천적으로 차단할 수 있다. 따라서, 비교적 단순화된 공정에 의해 다양한 폭을 가지는 복수의 트렌치 내에 심 또는 보이드 없는 소자분리막을 형성할 수 있으며, 소자분리막을 구성하는 실리콘 산화막의 순도를 높일 수 있어 집적회로 소자의 전기적 특성을 향상시킬 수 있다.

**도면의 간단한 설명**

- [0013] 도 1은 본 발명의 기술적 사상에 의한 실시예들에 따른 물질막 형성 방법을 설명하기 위한 플로차트이다.
- 도 2a 내지 도 2e는 본 발명의 기술적 사상에 의한 실시예들에 따른 물질막 형성 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다.
- 도 3은 본 발명의 기술적 사상에 의한 다른 실시예들에 따른 물질막 형성 방법을 설명하기 위한 플로차트이다.
- 도 4는 본 발명의 기술적 사상에 의한 또 다른 실시예들에 따른 물질막 형성 방법을 설명하기 위한 플로차트이다.
- 도 5는 본 발명의 기술적 사상에 의한 또 다른 실시예들에 따른 물질막 형성 방법을 설명하기 위한 플로차트이다.
- 도 6은 본 발명의 기술적 사상에 의한 실시예들에 따른 집적회로 소자의 개략적인 구성을 예시한 평면도이다.
- 도 7은 본 발명의 기술적 사상에 의한 실시예들에 따른 메모리 셀 어레이 영역의 주요 구성들을 설명하기 위한

개략적인 평면 레이아웃이다.

도 8a 내지 도 8c는 본 발명의 기술적 사상에 의한 실시예들에 따른 집적회로 소자의 주요 구성을 설명하기 위한 단면도들이다.

도 9a 및 도 9b는 본 발명의 기술적 사상에 의한 실시예들에 따른 집적회로 소자의 주요 구성을 설명하기 위한 단면도들이다.

도 10a 내지 도 10f는 본 발명의 기술적 사상에 의한 실시예들에 따른 집적회로 소자의 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다.

### 발명을 실시하기 위한 구체적인 내용

- [0014] 이하, 첨부 도면을 참조하여 본 발명의 실시예들을 상세히 설명한다. 도면상의 동일한 구성요소에 대해서는 동일한 참조부호를 사용하고, 이들에 대한 중복된 설명은 생략한다.
- [0015] 도 1은 본 발명의 기술적 사상에 의한 실시예들에 따른 물질막 형성 방법을 설명하기 위한 플로차트이다. 도 2a 내지 도 2e는 본 발명의 기술적 사상에 의한 실시예들에 따른 물질막 형성 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다. 도 1과 도 2a 내지 도 2e를 참조하여, 본 발명의 기술적 사상에 의한 실시예들에 따른 물질막 형성 방법을 설명한다. 본 예에서는 ALD(atomic layer deposition) 공정을 이용하여 물질막을 제조하는 방법을 예로 들어 설명한다.
- [0016] 도 1 및 도 2a를 참조하면, 공정 P12에서, 반응 공간 내에서 제1 전구체(P1)를 하부 구조물(110) 상에 공급하여 하부 구조물(110) 상에 제1 전구체(P1)의 제1 화학흡착층(AL1)을 형성한다. 제1 전구체(P1)는 제1 중심 원소와, 제1 크기의 제1 리간드를 가질 수 있다.
- [0017] 하부 구조물(110)은 상부에 트렌치(TR)를 한정하는 단차 구조를 가질 수 있다. 하부 구조물(110)은 반도체 원소, 화합물 반도체, 또는 절연 물질로 이루어질 수 있다. 예시적인 실시예들에서, 하부 구조물(110)은 도전 영역, 예를 들면 불순물이 도핑된 웰(well), 또는 불순물이 도핑된 구조물, 배선층, 콘택 플러그, 트랜지스터 등과, 이들을 상호 절연시키는 절연막을 포함할 수 있다.
- [0018] 제1 전구체(P1)의 제1 리간드의 제1 크기는 도 1의 공정 P14 및 도 2b를 참조하여 후술하는 제2 전구체(P2)의 제2 리간드의 제2 크기보다 더 클 수 있다. 예시적인 실시예들에서, 제1 전구체(P1)의 크기는 도 1의 공정 P14 및 도 2b를 참조하여 후술하는 제2 전구체(P2)의 크기보다 더 클 수 있다. 본 명세서에서 리간드 또는 전구체의 크기는 리간드 또는 전구체가 차지하는 공간의 부피를 의미한다. 예시적인 실시예들에서, 제1 전구체(P1)의 분자량은 제2 전구체(P2)의 분자량보다 더 클 수 있다.
- [0019] 예시적인 실시예들에서, 제1 전구체(P1)의 제1 리간드는 방향족 작용기, 알콕시 작용기, 티올 작용기, 및 벌키(bulky)한 유기 작용기 중에서 선택되는 적어도 하나를 가지는 리간드를 포함할 수 있다. 제1 전구체(P1)는 비교적 큰 크기를 가지는 제1 리간드를 포함하기 때문에 입체 장애(steric hindrance)로 인해 제1 전구체(P1)의 흡착 밀도가 낮아 제1 전구체(P1)가 하부 구조물(110)의 노출 표면 상에 흡착된 후에도 하부 구조물(110)의 노출 표면은 제1 전구체(P1)가 흡착되지 않은 빈 영역이 남게 된다. 또한, 제1 전구체(P1)는 유동성(flowability)이 비교적 낮아 트렌치(TR)의 깊은 영역 또는 저면까지 이르기 어렵고 주로 하부 구조물(120)의 상면 위와, 트렌치(TR) 입구 측에 가까운 트렌치(TR)의 상부 측벽 위에 흡착될 수 있다. 제1 전구체(P1)는 주로 트렌치(TR) 입구 측에 흡착되어 있으므로, 도 1의 공정 P14 및 도 2b를 참조하여 후술하는 제2 전구체(P2)가 트렌치(TR) 입구 측에 흡착되는 것을 방해하고, 트렌치(TR)의 깊은 영역 또는 저면에 우선적으로 흡착되도록 유도하는 역할을 할 수 있다. 제1 전구체(P1)에 대한 보다 구체적인 설명은 도 1의 공정 P14 및 도 2b를 참조하여 후술한다.
- [0020] 도 1 및 도 2b를 참조하면, 공정 P14에서, 제1 화학흡착층(AL1)이 형성된 결과물 상에 제2 전구체(P2)를 공급하여 하부 구조물(110) 상에 제2 전구체(P2)의 제2 화학흡착층(AL2)을 형성한다.
- [0021] 일부 실시예들에서, 제2 전구체(P2)는 제1 전구체(P1)의 제1 중심 원소와 동일한 원소로 이루어지는 제2 중심 원소와, 제2 리간드를 가질 수 있다. 제2 전구체(P2)에 포함된 상기 제2 리간드는 제1 전구체(P1)의 상기 제1 리간드와 다른 구조를 가질 수 있다. 상기 제2 리간드의 제2 크기는 상기 제1 리간드의 제1 크기보다 더 작을 수 있다. 예시적인 실시예들에서, 제1 전구체(P1)의 크기는 제2 전구체(P2)의 크기보다 더 클 수 있다. 예시적인 실시예들에서, 제1 전구체(P1)의 분자량은 제2 전구체(P2)의 분자량보다 더 클 수 있다. 다른 일부 실시예들에서, 제2 전구체(P2)의 제2 중심 원소는 제1 전구체(P1)의 제1 중심 원소와 다른 원소로 이루어질 수도 있다.

- [0022] 제2 전구체(P2)는 제1 전구체(P1)보다 반응성이 더 높을 수 있다. 따라서, 제2 전구체(P2)를 이용하여 물질막을 형성할 때의 물질막 증착 속도가 제1 전구체(P1)를 이용하여 물질막을 형성할 때의 물질막 증착 속도보다 더 클 수 있다. 제2 전구체(P2)의 제2 화학흡착층(AL2)은 하부 구조물(110)의 노출 표면 중 제1 전구체(P1)의 제1 화학흡착층(AL1)을 통해 노출되는 영역에 형성될 수 있다. 하부 구조물(110) 상에 서로 다른 구조의 제1 전구체(P1) 및 제2 전구체(P2)로부터 얻어진 제1 화학흡착층(AL1) 및 제2 화학흡착층(AL2)이 형성될 수 있다.
- [0023] 제1 전구체(P1)는 주로 트렌치(TR) 입구 측에 흡착되어 있으므로, 하부 구조물(110) 상에 제1 전구체(P1)를 공급할 때 비교적 작은 크기를 가지는 제2 전구체(P2)가 트렌치(TR)의 내부로 많이 들어갈 수 있다. 트렌치(TR) 입구 측에 흡착된 제1 전구체(P1)는 제2 전구체(P2)가 트렌치(TR) 입구 측보다 트렌치(TR)의 깊은 영역 또는 저면에 우선적으로 흡착되도록 유도하는 역할을 할 수 있다.
- [0024] 하부 구조물(110)의 상면과 트렌치(TR) 입구 측에서는 흡착 밀도가 비교적 작은 제1 전구체(P1)의 제1 화학흡착층(AL1)이 형성되고, 트렌치(TR)의 깊은 영역 또는 저면에서는 흡착 밀도가 비교적 높은 제2 전구체(P2)의 제2 화학흡착층(AL2)이 형성되므로, 하부 구조물(110)의 상면과 트렌치(TR) 입구 측에서는 물질막 증착 속도가 비교적 느리고, 트렌치(TR)의 깊은 영역에서는 물질막 증착 속도가 비교적 빨라질 수 있다. 따라서, 트렌치(TR) 내부를 보이드(void) 없이 깨끗하게 채울 수 있다.
- [0025] 예시적인 실시예들에서, 제1 전구체(P1)의 제1 중심 원소와 제2 전구체(P2)의 제2 중심 원소는 동일한 원소로 이루어질 수 있다. 상기 제1 중심 원소 및 상기 제2 중심 원소는 실리콘(Si) 또는 금속일 수 있다. 상기 제1 중심 원소 및 상기 제2 중심 원소를 구성할 수 있는 금속은 지르코늄(Zr), 리튬(Li), 베릴륨(Be), 붕소(B), 나트륨(Na), 마그네슘(Mg), 알루미늄(Al), 칼륨(K), 칼슘(Ca), 스칸듐(Sc), 티타늄(Ti), 바나듐(V), 크롬(Cr), 망간(Mn), 철(Fe), 코발트(Co), 니켈(Ni), 구리(Cu), 아연(Zn), 갈륨(Ga), 저마늄(Ge), 루비듐(Rb), 스트론튬(Sr), 이트륨(Y), 니오븀(Nb), 몰리브덴(Mo), 테크네튬(Tc), 루테튬(Ru), 로듐(Rh), 팔라듐(Pd), 은(Ag), 카드뮴(Cd), 인듐(In), 주석(Sn), 안티몬(Sb), 세슘(Cs), 바륨(Ba), 란타늄(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 프로메튬(Pm), 사마륨(Sm), 유퀴륨(Eu), 가돌리늄(Gd), 테르비움(Tb), 디스프로슘(Dy), 홀름(Ho), 에르븀(Er), 툴륨(Tm), 이테르븀(Yb), 루테튬(Lu), 하프늄(Hf), 탄탈륨(Ta), 텅스텐(W), 레늄(Re), 오스뮴(Os), 이리듐(Ir), 백금(Pt), 금(Au), 수은(Hg), 납(Pb), 비스무트(Bi), 폴로늄(Po), 라듐(Ra), 및 악티늄(Ac) 중에서 선택될 수 있으나, 상기 예시한 바에 한정되는 것은 아니다.
- [0026] 제1 전구체(P1)의 제1 중심 원소와 제2 전구체(P2)의 제2 중심 원소가 각각 Si인 경우, 제1 전구체(P1)의 제1 리간드는 방향족 작용기, 알콕시 작용기, 티올 작용기, 또는 벌키한 유기 작용기를 포함하고, 제2 전구체(P2)의 제2 리간드는 방향족 작용기, 알콕시 작용기, 티올 작용기, 및 벌키한 유기 작용기를 포함하지 않을 수 있다.
- [0027] 상기 방향족 작용기를 포함하는 제1 리간드를 가지는 제1 전구체(P1)의 예로서, BMSD(5-(bicycloheptenyl)methyldimethoxysilane), BTS(5-(bicycloheptenyl)triethoxysilane), 및 BDS(5-(bicycloheptenyl)diethoxysilaneacetylene)를 들 수 있으나, 이들에 한정되는 것은 아니다.
- [0028] 상기 알콕시 작용기를 포함하는 제1 리간드를 가지는 제1 전구체(P1)의 예로서, 트리메틸메톡시실란(TMMS)(CH<sub>3</sub>-O-Si-(CH<sub>3</sub>)<sub>3</sub>), 디메틸디메톡시실란(DMDMS)((CH<sub>3</sub>)<sub>2</sub>-Si-(OCH<sub>3</sub>)<sub>2</sub>), 메틸트리메톡시실란(MTMS)((CH<sub>3</sub>-O)<sub>3</sub>-Si-CH<sub>3</sub>), 페닐트리메톡시실란(PTMOS)(C<sub>6</sub>H<sub>5</sub>-Si-(OCH<sub>3</sub>)<sub>3</sub>), 비닐디에톡시실란, 비닐디메톡시실란, 비닐트리메톡시실란, 비닐트리메톡시실란, 비닐메틸디메톡시실란, 및 비닐메틸디에톡시실란을 들 수 있으나, 이들에 한정되는 것은 아니다.
- [0029] 상기 티올 작용기를 포함하는 제1 리간드를 가지는 제1 전구체(P1)의 예로서 (3-메르캅토프로필)트리메톡시실란((3-mercaptopropyl)trimethoxysilane), (3-메르캅토프로필)트리에톡시실란, (3-메르캅토프로필)메틸디메톡시실란 등을 들 수 있다.
- [0030] 상기 벌키한 유기 작용기는 -Si-(CH<sub>2</sub>)<sub>n</sub>-Si- 기(n은 1 내지 5의 정수)를 포함할 수 있다. 예를 들면, 상기 벌키한 유기 작용기를 포함하는 제1 리간드를 가지는 제1 전구체(P1)는 (EtO)<sub>3</sub>Si-CH<sub>2</sub>-Si(OEt)<sub>2</sub>H, Me(EtO)<sub>2</sub>Si-CH<sub>2</sub>-Si(OEt)<sub>2</sub>H, Me(EtO)<sub>2</sub>Si-CH<sub>2</sub>-Si(OEt)HMe, Me<sub>2</sub>(EtO)Si-CH<sub>2</sub>-Si(OEt)<sub>2</sub>H, (EtO)Me<sub>2</sub>Si-CH<sub>2</sub>-Si(OMe)<sub>2</sub>H, Me<sub>2</sub>(EtO)Si-CH<sub>2</sub>-Si(OEt)HMe, (EtO)<sub>3</sub>Si-CH<sub>2</sub>-Si(OEt)HMe, (EtO)<sub>3</sub>Si-CH<sub>2</sub>-Si(OMe)HMe, Me(MeO)<sub>2</sub>Si-CH<sub>2</sub>-Si(OMe)<sub>2</sub>H, Me(MeO)<sub>2</sub>Si-CH<sub>2</sub>-Si(OMe)HMe, Me<sub>2</sub>(MeO)Si-CH<sub>2</sub>-Si(OMe)<sub>2</sub>H, 및 Me<sub>2</sub>(EtO)Si-CH<sub>2</sub>-Si(OMe)HMe로 예시되는 -Si-CH<sub>2</sub>-Si- 기 함유 전구체; 및 (EtO)<sub>3</sub>Si-CH<sub>2</sub>CH<sub>2</sub>-Si(OEt)<sub>2</sub>H, Me(EtO)<sub>2</sub>Si-CH<sub>2</sub>CH<sub>2</sub>-Si(OEt)<sub>2</sub>H, Me(EtO)<sub>2</sub>Si-CH<sub>2</sub>CH<sub>2</sub>-Si(OEt)HMe, Me<sub>2</sub>(EtO)Si-CH<sub>2</sub>CH<sub>2</sub>-Si(OEt)<sub>2</sub>H, (EtO)Me<sub>2</sub>Si-CH<sub>2</sub>CH<sub>2</sub>-Si(OMe)<sub>2</sub>H, Me<sub>2</sub>(EtO)Si-CH<sub>2</sub>CH<sub>2</sub>-Si(OEt)HMe, (EtO)<sub>3</sub>Si-CH<sub>2</sub>CH<sub>2</sub>-Si(OEt)HMe,

(EtO)<sub>3</sub>Si-CH<sub>2</sub>CH<sub>2</sub>-Si(OMe)HMe, Me(MeO)<sub>2</sub>Si-CH<sub>2</sub>CH<sub>2</sub>-Si(OMe)<sub>2</sub>H, Me(MeO)<sub>2</sub>Si-CH<sub>2</sub>CH<sub>2</sub>-Si(OMe)HMe, Me<sub>2</sub>(MeO)Si-CH<sub>2</sub>CH<sub>2</sub>-Si(OMe)<sub>2</sub>H, 및 Me<sub>2</sub>(EtO)Si-CH<sub>2</sub>CH<sub>2</sub>-Si(OMe)HMe로 예시되는 -Si-(CH<sub>2</sub>)<sub>2</sub>-Si- 기 함유 전구체 중에서 선택될 수 있다. 여기서, 약어 "Me"는 메틸기를 지칭하고, 약어 "Et"는 에틸기를 지칭한다.

[0031] 예시적인 실시예들에서, 제2 전구체(P2)는 실란(SiH<sub>4</sub>), 디실란(Si<sub>2</sub>H<sub>6</sub>), 할로젠으로 치환된 실란, 유기 실란, 또는 유기 아미노실란일 수 있으나, 이들에 한정되는 것은 아니다.

[0032] 상기 할로젠으로 치환된 실란은 모노플루오로실란(SiFH<sub>3</sub>), 디플루오로실란(SiF<sub>2</sub>H<sub>2</sub>), 트리플루오로실란(SiF<sub>3</sub>H), 테트라플루오로실란(SiF<sub>4</sub>), 모노플루오로디실란(Si<sub>2</sub>FH<sub>5</sub>), 디플루오로디실란(Si<sub>2</sub>F<sub>2</sub>H<sub>4</sub>), 트리플루오로디실란(Si<sub>2</sub>F<sub>3</sub>H<sub>3</sub>), 테트라플루오로디실란(Si<sub>2</sub>F<sub>4</sub>H<sub>2</sub>), 펜타플루오로디실란(Si<sub>2</sub>F<sub>5</sub>H), 헥사플루오로디실란(Si<sub>2</sub>F<sub>6</sub>), 모노클로로실란(SiClH<sub>3</sub>), 디클로로실란(SiCl<sub>2</sub>H<sub>2</sub>), 트리클로로실란(SiCl<sub>3</sub>H), 테트라클로로실란(SiCl<sub>4</sub>), 모노클로로디실란(Si<sub>2</sub>ClH<sub>5</sub>), 디클로로디실란(Si<sub>2</sub>Cl<sub>2</sub>H<sub>4</sub>), 트리클로로디실란(Si<sub>2</sub>Cl<sub>3</sub>H<sub>3</sub>), 테트라클로로디실란(Si<sub>2</sub>Cl<sub>4</sub>H<sub>2</sub>), 펜타클로로디실란(Si<sub>2</sub>Cl<sub>5</sub>H), 헥사클로로디실란(Si<sub>2</sub>Cl<sub>6</sub>), 모노브로모실란(SiBrH<sub>3</sub>), 디브로모실란(SiBr<sub>2</sub>H<sub>2</sub>), 트리브로모실란(SiBr<sub>3</sub>H), 테트라브로모실란(SiBr<sub>4</sub>), 모노브로모디실란(Si<sub>2</sub>BrH<sub>5</sub>), 디브로모디실란(Si<sub>2</sub>Br<sub>2</sub>H<sub>4</sub>), 트리브로모디실란(Si<sub>2</sub>Br<sub>3</sub>H<sub>3</sub>), 테트라브로모디실란(Si<sub>2</sub>Br<sub>4</sub>H<sub>2</sub>), 펜타브로모디실란(Si<sub>2</sub>Br<sub>5</sub>H), 헥사브로모디실란(Si<sub>2</sub>Br<sub>6</sub>), 모노아이오도실란(SiIH<sub>3</sub>), 디아이오도실란(SiI<sub>2</sub>H<sub>2</sub>), 트리아이오도실란(SiI<sub>3</sub>H), 테트라아이오도실란(SiI<sub>4</sub>), 모노아이오도디실란(Si<sub>2</sub>IH<sub>5</sub>), 디아이오도디실란(Si<sub>2</sub>I<sub>2</sub>H<sub>4</sub>), 트리아이오도디실란(Si<sub>2</sub>I<sub>3</sub>H<sub>3</sub>), 테트라아이오도디실란(Si<sub>2</sub>I<sub>4</sub>H<sub>2</sub>), 펜타아이오도디실란(Si<sub>2</sub>I<sub>5</sub>H), 및 헥사아이오도디실란(Si<sub>2</sub>I<sub>6</sub>) 중에서 선택될 수 있으나, 이들에 한정되는 것은 아니다.

[0033] 상기 유기 실란은 디에틸실란(Et<sub>2</sub>SiH<sub>2</sub>) 및 테트라에틸 오르소실리케이트(Si(OCH<sub>2</sub>CH<sub>3</sub>)<sub>4</sub>, TEOS) 중에서 선택될 수 있으나, 이들에 한정되는 것은 아니다.

[0034] 상기 유기 아미노실란은 디이소프로필아미노실란(H<sub>3</sub>Si(N(i-Prop))<sub>2</sub>), 비스(터셔리-부틸아미노)실란((C<sub>4</sub>H<sub>9</sub>(H)N)<sub>2</sub>SiH<sub>2</sub>), 테트라키스(디메틸아미노)실란(Si(NMe<sub>2</sub>)<sub>4</sub>), 테트라키스(에틸메틸아미노)실란(Si(NEtMe)<sub>4</sub>), 테트라키스(디에틸아미노)실란(Si(NEt<sub>2</sub>)<sub>4</sub>), 트리스(디메틸아미노)실란(HSi(NMe<sub>2</sub>)<sub>3</sub>), 트리스(에틸메틸아미노)실란(HSi(NEtMe)<sub>3</sub>), 트리스(디에틸아미노)실란(HSi(NEt<sub>2</sub>)<sub>3</sub>), 트리스(디메틸하이드라지노)실란(HSi(N(H)NMe<sub>2</sub>)<sub>3</sub>), 비스(디에틸아미노)실란(H<sub>2</sub>Si(NEt<sub>2</sub>)<sub>2</sub>), 비스(디이소프로필아미노)실란(H<sub>2</sub>Si(N(i-Prop))<sub>2</sub>), 트리스(이소프로필아미노)실란(HSi(N(i-Prop))<sub>3</sub>), 및 (디이소프로필아미노)실란(H<sub>3</sub>Si(N(i-Prop))<sub>2</sub>) 중에서 선택될 수 있으나, 이들에 한정되는 것은 아니다. 여기서, 약어 "Me"는 메틸기를 지칭하고, 약어 "Et"는 에틸기를 지칭하고, 약어 "i-Prop"은 이소프로필기를 지칭한다.

[0035] 다른 예시적인 실시예들에서, 제1 전구체(P1) 및 제2 전구체(P2)는 각각 상기 예시한 모든 Si 전구체들 중에서 선택되는 서로 다른 전구체일 수 있다. 단, 제1 전구체(P1)의 크기가 제2 전구체(P2)보다 더 클 수 있다. 예시적인 실시예들에서, 제1 전구체(P1)의 크기가 제2 전구체(P2)보다 더 크고, 제1 전구체(P1)의 분자량이 제2 전구체(P2)보다 더 클 수 있다.

[0036] 도 1의 공정 P12에서 하부 구조물(110) 상에 제1 전구체(P1)를 공급하는 동안, 및/또는 도 1의 공정 P14에서 하부 구조물(110) 상에 제2 전구체(P2)를 공급하는 동안, 상기 반응 공간 내부를 약 100 °C 내지 약 600 °C의 온도로 유지할 수 있다. 제1 전구체(P1)는 기화된 상태로 하부 구조물(110) 상에 공급될 수 있다. 하부 구조물(110) 상에 제1 전구체(P1) 및 제2 전구체(P2)를 공급한 후, 트렌치(TR)의 내벽과 하부 구조물(110)의 상면 위에는 제1 전구체(P1)의 제1 화학흡착층(AL1)과, 제2 전구체(P2)의 제2 화학흡착층(AL2)과, 제1 전구체(P1) 및 제2 전구체(P2) 각각의 물리흡착층이 남아 있을 수 있다.

[0037] 도 1의 공정 P16에서, 상기 반응 공간 내에 퍼지(purge) 가스를 공급하여, 하부 구조물(110) 상의 불필요한 물질들을 제거한다. 이 때, 하부 구조물(110) 상에 남아 있는 제1 전구체(P1) 및 제2 전구체(P2) 각각의 물리흡착층도 상기 퍼지 가스에 의해 제거될 수 있다. 상기 퍼지 가스로서 예를 들면 Ar, He, Ne 등의 불활성 가스 또는 N<sub>2</sub> 가스 등을 사용할 수 있다. 상기 반응 공간 내에 상기 퍼지 가스를 공급하는 동안, 상기 반응 공간 내부를 약 100 °C 내지 약 600 °C의 온도로 유지할 수 있다.

- [0038] 도 1의 공정 P18에서, 제1 화학흡착층(AL1) 및 제2 화학흡착층(AL2)이 형성된 도 2b의 결과물 위에 반응성 가스를 공급하여 하부 구조물(110) 상에서 제1 전구체(P1)의 제1 리간드와 제2 전구체(P2)의 제2 리간드를 제거하고, 상기 제1 중심 원소 및 상기 제2 중심 원소를 포함하는 원자 레벨 물질막을 형성한다.
- [0039] 상기 반응성 가스는 산화성 가스 또는 환원성 가스일 수 있다.
- [0040] 예시적인 실시예들에서, 상기 산화성 가스는 O<sub>2</sub>, O<sub>3</sub>, H<sub>2</sub>O, NO, NO<sub>2</sub>, N<sub>2</sub>O, CO<sub>2</sub>, H<sub>2</sub>O<sub>2</sub>, HCOOH, CH<sub>3</sub>COOH, (CH<sub>3</sub>CO)<sub>2</sub>O, 플라즈마 O<sub>2</sub>, 리모트 플라즈마 O<sub>2</sub>, 플라즈마 N<sub>2</sub>O, 플라즈마 H<sub>2</sub>O, 또는 이들의 조합으로 이루어질 수 있으나, 이들에 한정되는 것은 아니다.
- [0041] 예시적인 실시예들에서, 상기 환원성 가스는 H<sub>2</sub>, NH<sub>3</sub>, GeH<sub>4</sub>, 히드라진(N<sub>2</sub>H<sub>4</sub>), 히드라진 유도체, 또는 이들의 조합으로 이루어질 수 있으나, 이들에 한정되는 것은 아니다. 상기 히드라진 유도체는 C1 ~ C10의 알킬히드라진, 디알킬히드라진, 또는 이들의 조합으로 이루어질 수 있으나, 이들에 한정되는 것은 아니다.
- [0042] 다른 예시적인 실시예들에서, 상기 반응성 가스는 질소 함유 가스를 포함할 수 있다. 상기 질소 함유 가스는 모노알킬아민(monoalkylamine), 디알킬아민(dialkylamine), 트리알킬아민(trialkylamine), 알킬렌디아민(alkylenediamine) 등과 같은 유기 아민 화합물, 히드라진, 암모니아, 또는 이들의 조합으로 이루어질 수 있다.
- [0043] 예시적인 실시예들에서, 도 1의 공정 P18에 따라 상기 반응성 가스를 하부 구조물(110) 상에 공급하는 데 있어서, 상기 반응성 가스로서 산화성 가스를 공급할 때, 산화력이 서로 다른 복수의 산화성 가스를 순차적으로 공급할 수 있다. 예시적인 실시예들에서, 상기 복수의 산화성 가스는 위에 예시된 산화성 가스들 중에서 선택되는 서로 다른 산화성 가스일 수 있다. 상기 복수의 산화성 가스를 순차적으로 공급하는 데 있어서, 제1 산화력을 가지는 제1 산화성 가스를 상기 기판 상에 공급한 후, 제2 산화력을 가지는 제2 산화성 가스를 상기 기판 상에 공급하기 전에, 별도의 퍼지 공정이 수행될 수 있다.
- [0044] 도 1의 공정 P20에서, 도 1의 공정 P16에 대하여 설명한 바와 유사한 방법으로 상기 반응 공간 내에 퍼지 가스를 공급하여, 상기 원자 레벨 물질막 상의 불필요한 부산물들을 제거한다. 상기 반응 공간 내에 상기 퍼지 가스를 공급하는 동안, 상기 반응 공간 내부를 약 100 °C 내지 약 600 °C의 온도로 유지할 수 있다.
- [0045] 도 1의 공정 P22에서, 하부 구조물(110) 상에 원하는 물질막의 목표 두께가 얻어졌는지 판단하고, 상기 목표 두께가 얻어질 때까지 도 1의 공정 P12 내지 공정 P20의 퇴적 사이클을 반복할 수 있다.
- [0046] 도 2c를 참조하면, 도 1의 공정 P12 내지 공정 P20의 ALD 사이클을 복수 회 반복한 후 하부 구조물(110) 상에 예비 물질막(P112)이 얻어질 수 있다.
- [0047] 도 1의 공정 P12 내지 공정 P20의 ALD 사이클을 복수 회 반복하는 동안, 제1 전구체(P1)가 제공하는 입체 장애 효과로 인해 트렌치(TR) 입구 측에서보다 트렌치(TR) 내부의 비교적 깊은 부분에서 원자 레벨 절연막들이 우선적으로 퇴적되어, 트렌치(TR) 입구 측에서의 퇴적 속도보다 트렌치(TR) 저면으로부터의 퇴적 속도가 더 클 수 있다. 그 결과, 바텀업(bottom-up) 충전 방식의 퇴적이 진행되어 하부 구조물(120)의 상면에서보다 트렌치(TR) 내부의 저면 위에서 더 큰 두께를 가지는 예비 물질막(P112)이 얻어질 수 있다.
- [0048] 도 2d를 참조하면, 도 2c의 결과물에서 도 2a 및 도 2b를 참조하여 설명한 바와 유사한 방법으로 도 1의 공정 P12 및 공정 P14를 순차적으로 수행하여 예비 물질막(P112) 상에 제1 화학흡착층(AL1) 및 제2 화학흡착층(AL2)을 형성한다.
- [0049] 도 2e를 참조하면, 원하는 목표 두께를 가지는 물질막(112)이 얻어질 때까지 도 2d의 결과물에 대하여 도 1의 공정 P16 내지 공정 P20을 수행하는 과정과, 공정 P22에 따라 하부 구조물(110) 상에 원하는 물질막의 목표 두께가 얻어졌는지 판단하는 과정을 반복할 수 있다. 공정 P22에서, 상기 목표 두께를 가지는 물질막(112)이 얻어졌다고 판단하면, 도 1을 참조하여 설명한 ALD 공정을 종료할 수 있다.
- [0050] 도 1과 도 2a 내지 도 2e에 예시한 방법에 따라 물질막(112)을 형성하는 데 있어서, 물질막(112)의 두께를 제어하기 위하여 ALD 사이클 횟수를 조절할 수 있다. 또한, 도 1과 도 2a 내지 도 2e에 예시한 방법에 따라 물질막(112)을 형성할 때, 플라즈마, 광, 전압 등의 에너지를 인가할 수 있다. 상기 에너지를 인가하는 시점은 다양하게 선택될 수 있다. 예를 들면, 도 1의 공정 P12에서 제1 전구체(P1)를 상기 반응 공간 내부로 도입할 때, 공정 P14에서 제2 전구체(P2)를 상기 반응 공간 내부로 도입할 때, 공정 P18에서 반응성 가스를 상기 반응 공간 내부로 도입할 때, 또는 이들 각각의 시점 사이에 플라즈마, 광, 전압 등의 에너지를 인가할 수 있다. 또한, 도 1의 공정 P12에서 제1 전구체(P1)를 상기 반응 공간 내부로 도입할 때와, 공정 P14에서 제2 전구체(P2)를 상기 반응

공간 내부로 도입할 때, 제1 전구체(P1) 또는 제2 전구체(P2)와 함께 공급되는 다른 전구체, 반응 가스, 및 반응 조건을 적절히 선택함으로써, 다양한 종류의 물질막을 형성할 수 있다.

[0051] 예시적인 실시예들에서, 제1 전구체(P1) 또는 제2 전구체(P2)와 함께 공급될 수 있는 상기 다른 전구체는 Si, C, 또는 금속을 포함할 수 있다. 상기 다른 전구체는 수소화물, 산화물, 할로겐화물, 아자이드, 알킬, 알케닐, 시클로알킬, 알릴, 알키닐, 아미노, 디알킬아미노알킬, 모노알킬아미노, 디알킬아미노, 디아미노, 디(실릴-알킬)아미노, 디(알킬-실릴)아미노, 디실릴아미노, 알콕시, 알콕시알킬, 히드라지드, 포스파이드, 니트릴, 디알킬아미노알콕시, 알콕시알킬디알킬아미노, 실록시, 디케토네이트, 시클로펜타디에닐, 실릴, 피라졸레이트, 구아니디네이트, 포스포구아니디네이트, 아미디네이트, 포스포아미디네이트, 케토이미네이트, 디케토이미네이트, 카르보닐, 및 포스포아미디네이트로부터 선택되는 적어도 하나의 리간드를 가질 수 있다.

[0052] 도 1과 도 2a 내지 도 2e를 참조하여 설명한 실시예들에 따른 방법에 의해 얻어질 수 있는 물질막은 실리콘 산화막, 실리콘 질화막, 실리콘 산화질화막, 실리콘 탄화산화질화막, 금속 산화막, 또는 금속 질화막으로 이루어질 수 있으나, 이들에 한정되는 것은 아니다.

[0053] 본 발명의 기술적 사상에 의한 방법에 따라 제조된 물질막은 다양한 용도로 사용될 수 있다. 예를 들면, 상기 물질막은 반도체 소자의 소자분리막, 절연막, 커패시터를 구성하는 유전막, 트랜지스터의 게이트 유전막, 배선에 사용되는 도전성 배리어막, 저항막, 자성막, 액정용 배리어 금속막, 박막 태양전지용 부재, 반도체 설비용 부재, 나노 구조체 등에 사용될 수 있으나, 상기 예시된 바에 한정되는 것은 아니다.

[0054] 도 1과 도 2a 내지 도 2e를 참조하여 설명한 실시예들에 따른 물질막 형성 방법에 있어서, 목표 두께를 가지는 물질막(112)이 얻어진 후, 물질막(112)을 어닐링하는 공정을 수행할 수 있다. 물질막(112)의 어닐링은 공정 P12 내지 공정 P20에서 적용한 공정 온도보다 더 높은 온도 하에서 수행될 수 있다. 예를 들면, 상기 어닐링은 약 500 °C 내지 약 1150 °C의 범위 내에서 선택되는 온도 하에서 수행될 수 있다. 예시적인 실시예들에서, 상기 어닐링은 질소 분위기 하에서 수행될 수 있다. 상기한 바와 같이 어닐링 공정을 수행함으로써 물질막(112)이 치밀화될 수 있으며, 막 내의 불순물이 제거됨으로써 막 특성이 향상될 수 있다. 예를 들면, 도 1과 도 2a 내지 도 2e를 참조하여 설명한 실시예들에 따른 방법에 의해 실리콘 산화막을 형성한 경우, 상기 어닐링 공정에 의해 실리콘 산화막이 치밀화되어 실리콘 산화막의 밀도가 증가될 수 있다.

[0055] 도 1과 도 2a 내지 도 2e를 참조하여 설명한 물질막(112) 형성 방법에 의하면, 하부 구조물(110) 상에 비교적 큰 크기의 제1 리간드를 가지는 제1 전구체(P1)로 이루어지는 제1 화학흡착층(AL1)을 먼저 형성한 후, 제1 화학흡착층(AL1)을 통해 노출되는 빈 공간에 비교적 작은 크기의 제2 리간드를 가지는 제2 전구체(P2)로 이루어지는 제2 화학흡착층(AL2)을 형성하고, 제1 화학흡착층(AL1) 및 제2 화학흡착층(AL2)에 반응성 가스를 공급하여 원자 레벨의 물질막을 형성한다. 따라서, 하부 구조물(110)의 상면과 트렌치(TR) 입구 측에서는 물질막의 증착 속도가 비교적 느리고, 트렌치(TR)의 깊은 영역에서는 물질막의 증착 속도가 비교적 빨라질 수 있다. 따라서, 트렌치(TR) 내부를 심 또는 보이드 없는 깨끗한 물질막(112)으로 채울 수 있다. 또한, 도 1과 도 2a 내지 도 2e를 참조하여 설명한 물질막(112) 형성 방법에 의하면, 물질막(112)을 형성하는 데 있어서 하부 구조물(110)의 상면과 트렌치(TR) 입구 측에서의 증착 속도를 낮추기 위하여 ALD 공정의 매 사이클마다 별도의 식각 공정을 수반하거나 별도의 인히비터(inhibitor)를 사용할 필요가 없다. 따라서, 상기 식각 공정시 수반될 수 있는 식각 부산물들로 인한 오염 가능성, 또는 상기 인히비터의 구성 물질이 잔류하여 전기적 특성에 악영향을 미치는 등의 문제를 원천적으로 차단할 수 있다. 따라서, 비교적 단순화된 공정에 의해 하부 구조물(110)에 형성된 깊고 좁은 트렌치(TR)를 심 또는 보이드 없는 물질막(112)으로 채울 수 있으며, 트렌치(TR)를 채우는 물질막(112)은 순도가 높아 집적회로 소자에 채용할 때 우수한 전기적 특성을 제공할 수 있다.

[0056] 도 3은 본 발명의 기술적 사상에 의한 다른 실시예들에 따른 물질막 형성 방법을 설명하기 위한 플로차트이다. 도 3을 참조하여, ALD 공정을 이용하여 실리콘 산화막을 형성하는 방법을 설명한다. 본 예에 따른 실리콘 산화막 형성 방법은 도 1과 도 2a 내지 도 2e를 참조하여 물질막 형성 방법에 대하여 설명한 바와 대체로 동일하다. 단, 본 예에서는 제1 전구체(P1)의 중심 원소와 제2 전구체(P2)의 중심 원소가 각각 Si 원자로 이루어진다.

[0057] 도 3 및 도 2a를 참조하면, 공정 P32에서, 반응 공간 내에서 Si 중심 원소와 제1 리간드를 가지는 제1 전구체(P1)를 하부 구조물(110) 상에 공급하여 하부 구조물(110) 상에 제1 전구체(P1)의 제1 화학흡착층(AL1)을 형성한다.

[0058] 도 3 및 도 2b를 참조하면, 공정 P34에서, Si 중심 원소와 제2 리간드를 가지는 제2 전구체(P2)를 하부 구조물(110) 상에 공급하여 제2 전구체(P2)의 제2 화학흡착층(AL2)을 형성한다.

- [0059] 제1 전구체(P1)의 제1 리간드와, 제2 전구체(P2)의 제2 리간드에 대한 보다 상세한 설명은 도 1의 공정 P12 및 공정 P14를 참조하여 설명한 바와 같다.
- [0060] 도 3의 공정 P36에서, 도 1의 공정 P16을 참조하여 설명한 바와 같은 방법으로, 상기 반응 공간 내에 퍼지 가스를 공급하여, 하부 구조물(110) 상의 불필요한 물질들을 제거한다.
- [0061] 도 3의 공정 P38에서, 도 1의 공정 P18을 참조하여 설명한 바와 유사한 방법으로, 제1 화학흡착층(AL1) 및 제2 화학흡착층(AL2)이 형성된 도 2b의 결과물 위에 산화성 가스를 공급하여 하부 구조물(110) 상에서 제1 전구체(P1)의 제1 리간드와 제2 전구체(P2)의 제2 리간드를 제거하고, Si 중심 원소를 포함하는 원자 레벨 실리콘 산화막을 형성한다.
- [0062] 도 3의 공정 P40에서, 도 1의 공정 P20을 참조하여 설명한 바와 유사한 방법으로, 상기 반응 공간 내에 퍼지 가스를 공급하여, Si 중심 원소를 포함하는 상기 원자 레벨 실리콘 산화막 상의 불필요한 부산물들을 제거한다.
- [0063] 도 3의 공정 P42에서, 하부 구조물(110) 상에 목표 두께의 실리콘 산화막이 얻어졌는지 판단하고, 목표 두께의 실리콘 산화막이 얻어질 때까지 도 3의 공정 P32 내지 공정 P40의 ALD 사이클을 반복할 수 있다.
- [0064] 도 4는 본 발명의 기술적 사상에 의한 또 다른 실시예들에 따른 물질막 형성 방법을 설명하기 위한 플로차트이다.
- [0065] 도 4에 예시한 물질막 형성 방법은 도 1과 도 2a 내지 도 2e를 참조하여 설명한 물질막 형성 방법과 대체로 동일하다. 단, 도 4에 예시한 물질막 형성 방법에서는 공정 P20에 따라 퍼지 가스를 공급하여 원자 레벨 물질막 상의 불필요한 부산물들을 제거한 후, 공정 P52에서 상기 원자 레벨 물질막이 형성된 결과물을 수소 플라즈마 처리한다.
- [0066] 상기 수소 플라즈마 처리에 의해, 상기 원자 레벨 물질막 내에 남아 있을 수 있는 불필요한 불순물들이 제거될 수 있다. 예를 들면, 제1 전구체(P1)는 비교적 큰 크기의 제1 리간드를 포함하므로 상기 제1 리간드로부터 유래된 불순물들이 상기 원자 레벨 물질막에 잔류할 수 있으며, 상기 불순물들은 수소 플라즈마 처리에 의해 효과적으로 제거될 수 있다. 따라서, 도 4에 예시한 방법에 의해 물질막을 형성함으로써 물질막의 순도를 더욱 향상시킬 수 있다.
- [0067] 도 5는 본 발명의 기술적 사상에 의한 또 다른 실시예들에 따른 물질막 형성 방법을 설명하기 위한 플로차트이다.
- [0068] 도 5에 예시한 물질막 형성 방법은 도 1과 도 2a 내지 도 2e를 참조하여 설명한 물질막 형성 방법과 대체로 동일하다. 단, 도 5에 예시한 물질막 형성 방법에서는, 공정 P12 내지 공정 P20을 포함하는 ALD 사이클을 복수 회 수행한 후 얻어진 결과물을 공정 P64에서 수소 플라즈마 처리한다. 공정 P12 내지 공정 P20에 대한 상세한 설명은 도 1과 도 2a 내지 도 2e를 참조하여 설명한 바를 참조한다.
- [0069] 도 5의 공정 P62에서, 공정 P12 내지 공정 P20을 포함하는 ALD 사이클을 반복 수행한 회수를 확인할 수 있다. ALD 사이클을 반복 수행한 회수가 소정의 설정치(N)(N은 2 이상의 정수)에 도달했으면, 공정 P64에 따라 수소 플라즈마 처리할 수 있다. 예시적인 실시예들에서, 상기 소정의 설정치(N)는 2 내지 10의 범위 내에서 선택될 수 있다. 상기 수소 플라즈마 처리에 의해, 복수의 원자 레벨 물질막에 남아 있을 수 있는 불필요한 불순물들이 제거될 수 있다.
- [0070] 도 5의 공정 P22에서, 하부 구조물(110) 상에 원하는 물질막의 목표 두께가 얻어졌는지 판단하고, 물질막의 목표 두께가 얻어질 때까지 도 5의 공정 P12 내지 공정 P20, 공정 P62, 및 공정 P64를 반복할 수 있다.
- [0071] 도 1 내지 도 5를 참조하여 설명한 본 발명의 기술적 사상에 의한 실시예들에 따른 물질막 형성 방법에 의하면, 트렌치(TR)(도 2e 참조) 내부를 심 또는 보이드 없는 물질막(112)으로 깨끗하게 채울 수 있으며, 상기 물질막(112)을 형성하는 데 있어서 하부 구조물(110)의 상면과 트렌치(TR) 입구 측에서의 증착 속도를 낮추기 위하여 ALD 공정의 매 사이클마다 별도의 식각 공정을 수반하거나 별도의 인히비터를 사용할 필요가 없다. 따라서, 상기 식각 공정 또는 인히비터 채용으로 인해 야기될 수 있는 오염 가능성과, 이로 인해 전기적 특성에 악영향을 미치는 등의 문제를 원천적으로 차단할 수 있다. 따라서, 도 1 내지 도 5를 참조하여 설명한 본 발명의 기술적 사상에 의한 실시예들에 따른 물질막 형성 방법에 의하면, 비교적 단순화된 공정에 의해 하부 구조물(110)에 형성된 깊고 좁은 트렌치(TR)를 심 또는 보이드 없는 물질막(112)으로 용이하게 채울 수 있으며, 트렌치(TR)를 채우는 물질막(112)의 순도가 높아 집적회로 소자에 채용할 때 우수한 전기적 특성을 제공할 수 있다.

- [0072] 도 6은 본 발명의 기술적 사상에 의한 실시예들에 따른 집적회로 소자의 개략적인 구성을 예시한 평면도이다.
- [0073] 집적회로 소자(200)는 제1 영역(RA1)과, 제1 영역(RA1)을 포위하는 제2 영역(RA2)과, 제1 영역(RA1)과 제2 영역(RA2)과의 사이에 개재된 인터페이스 영역(IF)을 포함하는 기판(210)을 가진다.
- [0074] 기판(210)은 예를 들면, Si, Ge 등과 같은 반도체 원소, SiGe, SiC, GaAs, InAs, 및 InP 중에서 선택되는 적어도 하나의 화합물 반도체를 포함할 수 있다. 기판(210)은 도전 영역, 예를 들면 불순물이 도핑된 웰, 또는 불순물이 도핑된 구조물을 포함할 수 있다.
- [0075] 제1 영역(RA1)은 집적회로 소자(200)의 메모리 셀 영역일 수 있다. 예시적인 실시예들에서, 제1 영역(RA1)은 DRAM(dynamic random access memory)의 메모리 셀 영역일 수 있다. 제1 영역(RA1)은 트랜지스터 및 커패시터를 가지는 단위 메모리 셀, 또는 스위칭 소자 및 가변 저항을 가지는 단위 메모리 셀을 포함할 수 있다.
- [0076] 제2 영역(RA2)은 코어 영역 또는 주변 회로 영역(이하, "주변 회로 영역"이라 약칭함)일 수 있다. 제2 영역(RA2)에는 제1 영역(RA1)에 있는 메모리 셀들을 구동하는 데 필요한 주변 회로들이 배치될 수 있다. 예시적인 실시예들에서, 제2 영역(RA2)은 로우 디코더, 센스 앰프, 칼럼 디코더, 셀프 리프레쉬 제어 회로, 커맨드 디코더, MRS/EMRS(Mode Register Set/Extended Mode Register Set) 회로, 어드레스 버퍼, 데이터 입출력 회로, 클럭 신호를 발생하기 위한 클럭 회로, 외부로부터 인가되는 전원 전압을 수신하여 내부 전압을 생성하거나 분배하는 전원 회로 등을 포함할 수 있다.
- [0077] 인터페이스 영역(IF)에는 제1 영역(RA1)과 제2 영역(RA2)과의 사이의 전기적 연결이 가능하도록 설치되는 복수의 도전 라인들과, 제1 영역(RA1)과 제2 영역(RA2)과의 사이의 절연을 위한 절연 구조물들이 배치될 수 있다.
- [0078] 도 7은 본 발명의 기술적 사상에 의한 실시예들에 따른 집적회로 소자(200)의 메모리 셀 어레이 영역(MCA)의 주요 구성들을 설명하기 위한 개략적인 평면 레이아웃이다. 도 7에 예시한 메모리 셀 어레이 영역(MCA)은 도 6에 예시한 제1 영역(RA1)에 포함될 수 있다.
- [0079] 도 7을 참조하면, 메모리 셀 어레이 영역(MCA)은 복수의 활성 영역(A1)을 포함할 수 있다. 복수의 활성 영역(A1)은 제1 방향(X 방향) 및 제2 방향(Y 방향)에 대하여 사선 방향(Q 방향)으로 연장되는 장축을 가지도록 배치될 수 있다. 복수의 활성 영역(A1) 중 일부는 제1 방향(X 방향)을 따라 일렬로 배치될 수 있다. 복수의 활성 영역(A1) 중 다른 일부는 제1 방향(X 방향)과 교차하는 제2 방향(Y 방향)을 따라 일렬로 배치될 수 있다.
- [0080] 복수의 워드 라인(WL)이 복수의 활성 영역(A1)을 가로질러 제1 방향(X 방향)을 따라 상호 평행하게 연장될 수 있다. 복수의 워드 라인(WL) 위에는 복수의 비트 라인(BL)이 제2 방향(Y 방향)을 따라 상호 평행하게 연장될 수 있다. 복수의 비트 라인(BL)은 다이렉트 콘택(DC)을 통해 복수의 활성 영역(A1)에 연결될 수 있다.
- [0081] 복수의 비트 라인(BL) 중 상호 인접한 2 개의 비트 라인(BL) 사이에 복수의 베리드 콘택(BC)이 형성될 수 있다. 복수의 베리드 콘택(BC)은 제1 방향(X 방향) 및 제2 방향(Y 방향)을 따라 일렬로 배열될 수 있다. 복수의 베리드 콘택(BC) 위에는 복수의 랜딩 패드(LP)가 형성될 수 있다. 복수의 베리드 콘택(BC) 및 복수의 랜딩 패드(LP)는 복수의 비트 라인(BL)의 상부에 형성되는 커패시터의 하부 전극(도시 생략)을 활성 영역(A1)에 연결시키는 역할을 할 수 있다. 복수의 랜딩 패드(LP)는 각각 베리드 콘택(BC)과 일부 오버랩되도록 배치될 수 있다.
- [0082] 도 8a 내지 도 8c와 도 9a 및 도 9b는 본 발명의 기술적 사상에 의한 실시예들에 따른 집적회로 소자의 주요 구성을 설명하기 위한 단면도들이다.
- [0083] 보다 구체적으로 설명하면, 도 8a는 도 7의 A-A' 선 단면의 일부 구성들을 도시한 단면도이다. 도 8b는 도 7의 B-B' 선 단면의 일부 구성들을 도시한 단면도이다. 도 8c는 도 7의 C-C' 선 단면의 일부 구성들을 도시한 단면도이다. 도 9a 및 도 9b는 각각 집적회로 소자(200)의 메모리 셀 어레이 영역(MCA), 인터페이스 영역(IF), 및 주변회로 영역(PERI) 각각의 일부 영역의 단면 구성들을 예시한 단면도이다. 도 9a 및 도 9b에서 메모리 셀 어레이 영역(MCA) 및 주변회로 영역(PERI)은 각각 도 6에 예시한 제1 영역(RA1) 및 제2 영역(RA2)에 대응하고, 인터페이스 영역(IF)은 메모리 셀 어레이 영역(MCA)과 주변회로 영역(PERI)과의 사이의 영역일 수 있다. 도 9a에는 도 7의 A - A' 선 단면을 따르는 일부 영역과 그에 인접한 인터페이스 영역(IF) 및 주변회로 영역(PERI)의 일부 구성이 예시되어 있다. 도 9b에는 도 7의 C - C' 선 단면을 따르는 일부 영역과 그에 인접한 인터페이스 영역(IF) 및 주변회로 영역(PERI)의 일부 구성이 예시되어 있다.
- [0084] 도 8a 내지 도 8c와 도 9a 및 도 9b를 참조하면, 집적회로 소자(200)에서 기판(210)의 메모리 셀 어레이 영역(MCA)에 소자분리 트렌치(T1)가 형성되고, 기판(210)의 인터페이스 영역(IF)에 인터페이스 트렌치(T2)가 형성될 수 있다. 기판(210) 상에는 소자분리 트렌치(T1) 및 인터페이스 트렌치(T2)를 채우는 소자분리막(212)이 형성될

수 있다. 메모리 셀 어레이 영역(MCA)에서 소자분리 트렌치(T1)를 채우는 소자분리막(212)에 의해 메모리 셀 어레이 영역(MCA)에 복수의 활성 영역(A1)이 정의되고, 인터페이스 영역(IF)에서 인터페이스 트렌치(T2)를 채우는 소자분리막(212)에 의해 주변회로 영역(PERI)에 활성 영역(A2)이 정의될 수 있다.

- [0085] 소자분리막(212)은 실리콘 산화막으로 이루어질 수 있다. 예시적인 실시예들에서, 소자분리막(212)은 도 1 내지 도 5를 참조하여 설명한 물질막 형성 방법들, 또는 이들로부터 본 발명의 기술적 사상의 범위 내에서 다양하게 변형 및 변경된 방법들에 의해 형성된 실리콘 산화막으로 이루어질 수 있다.
- [0086] 소자분리막(212) 내에는 전기적 특성에 악영향을 미치는 불순물이 포함되지 않을 수 있다. 예를 들면, 소자분리막(212)은 약 3 원자% 미만의 허용 가능한 탄소 원자 함량을 가지는 실리콘 산화막으로 이루어질 수 있다. 소자분리막(212) 내에 허용 가능한 함량으로 존재하는 탄소 원자는, 도 1의 공정 P12에서 사용된 제1 전구체(P1)의 제1 리간드와, 공정 14에서 사용된 제2 전구체(P2)의 제2 리간드로부터 유래된 것일 수 있다.
- [0087] 특히, 제1 전구체(P1)의 제1 리간드는 제2 전구체(P2)의 제2 리간드보다 더 많은 수의 탄소 원자를 포함할 수 있다. 도 2b를 참조하여 설명한 바와 유사하게, 소자분리막(212)을 형성하는 동안, 소자분리 트렌치(T1) 및 인터페이스 트렌치(T2) 각각의 입구 측에는 제1 전구체(P1)의 제1 화학흡착층(AL1)이 주로 형성되고, 소자분리 트렌치(T1) 및 인터페이스 트렌치(T2) 각각의 깊은 영역 또는 저면 근방에는 제2 전구체(P2)의 제2 화학흡착층(AL2)이 주로 형성될 수 있다. 따라서, 소자분리 트렌치(T1) 및 인터페이스 트렌치(T2)를 채우는 소자분리막(212) 중 상측 부분(212U)에서의 탄소 함량비는 허용 가능한 범위 내에서 하측 부분(212L)에서의 탄소 함량비보다 더 클 수 있다. 소자분리막(212)의 상측 부분(212U)은 소자분리막(212) 중 소자분리 트렌치(T1) 및 인터페이스 트렌치(T2) 각각의 입구에 더 가까운 부분, 즉 기판(210)의 상면(210T)에 더 가까운 부분일 수 있다. 소자분리막(212)의 하측 부분(212L)은 소자분리막(212) 중 소자분리 트렌치(T1) 및 인터페이스 트렌치(T2) 각각의 저면에 더 가까운 부분일 수 있다.
- [0088] 예시적인 실시예들에서, 소자분리막(212)의 상측 부분(212U)은 약 0 원자%보다 더 크고 약 3 원자% 미만인 범위 내에서 선택되는 제1 함량비의 탄소 원자를 포함할 수 있다. 소자분리막(212)의 하측 부분(212L)은 약 0 원자%와 같거나 더 크고 약 3 원자% 미만인 범위 내에서 선택되고 상기 제1 함량비보다 더 낮은 제2 함량비의 탄소 원자를 포함할 수 있다.
- [0089] 메모리 셀 어레이 영역(MCA)은 복수의 활성 영역(A1) 및 소자분리막(212)을 가로질러 제1 방향(X 방향)으로 연장되어 있는 복수의 게이트 트렌치(GT)를 포함할 수 있다. 복수의 게이트 트렌치(GT) 각각의 내부에는 게이트 트렌치(GT)의 내벽을 덮는 게이트 유전막(220)과, 게이트 유전막(220) 위에서 게이트 트렌치(GT)의 일부를 채우는 도전 라인(230)과, 도전 라인(230)을 덮는 절연 캡핑 패턴(270)이 형성될 수 있다. 도전 라인(230)은 도 7에 예시한 워드 라인(WL)을 구성할 수 있다.
- [0090] 게이트 트렌치(GT)의 저면에서 기판(210)의 활성 영역(A1)이 노출되는 부분의 레벨은 소자분리막(212)이 노출되는 부분의 레벨보다 더 높을 수 있다. 도전 라인(230)의 저면은 게이트 트렌치(GT)의 저면 프로파일에 대응하여 요철 형상을 가질 수 있다. 본 명세서에서 용어 "레벨"은 수직 방향(Z 방향)의 높이를 의미할 수 있다.
- [0091] 게이트 유전막(220)은 복수의 활성 영역(A1) 및 소자분리막(212)에 접하도록 게이트 트렌치(GT)의 내부 표면을 덮을 수 있다. 게이트 유전막(220)은 실리콘 산화막, 실리콘 질화막, 실리콘 산화질화막, ONO(oxide/nitride/oxide) 막, 또는 실리콘 산화막보다 높은 유전 상수를 가지는 고유전막(high-k dielectric film)으로 이루어질 수 있다. 상기 고유전막은 약 10 ~ 25의 유전 상수를 가질 수 있다. 예를 들면, 상기 고유전막은 HfO<sub>2</sub>, Al<sub>2</sub>O<sub>3</sub>, HfAlO<sub>3</sub>, Ta<sub>2</sub>O<sub>3</sub>, 또는 TiO<sub>2</sub>를 포함할 수 있으나, 이들에 한정되는 것은 아니다.
- [0092] 도전 라인(230) 및 절연 캡핑 패턴(270)은 각각 활성 영역(A1)에 대면하는 측벽을 가질 수 있다. 활성 영역(A1)에 대면하는 측벽을 가질 수 있다. 도전 라인(230)은 금속, 금속 질화물, 금속 탄화물, 또는 이들의 조합으로 이루어질 수 있다. 예시적인 실시예들에서, 도전 라인(230)은 Ti, TiN, Ta, TaN, W, WN, TiSiN, WSiN, 또는 이들의 조합으로 이루어질 수 있다. 절연 캡핑 패턴(270)은 실리콘 질화막, 실리콘 산화질화막, 실리콘 산화막, 또는 이들의 조합으로 이루어질 수 있다. 복수의 활성 영역(A1) 내에서 도전 라인(230)의 양 측에는 각각 소스/드레인 영역(SD)이 형성될 수 있다.
- [0093] 도 10a 내지 도 10f는 본 발명의 기술적 사상에 의한 실시예들에 따른 집적회로 소자의 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다. 도 10a 내지 도 10f를 참조하여 도 8a 내지 도 8c와 도 9a 및 도 9b에 예시한 집적회로 소자(200)의 예시적인 제조 방법에 대하여 설명한다.

- [0094] 도 10a를 참조하면, 메모리 셀 어레이 영역(MCA), 인터페이스 영역(IF), 및 주변회로 영역(PERI)을 포함하는 기판(210)을 준비한다.
- [0095] 기판(210) 상에 마스크 패턴(M1)을 형성하고, 마스크 패턴(M1)을 식각 마스크로 이용하여 기판(210)을 식각하여, 메모리 셀 어레이 영역(MCA)에 소자분리 트렌치(T1)를 형성하고 인터페이스 영역(IF)에 인터페이스 트렌치(T2)를 형성한다. 소자분리 트렌치(T1) 및 인터페이스 트렌치(T2)에 의해 메모리 셀 어레이 영역(MCA)에 복수의 활성 영역(A1)이 정의되고 주변회로 영역(PERI)에 활성 영역(A2)이 정의될 수 있다.
- [0096] 마스크 패턴(M1)은 메모리 셀 어레이 영역(MCA)의 일부와, 인터페이스 영역(IF)의 일부와, 주변회로 영역(PERI)을 덮도록 형성될 수 있다. 마스크 패턴(M1)은 산화막, 폴리실리콘, 또는 이들의 조합을 포함하는 하드마스크로 이루어질 수 있다.
- [0097] 소자분리 트렌치(T1) 및 인터페이스 트렌치(T2)를 형성하기 위하여 기판(210)의 이방성 건식 식각 공정을 수행할 수 있다. 기판(210)이 실리콘(Si)으로 이루어지는 경우, 상기 이방성 식각 공정을 수행하기 위하여 ICP(inductively coupled plasma)를 이용하는 식각 장치를 이용할 수 있다. 예시적인 실시예들에서, 상기 이방성 식각 공정을 수행하는 동안, 기판(210)의 노출된 표면을 산화시키는 산화 공정과, 기판(210)의 일부를 제거하기 위한 식각 공정을 복수 회 반복하는 사이클 공정을 수행할 수 있다.
- [0098] 도 10b를 참조하면, 도 10a의 결과물로부터 마스크 패턴(M1)을 제거한 후, 소자분리 트렌치(T1) 및 인터페이스 트렌치(T2)를 채우는 소자분리막(212)을 형성한다. 소자분리막(212)을 형성하기 위하여 도 1 내지 도 5를 참조하여 설명한 물질막 형성 방법들, 또는 이들로부터 본 발명의 기술적 사상의 범위 내에서 다양하게 변형 및 변경된 방법들 중에서 선택되는 어느 하나의 방법을 이용할 수 있다. 소자분리막(212)은 실리콘 산화막으로 이루어질 수 있다.
- [0099] 소자분리막(212)은 소자분리 트렌치(T1)를 채우는 부분과, 인터페이스 트렌치(T2)를 채우는 부분과, 기판(210)의 상면(210T)을 덮는 부분을 포함할 수 있다. 소자분리막(212)이 본 발명의 기술적 사상에 의한 물질막 형성 방법에 의해 형성됨에 따라, 메모리 셀 어레이 영역(MCA)에 형성된 소자분리 트렌치(T1)와 같이 좁고 깊은 트렌치 구조물과, 인터페이스 트렌치(T2)와 같이 비교적 큰 폭을 가지는 트렌치 구조물을 동시에 채우는 소자분리막(212)을 형성하는 경우에도, 소자분리막(212) 중 소자분리 트렌치(T1)를 채우는 부분과 인터페이스 트렌치(T2)를 채우는 부분이 각각 심 또는 보이드 없는 고품질의 절연막으로 이루어지는 소자분리막(212)이 얻어질 수 있다. 소자분리막(212)이 실리콘 산화막으로 이루어지는 경우, 소자분리막(212) 중 소자분리 트렌치(T1)를 채우는 부분과 인터페이스 트렌치(T2)를 채우는 부분에서 실리콘 산화막의 순도가 높아 우수한 전기적 특성을 제공할 수 있다.
- [0100] 소자분리막(212) 중 기판(210)의 상면(210T) 위에 남아 있는 부분은 후속 공정에서 기판(210) 내에 불순물 이온을 주입하기 위한 이온 주입 공정을 행할 때, 또는 후속의 식각 공정시 기판(210)의 표면을 보호하기 위한 역할을 할 수 있다.
- [0101] 도 10c를 참조하면, 마스크 패턴(M2)을 식각 마스크로 이용하여 기판(210)의 일부와 소자분리막(212)의 일부를 식각하여, 복수의 활성 영역(A1) 및 소자분리막(212)을 가로질러 제1 방향(X 방향)으로 연장되는 게이트 트렌치(GT)를 형성한다.
- [0102] 게이트 트렌치(GT)를 형성하기 위하여, 기판(210) 및 소자분리막(212) 각각의 식각 속도가 대략 동일한 조건으로 기판(210) 및 소자분리막(212) 각각의 일부를 식각할 수 있다. 이어서, 기판(210)의 식각 속도보다 소자분리막(212)의 식각 속도가 더 큰 조건으로 식각 공정을 수행하여 게이트 트렌치(GT)의 저면에서 노출되는 복수의 활성 영역(A1) 각각의 상면이 게이트 트렌치(GT)의 저면에서 노출되는 소자분리막(212)의 상면보다 더 높은 레벨이 되도록 할 수 있다. 마스크 패턴(M2)은 산화막, ACL(amorphous carbon layer), 실리콘 산화질화막, 또는 이들이 조합으로 이루어질 수 있다.
- [0103] 도 10d를 참조하면, 도 10c의 결과물 상에 게이트 트렌치(GT)의 내벽을 컨포멀하게 덮는 게이트 유전막(220)을 형성한다. 게이트 유전막(220)을 형성하기 위하여 ALD 공정을 이용할 수 있다.
- [0104] 도 10e를 참조하면, 게이트 유전막(220) 위에서 게이트 트렌치(GT)를 채우는 도전층(도시 생략)을 형성한 후, 상기 도전층을 에치백하여 상기 도전층으로부터 게이트 트렌치(GT)의 일부를 채우는 도전 라인(230)이 남도록 한다. 도전 라인(230)을 형성하기 위하여 상기 도전층을 에치백하는 동안 마스크 패턴(M2)의 일부가 소모되어 마스크 패턴(M2)의 두께가 작아질 수 있다.

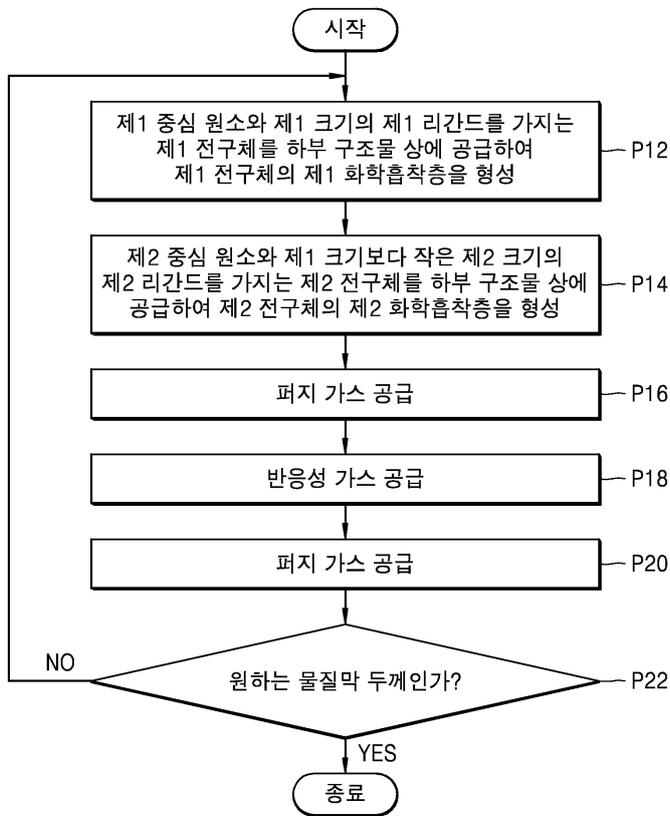
- [0105] 상기 도전층은 금속 함유 라이너 및 금속막이 차례로 적층된 구조를 가질 수 있다. 상기 금속 함유 라이너는 게이트 유전막(220)에 접할 수 있다. 상기 금속막은 게이트 유전막으로부터 이격되어 있으며 상기 금속 함유 라이너에 의해 포위될 수 있다. 예시적인 실시예들에서, 상기 금속 함유 라이너는 TiN으로 이루어지고, 상기 금속막은 W으로 이루어질 수 있으나, 이들에 한정되는 것은 아니다.
- [0106] 도 10f를 참조하면, 게이트 트렌치(GT)의 내부 공간에서 도전 라인(230) 위에 남아 있는 공간을 절연 캡핑 패턴(270)으로 채운다. 그 후, 기판(210) 상에 남아 있는 마스크 패턴(M2)을 제거하고, 소자분리막(212) 중 기판(210)의 상면(210T)을 덮는 부분을 제거하여 기판(210)의 상면(210T)을 노출시킬 수 있다.
- [0107] 도 10a 내지 도 10f를 참조하여 설명한 집적회로 소자(200)의 제조 방법에 의하면, 메모리 셀 어레이 영역(MCA)에 형성된 소자분리 트렌치(T1)와 같이 좁고 깊은 트렌치 구조물과, 인터페이스 트렌치(T2)와 같이 비교적 큰 폭을 가지는 트렌치 구조물을 동시에 채우는 소자분리막(212)을 형성하는 데 있어서, 소자분리 트렌치(T1) 및 인터페이스 트렌치(T2) 내부를 심 또는 보이드 없이 깨끗하게 채울 수 있다. 또한, 메모리 셀 어레이 영역(MCA)에 형성된 소자분리 트렌치(T1)에서도 수평 방향(예를 들면, X 방향 또는 Y 방향)에서 다양한 폭을 가질 수 있다. 이와 같이 다양한 폭을 가지는 소자분리 트렌치(T1)를 채우는 소자분리막(212)을 형성하는 데 있어서, 소자분리 트렌치(T1)의 다양한 폭에 상관 없이 소자분리 트렌치(T1) 내부를 심 또는 보이드 없이 깨끗하게 채울 수 있다.
- [0108] 또한, 도 10a 내지 도 10f를 참조하여 설명한 집적회로 소자(200)의 제조 방법에 의하면, 소자분리막(212)을 형성하는 데 있어서 소자분리 트렌치(T1) 및 인터페이스 트렌치(T2) 각각의 입구 측에서의 증착 속도를 낮추기 위하여 ALD 공정의 매 사이클마다 별도의 식각 공정을 수반하거나 별도의 인히비터를 사용할 필요가 없으므로 상기 식각 공정 또는 인히비터 채용으로 인해 야기될 수 있는 오염 가능성과, 이로 인해 전기적 특성에 악영향을 미치는 등의 문제를 원천적으로 차단할 수 있다. 따라서, 비교적 단순화된 공정에 의해 다양한 폭을 가지는 소자분리 트렌치(T1) 및 인터페이스 트렌치(T2) 내부를 심 또는 보이드 없는 소자분리막(212)으로 채울 수 있으며, 소자분리막(212)을 구성하는 절연막의 순도가 높아 집적회로 소자(200)의 전기적 특성이 향상될 수 있다.
- [0109] 이상, 본 발명을 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않고, 본 발명의 기술적 사상 및 범위 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러가지 변형 및 변경이 가능하다.

**부호의 설명**

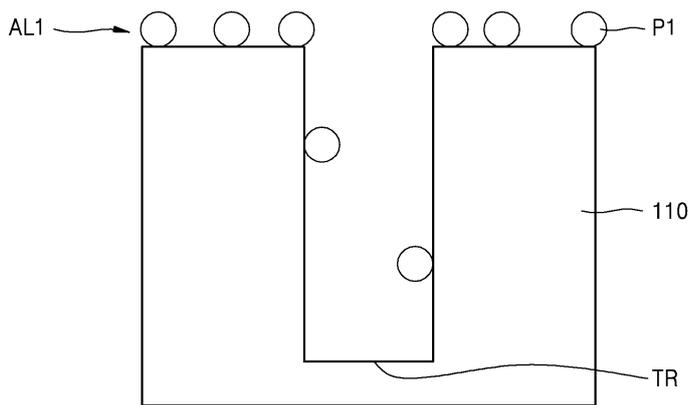
- [0110] 110: 하부 구조물, 112: 물질막, 210: 기판, 212: 소자분리막, AL1: 제1 화학흡착층, AL2: 제2 화학흡착층, P1: 제1 전구체, P2: 제2 전구체, T1: 소자분리 트렌치, T2: 인터페이스 트렌치, TR: 트렌치.

도면

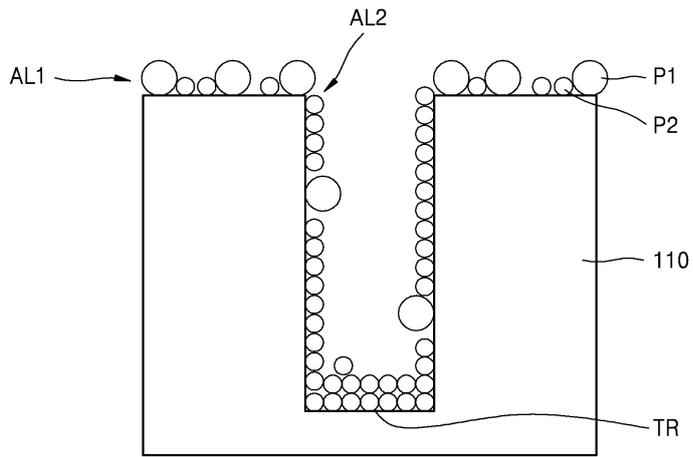
도면1



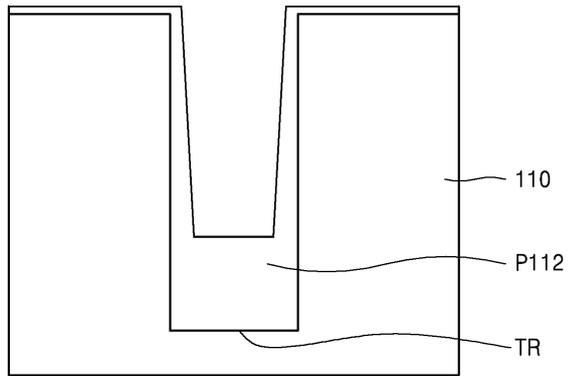
도면2a



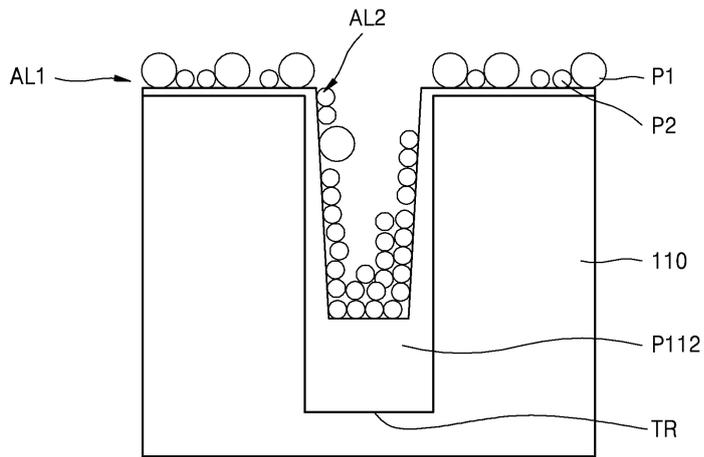
도면2b



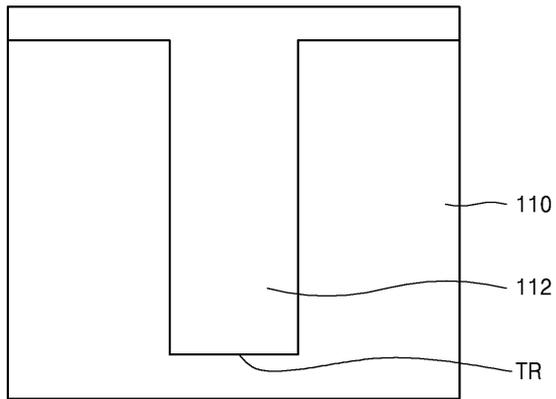
도면2c



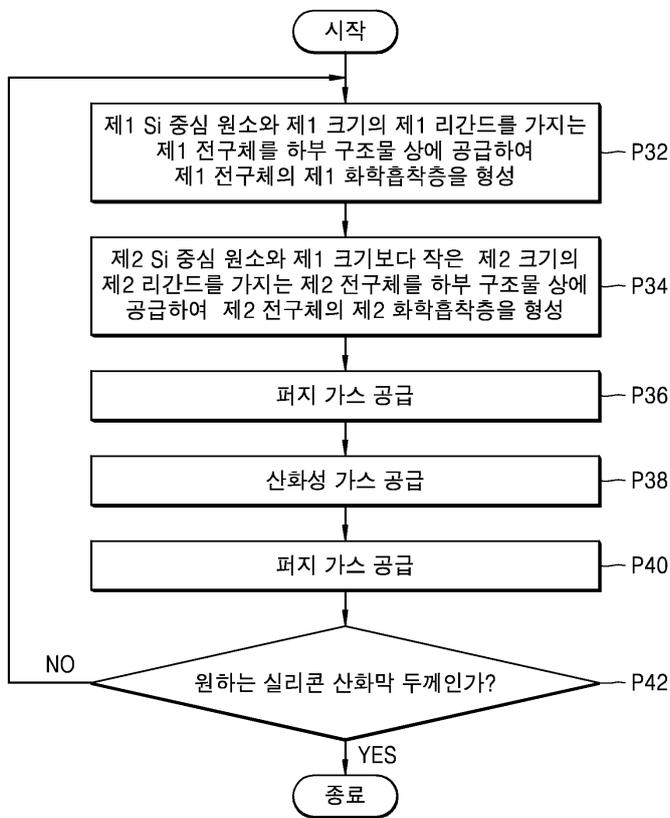
도면2d



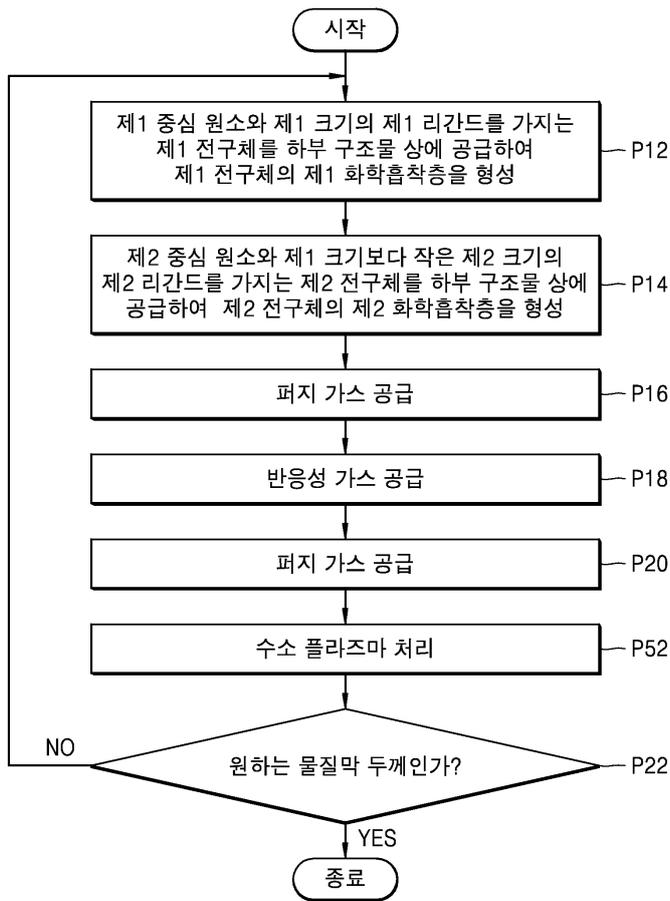
도면2e



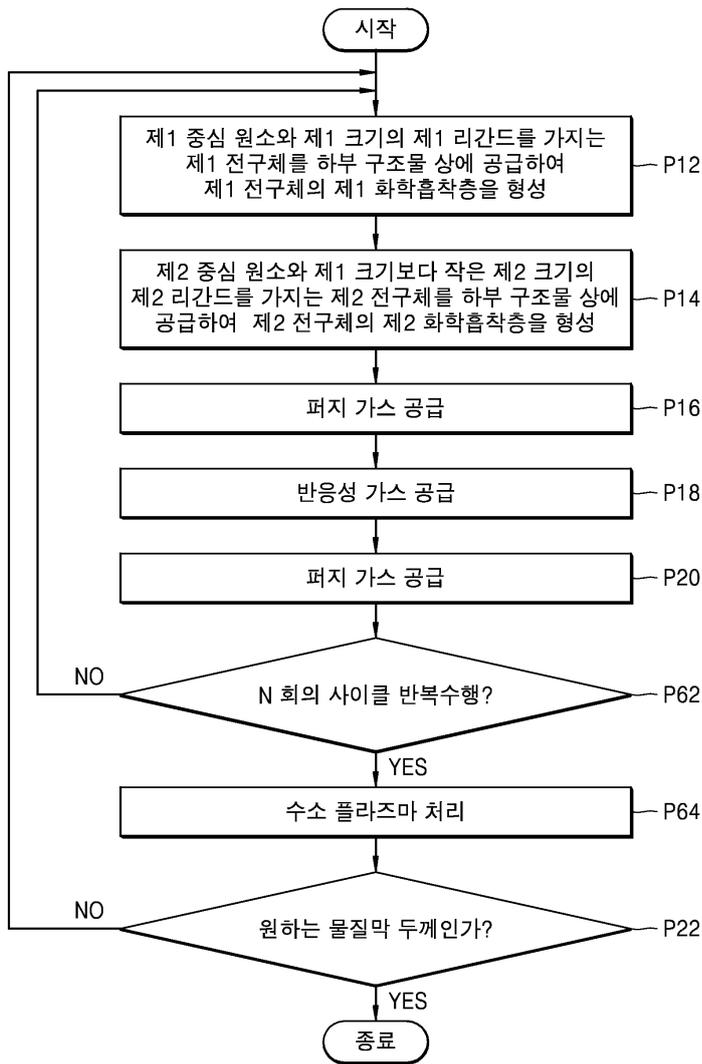
도면3



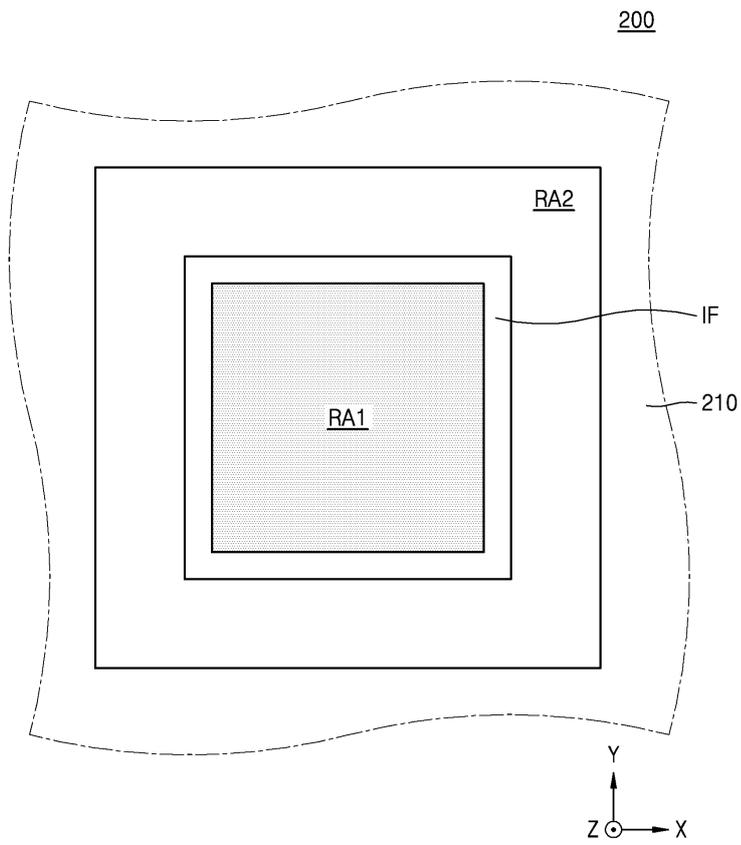
도면4



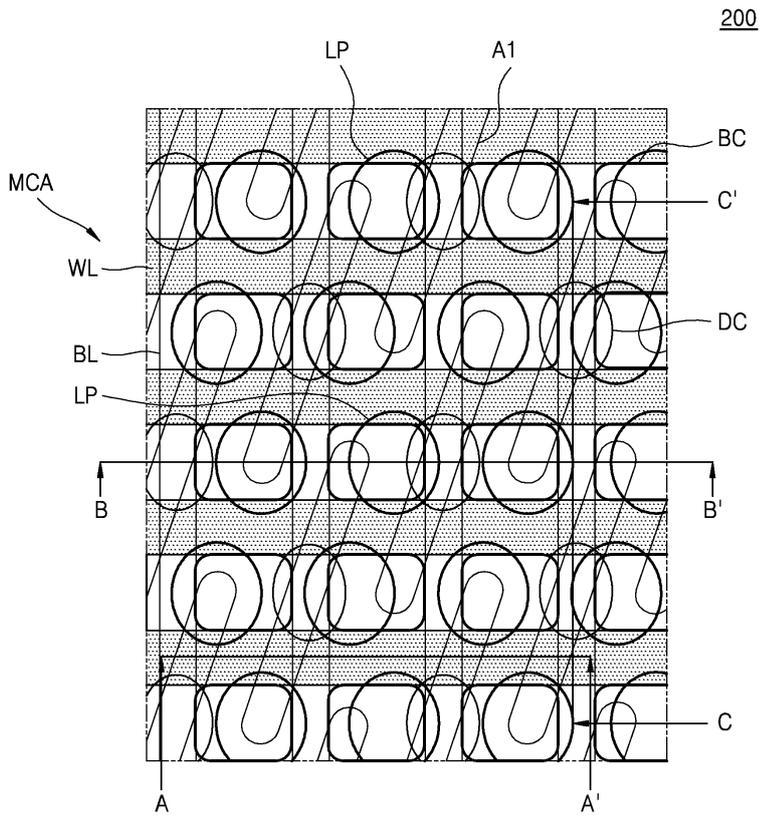
도면5



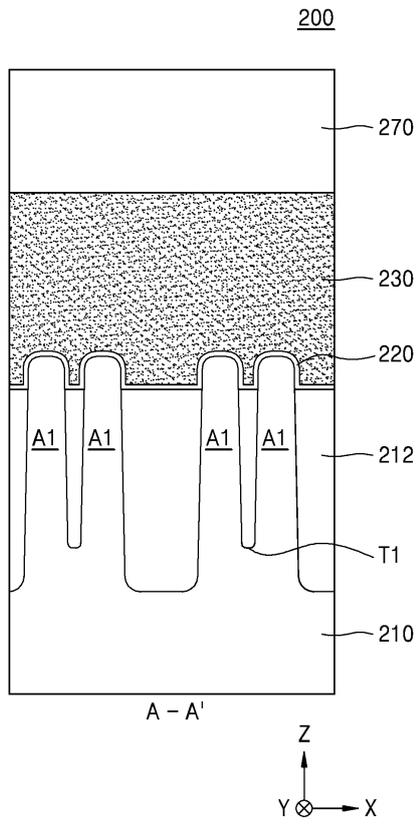
도면6



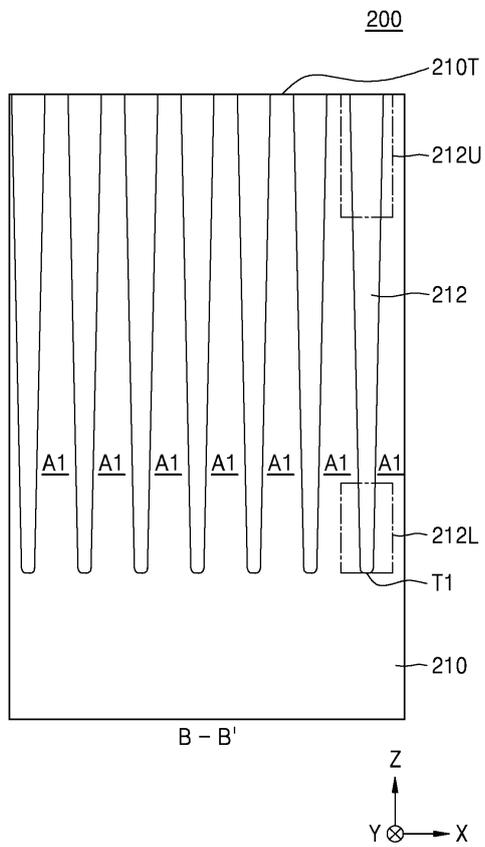
도면7



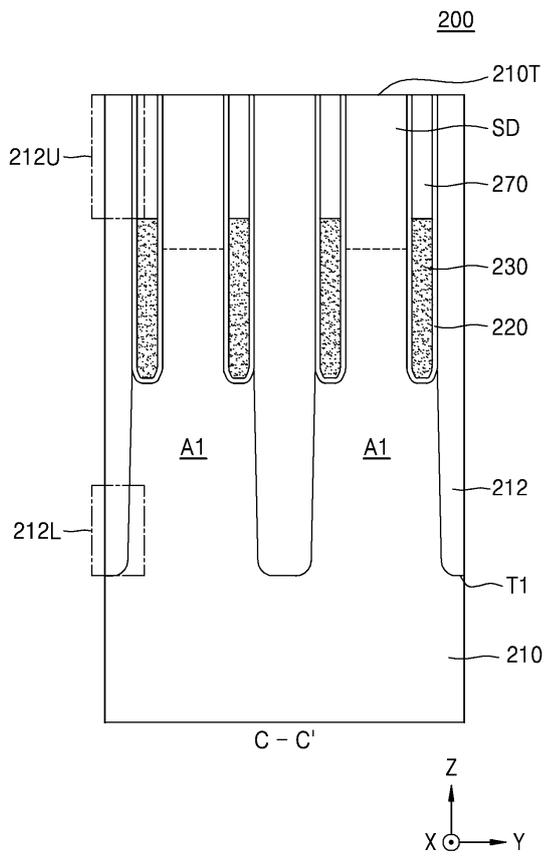
도면8a



도면8b



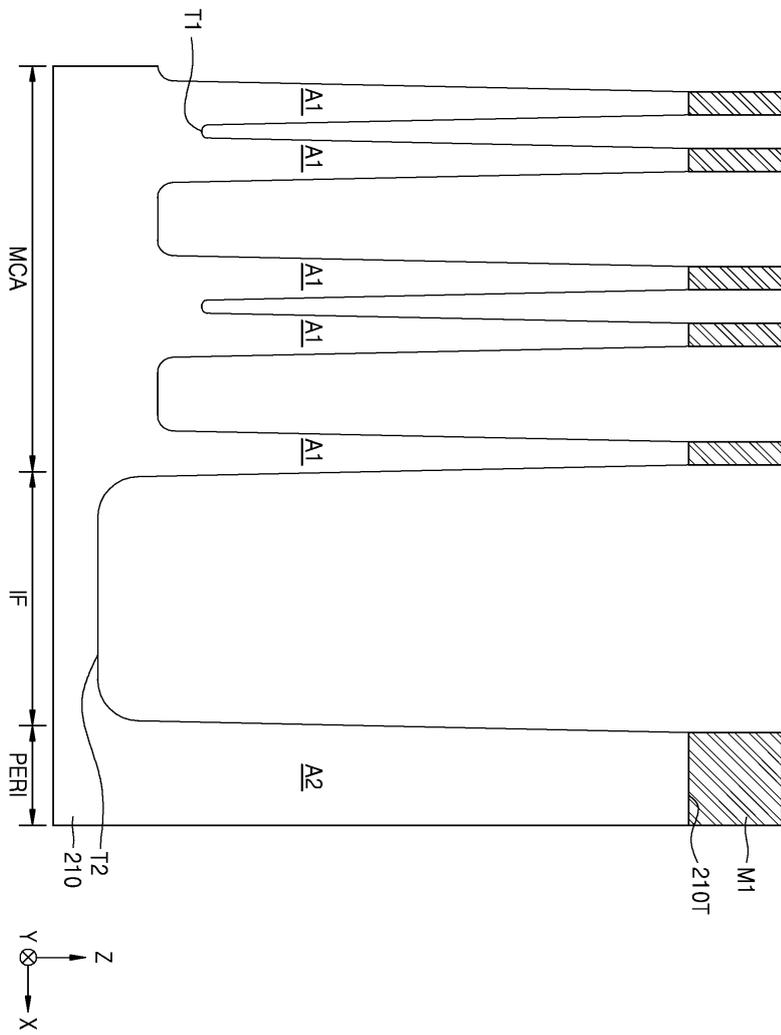
도면8c



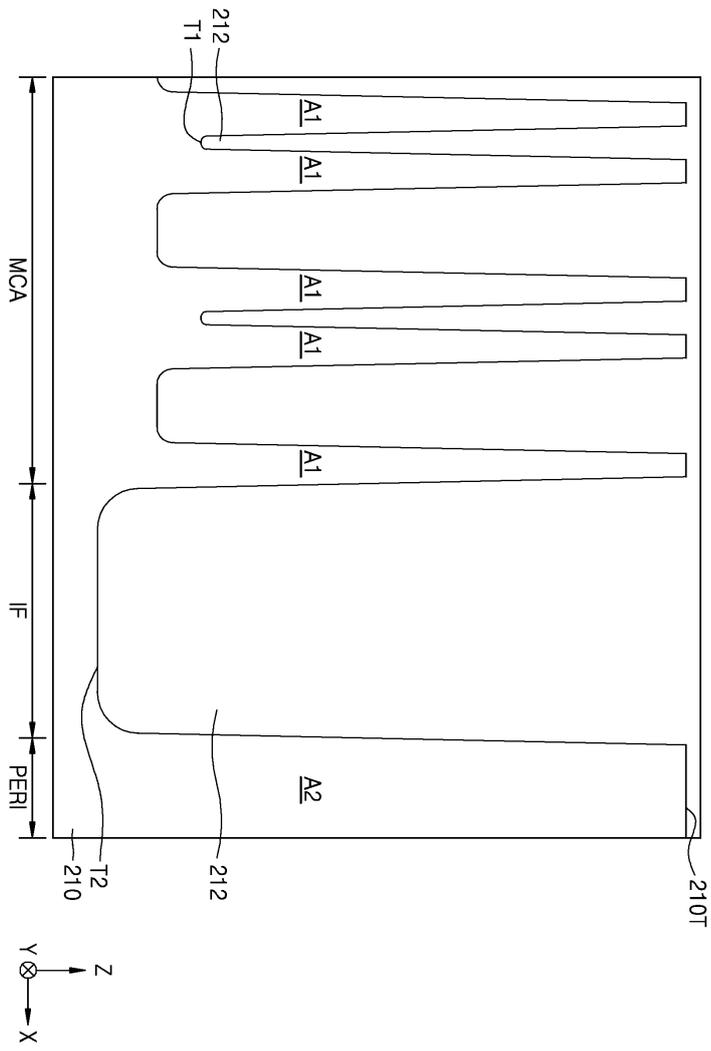




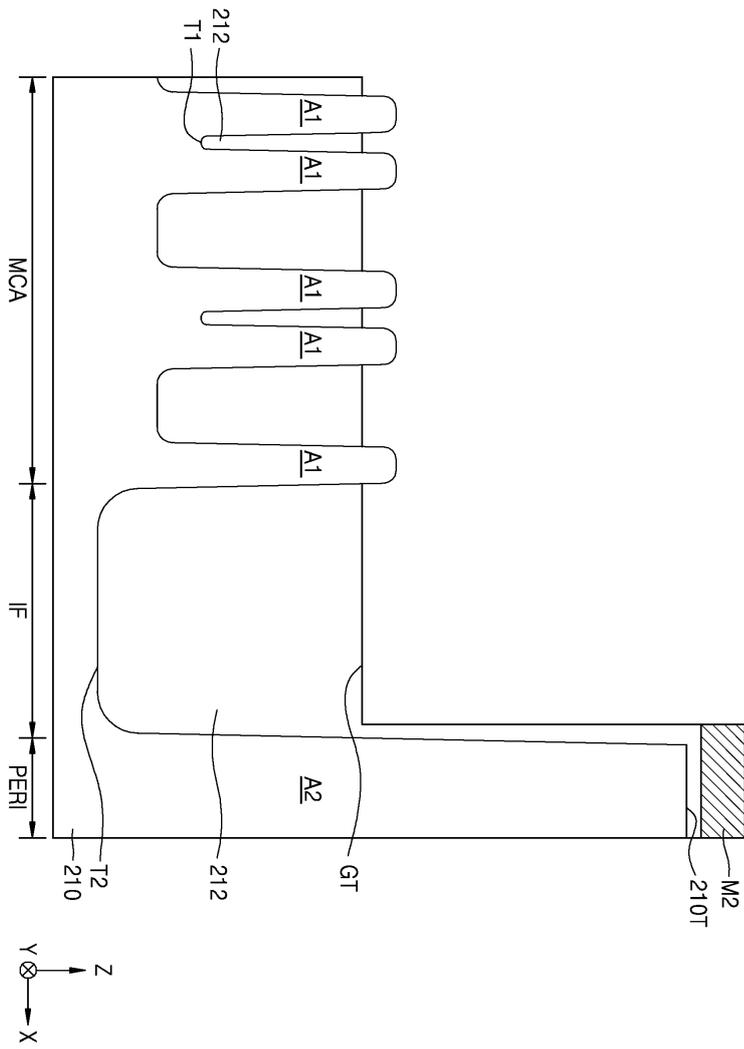
도면10a



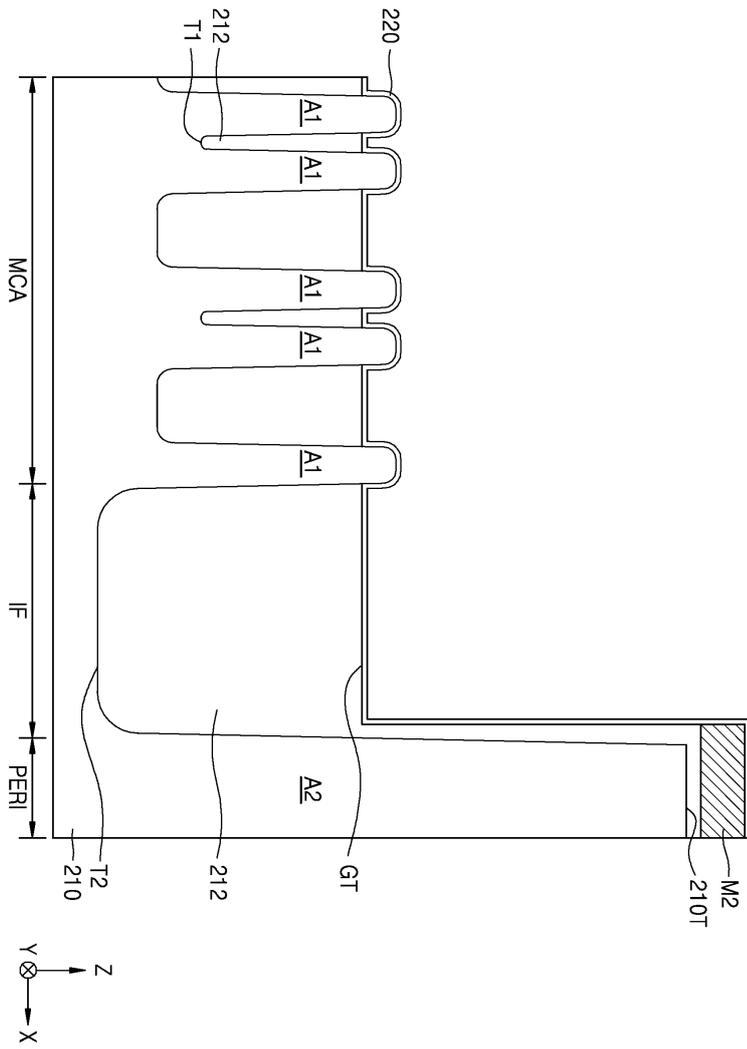
도면10b



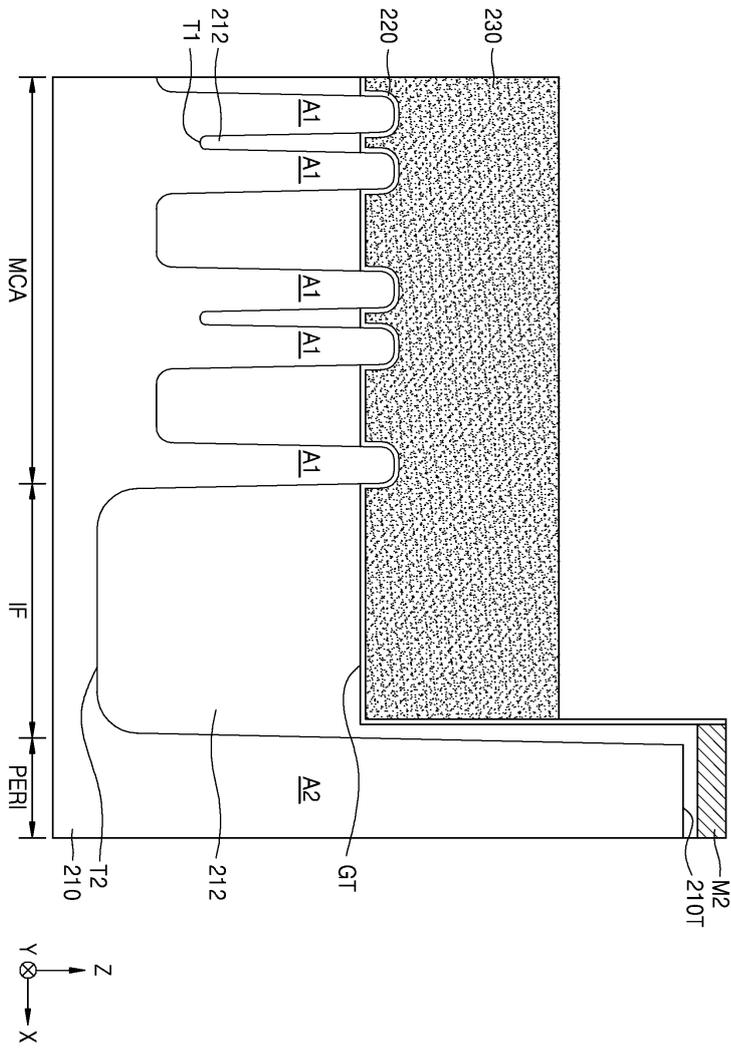
도면10c



도면10d



도면10e



도면10f

