

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4067989号
(P4067989)

(45) 発行日 平成20年3月26日(2008.3.26)

(24) 登録日 平成20年1月18日(2008.1.18)

(51) Int.Cl. F I
 HO 1 L 21/316 (2006.01) HO 1 L 21/316 P
 HO 1 L 29/78 (2006.01) HO 1 L 29/78 3 O 1 G

請求項の数 4 (全 10 頁)

<p>(21) 出願番号 特願2003-59394 (P2003-59394) (22) 出願日 平成15年3月6日(2003.3.6) (65) 公開番号 特開2004-273585 (P2004-273585A) (43) 公開日 平成16年9月30日(2004.9.30) 審査請求日 平成16年6月9日(2004.6.9)</p>	<p>(73) 特許権者 000003078 株式会社東芝 東京都港区芝浦一丁目1番1号 (74) 代理人 100109900 弁理士 堀口 浩 (72) 発明者 村岡 浩一 神奈川県横浜市磯子区新杉田町8番地 株 式会社東芝 横浜事業所内 審査官 今井 拓也 (56) 参考文献 特開2002-289843 (JP, A)</p>
---	---

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板上にLa2O3膜、LaSiO膜、LaAlO膜、LaON膜、LaN膜、Pr2O3膜、PrSiO膜、PrAlO膜、PrON膜、PrN膜、またはそれらの多層膜からなる絶縁膜を形成する工程と、

前記絶縁膜の少なくとも一部が露出した状態で大気搬送若しくは溶液処理を行う前に、ヘリウム若しくはネオンガス雰囲気中で、270以上2000以下の温度で、1 atmを超える加圧処理を行う工程とを備えることを特徴とする半導体装置の製造方法。

【請求項2】

半導体基板上にLa2O3膜、LaSiO膜、LaAlO膜、LaON膜、LaN膜、Pr2O3膜、PrSiO膜、PrAlO膜、PrON膜、PrN膜、またはそれらの多層膜からなる絶縁膜を形成する工程と、

前記絶縁膜の少なくとも一部が露出した状態で大気搬送若しくは溶液処理を行う前に、ヘリウム若しくはネオンガス雰囲気中で、270を超え、2000以下の温度での常圧処理を行う工程とを備えることを特徴とする半導体装置の製造方法。

【請求項3】

前記加圧処理に先立ち、不活性ガス雰囲気中で減圧処理を行う工程を備えることを特徴とする請求項2記載の半導体装置の製造方法。

【請求項4】

前記絶縁膜はゲート絶縁膜であり、前記ゲート絶縁膜上にゲート電極を形成する工程と

10

20

、前記ゲート絶縁膜の両脇にソース・ドレイン領域を形成する工程を備えることを特徴とする請求項1または請求項2に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の製造方法に係り、特に、MIS(Metal Insulator Semiconductor)構造においてゲート絶縁膜に希土類絶縁膜を用いた半導体装置の製造方法に関する。

【0002】

【従来の技術】

大規模集積回路(LSI)の高集積化に伴って、金属/絶縁体/半導体の接合を有する電界効果トランジスタ(MISFET)も微細化している。ITRS(International Technology Roadmap for Semiconductors)の2001年度版によると、2010年以降ではシリコン酸化膜換算膜厚(Equivalent Physical Oxide Thickness; 以下、EOTと呼ぶ)が1.0 nm以下のゲート絶縁膜が必要とされている。この膜厚でリーク電流の抑制されたゲート絶縁膜を実現するためには、シリコン酸化膜は勿論、シリコン酸窒化膜及びシリコン窒化膜では不十分である。そこで、誘電率の高い絶縁膜、即ちAl、Zr或いはHfなどを含む絶縁膜(Al₂O₃、ZrO₂、HfO₂及びこれらのシリケート膜)等の高誘電体金属絶縁膜が必要とされている。特にHfO₂膜はその熱的安定性と誘電率の高さから、近年、研究が加速しているが、薄膜化限界は約0.8 nm程度と見積もられており、EOT<0.8 nm世代では更に誘電率の高い材料が要求される。

【0003】

このような要求に対し、誘電率が約20~約30と高いPr₂O₃、La₂O₃等の希土類絶縁膜の基礎検討が最近活発になされている。その電気的特性評価によると、EOT低下とリーク電流低減の両者が達成されている(非特許文献1参照)。

【0004】

しかしながら、これらの材料を通常の半導体製造工程に適用する場合、それぞれ以下の問題が明らかになっている。希土類絶縁膜は、成膜後の大気曝露により雰囲気中の水蒸気及び炭酸ガスの吸着・拡散・反応により水酸化物及び炭酸塩を形成し、体積膨張を起こすことが知られている(非特許文献2参照)。

【0005】

これによりモフォロジーの劣化、誘電率低下及びリーク電流増加等の膜質劣化が生じる。同様に、水を含む溶液処理工程においても膜中への水の染込みにより水酸化物が急激に形成され、これまでシリコン酸化膜で問題の無かったレジスト剥離工程及び各種洗浄工程においても膜質劣化が引き起こる(非特許文献3参照)。

【0006】

これらの問題を解決するために、希土類絶縁膜が大気に曝される搬送工程(例えば、絶縁膜形成後のゲートポリシリコン堆積までの大気搬送時)を真空搬送もしくは窒素封入したパージボックス搬送に置き換えることが考えられる。また、大気放置前或いは溶液処理工程前に希土類絶縁膜表面にシリコン窒化膜等のCapを形成する方法等が考えられる。

【0007】

しかしながら、前者の方法は装置構成が大規模なものになること、後者は工程数の増大を引き起こすことなどから、簡便且つ一般工程に適用可能な希土類絶縁膜形成後の後処理方法が必須となってきている。

【0008】

【非特許文献1】

H. Iwai et al., International Electron Devices Meeting 2002, 26-04 (2002)

【非特許文献2】

足立吟也編集「希土類の科学」化学同人(1999)

【非特許文献3】

A. Kikuchi et al., 202nd Meeting of Electrochemical Society, Abst. No. 386 (2002)

10

20

30

40

50

【0009】

【発明が解決しようとする課題】

上記のように、希土類絶縁膜形成後の工程において、大気曝露による水蒸気及び炭酸ガスなどの吸着・拡散・反応に伴って水酸化物及び炭酸塩などが形成され、膜の体積膨張によるモフォロジー劣化、誘電率低下及びリーク電流増加の問題があった。また、溶液処理工程においても希土類絶縁膜は耐水性が低く、水の染込みによる水酸化物形成が深刻な問題となっている。これらの弊害を防ぐためになされた従来の提案では、搬送系、製造工程等の大規模な変更が必要となり、一般の半導体生産ラインに適用する上で大きな障害となっている。

【0010】

本発明は、これらの問題点を解決するためになされたものであり、その目的は、大気曝露及び溶液処理における膜質劣化を抑制し、誘電率が高く平坦性の向上した希土類絶縁膜を実現する簡便な製造方法の提供することにある。

【0011】

【課題を解決するための手段】

上記課題を解決するために、本発明は、半導体基板上に半導体基板上にLa₂O₃膜、LaSiO膜、LaAlO膜、LaON膜、LaN膜、Pr₂O₃膜、PrSiO膜、PrAlO膜、PrON膜、PrN膜、またはそれらの多層膜からなる絶縁膜を形成する工程と、前記絶縁膜の少なくとも一部が露出した状態で大気搬送若しくは溶液処理を行う前に、ヘリウム若しくはネオンガス雰囲気中で、27以上200以下の温度で、1 atmを超える加圧処理を行う工程とを備えることを特徴とする半導体装置の製造方法を提供する。

【0012】

【発明の実施の形態】

以下に、本発明の各実施の形態について図面を参照しながら説明する。尚、実施の形態や実施例を通して共通の構成には同一の符号を付すものとし、重複する説明は省略する。また、各図は発明の説明とその理解を促すための模式図であり、その形状や寸法、比などは実際の装置と異なる個所がある。このような具体的構成は以下の説明と公知の技術を参照して適宜、設計変更することができる。

【0013】

(第1の実施の形態)

第1の実施の形態では、MISFETの一例として絶縁膜にシリコン酸化膜を使ったMOSFETの製造方法を説明する。図1、図2、図3、図4、図5および図6は、この製造方法を説明するための断面模式図である。

【0014】

まず、図1に示すように、一般の単結晶p型シリコン基板11の表面に、素子分離領域用の深い溝12を形成し、この溝12をCVD法によりシリコン酸化膜で埋め込み、素子分離領域13を形成する。

【0015】

次に、図2に示すように、約20 nm厚のLa₂O₃膜14をシリコン基板11の表面に蒸着法により形成する。次に、図3に示すように、La₂O₃膜14の上にポリシリコン膜15をCVD法によって形成する。

【0016】

次に、図4に示すように、ポリシリコン15上のゲート電極予定領域にフォトレジストパターン16を形成する。次に、図5に示すように、フォトレジストパターン16をマスクとして、ポリシリコン膜15を反応性イオンエッチング(RIE)する。これにより、図5の紙面垂直方向に伸びる短冊状のポリシリコン膜15を形成する。この後、レジストパターン16を剥離する。尚、レジストパターン16の剥離工程は、後で詳述する。

【0017】

次に、砒素(As)を、例えば加速電圧約40keV、ドーズ量約 $2 \times 10^{15} \text{ cm}^{-2}$ の条件でポリシリコン膜15およびシリコン基板11表面にイオン注入した後、不純物(As)の活性化アニールによ

10

20

30

40

50

り高不純物濃度の n^+ 型ゲート電極（第1のゲート電極）15、 n^+ 型ソース領域17、 n^+ 型ドレイン領域18を形成する。

【0018】

次に、図6に示すように、全面に約300nmのシリコン酸化膜をCVD法によりシリコン基板11上に堆積し、層間絶縁膜19を形成する。この後、層間絶縁膜19上にコンタクトホール形成用のフォトリソパターン（図示せず）を形成し、これをマスクとしてRIEにより層間絶縁膜19をエッチングして、コンタクトホールを開口する。そして、シリコン基板11上にAlなどの金属膜をスパッタ法により形成した後、これをパターニングして、コンタクトホールを埋めるソース電極110、ドレイン電極111、および第2のゲート電極112を形成して n 型MOSトランジスタが完成する。

10

【0019】

尚、第2のゲート電極112は第1のゲート電極15に、ソース電極110はソース領域17に、ドレイン電極111はドレイン領域18に各々コンタクトホールを介して接続する。

【0020】

なお、本実施の形態では、 n 型MOSFETの製造方法を説明したが、 p 型MOSFETでは導電型が n 型と p 型で入れ替わる点が異なるだけで、同様に製造できる。

【0021】

（第1の実施例）

次に、レジスト剥離工程について第1の実施例にて説明する。

【0022】

まず、酸素プラズマによりゲート電極15上のフォトリソパターン16を剥離する。次にゲート電極15表面のレジスト残渣を除去するために、硫酸・過酸化水素水溶液処理（処理約10分＋流水約10分）及びコリン・過酸化水素水溶液処理（処理約10分＋流水約10分）を行う。これらの溶液処理の直前には、水に曝される La_2O_3 膜14の耐水性を向上させるために、以下の加圧処理を行う。

20

・He或いは N_2 2kg/cm² 1時間封入（室温）

La_2O_3 膜14への水の染込みは、分光エリプソメトリによる屈折率変化として確認できる。

【0023】

図7に、水処理時間における加圧処理後の La_2O_3 膜の屈折率変化の結果を示す。縦軸は水処理前後の屈折率の差(Relative n)である。図7の横軸は、水処理時間を時間単位(H_2O dip time (hr))で示す。処理前の屈折率 n は約3であるから、屈折率差のマイナスの値が大きくなるほど屈折率が低下（膜密度が減少）していることを意味する。

30

【0024】

比較のため加圧処理をしていない La_2O_3 膜の結果も示すが、水処理時間増加と共に屈折率が単調に低下することがわかる。これに対し、加圧He及び N_2 処理により屈折率低下は23時間まで抑制され、耐水性が向上していることが分かる。

【0025】

また、この図から N_2 よりもHeが耐水性向上により効果的であることも確認できる。実際のレジスト剥離における溶液処理は最低でも40分であり、この加圧 N_2 及びHe処理を直前に施すことでゲート端領域における La_2O_3 膜14の屈折率低下を抑制することができる。

40

【0026】

次に、加圧 N_2 処理を施した La_2O_3 膜の膜質の違いを、X線光電子分光法(X-ray Photoelectron Spectroscopy; 以下XPSと呼ぶ)により分析した。この結果を図8に示す。ここでは基板温度を室温とし、加圧 N_2 処理(2kg/cm²)を約1時間行った前後での La_2O_3 膜の $N1s$ スペクトル変化を示す。X線源はMgKとし、光電子脱出角度は45°で測定を行っている。図8より、加圧 N_2 処理により、相対光電子束縛エネルギー(Relative binding energy)が約400eV近傍の $N1s$ スペクトル強度が増加していることが分かる。即ち加圧 N_2 処理により室温処理にもかかわらず La_2O_3 膜中に窒素が取り込まれ、この取り込まれた窒素が水の染込み(La_2O_3 バルク中への水の拡散)を抑制することで耐水性を向上させたと言える。

【0027】

50

次に、加圧処理の適用可能な温度範囲についても確認を行った。図9に、水処理27時間後の La_2O_3 膜屈折率変化（図9左縦軸を参照）と界面シリコン酸化膜厚の変化（図9右縦軸を参照）を示す。加圧処理時の基板温度（図9横軸）が高いほど、水処理による屈折率 n の低下が抑制されることが分かる。即ち、絶縁膜中への不活性ガスの拡散量が増大し、膜中不活性ガス濃度が高くなることで外部からの水の拡散を阻害していると言える。

【0028】

特に、その中でもヘリウムガスは拡散速度が最も大きく固溶度が最も高いため、図9からも明らかのように耐水性向上の観点では最も優れている。しかしながら、約200 を超える加圧処理ではガス中の残留酸素・水分により $\text{La}_2\text{O}_3/\text{Si}$ 界面の酸化反応が進み、界面シリコン酸化膜厚の増加量 T_{int} が進むことも判明した。そのため、初期界面酸化膜厚を維持しつつ耐水性を向上させるといった観点では室温以上200 以下の範囲において加圧処理することで最大限の効果を発揮した。

10

【0029】

以上のことから、加圧処理が最も耐水性に効果を発揮するのは、加圧He雰囲気中で室温以上200 以下の加熱を行う工程であるといえる。

【0030】

なお、本実施例における加圧処理は約 $2\text{kg}/\text{cm}^2$ で行っているが、約 $10\text{kg}/\text{cm}^2$ 以上の高圧処理を行うことで処理時間を約1hrから数分まで短縮することが可能である。また、常圧処理であっても基板温度が室温より高温（最大約200 ）であれば同様の耐水性改善効果を得ることができる。

20

【0031】

次に、加圧He処理による耐水性改善のメカニズムについて、図10の断面模式図を用いて説明する。従来の方法では、希土類絶縁膜表面での水の吸着、粒界拡散及びバルク中での反応により水酸化物（ $\text{La}_2(\text{OH})_3$ ）が形成され、体積膨張に伴う誘電率低下を引き起こしていた。

【0032】

それに対し、事前に加圧He処理を行う第1の実施の形態では、Heの原子半径及び質量が小さいため絶縁膜中の固溶度が大きく、外部から拡散してくる水とHeが衝突し、物理的に水の染込みを押さえる効果がある。同時にHeは不活性ガスであるため、ガスそのものによる絶縁膜の酸化・還元反応が起きないため、希土類絶縁膜の膜質を劣化させることがない。

30

【0033】

第1の実施の形態では、加圧処理としてHe及び窒素ガスを用いた場合の結果を主に示したが、窒素ガスよりも原子半径の小さいNe、Ar及びそれらの混合ガスでも同様の改善効果を確認した。また、これらの不活性ガスを窒素ガスよりも原子半径の大きい希ガス（Kr、Xeなど）で希釈しても、その効果は維持される。

【0034】

さらに、第1の実施の形態では主に La_2O_3 膜について述べたが、本発明はその他の希土類絶縁材料に適用可能であり、特にLu、Eu、Sm、Pr、La、Yb、Gd、Dyを含む酸化膜に有効である。更にそれらのシリケート膜、アルミネート膜、酸窒化膜、窒化膜、混合膜及び各種多層膜においてもその有効性が維持される。また、これらの希土類絶縁膜の成膜手法に依らず、スパッタ、ALCVD（Atomic Layer CVD）、蒸着及びプラズマCVD等で形成した様々な希土類絶縁膜であっても同様の効果を得ることができる。

40

【0035】

第1の実施の形態によれば、希土類絶縁膜形成後の工程において、大気曝露及び溶液処理における膜質劣化を抑制し、誘電率が高く平坦性に優れた希土類絶縁膜形成が可能となり、低消費・高速・高信頼MOSFETを提供することができる。

【0036】

（第2の実施例）

本発明の第2の実施例に係わるMOSFETの構造は、第1の実施の形態と同様なのでその詳細な説明は省略する。本実施例では、ゲート絶縁膜として La_2O_3 膜ではなく Pr_2O_3 膜を形成し、

50

その後のポリシリコン膜15形成までの搬送工程が第1の実施例と異なる。そこで、これらの工程について図2を用いて詳細に説明する。

【0037】

まず、蒸着法により約20 nm厚のPr₂O₃膜14をSi基板11上に形成し、次にゲートポリシリコン膜15を堆積するために大気搬送後CVD装置内にSi基板11(ウェファー)を搬送する。ここで大気搬送前に室温下で次の減圧及び加圧処理を順次行う。

・Ne雰囲気 圧力10Torr 約10分 Ne雰囲気 圧力10kg/cm² 1分間封入減圧Ne処理後に加圧Ne処理を行うことで、より効率的に絶縁膜中にNeガスを拡散させることができる。本実施例のように1atm(760Torr)以下の減圧Ne雰囲気下に絶縁膜を置くことで、絶縁膜中に含まれる酸素、水等の不純物を十分に脱離させつつNeと置換させることができ、更に連続して加圧Ne処理を行うことで絶縁膜の原子の結合網(ネットワーク)中に容易に高濃度Neガスを拡散させることができる。

10

【0038】

本減圧及び加圧Ne処理により、大気搬送時における水・炭酸ガスの絶縁膜中への拡散が抑制され(図10で説明したのと同様の作用)、水酸化物及び炭酸塩形成による体積膨張が抑えられる。

【0039】

図11に、Ne処理(Treatments)における大気放置時のPr₂O₃膜実膜厚変化を示す。大気温度は23℃、湿度90%、放置時間は24時間とした。図11では、減圧及び加圧Ne処理による膜(c)の他に、比較のため、全く加圧処理をしない膜(a)および加圧Ne処理のみの膜(b)のデータも併せて示す。これより、加圧Ne処理、更に好ましくは減圧及び加圧Ne処理により実膜厚増加ΔTを最小限に抑えることが確認された。

20

【0040】

これら一連の工程における作用は第1の実施例と同様である。全ての半導体の製造工程において第1の実施例で述べたのと同じ考え方に従い、特にその中でも希土類絶縁膜が表面に露出し且つ大気搬送若しくは溶液処理工程に曝される場合においてN₂、Ar添加が、より好ましくはNe、He添加が有効である。例えば、希土類絶縁膜を層間絶縁膜や半導体封止材料に用いた場合にも適用できる。

【0041】

以上のことから、希土類絶縁膜の耐水性と吸湿性を向上させるためには、窒素ガスと同じかそれ以下の原子半径を持つ不活性ガス雰囲気で減圧及び加圧処理を行うと共に、処理時の基板温度を室温(約27℃)以上約200℃以下に制御するのが効果的である。このような絶縁膜形成後の処理は、希土類絶縁膜の厚さが20nm以下の場合に、特に有効性が高い。

30

【0042】

なお、本発明は上記実施形態や実施例そのままに限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で構成要素を変形して具体化できる。また、上記実施形態に開示されている複数の構成要素の適宜な組み合わせにより、種々の発明を形成できる。例えば、実施形態に示される全構成要素から幾つかの構成要素を削除してもよい。さらに、異なる実施形態にわたる構成要素を適宜組み合わせてもよい。

【0043】

【発明の効果】

以上説明したように、本発明によれば、大気曝露及び溶液処理における希土類絶縁膜の膜質劣化を抑制し、誘電率が高く平坦性に優れた希土類絶縁膜を備える半導体装置を提供することができる。

40

【図面の簡単な説明】

【図1】 本発明の第1の実施の形態に係るMOSFETの製造方法を説明するための断面模式図。

【図2】 図1に続くMOSFETの製造工程を説明するための断面模式図。

【図3】 図2に続くMOSFETの製造工程を説明するための断面模式図。

【図4】 図3に続くMOSFETの製造工程を説明するための断面模式図。

50

【図5】 図4に続くMOSFETの製造工程を説明するための断面模式図。

【図6】 図5に続くMOSFETの製造工程を説明するための断面模式図。

【図7】 本発明の第1の実施例に係わる各種加圧処理後の水処理による La_2O_3 膜の屈折率変化を示す図。

【図8】 第1の実施例に係わる加圧 N_2 処理前後での $N1s$ 光電子スペクトル変化を示す図。

【図9】 第1の実施例に係わる、加圧処理温度による水処理後の La_2O_3 膜屈折率変化と界面シリコン酸化膜厚の変化を示す図。

【図10】 第1の実施例に係る加圧He処理による耐水性改善のメカニズムを説明する図。

【図11】 本発明の第2の実施例に係わる加圧Ne処理後の大気放置による実膜厚変化を示す図。

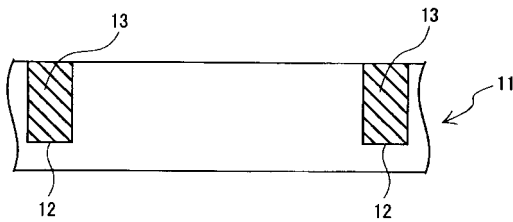
10

【符号の説明】

- 11・・・p型シリコン基板
- 12・・・素子分離領域用の溝
- 13・・・素子分離領域
- 14・・・ La_2O_3 膜(第1の実施例)、 Pr_2O_3 膜(第2の実施例)
- 15・・・ポリシリコン膜
- 16・・・フォトリソパターン
- 17・・・ n^+ 型ソース領域
- 18・・・ n^+ 型ドレイン領域
- 19・・・シリコン酸化膜(層間絶縁膜)
- 110・・・ソース電極
- 111・・・ドレイン電極
- 112・・・ゲート電極

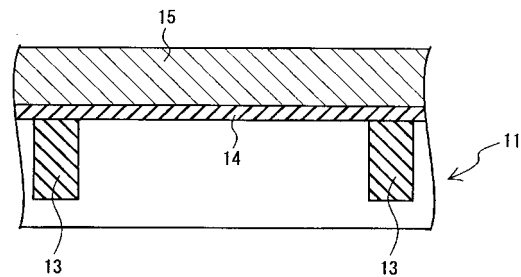
20

【図1】



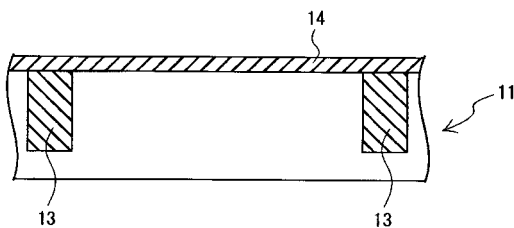
- 11・・・p型シリコン基板
- 12・・・溝
- 13・・・素子分離領域

【図3】



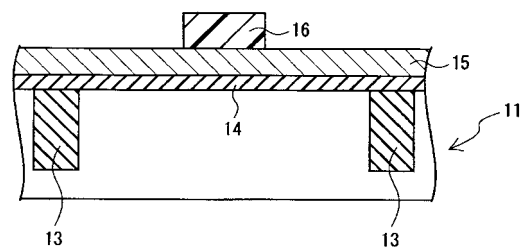
- 15・・・ポリシリコン膜

【図2】



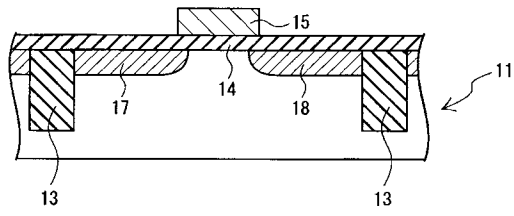
- 14・・・ La_2O_3 膜(第1の実施例)
 Pr_2O_3 膜(第2の実施例)

【図4】



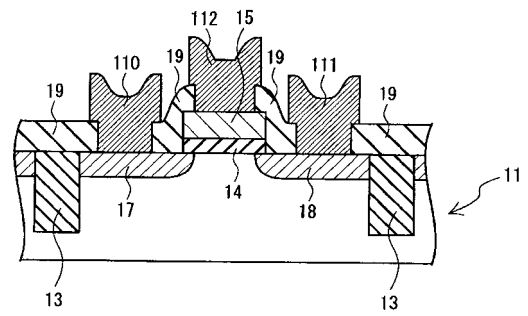
- 16・・・レジストパターン

【図5】



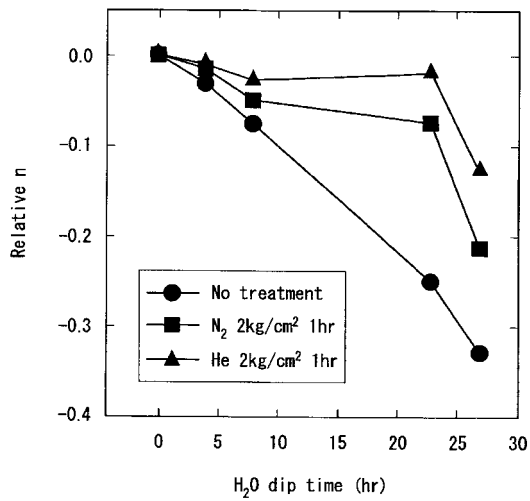
17…ソース領域
18…ドレイン領域

【図6】

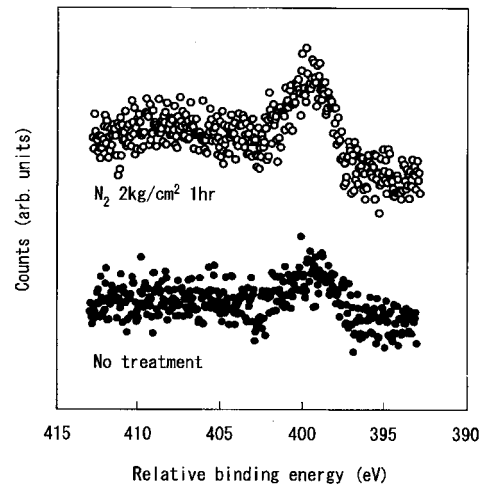


19…層間絶縁膜
110…ソース電極
111…ドレイン電極
112…第2のゲート電極

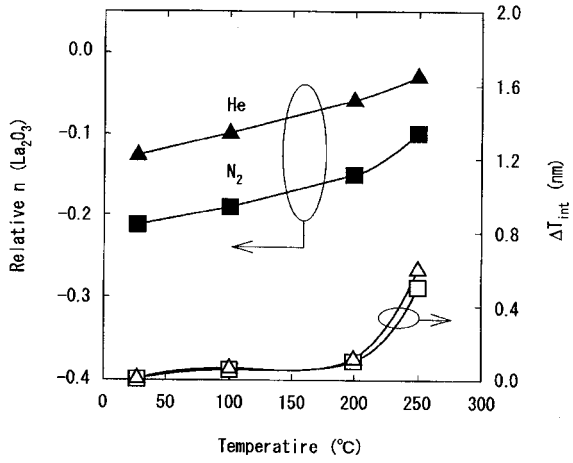
【図7】



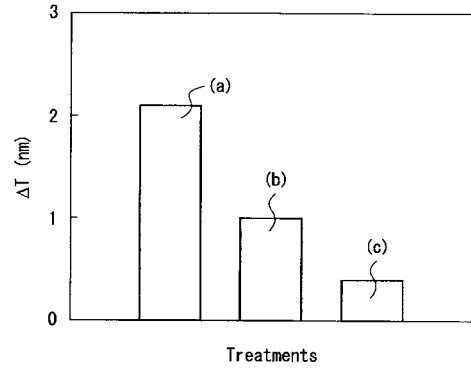
【図8】



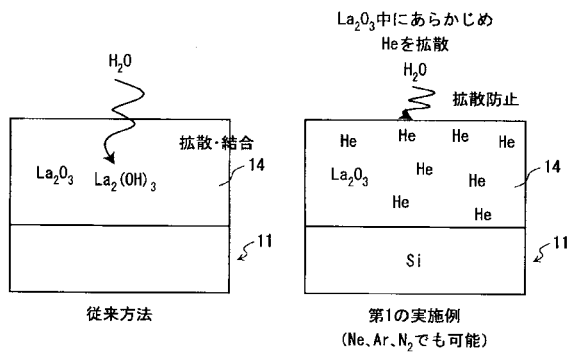
【 図 9 】



【 図 11 】



【 図 10 】



フロントページの続き

(58)調査した分野(Int.Cl. , D B名)

H01L 21/316

H01L 29/78