



# (12) 发明专利

(10) 授权公告号 CN 112086455 B

(45) 授权公告日 2024. 01. 19

(21) 申请号 201911274668.4

(22) 申请日 2019.12.12

(65) 同一申请的已公布的文献号  
申请公布号 CN 112086455 A

(43) 申请公布日 2020.12.15

(30) 优先权数据  
10-2019-0070998 2019.06.14 KR

(73) 专利权人 爱思开海力士有限公司  
地址 韩国京畿道

(72) 发明人 朴亨镇

(74) 专利代理机构 北京弘权知识产权代理有限  
公司 11363  
专利代理师 许伟群 阮爱青

(51) Int.Cl.

H10B 12/00 (2023.01)

(56) 对比文件

CN 104835823 A, 2015.08.12

US 2013043525 A1, 2013.02.21

JP 2010056578 A, 2010.03.11

US 2016056159 A1, 2016.02.25

审查员 于彬

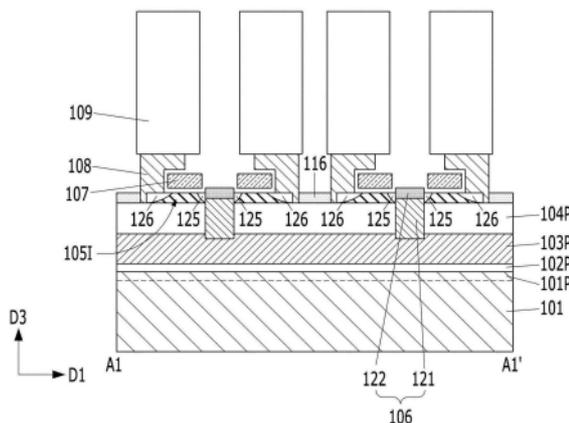
权利要求书3页 说明书13页 附图26页

## (54) 发明名称

半导体器件及其制造方法

## (57) 摘要

本申请提供一种半导体器件及其制造方法。一种半导体器件,包括:在衬底上方的层叠线结构,其包括位线;有源层,其位于比层叠线结构高的水平处并且与位线平行;电容器,其位于比有源层高的水平处;第一插塞,其向下延伸以穿过有源层与位线耦接;第二插塞,其形成在有源层与电容器之间;以及字线,其在与有源层交叉的同时在与位线交叉的方向上延伸。



1. 一种半导体器件,包括:  
包括位线的层叠线结构,所述层叠线结构位于衬底上方;  
有源层,其位于比所述层叠线结构高的水平处并且与所述位线平行;  
电容器,其位于比所述有源层高的水平处;  
第一插塞,其延伸穿过所述有源层以耦接到所述位线;  
第二插塞,其形成在所述有源层与所述电容器之间,以将所述有源层耦接到所述电容器;以及  
字线,其在与所述位线和所述有源层交叉的方向上延伸。
2. 根据权利要求1所述的半导体器件,其中,所述层叠线结构包括:  
掩埋电介质线,其形成在所述位线与所述有源层之间;  
缓冲线,其形成在所述位线与所述衬底之间;以及  
突出部,其位于所述缓冲线下方以从所述衬底突出。
3. 根据权利要求2所述的半导体器件,其中,所述第一插塞穿过所述掩埋电介质线耦接到所述位线。
4. 根据权利要求1所述的半导体器件,其中,所述第二插塞的下部延伸以覆盖所述有源层的边缘侧。
5. 根据权利要求1所述的半导体器件,其中,所述第二插塞的上部延伸以与所述字线竖直地重叠。
6. 根据权利要求1所述的半导体器件,其中,所述第一插塞的顶表面位于比所述字线低的水平处。
7. 根据权利要求1所述的半导体器件,其中,所述位线包含基于金属的材料。
8. 根据权利要求1所述的半导体器件,其中,所述第一插塞包括耦接到所述位线的金属插塞以及在所述金属插塞上掺杂有杂质的多晶硅插塞。
9. 根据权利要求1所述的半导体器件,其中,所述第一插塞和所述第二插塞中的每个包含掺杂有杂质的多晶硅。
10. 根据权利要求9所述的半导体器件,其中,所述有源层包括与所述第一插塞耦接的第一源极/漏极区和与所述第二插塞耦接的第二源极/漏极区,以及  
其中,所述第一源极/漏极区和所述第二源极/漏极区掺杂有从所述掺杂有杂质的多晶硅扩散的杂质。
11. 根据权利要求1所述的半导体器件,其中,所述字线包括彼此平行的一对字线,并且所述一对字线设置在所述有源层上方。
12. 根据权利要求1所述的半导体器件,其中,所述字线位于比所述位线和所述有源层高的水平处。
13. 根据权利要求1所述的半导体器件,其中,所述有源层与所述位线竖直地重叠。
14. 根据权利要求1所述的半导体器件,还包括:  
隔离层,其围绕所述有源层的侧壁。
15. 根据权利要求14所述的半导体器件,其中,所述隔离层包括:  
第一隔离层,其包括位于所述层叠线结构的两个侧壁上的气隙;以及  
第二隔离层,其形成在所述有源层的第二对侧壁上,

其中,所述第一隔离层延伸以覆盖所述有源层的第一对侧壁。

16. 根据权利要求15所述的半导体器件,其中,所述层叠线结构包括多个层叠线结构,并且所述第一隔离层设置在所述层叠线结构之间。

17. 根据权利要求15所述的半导体器件,其中,所述有源层包括多个有源层,并且所述第二隔离层设置在所述有源层之间。

18. 根据权利要求1所述的半导体器件,其中,所述第二插塞包括彼此间隔开的一对第二插塞,并且所述第二插塞与所述有源层直接接触。

19. 根据权利要求1所述的半导体器件,其中,所述字线包括平面栅极、鳍式栅极、竖直栅极或掩埋栅极。

20. 一种用于制造半导体器件的方法,包括:

在衬底上方制备多个层叠线结构,所述多个层叠线结构中的每个包括位线和线型有源层;

通过切割所述线型有源层形成多个岛型有源层;

形成第一插塞,所述第一插塞穿过所述岛型有源层耦接到所述位线;

在所述岛型有源层上方形成字线;

形成第二插塞,所述第二插塞耦接到所述岛型有源层中的每个的两侧;以及

形成分别与所述第二插塞耦接的多个电容器。

21. 根据权利要求20所述的方法,其中,在所述衬底上方制备多个层叠线结构的步骤中,所述多个层叠线结构中的每个包括所述位线和所述线型有源层,该步骤包括:

制备包括导电材料和第一接合层的第一衬底;

制备包括初步有源层和第二接合层的第二衬底;

通过将所述第一衬底的所述第一接合层与所述第二衬底的所述第二接合层接合来形成初始衬底叠层;以及

通过以线形状将所述初始衬底叠层的所述初步有源层和所述导电材料图案化来形成所述位线和所述线型有源层。

22. 根据权利要求21所述的方法,其中,所述第一接合层和所述第二接合层包含电介质材料。

23. 根据权利要求20所述的方法,其中,所述位线包含基于金属的材料。

24. 根据权利要求20所述的方法,其中,所述线型有源层包含基于硅的材料。

25. 根据权利要求20所述的方法,其中,形成所述第一插塞的步骤中,所述第一插塞穿过所述岛型有源层耦接到所述位线,该步骤包括:

形成接触孔,所述接触孔穿过所述岛型有源层而暴露所述位线;

在所述接触孔中形成金属插塞;以及

在所述金属插塞上方形成掺杂有杂质的硅插塞。

26. 根据权利要求20所述的方法,其中,所述第一插塞和所述第二插塞中的每个包含掺杂有杂质的多晶硅。

27. 根据权利要求26所述的方法,还包括:

在形成所述第二插塞之后,执行退火工艺以使所述杂质扩散到所述有源层中,其中所述第二插塞耦接到所述岛型有源层中的每个的两侧,

其中,所述杂质的扩散形成了与所述第一插塞耦接的第一源极/漏极区和与所述第二插塞耦接的第二源极/漏极区。

28.根据权利要求20所述的方法,还包括:

在所述衬底上方制备所述多个层叠线结构之后,形成第一隔离层,其中所述第一隔离层包括位于所述层叠线结构之间的气隙,所述多个层叠线结构中的每个包括所述位线和所述线型有源层。

29.根据权利要求28所述的方法,还包括:

在通过切割所述线型有源层形成多个岛型有源层之后,形成位于所述岛型有源层之间的第二隔离层。

## 半导体器件及其制造方法

[0001] 相关申请的交叉引用

[0002] 本申请要求于2019年6月14日提交的申请号为10-2019-0070998的韩国专利申请的优先权,其公开内容通过引用整体合并于此。

### 技术领域

[0003] 本发明的各个实施例涉及一种半导体器件,更具体地,涉及一种包括掩埋位线的半导体器件及用于制造半导体器件的方法。

### 背景技术

[0004] 最近,为了增加存储器件的净裸片(net die),使存储单元的尺寸不断减小。

[0005] 随着存储单元的尺寸变得更精细,应该减小寄生电容 $C_b$ 并且增大电容。

[0006] 然而,由于存储单元的结构限制,难以增加净裸片。

### 发明内容

[0007] 本发明的实施例针对一种包括高度集成的存储单元的半导体器件及其制造方法。

[0008] 根据本发明的实施例,一种半导体器件包括:包括位线的层叠线结构,所述层叠线结构位于衬底上方;有源层,其位于比层叠线结构高的水平处并且与位线平行;电容器,其位于比有源层高的水平处;第一插塞,其延伸穿过有源层以耦接到位线;第二插塞,其形成在有源层与电容器之间,以将有源层耦接到电容器;以及字线,其在与有源层交叉的同时在与位线交叉的方向上延伸。半导体器件还可以包括隔离层,其围绕有源层的侧壁。隔离层可以包括:第一隔离层,其包括位于层叠线结构的两个侧壁上的气隙;以及第二隔离层,其形成在有源层的第二对侧壁上,其中,第一隔离层延伸以覆盖有源层的第一对侧壁。层叠线结构包括多个层叠线结构,并且第一隔离层设置在层叠线结构之间。有源层包括多个有源层,并且第二隔离层设置在所述有源层之间。第二插塞包括彼此间隔开的一对第二插塞,并且第二插塞直接与有源层直接接触。字线包括平面栅极、鳍式栅极、竖直栅极或掩埋栅极。

[0009] 根据本发明的又一实施例,一种用于制造半导体器件的方法包括:在衬底上方制备多个层叠线结构,每个层叠线结构包括位线和线型有源层;通过切割线型有源层形成多个岛型有源层;形成第一插塞,其穿过岛型有源层耦接到位线;在岛型有源层上方形成字线;形成第二插塞,其耦接到每个岛型有源层的两侧;以及形成分别耦接到第二插塞的多个电容器。

[0010] 通过下面结合附图的详细描述,本发明的这些特征和其他特征以及优点对于本领域的技术人员将变得显而易见。

### 附图说明

[0011] 图1A至图1D示出了根据本发明实施例的半导体器件。

[0012] 图2A至图13C示出了根据本发明实施例的用于制造半导体器件的方法。

- [0013] 图14A至图14D示出了用于形成衬底叠层的方法。
- [0014] 图15至图17是示出根据本发明的其他实施例的半导体器件的平面图。
- [0015] 图18A和图18B示出了图17中所示的字线。
- [0016] 图19A和图19B示出了根据本发明另一实施例的半导体器件。
- [0017] 图20是示出根据本发明另一实施例的半导体器件的立体图。

### 具体实施方式

[0018] 下面将参考附图更详细地描述本发明的各种实施例。然而,本发明可以以不同的形式实施,并且不应被解释为限于本文中所阐述的实施例。相反,提供这些实施例,使得本公开将是透彻和完整的,并将向本领域技术人员充分传达本发明的范围。贯穿本公开,在本发明的各个附图和实施例中,相似的附图标记指代类似的部件。

[0019] 应该理解,附图是所描述的设备简化示意图,并且可能不包括众所周知的细节,以避免混淆本发明的特征。另外,附图不一定按比例绘制,并且在某些情况下,可能已经放大了比例以便清楚地示出实施例的特征。

[0020] 还应注意,当第一层被称为在第二层“上方”或在衬底“上方”时,不仅指第一层直接形成在第二层或衬底上的情况,还指在第一层与第二层或衬底之间存在第三层的情况。当将第一层称为在第二层“上”或在衬底“上”时,是指第一层直接形成在第二层或衬底上的情况。

[0021] 还应当注意,在一个实施例中存在的特征可以与另一实施例的一个或多个特征一起使用,而不脱离本发明的范围。

[0022] 在本发明的以下实施例中,可以通过使用自对准掩埋位线而充分确保在字线上方用于形成电容器的面积。

[0023] 此外,可以通过使用完全耗尽的绝缘体上硅(FDSOI)衬底作为基底来形成包括掩埋位线的存储单元。

[0024] 本发明使得进一步减小形成1T1C(1-晶体管-1-电容器)结构所需的布局面积成为可能。本发明可以用于实现4F2 DRAM存储单元。

[0025] 图1A至图1D示出了根据本发明实施例的半导体器件。图1A是半导体器件的平面图,图1B是沿图1A的线A1-A1'截取的截面图,图1C是沿图1A的线A2-A2'截取的截面图,以及图1D是沿图1A的线A3-A3'截取的立体图。

[0026] 参考图1A至图1D,半导体器件100可以是存储单元阵列的一部分。半导体器件100可以包括多个存储单元。每个存储单元可以包括:位线103P;晶体管,其包括有源层105I,该有源层105I位于比位线103P高的水平处;以及电容器109,其位于比晶体管高的水平处。晶体管可以包括有源层105I和字线107。可以在有源层105I上方设置彼此平行的一对字线107。该对字线107可以与有源层105I交叉。

[0027] 可以在位线103P与有源层105I之间形成掩埋电介质线104P。半导体器件100还可以包括:穿过有源层105I与位线103P耦接的贯通插塞106以及分别与有源层105I的两侧耦接的一对竖直插塞108。贯通插塞106可以从在有源层105I的顶表面的水平以上的水平向下延伸穿过有源层105I并且穿过掩埋电介质线104P以接触位线103P。贯通插塞106的底表面可以与位线103P接触。贯通插塞106的底表面可以处于比位线103P的顶表面低的水平处。竖

直插塞108可以从有源层105I的表面向上延伸。

[0028] 位线103P可以沿第一方向D1延伸,并且字线107可以沿第二方向D2延伸。第一方向D1与第二方向D2可以彼此垂直,并且可以限定与衬底101的顶表面平行的平面。因此,当从顶部观看时,位线103P与字线107可以彼此垂直地交叉,但由于字线107形成在比位线103P的水平高的水平处,因此它们不会彼此接触。有源层105I可以形成在位线103P上方。有源层105I和位线103P可以在与由第一方向D1和第二方向D2限定的平面垂直的第三方向D3上彼此竖直地重叠。

[0029] 贯通插塞106可以是金属插塞121和硅插塞122的层叠结构。硅插塞122可以形成在金属插塞121上。金属插塞121可以由基于金属的材料形成。例如,金属插塞121可包含钛、钛氮化物、钨氮化物、钨、钛硅化物、钨硅化物或它们的组合。硅插塞122可以包含多晶硅。例如,硅插塞122可以包含掺杂有诸如磷和砷的N型杂质的掺杂多晶硅。贯通插塞106可以与有源层105I和位线103P直接接触。有源层105I和位线103P可以经由贯通插塞106彼此电连接。贯通插塞106的顶表面可以位于比字线107低的水平处。贯通插塞106的顶表面可以位于与字线107的底部水平大约相同或比其稍低的水平处。

[0030] 缓冲线102P可以形成在位线103P下方,并且块体衬底101可以形成在缓冲线102P下方。缓冲线102P、位线103P和掩埋电介质线104P可以顺序地层叠在块体衬底101上方。在一个实施例中,缓冲线102P和掩埋电介质线104P可以包含硅氧化物。位线103P可以具有被掩埋在掩埋电介质线104P与缓冲线102P之间的形状。位线103P与块体衬底101可以通过缓冲线102P而彼此绝缘。

[0031] 缓冲线102P、位线103P和掩埋电介质线104P可以具有相同的形状。缓冲线102P、位线103P和掩埋电介质线104P可以在第一方向D1和第二方向D2上共同延伸。从顶视图的角度来看,缓冲线102P、位线103P和掩埋电介质线104P可以具有在第一方向D1上延伸的线形状。缓冲线102P、位线103P和掩埋电介质线104P可以具有相同的宽度,所述宽度被限定为它们在第二方向D2上的尺寸。位线103P位于缓冲线102P与掩埋电介质线104P之间的这种结构也可以被称为掩埋位线结构,并且位线103P可以被称为掩埋位线。

[0032] 从块体衬底101突出的突出部101P可以形成在缓冲线102P的下方。突出部101P和块体衬底101可以包含相同的材料。可以通过对块体衬底101的部分刻蚀来形成突出部101P。突出部101P可以具有与缓冲线102P、位线103P和掩埋电介质线104P相同的形状。突出部101P可以具有在第一方向D1上延伸的形状。在相邻的突出部101P之间的距离D11可以足够大以阻断相邻的位线103P之间的干扰。

[0033] 可以在相邻的位线103P之间形成第一隔离层111。第一隔离层111可以包括保护材料112、隔离材料113和气隙114。保护材料112可以包含硅氧化物。隔离材料113可以包含低介电材料。隔离材料113可以包含硅氧化物、硅氮化物或它们的组合。气隙114可以形成在隔离材料113中。气隙114可以减小相邻的位线103P之间的寄生电容。可以在相邻的有源层105I之间形成第二隔离层116。

[0034] 可以在一个位线103P上方形成多个有源层105I。相邻的有源层105I可以彼此间隔开。每个有源层105I可以是岛状的。从顶视图的角度来看,每个有源层105I可以是矩形或椭圆形的。在第二方向D2上,每个有源层的宽度可以与位线103P的宽度相同。每个有源层105I可以包括与贯通插塞106耦接的第一源极/漏极区125和与竖直插塞108耦接的第二源极/漏

极区126。第一源极/漏极区125可以与穿通插塞106直接接触并且第二源极/漏极区126可以直接接触竖直插塞108。由于掩埋电介质线104P位于有源层105I与位线103P之间,因此可以在SOI衬底基底的上方形成包括有源层105I的晶体管。另外,有源层105I可以通过掩埋电介质线104P、第一隔离层111和第二隔离层116与位线103P绝缘。掩埋电介质线104P可以比有源层105I厚。因此,可以在FDSOI(完全耗尽的氧化物上硅)衬底基底上方形成包括有源层105I的晶体管。

[0035] 字线107可以在与位线103P和有源层105I交叉的第二方向D2上延伸。字线107可以形成在相对应的有源层105I上方。每个字线107可以位于在穿通插塞106与竖直插塞108之间的有源层105I上方。一对字线107可以位于在两个竖直插塞108之间的一个有源层105I上方。

[0036] 每个竖直插塞108的底端可以具有与对应的有源层105I的角边缘接触的角架形状。每个竖直插塞108的底端可以具有含水平部分和竖直部分的角架形状。具体地,每个竖直插塞108的底端的水平部分的底表面可以接触对应的有源层105I的顶表面。每个竖直插塞108的底端的竖直部分可以穿透第二隔离层116以接触掩埋电介质线104P和对应的有源层105I的侧边缘。竖直插塞108的上端可以在第一方向D1上延伸,以在竖直方向D3上与对应的字线107部分重叠,而不接触对应的字线107。竖直插塞108可以包含具有N型杂质的多晶硅。第一源极/漏极区125和第二源极/漏极区126可以包含从穿通插塞106和竖直插塞108扩散的杂质。例如,当穿通插塞106和竖直插塞108包含掺杂有杂质的多晶硅时,可以通过退火等使所述杂质从穿通插塞106和竖直插塞108扩散到有源层105I的内部。

[0037] 可以在每个竖直插塞108上方形成电容器109。电容器109可以是三维结构。例如,电容器109可以是柱形、圆筒形或它们的组合。由于穿通插塞106未位于相邻的电容器109之间,因此在电容器109之间的空间可以足够窄。因此,通过增大在第一方向D1上的电容器109的尺寸,每个电容器109的一部分可以延伸以与对应的字线107竖直地重叠。结果,由于每个电容器109的面积可以增大,因此其电容可以增大。在本发明的一些实施例中,可以通过将电容器109形成为椭圆形来进一步确保电容。

[0038] 图2A至图13C示出了根据本发明实施例的用于制造半导体器件的方法。

[0039] 图2A是示出衬底叠层101L的平面图,图2B是沿图2A所示的线A1-A1'截取的截面图,以及图2C是沿图2A所示的线A2-A2'截取的截面图。

[0040] 参考图2A至图2C,可以制备包括掩埋导电材料103的衬底叠层101L。可以按照块体衬底101、缓冲材料102、掩埋导电材料103、掩埋电介质材料104和半导体材料105的顺序来层叠衬底叠层101L。块体衬底101可以包括块体硅。掩埋导电材料103可以包含低电阻材料。例如,掩埋导电材料103可以包含半导体材料、金属、金属氮化物、金属硅化物或它们的组合。在本发明的实施例中,掩埋导电材料103可以包含金属,例如钨。在本发明的另一实施例中,掩埋导电材料103可以包括钛氮化物与钨的叠层。在又一实施例中,掩埋导电材料103可以包括“TiN/W/TiN”叠层,其中顺序地层叠有第一氮化钛、钨和第二氮化钛。半导体材料105可以包含多晶硅。缓冲材料102和掩埋电介质材料104可以包含电介质材料。缓冲材料102和掩埋电介质材料104可以包含硅氧化物。

[0041] 稍后将参考图14A至图14D来描述形成衬底叠层101L的方法。

[0042] 图3A是示出通过利用第一掩模的衬底叠层的刻蚀工艺的平面图,图3B是沿图3A所

示的线A1-A1' 截取的截面图,以及图3C是沿图3A所示的线A2-A2' 截取的截面图。

[0043] 参考图3A至图3C,可以在衬底叠层101L上方形成第一掩模M1。第一掩模M1可以包括光致抗蚀剂图案。第一掩模M1可以具有线和间隔的形状。例如,第一掩模M1可以包括在第一方向D1上延伸的多个掩模线。掩模线可以被形成为在第二方向D2上彼此间隔开。通过掩模线之间的间隔可以部分地暴露在下部中的下半导体材料105。

[0044] 可以利用第一掩模M1来刻蚀衬底叠层101L的一部分。可以顺序地刻蚀半导体材料105、掩埋电介质材料104、掩埋导电材料103和缓冲材料102。在刻蚀缓冲材料102之后,可以使块体衬底101的顶表面部分地凹陷。

[0045] 作为上述刻蚀工艺的结果,可以形成层叠线结构P1。层叠线结构P1可以具有在第一方向D1上延伸的线形状。第一沟槽T1可以限定在层叠线结构P1之间。

[0046] 每个层叠线结构P1可以按照缓冲线102P、掩埋导线103P、掩埋电介质线104P和半导体线105P的顺序而被层叠。层叠线结构P1还可以包括突出部101P,突出部101P通过使块体衬底101凹陷而形成在缓冲线102P下方。缓冲线102P、掩埋导线103P、掩埋电介质线104P和半导体线105P中的每个可以通过刻蚀缓冲材料102、掩埋导电材料103、掩埋电介质材料104和半导体材料105来形成。

[0047] 在下文中,掩埋导线103P可以简称为“位线103P”。半导体线105P可以在后续工艺中被切断以形成有源层105I。在这方面,半导体线105P可以被称为“初步有源层”。

[0048] 根据本发明的另一实施例,层叠线结构P1可以在倾斜的方向上图案化。结果,位线103P和半导体线105可以在与第一方向D1和第二方向D2交叉的对角线方向上延伸。

[0049] 图4A是示出用于形成间隙填充材料的工艺的平面图,图4B是沿图4A所示的线A1-A1' 截取的截面图,以及图4C是沿图4A所示的线A2-A2' 截取的截面图。

[0050] 参考图4A至图4C,可以去除第一掩模M1。

[0051] 随后,可以形成间隙填充材料111'。间隙填充材料111'可以填充层叠线结构P1之间的第一沟槽T1,并且可以覆盖层叠线结构P1的上部。间隙填充材料111'可以包含电介质材料。

[0052] 间隙填充材料111'可以包括保护材料112、隔离材料113和气隙114。

[0053] 保护材料112可以被共形地形成以与层叠线结构P1的两个侧壁和顶表面在一条线上。保护材料112也可以覆盖衬底101中未被层叠线结构P1覆盖的暴露顶表面。保护材料112可以包含超低温氧化物(ULTO)。例如,保护材料112可以包含硅氧化物。可以通过氧化工艺形成保护材料112。

[0054] 隔离材料113可以形成在保护材料112上。隔离材料113可以使相邻的层叠线结构P1彼此绝缘。隔离材料113可以包含硅氧化物、硅氮化物或它们的组合。在本发明的该实施例中,隔离材料113可以由硅氮化物形成。

[0055] 隔离材料113可以填充层叠线结构P1之间的包括保护材料112的第一沟槽T1。隔离材料113可以包括气隙114。气隙114可以减小相邻的层叠线结构P1之间的寄生电容。在另一实施例中,隔离材料113可以被形成为在层叠线结构P1的上部中具有悬垂部(overhang),并且通过悬垂部可以容易地形成气隙114。当隔离材料113被形成为具有悬垂部时,气隙114可以被调整为位于相邻的位线103P之间。悬垂部可以通过隔离材料的非共形沉积来形成。

[0056] 保护材料112和隔离材料113可以覆盖半导体线105P的上部。

[0057] 图5A是示出利用第二掩模的切割工艺的平面图,图5B是沿图5A所示的线A1-A1'截取的截面图,以及图5C是沿图5A所示的线A2-A2'截取的截面图。

[0058] 参考图5A至图5C,可以在隔离材料113上方形成第二掩模M2。第二掩模M2可以在与层叠线结构P1交叉的第二方向D2上延伸。第二掩模M2可以具有比层叠线结构P1大的宽度。第二掩模M2可以用作切割掩模。第二掩模M2可以包括光致抗蚀剂图案。

[0059] 可以通过利用第二掩模M2来执行切割工艺。例如,可以通过使用第二掩模M2作为刻蚀阻挡层来切割半导体线105P。可以通过切割半导体线105P来形成彼此分离的多个有源层105I。有源层105I可以是岛型图案并且形成规则阵列。切割工艺可以通过干法刻蚀工艺来执行。

[0060] 在切割半导体线105P之前,可以通过使用第二掩模M2作为刻蚀阻挡层来刻蚀隔离材料113和保护材料112。

[0061] 在用于形成有源层105I的对半导体线105P的切割工艺之后,可以在相邻的有源层105I之间形成第二沟槽T2,并且第二沟槽T2的底表面可以暴露掩埋电介质线104P。

[0062] 有源层105I可以与位线103P竖直地重叠。掩埋电介质线104P可以位于有源层105I与位线103P之间,并且掩埋电介质线104P可以使有源层105I与位线103P彼此电绝缘。

[0063] 在用于形成有源层105I的切割工艺之后,掩埋电介质线104P的一部分可以被暴露,并且在位线103P上方的掩埋电介质线104P可以未被切割而保留。

[0064] 图6A是示出形成第二隔离层的工艺的平面图,图6B是沿图6A所示的线A1-A1'截取的截面图,以及图6C是沿图6A所示的线A2-A2'截取的截面图。

[0065] 参考图6A至图6C,在去除第二掩模M2之后,可以在有源层105I上方形成填充第二沟槽T2的隔离氧化物116'。隔离氧化物116'可以间隙填充在相邻的有源层105I之间的第二沟槽T2,并且隔离氧化物116'的一部分可以覆盖有源层105I的顶表面。隔离氧化物116'可以包含硅氧化物。

[0066] 随后,隔离氧化物116'可以被平坦化。因此,隔离氧化物116可以保留在相邻的有源层105I之间的第二沟槽T2中。在下文中,隔离氧化物116可以被称为第二隔离层116。第二隔离层116可以用于将相邻的有源层105I彼此电隔离。

[0067] 隔离氧化物116'的平坦化可以被执行,使得有源层105I的顶表面被暴露,并且间隙填充材料111'的保护材料112的一部分和隔离材料113的一部分可以被去除。因此,可以保留其表面的水平与有源层105I的顶表面相同的间隙填充材料111。在下文中,间隙填充材料111'可以被称为第一隔离层111。

[0068] 从A1-A1'方向的角度并且从A2-A2'方向的角度来看,第二隔离层116可以保留在相邻的有源层105I之间。

[0069] 第二隔离层116的底表面可以与掩埋电介质线104P接触。第二隔离层116的顶表面与有源层105I的顶表面可以位于相同的水平处。第一隔离层111和第二隔离层116可以彼此耦接。

[0070] 相邻的有源层105I可以通过第一隔离层111和第二隔离层116彼此绝缘。有源层105I可以具有被第一隔离层111和第二隔离层116隔离的岛形状。有源层105I可以在垂直于位线103P的方向上彼此重叠。多个有源层105I可以沿着第一方向D1而位于一个位线103P上方,并且可以通过第二隔离层116彼此绝缘。有源层105I可以沿着第二方向D2而位于每个位

线103P上方,并且在第二方向D2上相邻的有源层105I可以通过第一隔离层111彼此绝缘。

[0071] 图7A是示出栅极结构形成工艺的平面图,图7B是沿图7A所示的线A1-A1'截取的截面图,以及图7C是沿图7A所示的线A2-A2'截取的截面图。

[0072] 参考图7A至图7C,可以在有源层105I上方形成包括字线107的栅极结构WL。栅极结构WL可以包括栅极电介质层117、字线107与栅极覆盖层118的叠层。

[0073] 可以使有源层105I的上表面氧化以形成栅极电介质层117。可以通过层叠字线导电材料和栅极覆盖材料,以及然后通过利用栅极掩模(未示出)刻蚀字线导电材料和栅极覆盖材料来形成字线107和栅极覆盖层118。字线107可以包含多晶硅、金属、金属氮化物、金属硅化物或它们的组合。栅极覆盖层118可以包含硅氧化物、硅氮化物或它们的组合。

[0074] 字线107可以在与位线103P交叉的第二方向D2上延伸。一对字线107可以位于一个有源层105I上方。设置在第二方向D2上的一对字线107可以与多个有源层105I交叉。字线107可以具有位于有源层105I上方的平面形状。例如,可以通过字线107而在有源层105I中形成平面沟道。

[0075] 图8A是示出第一接触孔形成工艺的平面图,图8B是沿图8A所示的线A1-A1'截取的截面图,以及图8C是沿图8A所示的线A2-A2'截取的截面图。

[0076] 参考图8A至图8C,可以在栅极结构WL上方及其之间形成层间电介质材料119。可以在层间电介质材料119上方形成第三掩模M3。第三掩模M3可以包括光致抗蚀剂图案。第三掩模M3可以具有与第一接触孔120相对应的开口。该开口可以是圆形的。

[0077] 可以通过利用第三掩模M3来刻蚀栅极结构WL之间的层间电介质材料119。结果,可以形成与每个有源层105I相对应的第一接触孔120。

[0078] 随后,可以使第一接触孔120延伸。可以通过刻蚀在栅极结构WL之间的有源层105I和掩埋电介质线104P来使第一接触孔120延伸。结果,第一接触孔120可以暴露位线103P的顶表面。

[0079] 每个第一接触孔120可以穿透其相对应的有源层105I。每个第一接触孔120可以穿透其相对应的有源层105I的中间部分。

[0080] 根据本发明的另一实施例,第三掩模M3可以具有线形开口。在这种情况下,可以通过与栅极结构WL的侧壁和第一隔离层111的侧壁自对准来执行用于形成第一接触孔120的刻蚀工艺。换言之,可以通过第三掩模M3的线形开口而以线的形式来刻蚀层间电介质材料119,并且可以通过与第一隔离层111的侧壁的自对准来刻蚀通过层间电介质材料119的刻蚀而被暴露的有源层105I。第三掩模M3可以具有与用于形成栅极结构WL的栅极掩模颠倒的形式。

[0081] 图9A是示出穿通插塞形成工艺的平面图,图9B是沿图9A所示的线A1-A1'截取的截面图,以及图9C是沿图9A所示的线A2-A2'截取的截面图。

[0082] 参考图9A至图9C,穿通插塞106可以填充第一接触孔120。穿通插塞106可以包括金属插塞121和硅插塞122。金属插塞121可以包括钛、钛氮化物与钨的叠层。钛和钛氮化物可以用作阻挡金属,并且钨可以用作插塞。硅插塞122可以包含掺杂多晶硅。金属插塞121可以通过沉积金属材料并执行回蚀工艺来形成。硅插塞122可以通过沉积多晶硅并执行回蚀工艺来形成。硅插塞122可以是掺杂有高浓度N型杂质的掺杂多晶硅。硅插塞122可以直接接触有源层105I。结果,杂质可以通过随后的退火工艺而从硅插塞122扩散到有源层105I的内

部。

[0083] 穿通插塞106可以电连接到位线103P。

[0084] 根据本发明的另一实施例,在形成金属插塞121之前,可以在第一接触孔120的侧壁上形成保护间隔物。可以通过沉积硅氮化物并执行回蚀工艺来形成保护间隔物。保护间隔物可以形成在第一接触孔120的侧壁上,同时暴露位线103P的表面。保护间隔物的上部可以位于暴露有源层105I的侧面的水平处,从而提供在穿通插塞106与有源层105I之间的电连接。当形成保护间隔物时,至少硅插塞122与有源层105I可以彼此直接接触。

[0085] 根据本发明的另一实施例,穿通插塞106的硅插塞122可以包括上升的源极/漏极(RSD)结构。例如,可以通过使用有源层105I作为晶种执行硅的外延生长来形成硅插塞122,并且通过外延生长工艺可以形成掺杂有杂质的多晶硅。在这种情况下,硅插塞122的顶表面可以位于比有源层105I高的水平处。

[0086] 根据本发明的另一实施例,金属硅化物可以形成在有源层105I的被第一接触孔120暴露的侧表面上。结果,可以补偿有源层105I的临界尺寸(CD)损失。

[0087] 图10A是示出插塞覆盖层形成工艺的平面图,图10B是沿图10A所示的线A1-A1'截取的截面图,以及图10C是沿图10A所示的线A2-A2'截取的截面图。

[0088] 参考图10A至图10C,可以在穿通插塞106上方形成插塞覆盖层123。可以通过在穿通插塞106上方沉积插塞覆盖材料并执行平坦化工艺来形成插塞覆盖层123。可以执行插塞覆盖材料的平坦化,直到暴露栅极结构WL(即,栅极覆盖层)的顶表面。结果,层间电介质材料119也可以被平坦化。插塞覆盖层123可以包含硅氮化物或硅氮氧化物等。插塞覆盖层123可以有助于确保形成随后的电容器所需的刻蚀裕度。

[0089] 如上所述,穿通插塞106与插塞覆盖层123的叠层可以填充第一接触孔120。插塞覆盖层123可以保护穿通插塞106免受后续工艺的影响。

[0090] 图11A是示出第二接触孔形成工艺的平面图,图11B是沿图11A所示的线A1-A1'截取的截面图,以及图11C是沿图11A所示的线A2-A2'截取的截面图。

[0091] 参考图11A至图11C,可以形成第四掩模M4。第四掩模M4可以包括光致抗蚀剂图案。可以通过利用第四掩模M4来刻蚀栅极结构之间的层间电介质材料119。在刻蚀层间电介质材料119之后,可以刻蚀第一隔离层111的一部分和第二隔离层116的一部分。结果,可以形成第二接触孔124。第二接触孔124可以暴露有源层105I的两侧。第二接触孔124可以暴露有源层105I的两侧的顶表面和边缘。从顶视图的角度来看,第二接触孔124可以具有矩形或椭圆形的形状。第二接触孔124的底表面可以暴露掩埋电介质线104P的顶表面。

[0092] 第二接触孔124的上端可以延伸以与栅极结构WL竖直地重叠。例如,当通过利用第四掩模M4来刻蚀层间电介质材料119时,栅极覆盖层118的一部分可以被刻蚀。即使刻蚀了栅极覆盖层118的一部分,字线107也不会被暴露。第二接触孔124可以具有其上部比其下部宽的形状。

[0093] 图12A是示出竖直插塞形成工艺的平面图,图12B是沿图12A所示的线A1-A1'截取的截面图,以及图12C是沿图12A所示的线A2-A2'截取的截面图。

[0094] 参考图12A至图12C,竖直插塞108可以填充第二接触孔124。可以通过沉积导电材料并执行回蚀工艺来形成竖直插塞108。竖直插塞108可以包含掺杂多晶硅、金属、金属氮化物、金属硅化物或它们的组合。竖直插塞108可以包含掺杂有高浓度N型杂质的掺杂多晶硅。

[0095] 根据本发明的另一实施例, 竖直插塞108可以包括上升的源极/漏极(RSD)结构。例如, 可以通过使用有源层105I作为晶种执行硅的外延生长以形成竖直插塞108, 并且通过外延生长可以形成掺杂有杂质的多晶硅。

[0096] 随后, 可以执行退火工艺。通过退火工艺, 杂质可以从硅插塞122和竖直插塞108扩散到有源层105I中。

[0097] 例如, N型杂质可以从硅插塞122扩散以形成第一杂质区125。此外, N型杂质可以从竖直插塞108扩散到有源层105I的两侧的内部以形成第二杂质区126。

[0098] 第一杂质区125和第二杂质区126可以被称为源极/漏极区。第一杂质区125和位线103P可以通过穿通插塞106电连接。

[0099] 第一杂质区125、第二杂质区126、有源层105I和字线107可以形成晶体管。字线107可以具有平面栅极结构。根据本发明的另一实施例, 字线107可以具有鳍式栅极结构或垂直栅极结构。

[0100] 有源层105I的厚度可以被形成为小于约10nm, 以便形成FDSOI MOSFET结构。

[0101] 图13A是示出电容器形成工艺的平面图, 图13B是沿图13A所示的线A1-A1'截取的截面图, 以及图13C是沿图13A所示的线A2-A2'截取的截面图。

[0102] 电容器109可以形成在每个竖直插塞108上方。电容器109和第二杂质区126可以通过竖直插塞108电连接。电容器109可以是包括柱状结构、圆筒形结构或它们的组合的三维结构。由于穿通插塞106没有位于相邻的电容器109之间的空间中, 因此可以使电容器109之间的空间充分地变窄。因此, 可以增大电容器109的尺寸, 使得电容器109的一部分可以延伸以与字线107竖直地重叠。结果, 由于还可以确保电容器109的面积, 因此可以增大电容。

[0103] 此外, 由于位线103P被形成为掩埋在低于电容器109的水平处, 因此可以容易地布置电容器109。因此, 可以提高存储单元的集成度。

[0104] 图14A至图14D示出了用于形成衬底叠层101L的方法。

[0105] 参考图14A, 可以制备第一衬底10A和第二衬底10B。

[0106] 第一衬底10A可以包括第一块体硅11、第一电介质材料12和导电材料13。可以在第一块体硅11的顶表面上方形形成第一电介质材料12。可以在第一电介质材料12的顶表面上方形形成导电材料13。第一电介质材料12可以直接接触第一块体硅11, 并且导电材料13可以直接接触第一电介质材料12。

[0107] 可以在第一块体硅11之上沉积第一电介质材料12。可以通过化学气相沉积或原子层沉积等来沉积第一电介质材料12。第一电介质材料12可以包含氧化物, 例如, 硅氧化物。根据本发明的另一实施例, 第一电介质材料12可以是第一块体硅11暴露于空气的天然氧化物。

[0108] 可以在第一电介质材料12之上沉积导电材料13。可以通过化学气相沉积、原子层沉积等来沉积导电材料13。导电材料13可以包含基于金属的材料。导电材料13可以包含金属、金属氮化物、金属硅化物或它们的组合。例如, 导电材料13可以包括阻挡金属层13A和13C以及金属层13B。阻挡金属层13A和13C可以包括下阻挡金属层13A和上阻挡金属层13C。阻挡金属层13A和13C可以包括钛与氮化钛的叠层(Ti/TiN)。金属层13B可以位于下阻挡金属层13A与上阻挡金属层13C之间。金属层13B可以包含钨。导电材料13可以是Ti/TiN与钨(Ti/TiN/W/Ti/TiN)的叠层。

[0109] 第一衬底10A还可以包括第一接合材料14。可以在导电材料13的顶表面上方形成第一接合材料14。第一接合材料14可以包含电介质材料。第一接合材料14可以包含硅氧化物。第一接合材料14可以比第一电介质材料12厚。

[0110] 如上所述,第一衬底10A可以包括顺序叠层(sequential stack),其中以所述顺序层叠了第一块体硅11、第一电介质材料12、导电材料13和第一接合材料14。

[0111] 第二衬底10B可以包括第二块体硅21和第二接合材料22。可以将氢离子21H注入到第二块体硅21的表面中。可以在第二块体硅21的顶表面上方形成第二接合材料22。第二接合材料22可以包含电介质材料。第二接合材料22可以包含硅氧化物。氢离子21H可以维持在第一衬底10A与第二衬底10B之间的强接合力。

[0112] 参考图14B,第一衬底10A和第二衬底10B可以通过衬底对衬底的接合工艺30而彼此接合。

[0113] 第一衬底10A的第一接合材料14可以接合至第二衬底10B的第二接合材料22。

[0114] 因此,如图14C所示,可以形成初始衬底叠层10M'。初始衬底叠层10M'可以具有第一衬底10A与第二衬底10B之间的接合结构。彼此接合的第一接合材料14与第二接合材料22的叠层可以简称为掩埋电介质材料31。

[0115] 初始衬底叠层10M'的最上表面可以对应于第二衬底10B的背面。第二衬底10B的背面可以是第二块体硅21的背面。

[0116] 参考图14D,可以执行退火工艺。退火工艺可以在大约600°C下执行。

[0117] 随后,第二衬底10B的背面可以被平坦化32。作为平坦化32的结果,第二块体硅21的背面可以被平坦化。被平坦化的第二块体硅21可以具有约25nm至50nm的厚度。可以执行化学机械抛光(CMP)工艺以使第二块体硅21的背面平坦化32。平坦化32可以不暴露氢离子21H。

[0118] 在上述平坦化32工艺之后,可以形成薄衬底叠层10M。衬底叠层10M可以比初始衬底叠层10M'薄。

[0119] 衬底叠层10M可以包括第一块体硅11和第二块体硅21,并且导电材料13可以形成在第一块体硅11与第二块体硅21之间。

[0120] 导电材料13可以通过掩埋电介质材料31与第二块体硅21绝缘。导电材料13可以通过缓冲材料12与第一块体硅11绝缘。导电材料13可以具有掩埋在第一块体硅11与第二块体硅21之间的形状。

[0121] 作为衬底叠层10M的最上层的第二块体硅21可以被形成得极其薄。第二块体硅21可以具有约10nm或更小的厚度。薄的厚度可以抑制浮体效应。

[0122] 掩埋电介质材料31的厚度可以为约25nm或更小。

[0123] 衬底叠层10M可以对应于图2A的衬底叠层101L。衬底叠层10M的第一块体硅11可以对应于图2A的块体材料101。衬底叠层10M的第二块体硅21可以对应于图2A所示的半导体材料105。衬底叠层10M的导电材料13可以对应于图2A的导电材料103。衬底叠层10M的缓冲材料12可以对应于图2A的缓冲材料102。衬底叠层10M的掩埋电介质材料31可以对应于图2A的掩埋电介质材料104。

[0124] 图15是示出根据本发明另一实施例的半导体器件的平面图。

[0125] 参考图15,半导体器件200是存储单元的一部分,并且半导体器件200可以包括:位

线103P;有源层205I,其与位线103P在竖直方向上绝缘;穿通插塞106,其通过穿过有源层205I与位线103P耦接;一对字线107,其在有源层105I上方彼此平行;一对竖直插塞108,其分别与有源层205I的两侧耦接;以及电容器109,其在竖直插塞108上方彼此耦接。

[0126] 图1A中所示的有源层205I可以以规则阵列布置,而图15中所示的有源层205I可以以Z字形阵列布置。因此,穿通插塞106、竖直插塞108和电容器109也可以以Z字形阵列布置。

[0127] 此外,一些字线107可以在相邻的有源层205I之间穿过。

[0128] 根据本发明以上实施例的半导体器件100和半导体器件200可以应用于 $4F^2$  DRAM的存储单元。

[0129] 半导体器件100和200的晶体管可以是平面栅极晶体管。

[0130] 根据本发明的其他实施例,半导体器件100和200的晶体管可以包括竖直栅极晶体管或FinFET。

[0131] 图16是示出根据本发明另一实施例的半导体器件的截面图。

[0132] 参考图16,半导体器件300可以是存储单元的一部分,并且半导体器件300可以包括:水平有源层305I以及从水平有源层305I的两端竖直地延伸的柱型有源层305V。字线307V可以垂直于水平有源层305I而沿着柱型有源层305V的侧壁延伸。字线307V可以不接触水平有源层305I和柱型有源层305V。可以由字线307V在柱型有源层305V中限定竖直沟道。

[0133] 可以通过从水平有源层305I的侧面的外延生长来形成柱型有源层305V。根据本发明的另一实施例,可以通过增大初始有源层的厚度以及然后刻蚀初始有源层来形成柱型有源层305V和水平有源层305I。

[0134] 如上所述的字线307V可以是竖直栅极。

[0135] 图17是示出根据本发明另一实施例的半导体器件的立体图。

[0136] 参考图17,半导体器件400可以是存储单元的一部分,并且除字线407F之外的其他组成元件可以类似于图1A所示的半导体器件100的那些。

[0137] 字线407F可以具有与鳍式有源层405F交叉的形状。例如,相邻的鳍式有源层405F可以彼此隔开预定距离,并且字线407F可以被形成在相邻的鳍式有源层405F的上部中。

[0138] 掩埋电介质线104P可以被形成在鳍式有源层405F下方,并且位线103P可以形成在掩埋电介质线104P下方。缓冲线102P可以形成在位线103P的下方,并且块体衬底101可以形成在缓冲线102P的下方。缓冲线102P、位线103P和掩埋电介质线104P可以顺序地层叠在块体衬底101上方。缓冲线102P和掩埋电介质线104P可以包含硅氧化物。位线103P可以具有被掩埋在掩埋电介质线104P与缓冲线102P之间的形状。位线103P与块体衬底101可以通过缓冲材料102P彼此绝缘。

[0139] 图18A和图18B示出了图17中所示的字线。

[0140] 图18A是立体图,而图18B是沿图18A所示的线B-B'截取的截面图。

[0141] 参考图18A和图18B,可以在相邻的有源层105I之间形成包括凹陷R'的隔离层401,并且隔离层401的凹陷R'可以被凹陷到低于掩埋电介质线104P的顶表面。可以通过隔离层401的凹陷R'暴露鳍式有源层405F的顶表面和两个侧壁。隔离层401可以包含硅氮化物。隔离层401可以使相邻的位线103P彼此绝缘。隔离层401可以对应于本发明上述实施例的第一隔离层111。根据本发明的另一实施例,隔离层401可以在内部包括气隙(未示出)。

[0142] 为了形成隔离层401的凹陷R',在5A至图5C的有源层105I的切割工艺之后,可以使

第一隔离层111的一部分选择性地凹陷到预定深度。根据本发明的另一实施例,在形成图6A至图6C的第二隔离层116之后,可以使第一隔离层111的一部分选择性地凹陷到预定深度。

[0143] 字线407F可以被形成为与隔离层401的凹陷R'和鳍式有源层405F交叉。栅极电介质层117F可以形成在鳍式有源层405F的顶表面和侧壁上。可以通过使鳍式有源层405F的表面选择性地氧化来形成栅极电介质层117F。字线407F的一部分可以接触掩埋电介质线104P的侧壁。可以在相邻的字线407F之间形成穿透鳍式有源层405F的穿通插塞106。

[0144] 根据本发明的另一实施例,还可以在字线407F上方形成导电层402。导电层402可以填充在字线407F上方的相邻的鳍式有源层405F之间。

[0145] 如上所述,字线407F可以是鳍式栅极。

[0146] 图19A和图19B示出了根据本发明另一实施例的半导体器件500。图19A是半导体器件500的立体图,而图19B是沿图19A所示的线B-B'截取的截面图。

[0147] 参考图19A和图19B,半导体器件500可以是存储单元的一部分,并且除字线507D之外的半导体器件500的其他组成元件可以类似于图1A所示的半导体器件100的那些。

[0148] 字线507D可以具有与鳍式有源层505F交叉的形状。例如,相邻的鳍式有源层505F可以彼此隔开预定距离,并且字线507D可以被形成在相邻的鳍式有源层505F的上部中。

[0149] 字线507D可以是鳍式栅极,并且可以包括竖直部分507S和线部分507L。竖直部分507S可以形成在鳍式有源层505F的两个侧壁上。在第一方向D1上彼此相邻设置的竖直部分507S可以彼此分离。在第二方向D2上彼此相邻设置的竖直部分507S可以通过线部分507L彼此电连接。线部分507L可以在第二方向D2上延伸。竖直沟道可以通过竖直部分507S而形成在鳍式有源层505F中。

[0150] 为了形成竖直部分507S,第一隔离层111可以被凹陷到预定深度。掩埋电介质线104P也可以被凹陷到预定深度。由于第一隔离层111和掩埋电介质线104P被凹陷,因此可以限定鳍式有源层505F。栅极电介质层117F可以形成在鳍式有源层505F的两个侧壁和顶表面上。

[0151] 图20是示出根据本发明另一实施例的半导体器件600的立体图。

[0152] 参考图20,半导体器件600可以是存储单元的一部分,并且除字线601和鳍式有源层605F之外的半导体器件600的其他组成元件可以类似于图1A所示的半导体器件100的那些。

[0153] 可以在鳍式有源层605F中形成在第二方向D2上延伸的栅极沟槽(未给出附图标记)。字线601可以被掩埋在栅极沟槽中。字线601的顶表面可以与鳍式有源层605F的顶表面处于相同水平。字线601可以被称为“掩埋字线”。根据本发明的另一实施例,可以在形成字线601之前执行第一隔离层111的凹陷工艺,以使鳍式有源层605F具有鞍形鳍式结构(saddle fin structure)。

[0154] 根据本发明的另一实施例,字线601可以被掩埋在除上述实施例的鳍式有源层605F之外的岛状有源层105I中。在这种情况下,可以省略第一隔离层111的凹陷工艺。

[0155] 如上所述,字线601可以是掩埋栅极。

[0156] 根据本发明的实施例,可以通过在晶体管 and 电容器之下形成位线来减小存储单元的布局面积。

[0157] 根据本发明的实施例,可以通过使用自对准的掩埋位线来确保用于形成电容器的

工艺裕度。

[0158] 根据本发明的实施例,还可以通过增大电容器的尺寸来确保电容。

[0159] 尽管已经关于特定实施例描述了本发明,但是对于本领域技术人员显而易见的是,在不脱离如所附权利要求所限定的本发明的精神和范围的情况下,可以进行各种改变和修改。

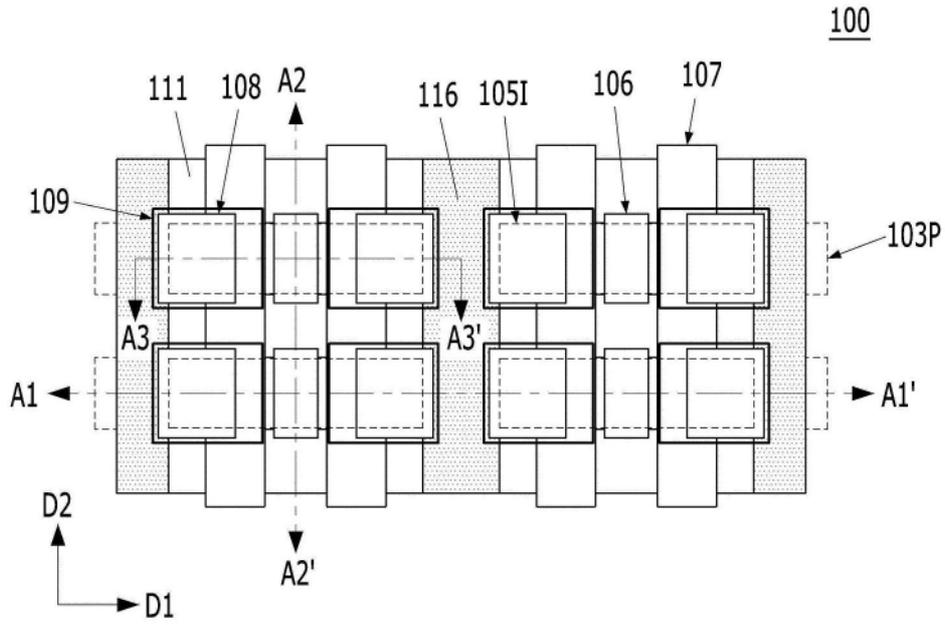


图1A

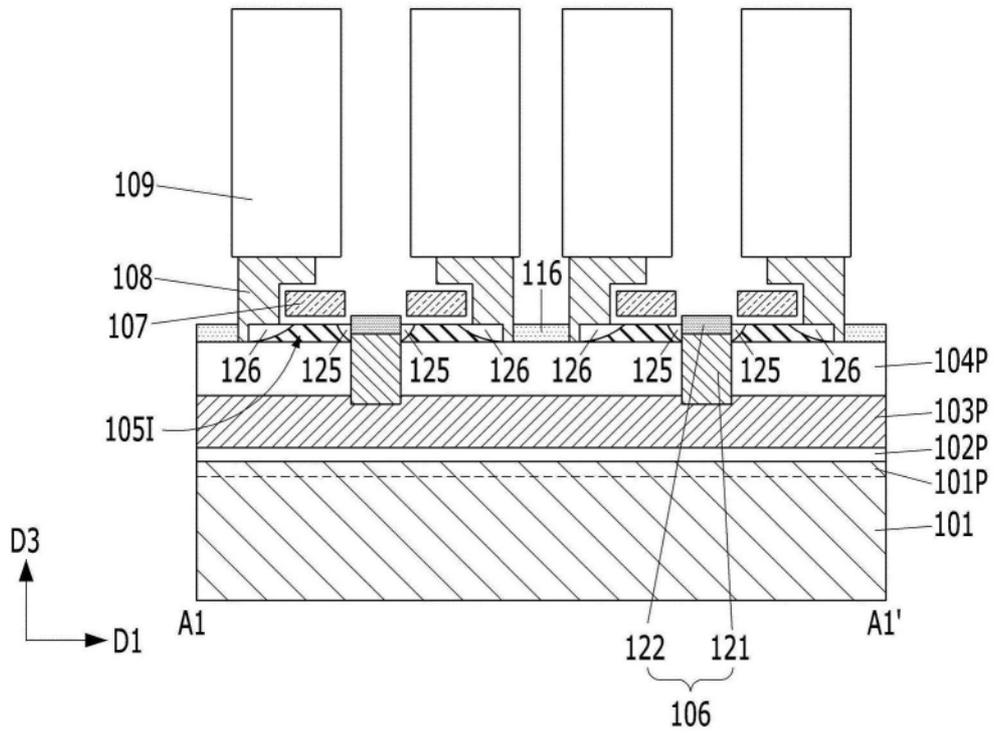


图1B

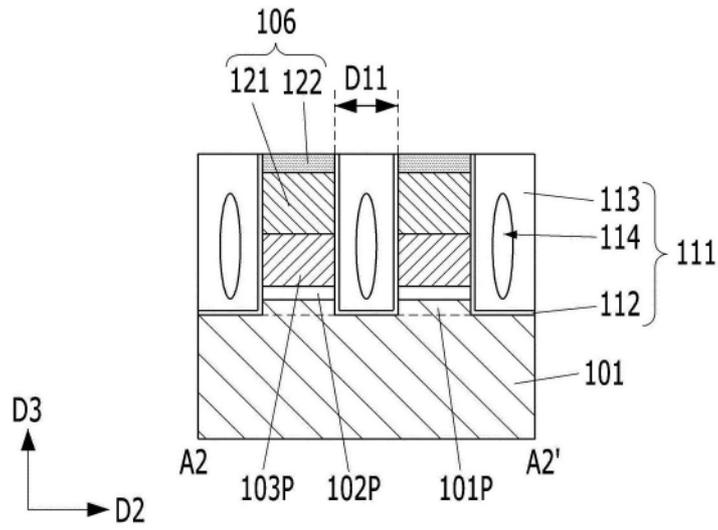


图1C

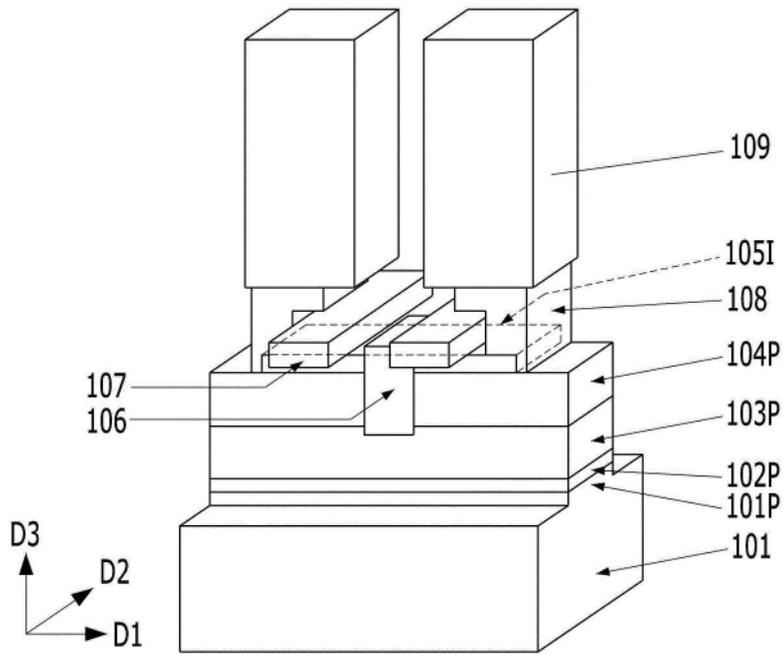


图1D

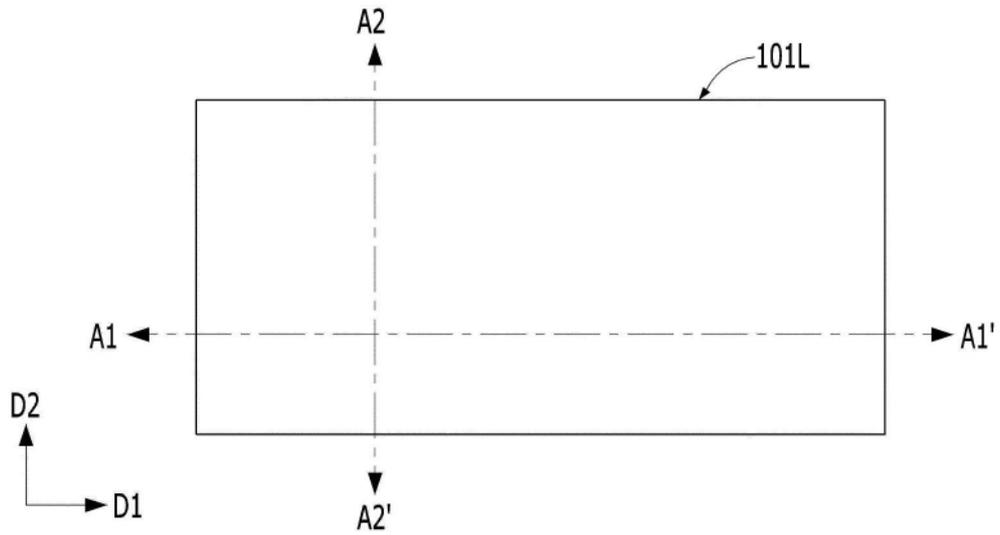


图2A

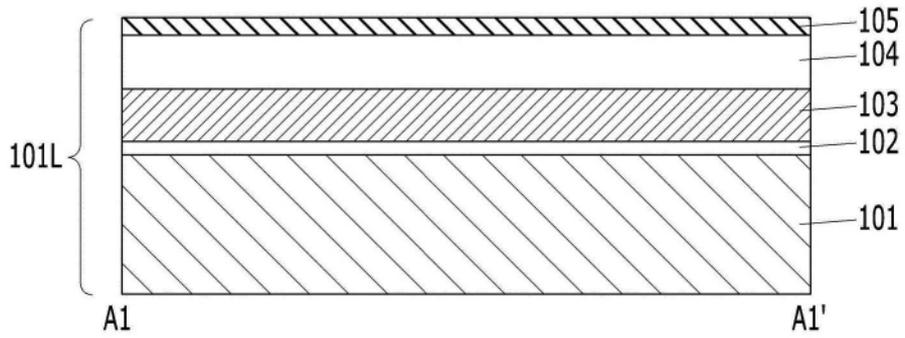


图2B

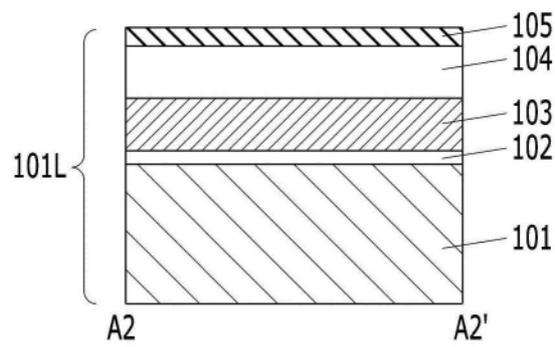


图2C

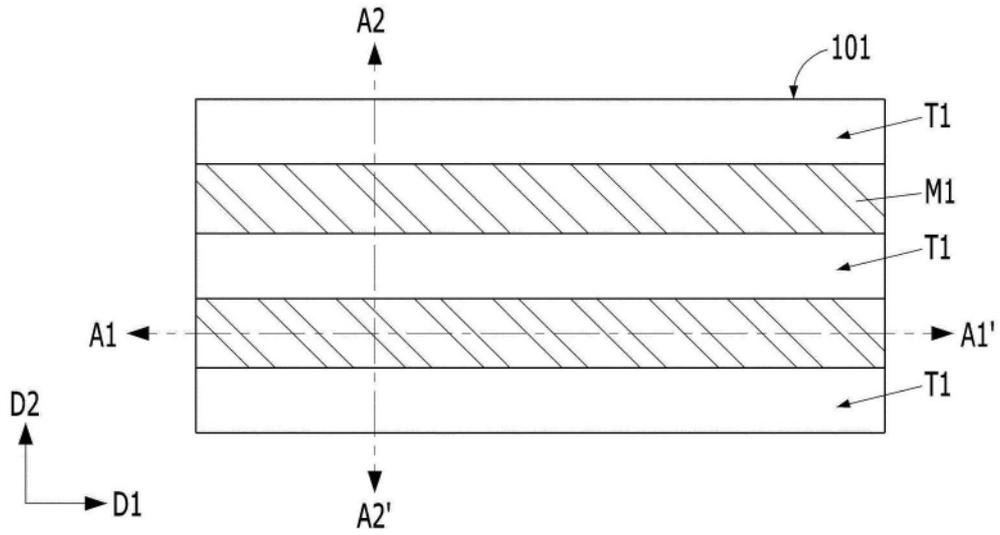


图3A

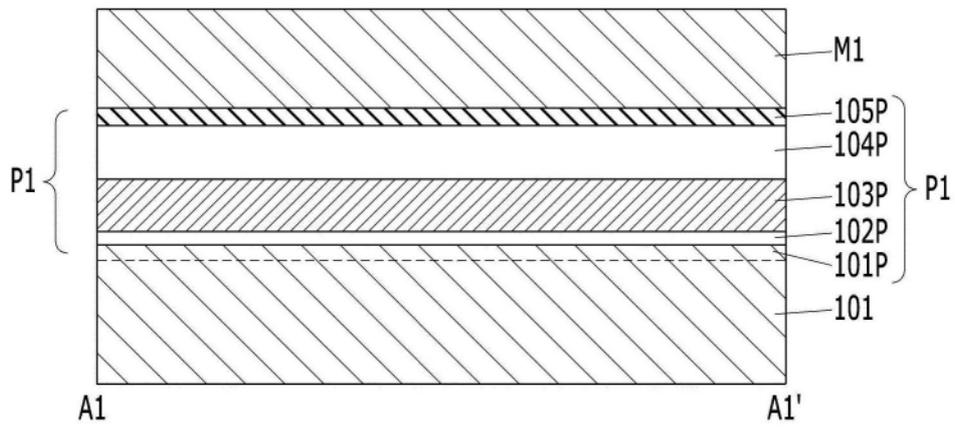


图3B

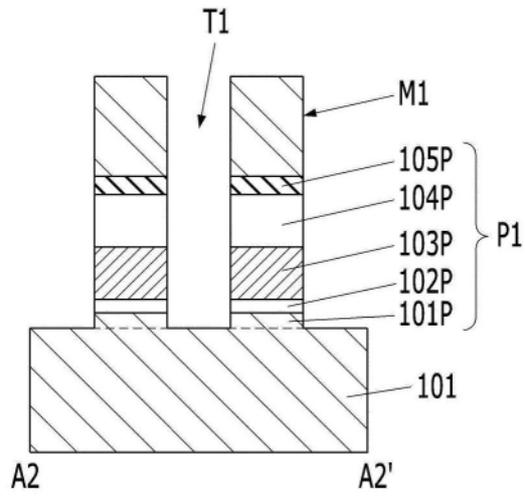


图3C

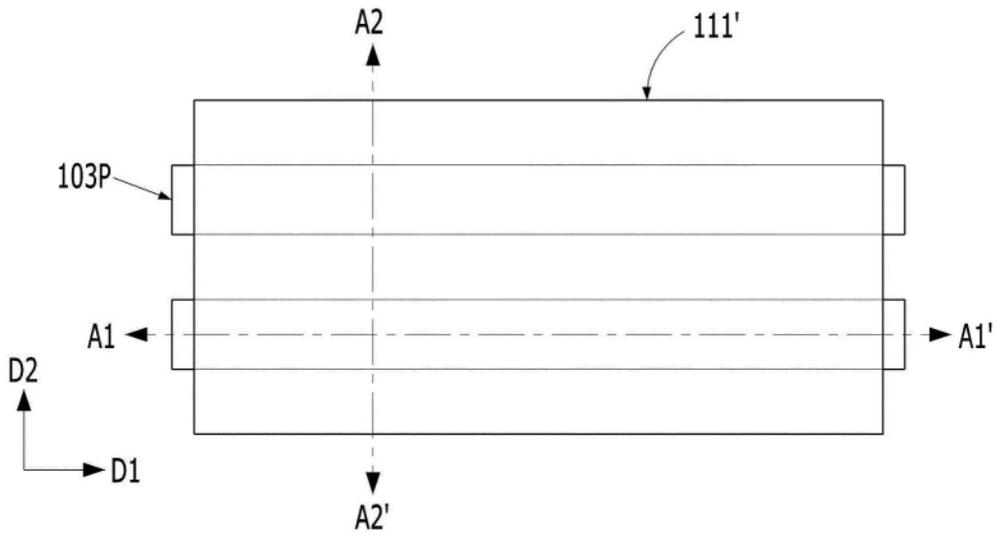


图4A

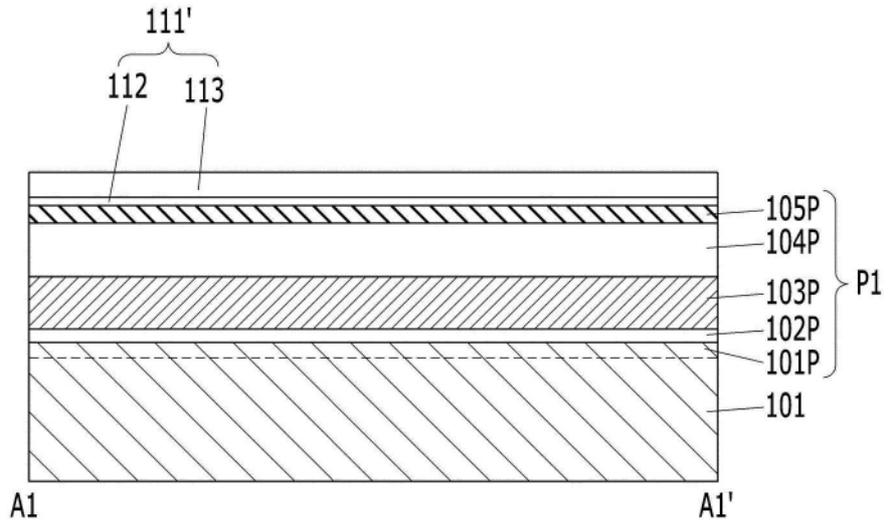


图4B

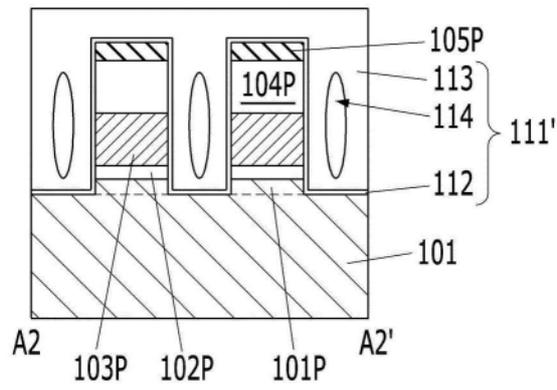


图4C

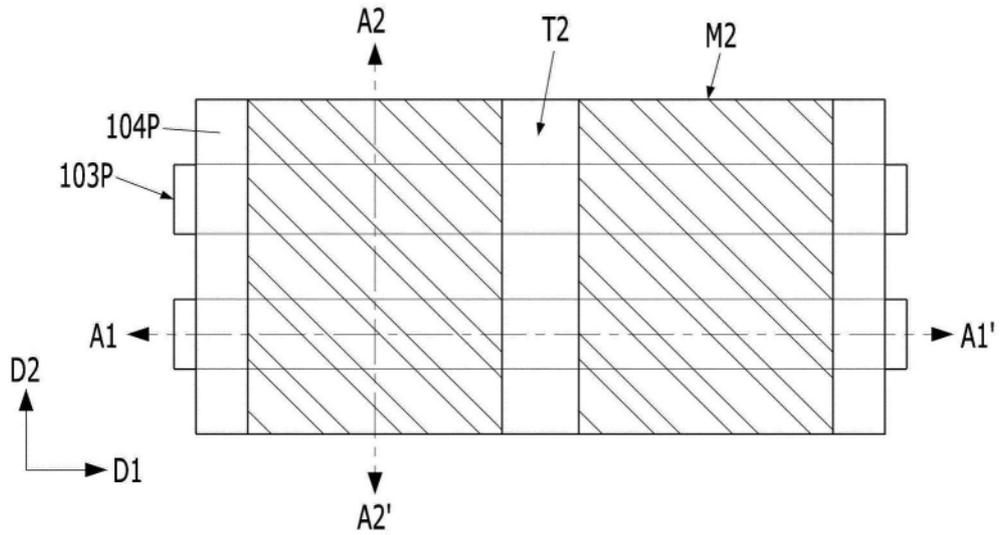


图5A

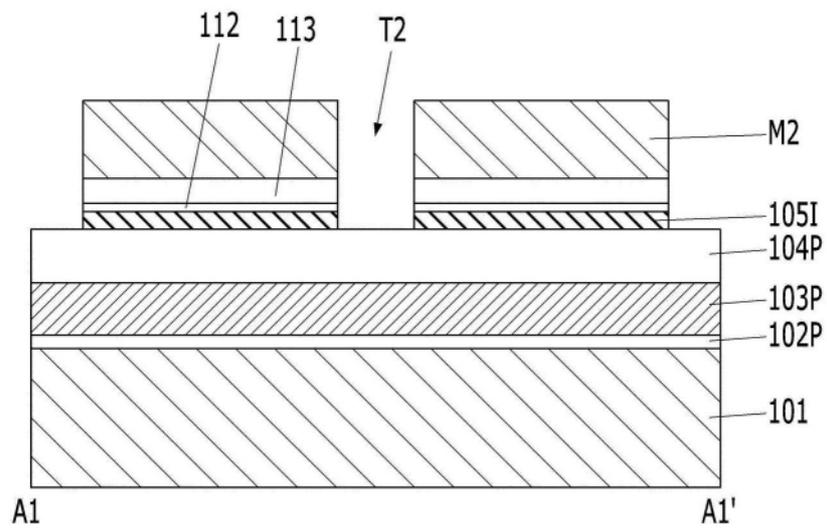


图5B

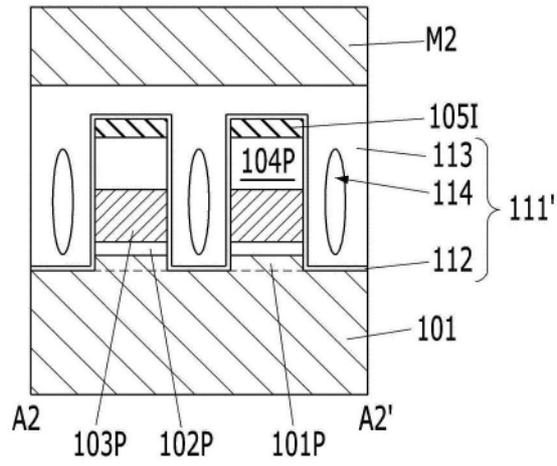


图5C

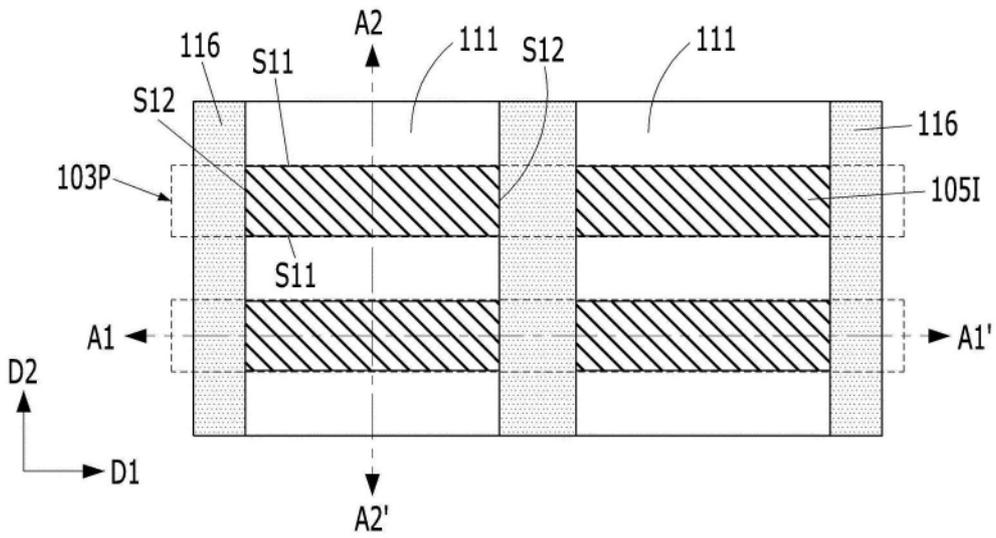


图6A

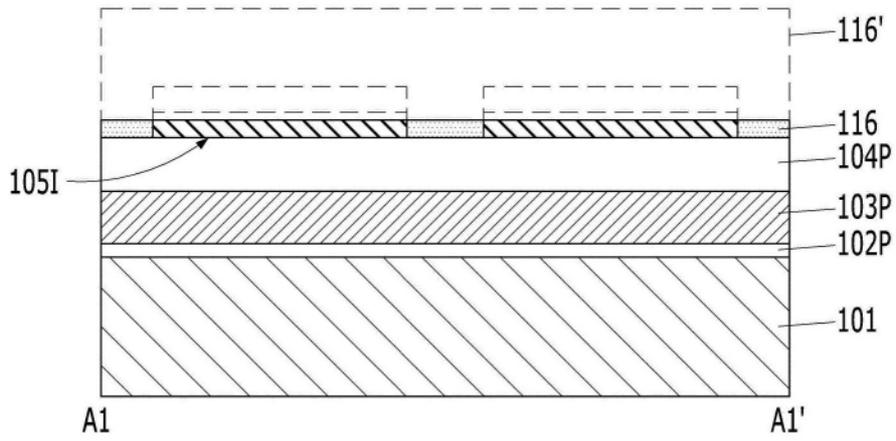


图6B

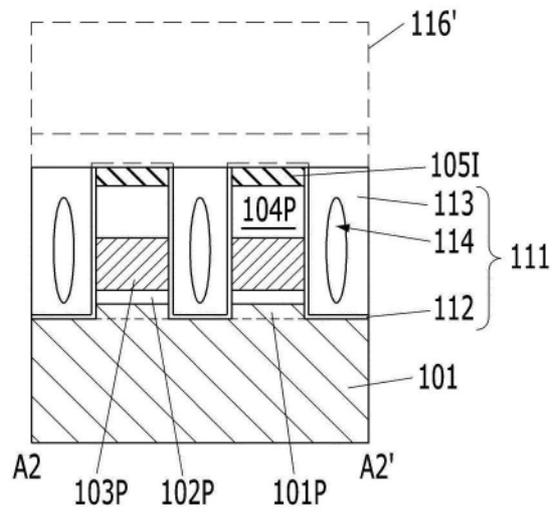


图6C

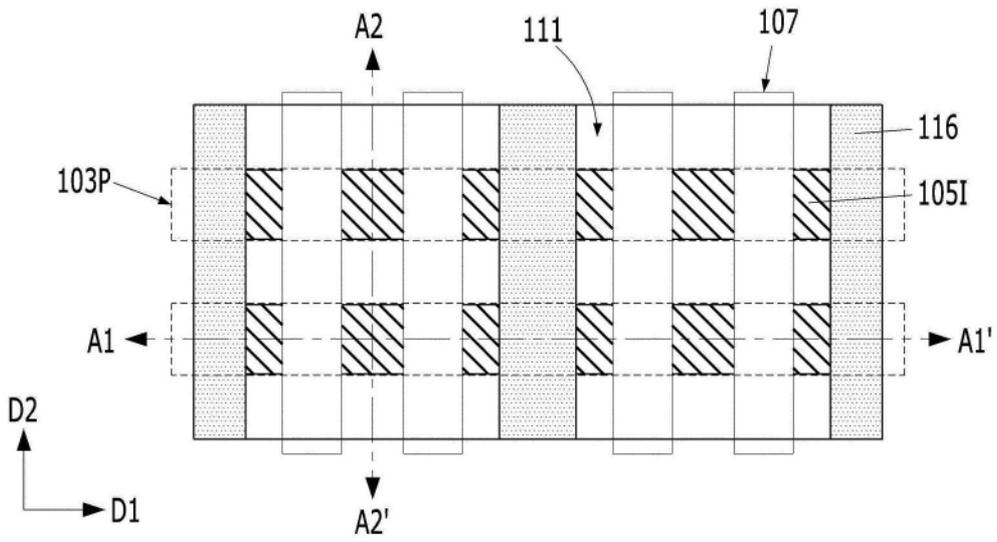


图7A

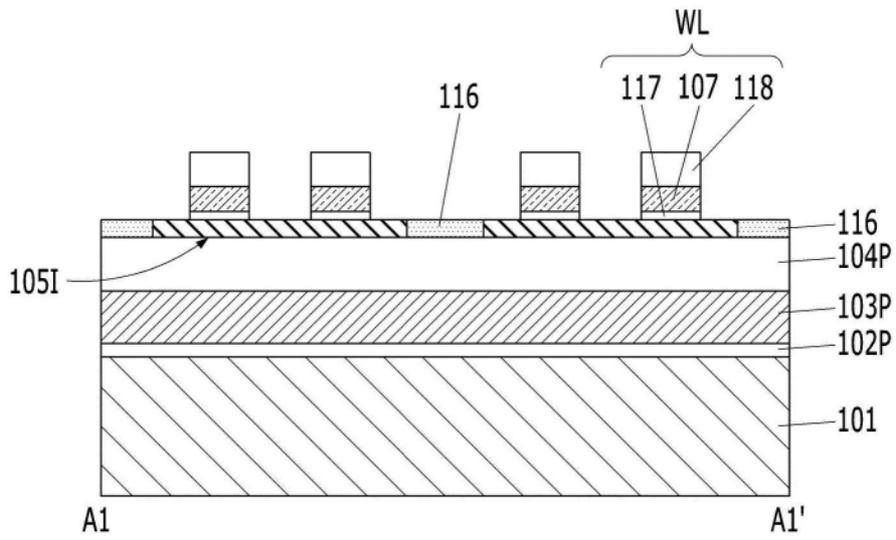


图7B

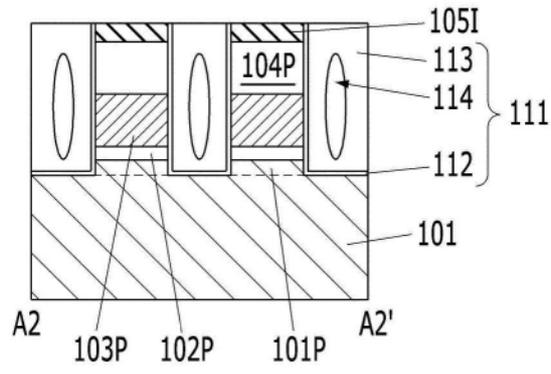


图7C

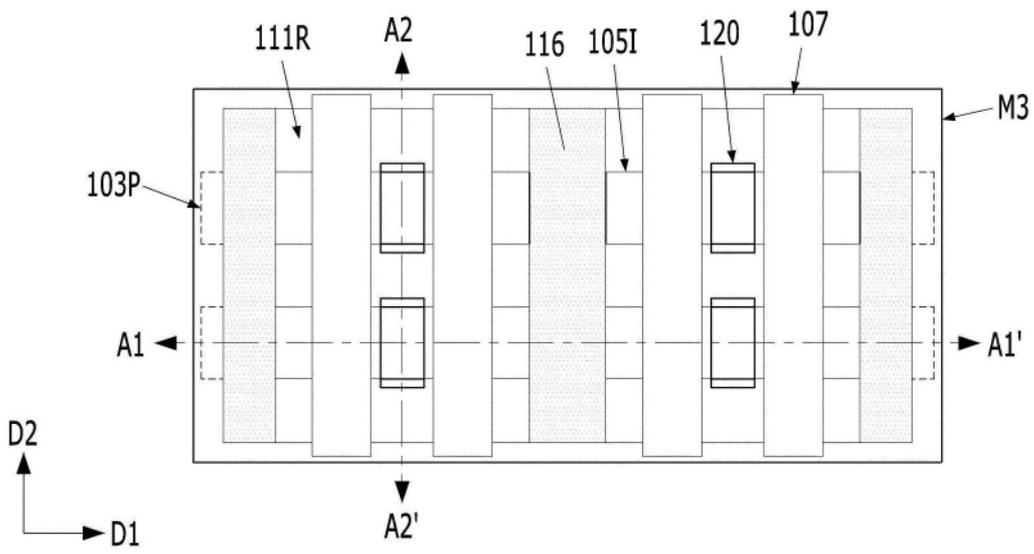


图8A

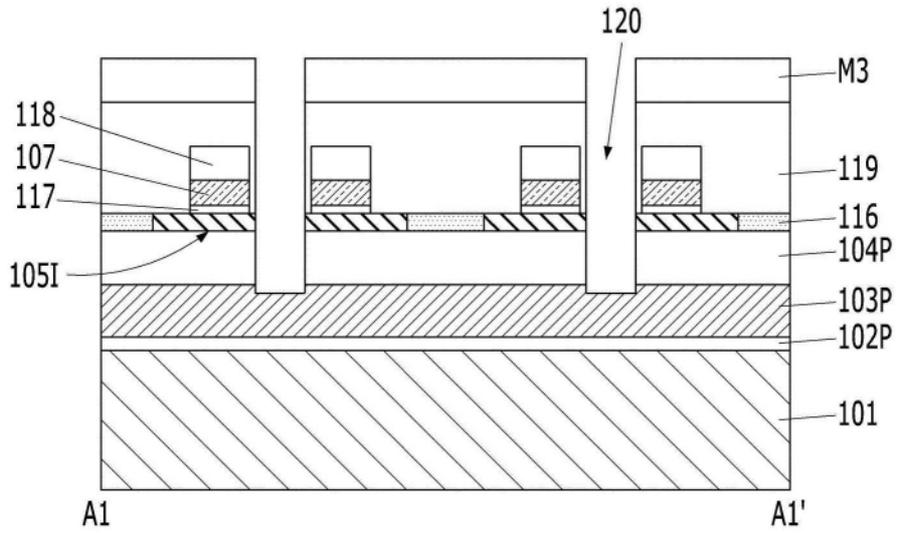


图8B

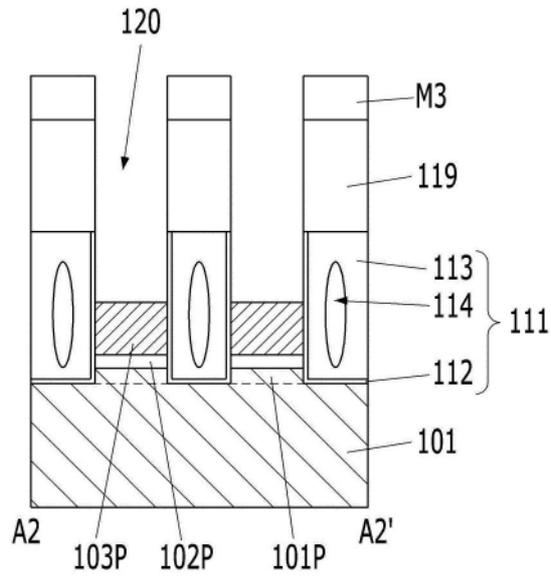


图8C

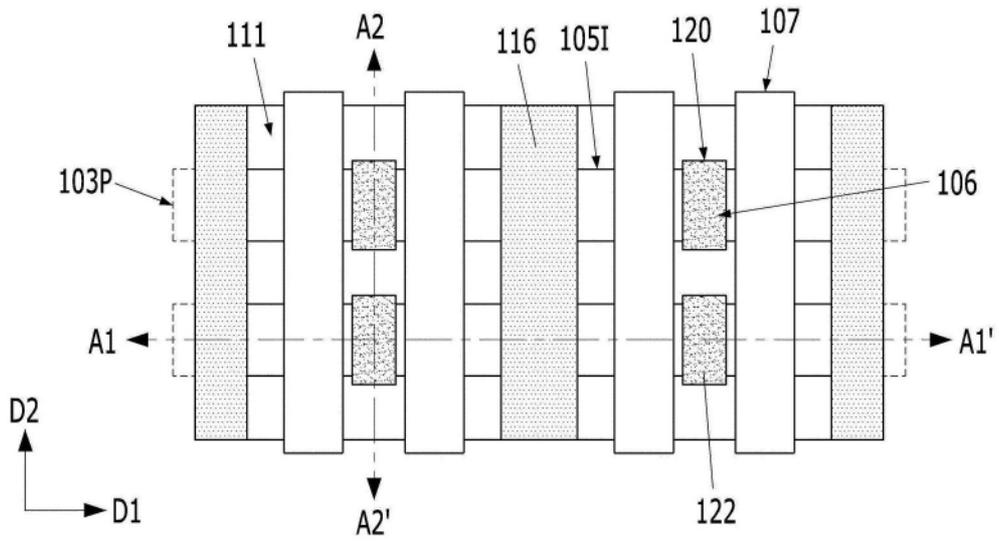


图9A

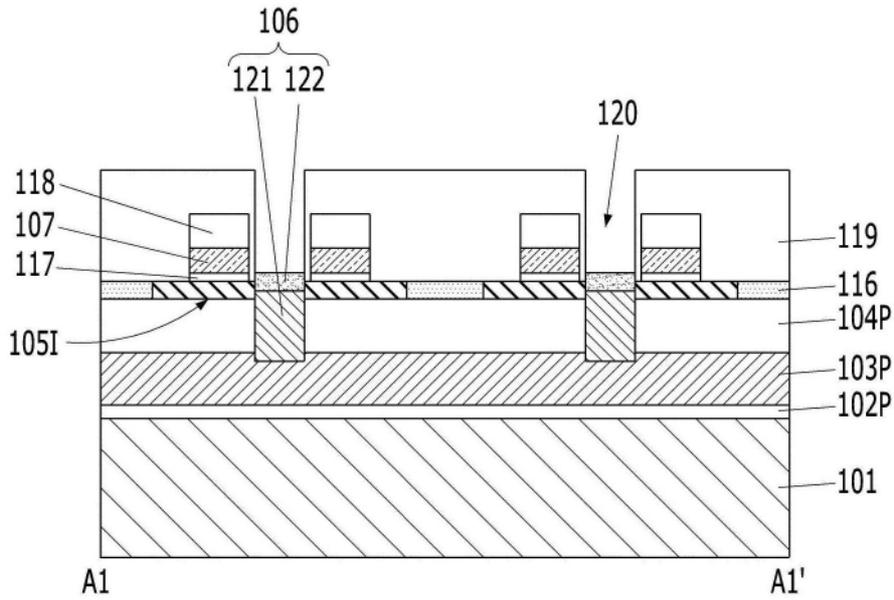


图9B

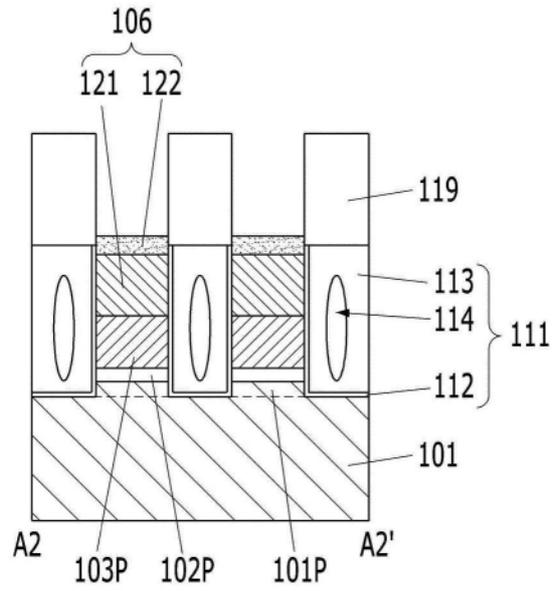


图9C

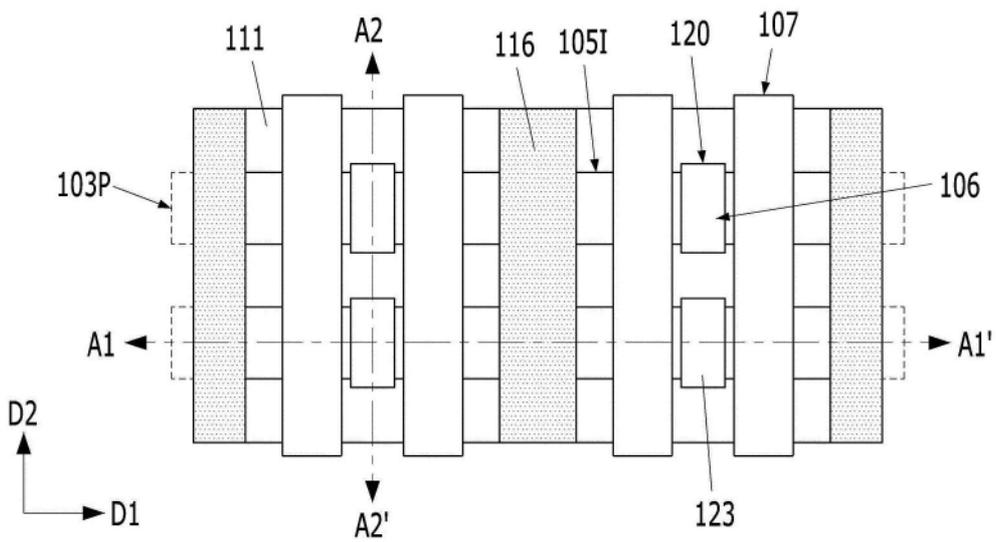


图10A

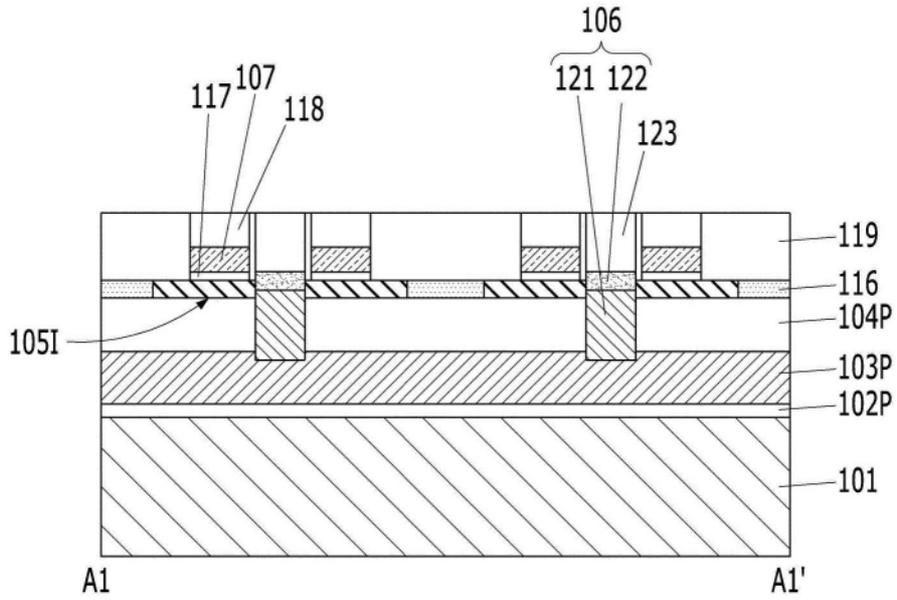


图10B

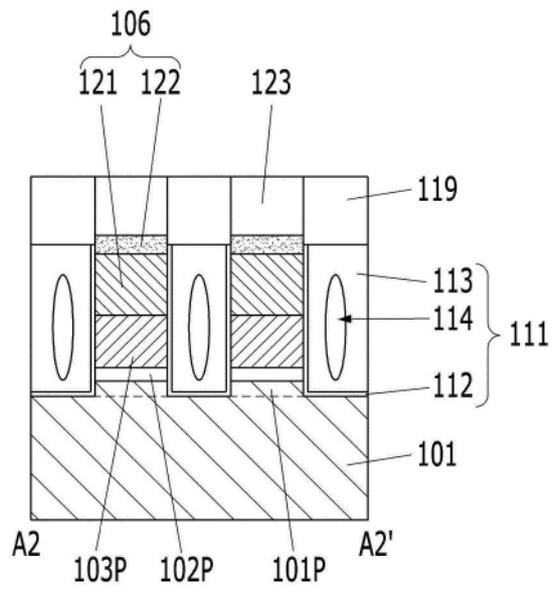


图10C

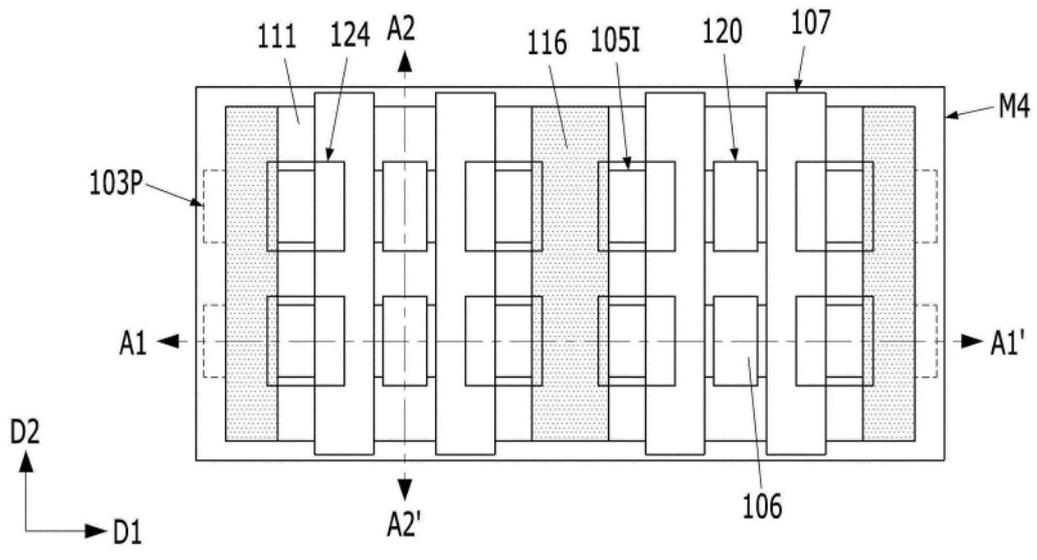


图11A

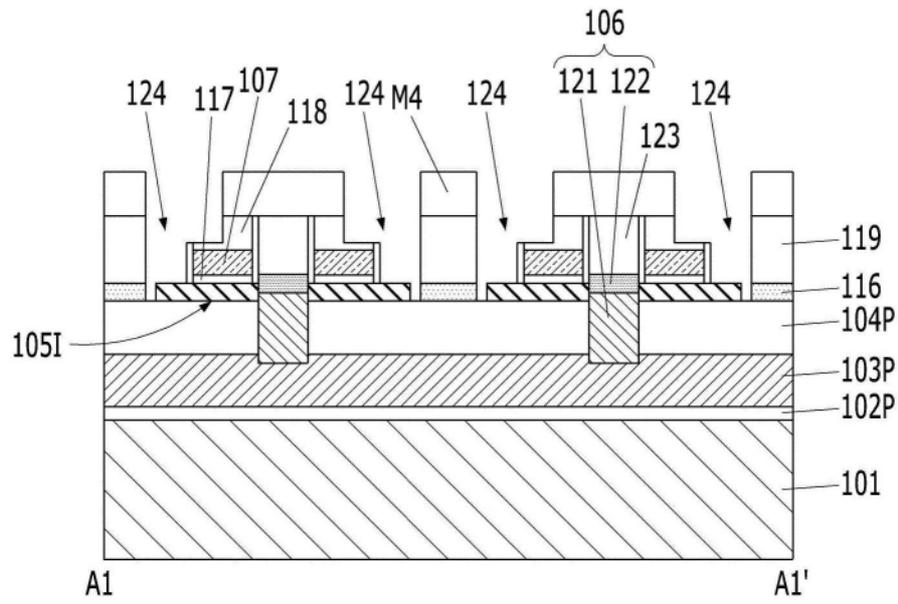


图11B

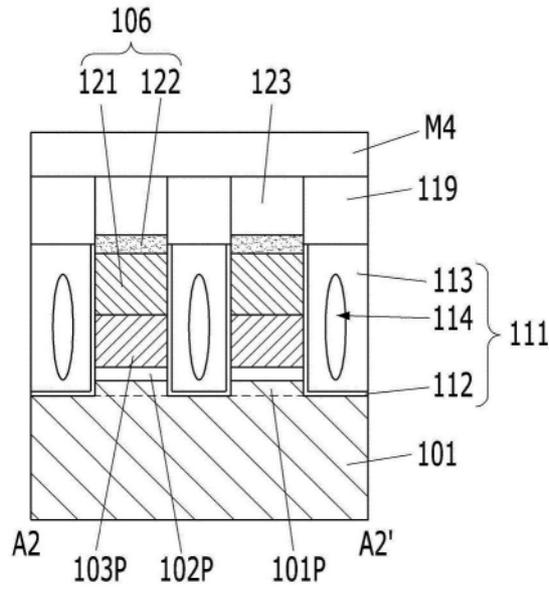


图11C

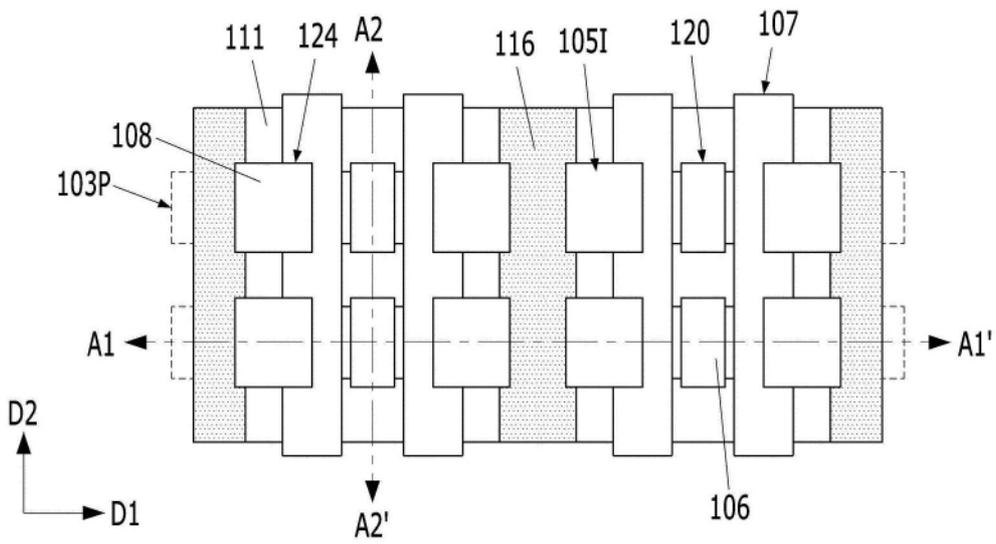


图12A

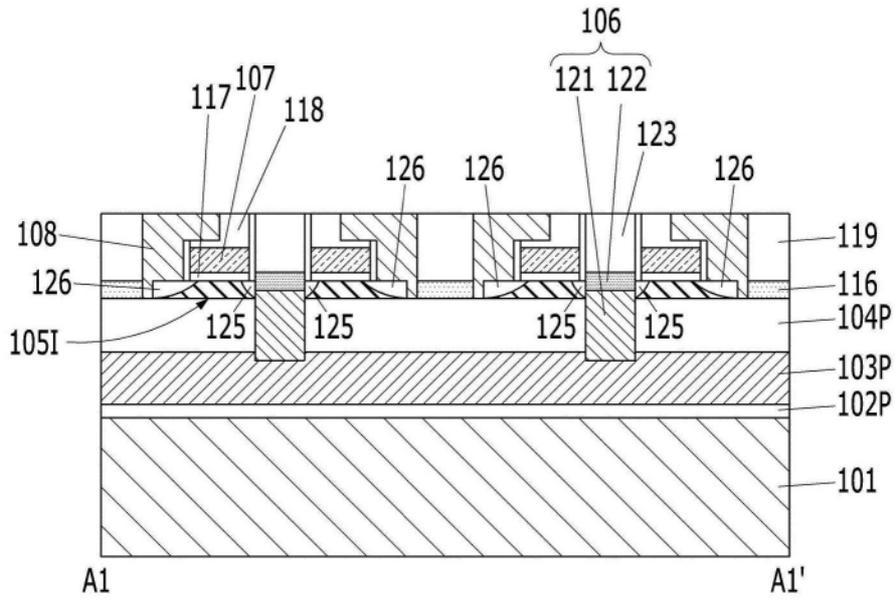


图12B

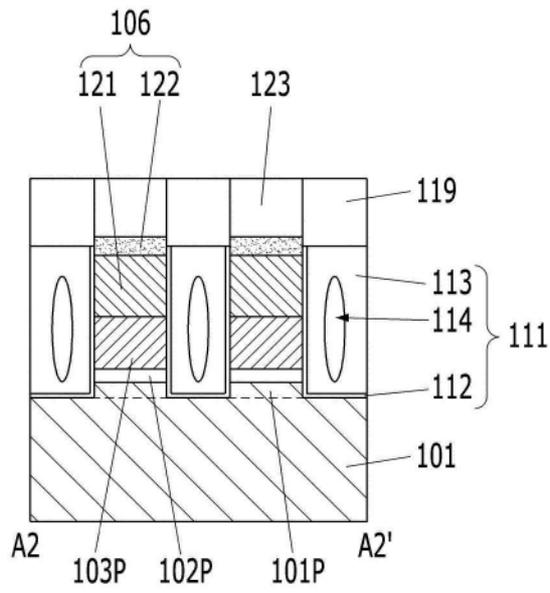


图12C

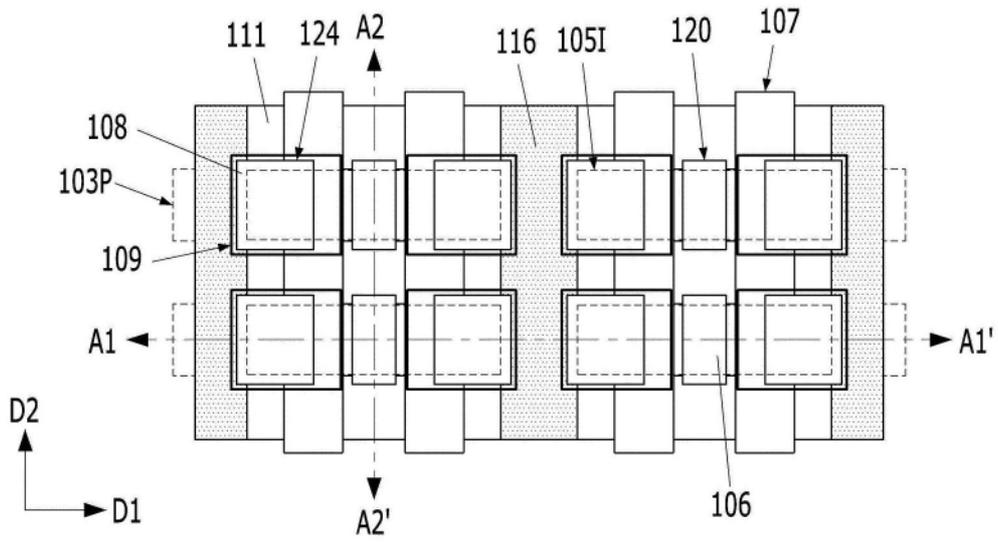


图13A

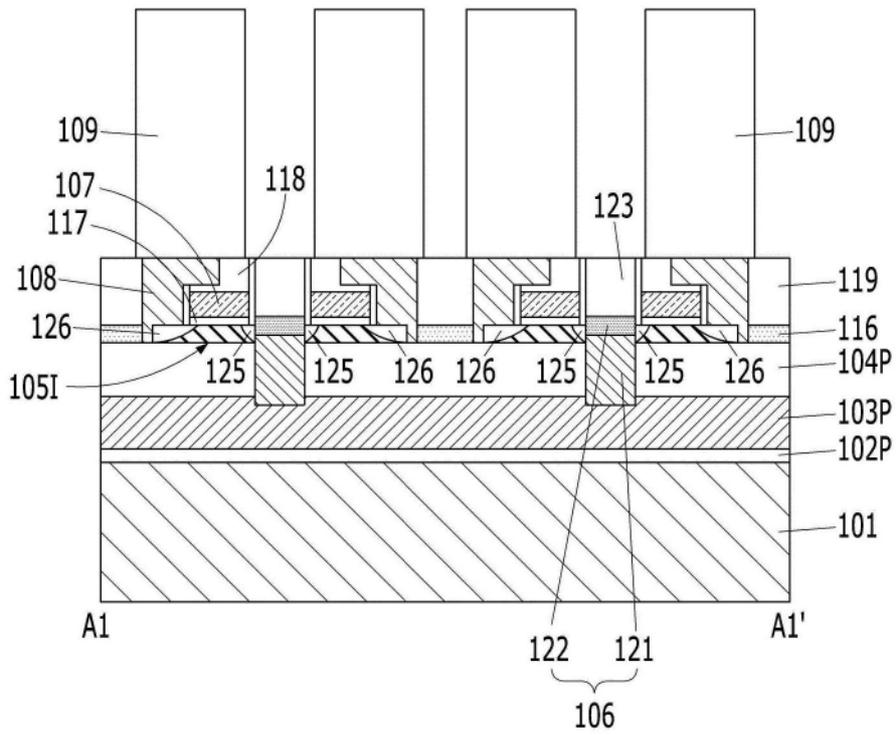


图13B

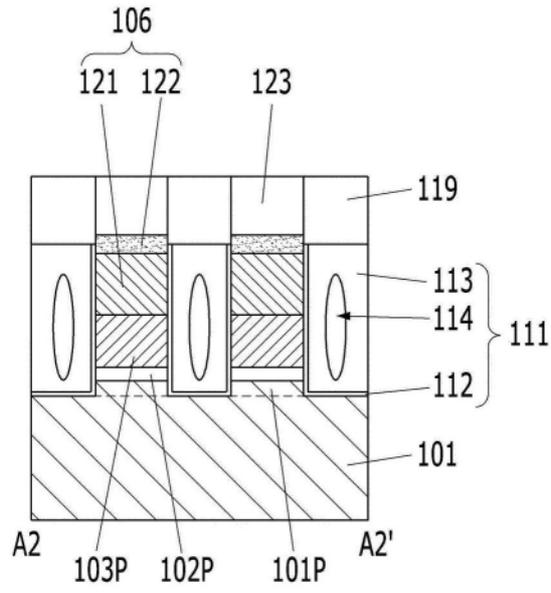


图13C

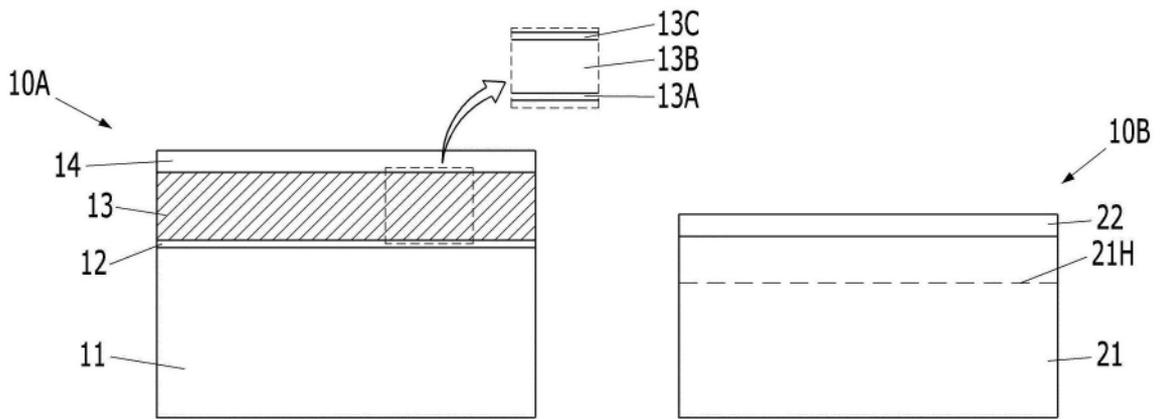


图14A

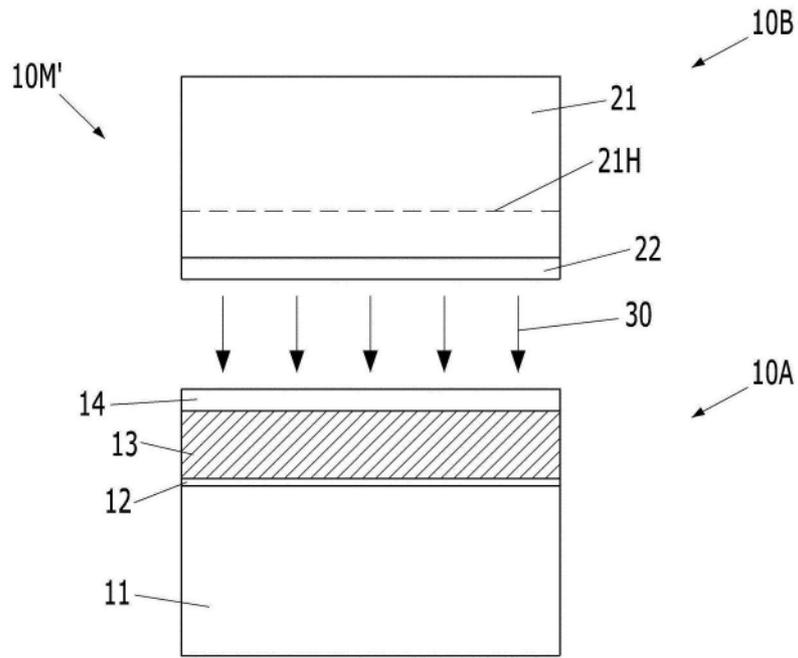


图14B

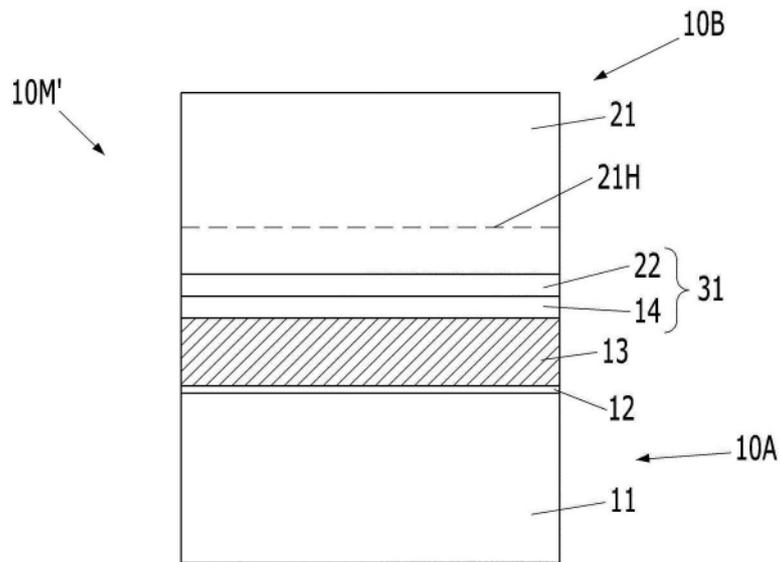


图14C

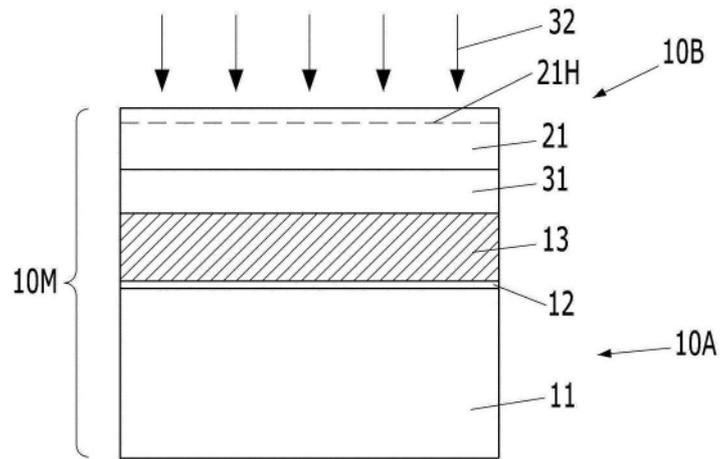


图14D

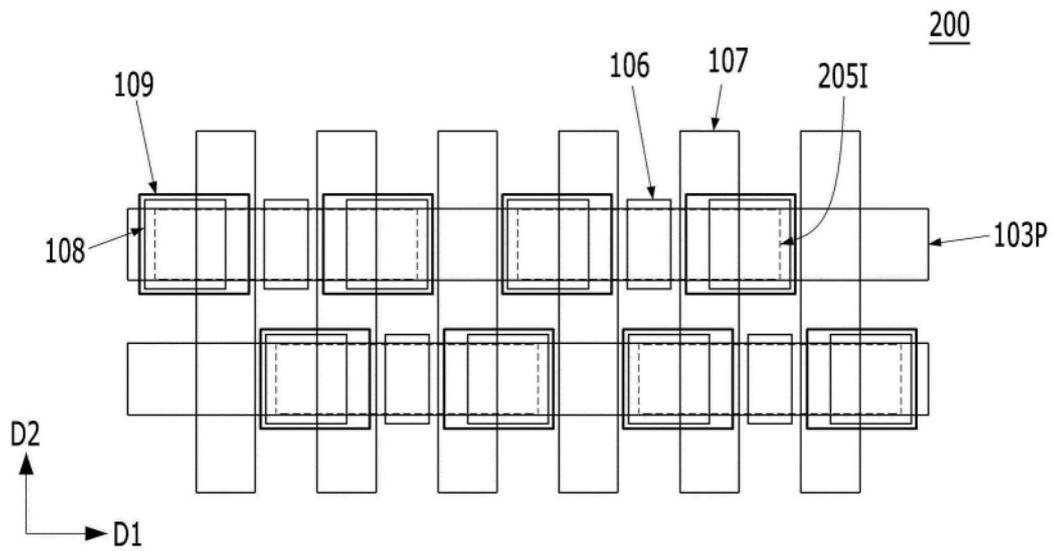


图15

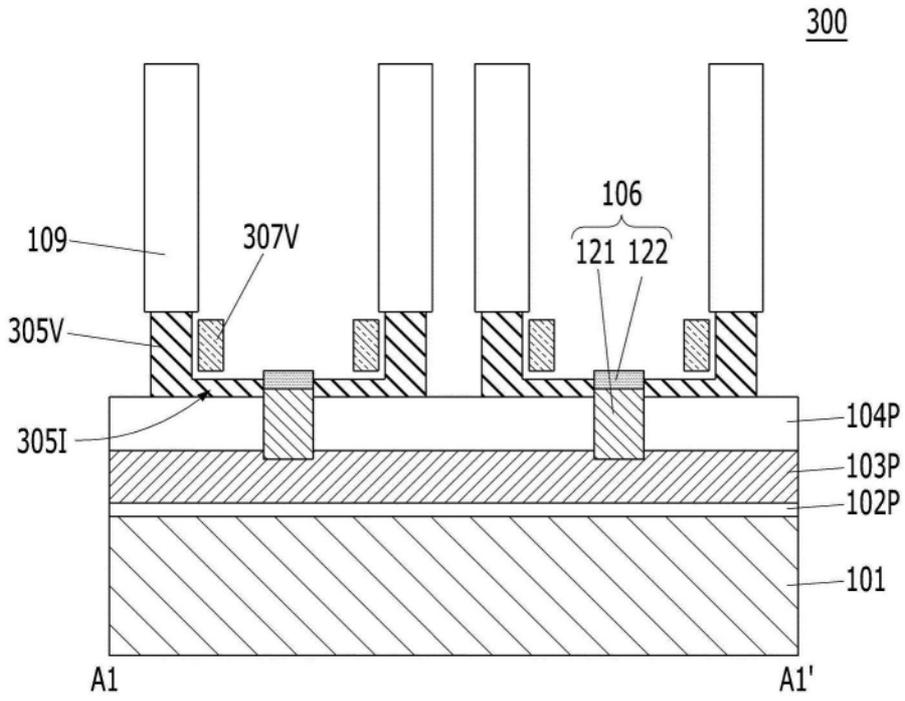


图16

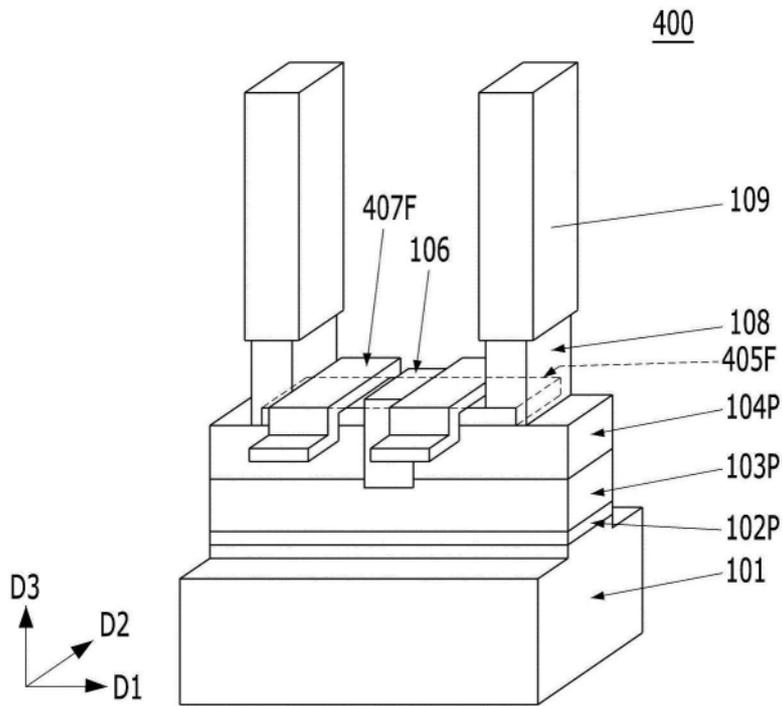


图17

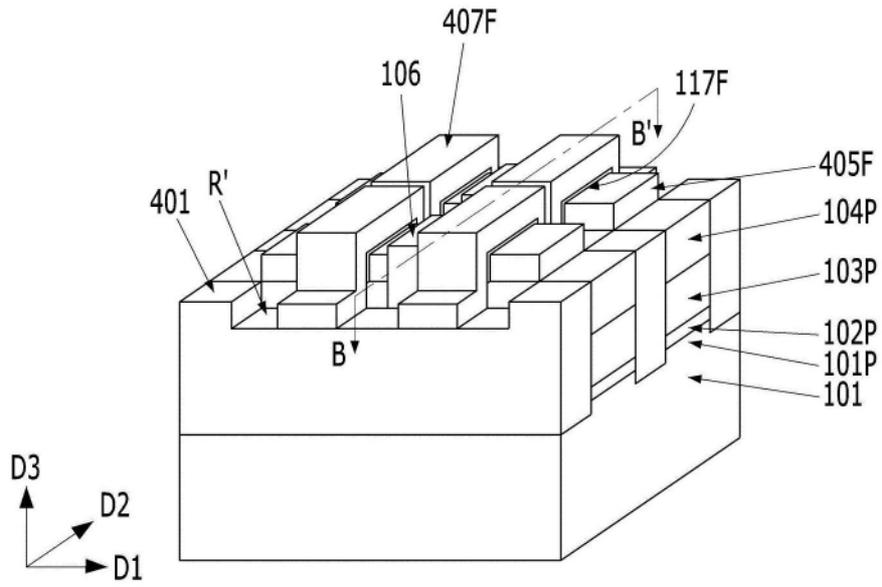


图18A

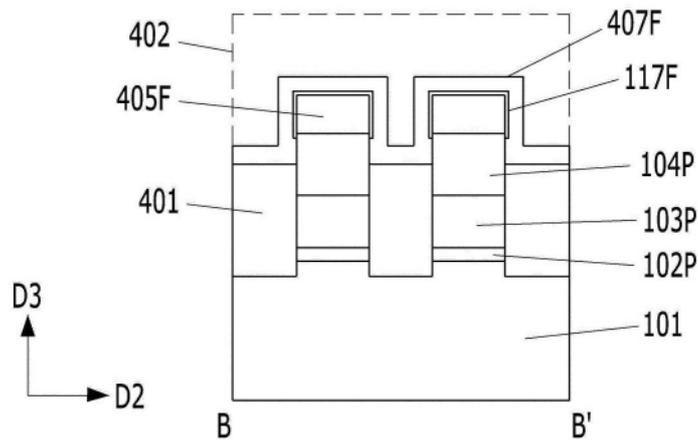


图18B

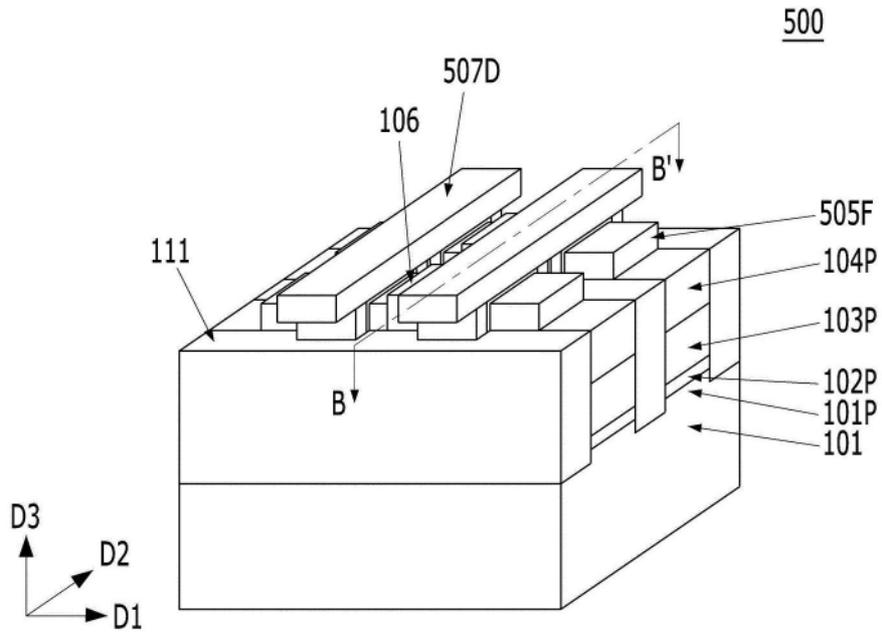


图19A

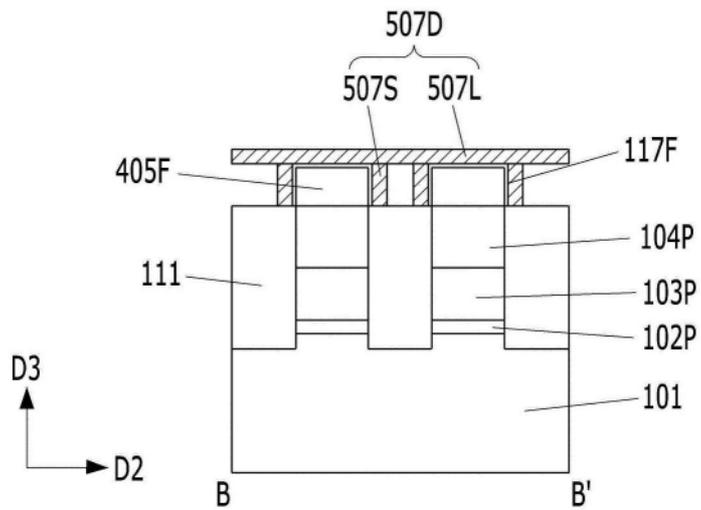


图19B

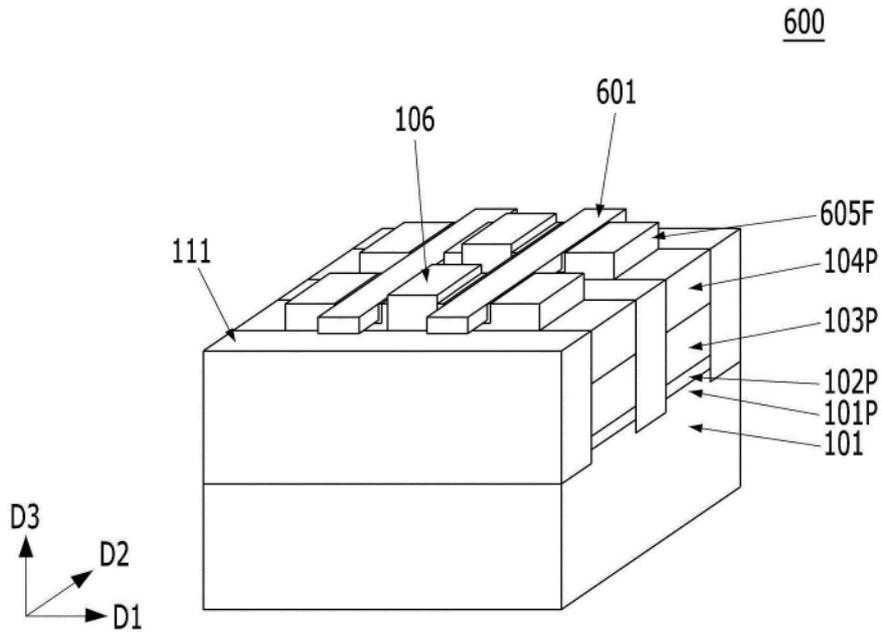


图20