



(12) 发明专利申请

(10) 申请公布号 CN 114628353 A

(43) 申请公布日 2022.06.14

(21) 申请号 202110435374.6

H01L 21/54 (2006.01)

(22) 申请日 2021.04.22

H01L 21/48 (2006.01)

(30) 优先权数据

H01L 25/18 (2006.01)

17/186,008 2021.02.26 US

(71) 申请人 台湾积体电路制造股份有限公司

地址 中国台湾新竹科学工业园区新竹市力行六路八号

(72) 发明人 许佳桂 游明志 李宗彦 林柏尧
郑心圃

(74) 专利代理机构 南京正联知识产权代理有限公司 32243

专利代理师 顾伯兴

(51) Int. Cl.

H01L 23/498 (2006.01)

H01L 23/24 (2006.01)

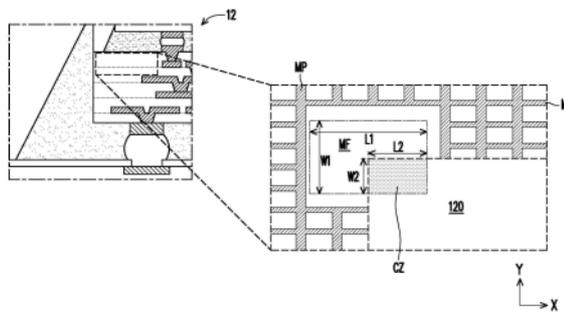
权利要求书2页 说明书11页 附图14页

(54) 发明名称

半导体封装及其制造方法

(57) 摘要

提供一种半导体封装及半导体封装的制造方法。半导体封装至少具有半导体裸芯片及重布线层,重布线层设置在半导体裸芯片的有效表面上且与半导体裸芯片电连接。重布线层具有排列在半导体裸芯片的隅角下方的位置处的无配线区。半导体裸芯片与重布线层之间设置有底部填充胶。无配线区位于底部填充胶下方且接触底部填充胶。无配线区从半导体裸芯片水平地延伸到底部填充胶。



1. 一种半导体封装,包括:

半导体裸芯片;

重布线层,设置在所述半导体裸芯片的有效表面上且与所述半导体裸芯片电连接,其中所述重布线层包括无配线区,所述无配线区排列在位于所述半导体裸芯片的隅角下方的位置处,且所述半导体裸芯片在水平平面上的正交投影与所述无配线区在所述水平平面上的正交投影局部地交叠;以及

底部填充胶,设置在所述半导体裸芯片与所述重布线层之间,

其中位于所述底部填充胶下方的所述无配线区接触所述底部填充胶,且所述无配线区从所述半导体裸芯片跨越所述半导体裸芯片的侧壁水平地延伸到所述底部填充胶。

2. 根据权利要求1所述的半导体封装,其中所述无配线区的隅角区域与所述半导体裸芯片的所述正交投影的隅角区域交叠。

3. 根据权利要求2所述的半导体封装,其中所述隅角区域对所述无配线区的面积比率介于0.3到0.5的范围内。

4. 根据权利要求1所述的半导体封装,还包括与所述半导体裸芯片电连接的电路衬底及填充在所述电路衬底与所述重布线层之间的底部的底部填充胶。

5. 根据权利要求4所述的半导体封装,其中所述无配线区位于所述底部填充胶与所述底部的底部填充胶之间。

6. 一种封装结构,包括:

第一裸芯片与第二裸芯片,并排地排列;

电路衬底,设置在所述第一裸芯片及所述第二裸芯片之下且与所述第一裸芯片及所述第二裸芯片电连接;

重布线层,设置在所述第一裸芯片及所述第二裸芯片与所述电路衬底之间,且与所述第一裸芯片及所述第二裸芯片电连接,其中所述重布线层包括位于所述第一裸芯片下方的无配线区;

第一底部填充胶,设置在所述第一裸芯片及所述第二裸芯片与所述重布线层之间;以及

第二底部填充胶,设置在所述重布线层与所述电路衬底之间,

其中所述无配线区从所述第一裸芯片跨越所述第一裸芯片的侧壁水平地延伸且至少延伸到所述第一底部填充胶以使得位于所述第一底部填充胶下方的所述无配线区接触所述第一底部填充胶,且所述无配线区位于所述第一底部填充胶与所述第二底部填充胶之间。

7. 根据权利要求6所述的封装结构,其中所述无配线区从所述第一裸芯片沿着所述第一底部填充胶水平地延伸且延伸超过所述第一底部填充胶。

8. 根据权利要求6所述的封装结构,其中所述重布线层包括多个子层且所述无配线区垂直地延伸穿过所述重布线层的所述多个子层中的至少一个。

9. 根据权利要求6所述的封装结构,还包括设置在所述重布线层上且在侧向上包绕所述第一底部填充胶以及所述第一裸芯片及所述第二裸芯片的模塑化合物。

10. 一种封装结构的制造方法,包括:

提供载体;

形成具有子层及无配线区的重布线层；

在所述重布线层之上设置第一裸芯片以占据所述无配线区的一部分，并在所述重布线层之上及所述第一裸芯片旁边设置第二裸芯片；

将所述第一裸芯片及所述第二裸芯片结合至所述重布线层，其中所述第一裸芯片及所述第二裸芯片电连接到所述重布线层；

在所述第一裸芯片及所述第二裸芯片与所述重布线层之间分配底部填充胶；

形成模塑化合物以包封所述底部填充胶以及所述第一裸芯片及所述第二裸芯片；以及移除所述载体。

半导体封装及其制造方法

技术领域

[0001] 本发明实施例是有关于一种半导体封装,且特别是有关于一种封装结构的制造方法。

背景技术

[0002] 可对半导体裸芯片进行处理并与其他半导体器件或裸芯片封装在一起,且形成导电布线结构以对封装中的裸芯片和/或半导体器件进行布线及内连。

发明内容

[0003] 本发明实施例的一种半导体封装,所述半导体封装包括半导体裸芯片及重布线层,所述重布线层设置在所述半导体裸芯片的有效表面上且与所述半导体裸芯片电连接。其中所述重布线层包括无配线区,所述无配线区排列在位于所述半导体裸芯片的隅角下方的位置处,且所述半导体裸芯片在水平平面上的正交投影与所述无配线区在所述水平平面上的正交投影局部地交叠。所述半导体封装还包括底部填充胶,所述底部填充胶设置在所述半导体裸芯片与所述重布线层之间,其中位于所述底部填充胶下方的所述无配线区接触所述底部填充胶,且所述无配线区从所述半导体裸芯片跨越所述半导体裸芯片的侧壁水平地延伸到所述底部填充胶。

[0004] 本发明实施例的一种封装结构,所述封装结构包括并排地排列的第一裸芯片与第二裸芯片;设置在所述第一裸芯片及所述第二裸芯片之下且与所述第一裸芯片及所述第二裸芯片电连接的电路衬底;设置在所述第一裸芯片及所述第二裸芯片与所述电路衬底之间,且与所述第一裸芯片及所述第二裸芯片电连接的重布线层,其中所述重布线层包括位于所述第一裸芯片下方的无配线区;设置在所述第一裸芯片及所述第二裸芯片与所述重布线层之间的第一底部填充胶;以及设置在所述重布线层与所述电路衬底之间的第二底部填充胶。其中所述无配线区从所述第一裸芯片跨越所述第一裸芯片的侧壁水平地延伸且至少延伸到所述第一底部填充胶以使得位于所述第一底部填充胶下方的所述无配线区接触所述第一底部填充胶,且所述无配线区位于所述第一底部填充胶与所述第二底部填充胶之间。

[0005] 本发明实施例的一种封装结构的制造方法,包括提供载体;形成具有子层及无配线区的重布线层;在所述重布线层之上设置第一裸芯片以占据所述无配线区的一部分,并在所述重布线层之上及所述第一裸芯片旁边设置第二裸芯片;将所述第一裸芯片及所述第二裸芯片结合至所述重布线层,其中所述第一裸芯片及所述第二裸芯片电连接到所述重布线层;在所述第一裸芯片及所述第二裸芯片与所述重布线层之间分配底部填充胶;形成模塑化合物以包封所述底部填充胶以及所述第一裸芯片及所述第二裸芯片;以及移除所述载体。

附图说明

[0006] 结合附图阅读以下详细说明,能最好地理解本公开的各个方面。应注意,根据本行业中的标准惯例,各种特征并非按比例绘制。事实上,为使论述清晰,可任意增大或减小各种特征的尺寸。

[0007] 图1到图8是根据本公开的一些示例性实施例的半导体封装的制造方法中的各个阶段的示意性剖视图。

[0008] 图9到图11是说明根据本公开的一些实施例的在连接到电路衬底的半导体封装的制造方法的各个阶段形成的结构的示意性剖视图。

[0009] 图12是说明根据本公开的一些示例性实施例的封装结构中的重布线层的无配线区的示例性布局的示意性平面图。

[0010] 图13是说明根据本公开的一些示例性实施例的封装结构的无配线区的示例性布局的示意性平面图。

[0011] 图14是示出根据本公开的一些示例性实施例的贴合到电路衬底的封装结构的一部分的示意性放大局部剖视图。

具体实施方式

[0012] 以下公开内容提供诸多不同的实施例或实例以实施所提供主题的不同特征。下文阐述组件及排列的具体实例以简化本公开。当然,这些仅是实例且并不旨在进行限制。举例来说,在以下说明中,第一特征形成在第二特征之上或形成在第二特征上可包括其中第一特征与第二特征形成为直接接触的实施例,且还可包括其中在第一特征与第二特征之间可形成额外特征以使得所述第一特征与所述第二特征可能不直接接触的实施例。另外,本公开可在各种实例中重复使用参考编号和/或字母。此种重复是出于简化及清晰目的,而并非自身指示所论述的各种实施例和/或配置之间的关系。

[0013] 此外,为易于说明起见,本文中可使用例如“在…下面(beneath)”、“在…下方(below)”、“下部的(lower)”、“在…上方(above)”、“上部的(upper)”等空间相对性用语来阐述图中所说明的一个元件或特征与另一(其他)元件或特征之间的关系。除图中所绘示的取向之外,所述空间相对性用语还旨在囊括器件在使用或操作中的不同取向。装置可具有其他取向(旋转90度或处于其他取向),且本文中所使用的空间相对性阐述语可同样相应地进行解释。

[0014] 另外,为易于说明,本文中可使用例如“第一”、“第二”、“第三”、“第四”等用语来阐述图中所说明的类似或不同的元件或特征,且上述用语可根据出现的次序或说明的上下文而互换使用。

[0015] 还可包括其他特征及工艺。举例来说,可包括测试结构来辅助对三维(three dimensional, 3D)封装或三维集成电路(3D integrated circuit, 3DIC)器件进行验证测试。测试结构可包括例如形成在重布线层中或形成在衬底上的测试焊盘,所述测试焊盘允许测试3D封装或3DIC、允许使用探针和/或探针卡等。可对中间结构以及最终结构执行验证测试。另外,本文中所公开的结构及方法可与包括在中间验证出已知良好裸芯片的测试方法结合使用以提高良率且降低成本。

[0016] 图1到图8是制作根据本公开的一些实施例的封装结构的方法中的各个阶段的示

意性剖视图。

[0017] 参考图1,提供上面涂布有剥离层104的载体102。在一些实施例中,载体102可以是玻璃载体或任何适合于进行集成扇外型(integrated fan-out, InFO)封装结构的制造方法的半导体载体。在一些实施例中,剥离层104可以是适合于结合载体102及从设置在剥离层104上的层或任何晶片剥离载体102的任何材料。在一些实施例中,剥离层104可包括光热转换(light-to-heat-conversion, LTHC)释放涂布膜。在又一替代实施例中,剥离层104可包含由在暴露于紫外线(ultra-violet, UV)光时失去粘合性质的UV胶制成的介电材料层。在某些实施例中,剥离层104可以液体形式被分配并被固化,或者可以是层压到载体102上的层压膜。在某些实施例中,剥离层104例如是具有良好的耐化学性的LTHC层,且此层能够通过施加激光辐射从载体102进行室温剥离。

[0018] 参考图1,在提供载体102及剥离层104之后,在剥离层104上形成重布线层110。在一些实施例中,重布线层110包括交替排列的介电层106a、介电层106b、介电层106c、介电层106d、介电层106e及导电层108a、导电层108b、导电层108c、导电层108d、导电层108e,且导电层108a、导电层108b、导电层108c、导电层108d、导电层108e夹置在介电层106a、介电层106b、介电层106c、介电层106d、介电层106e之间。举例来说,导电层108a可由多个金属重布线图案构成。在一些实施例中,重布线层110的形成包括:形成介电材料层(未示出),将介电材料层图案化以形成开口,沉积填充所述开口的金属材料以形成金属化图案。根据将形成的层数,这些工艺可重复数次,且所述层可基于形成顺序来表达。在一些实施例中,介电层106a、介电层106b、介电层106c、介电层106d、介电层106e还包括显露出下伏层的介层孔VS。在一些实施例中,导电层108a、导电层108b、导电层108c、导电层108d、导电层108e可包括电连接的布线迹线或扇外型迹线,电连接的布线迹线或扇外型迹线中的一些经由导电通孔VA彼此内连。在一些实施例中,最顶部导电层108e可包括结合焊盘P1。在形成用作重布线层110的介电层及导电层期间,界定无配线区(或无金属区)MF。在一些实施例中,无配线区MF的形成涉及形成一个以上的介电层,但不在无配线区内的介电材料中形成开口或空隙。如此一来,无配线区MF中不会形成金属或金属化图案,且无配线区MF可被视为无金属介电区块或金属密度实质上为零的介电区块。在一些实施例中,除无配线区MF之外,重布线层110具有约60%的平均金属密度。即,整个重布线层110的每面积单位的金属配线数目为约60%,而无配线区MF的金属密度约为零。

[0019] 如图1中所示,对应于随后安装的半导体裸芯片及其他稍后执行的工艺,确定裸芯片贴合区DA及非裸芯片贴合区NDA。此外,确定切割道SL且所述切割道SL位于非裸芯片贴合区NDA内。在一些实施例中,无配线区MF可从裸芯片贴合区DA延伸到非裸芯片贴合区NDA,但位于切割道SL外。

[0020] 为简单起见,介电层106a、介电层106b、介电层106c、介电层106d、介电层106e可被视为单个介电结构且导电层108a、导电层108b、导电层108c、导电层108d、导电层108e可被视为嵌置在介电层中的导电重布线图案。然而,从制造工艺的角度看,介电层106a、介电层106b、介电层106c、介电层106d、介电层106e按顺序形成为五个介电层,且重布线导电层108a、导电层108b、导电层108c、导电层108d、导电层108e也按顺序形成且各自夹置在两个相邻的介电层之间。

[0021] 在一些实施例中,导电层108a、导电层108b、导电层108c、导电层108d、导电层108e

的材料包括铝、钛、铜、镍、钨、钴和/或其合金。导电层108a、导电层108b、导电层108c、导电层108d或导电层108e可通过例如电镀覆、沉积和/或光刻与刻蚀来形成。在一些实施例中,如果通过镀覆来形成,则导电层108a、导电层108b、导电层108c、导电层108d或导电层108e还可可选地包括晶种层。在一些实施例中,介电层106a、介电层106b、介电层106c、介电层106d、介电层106e的材料包括聚酰亚胺、环氧树脂、丙烯酸树脂、酚醛树脂、苯并环丁烯(benzocyclobutene,BCB)、聚苯并恶唑(polybenzoxazole,PBO)或任何其他适合的聚合物系介电材料。举例来说,介电层106a、介电层106b、介电层106c、介电层106d或介电层106e可通过适合的制备技术(例如,旋转涂布(spin-on coating)、化学气相沉积(chemical vapor deposition,CVD)、等离子体增强化学气相沉积(plasma-enhanced chemical vapor deposition,PECVD)等)形成。

[0022] 注意,图1中示出的重布线层110中导电层的数目及介电层的数目仅出于说明目的,且本公开并不仅限于此。在一些替代实施例中,可根据设计要求形成更少层或更多层的导电层和/或介电层。

[0023] 如图2中所示,在形成重布线层110之后,在最顶部导电层108e的结合焊盘P1上分别形成结合部分112。在一些实施例中,结合部分112可包括用于增强结合的接触柱、预成型焊料(pre-solder)、焊料膏或适合的金属合金材料。

[0024] 参考图3,提供两个或更多个第一半导体裸芯片120以及两个或更多个第二半导体裸芯片130并将其放置在位于载体102上方的重布线层110之上。在图3中,示出四个裸芯片作为封装结构的示例性裸芯片,但应理解,封装结构内可包括多于四个裸芯片或两种类型的裸芯片或不同类型的裸芯片。在一些实施例中,第一半导体裸芯片120具有第一高度H1(在厚度方向上从表面110S垂直地测量),且第二半导体裸芯片130具有第二高度H2(在厚度方向上从表面110S垂直地测量)。在一个实施例中,第一高度H1不同于第二高度H2。在一个实施例中,第二高度H2小于第一高度H1。

[0025] 在一些实施例中,第一半导体裸芯片120可包括专用集成电路(application-specific integrated circuit,ASIC)芯片、模拟芯片、传感器芯片、无线应用芯片(例如,蓝牙芯片或射频芯片)或电压调节芯片中的一个或多个。在一些实施例中,第二半导体裸芯片130包括一个或多个存储器芯片,例如高带宽存储器芯片、动态随机存取存储器(dynamic random access memory,DRAM)芯片或静态随机存取存储器(static random access memory,SRAM)芯片。在一些实施例中,第二半导体裸芯片130中的一者可以是包括存储器芯片的存储器裸芯片,且另一第一半导体裸芯片120可以是包括控制器芯片的系统芯片(system-on-chip,SoC)裸芯片。在某些实施例中,裸芯片及芯片可互换使用。

[0026] 在某些实施例中,在图3中,第一半导体裸芯片120及第二半导体裸芯片130分别设置有面朝下的接触件122、接触件132,且第一半导体裸芯片120、第二半导体裸芯片130的接触件122、接触件132分别结合到重布线层110上的结合部分112。在一个实施例中,第一半导体裸芯片120、第二半导体裸芯片130到重布线层110的结合包括执行回焊工艺以通过助焊剂将接触件122、接触件132与结合部分112结合,从而成为熔接的连接件115。在一些实施例中,接触件122、接触件132是金属柱、微凸块、铜柱、铜合金柱或其他适合的金属连接件。在某些实施例中,将第一半导体裸芯片120、第二半导体裸芯片130并排安装到载体102上方的重布线层110上,且并排排列或堆叠在另一裸芯片之上的裸芯片数目可基于产品设计来调

整或修改,但不受示例性实施例限制。在一些实施例中,如图3中所示,基于切割道的位置,在切割之后每一封装单元中包括至少一个第一半导体裸芯片120及至少一个第二半导体裸芯片130。

[0027] 如图3中所看到,在将第一半导体裸芯片120及第二半导体裸芯片130安装及结合到重布线层110之后,无配线区MF位于第一半导体裸芯片120下方。即,在图3中且从图13的平面俯视图看到,第一半导体裸芯片120的跨度与无配线区MF的跨度交叠。尽管图3中示出无配线区MF位于第一半导体裸芯片120下方,但可位于第二半导体裸芯片130下方或位于第一半导体裸芯片120及第二半导体裸芯片130两者下方。

[0028] 在一些实施例中,参考图4,将底部填充胶136填充在第一半导体裸芯片120及第二半导体裸芯片130与重布线层110之间,从而包封所结合的接触件122、接触件132及结合部分112以实现更好的贴合。更确切来说,底部填充胶136可防止热应力集中在接触件与结合部分之间的结合点上。在一些实施例中,底部填充胶136至少局部地填充第一半导体裸芯片120与第二半导体裸芯片130之间的间隙。在一些实施例中,底部填充胶136的材料包括环氧树脂或其他适合的聚合物材料。在一些实施例中,通过执行毛细管填充工艺且然后执行低温固化工艺形成底部填充胶136。由于无配线区MF位于第一半导体裸芯片120下方,因此无配线区MF直接实体接触填充在第一半导体裸芯片120及第二半导体裸芯片130与重布线层110之间的底部填充胶136。

[0029] 参考图5,在一些实施例中,对位于重布线层110上的第一半导体裸芯片120及第二半导体裸芯片130进行模塑并包封在模塑化合物140中以形成模塑结构MS。在一个实施例中,模塑化合物140填充第一半导体裸芯片120及第二半导体裸芯片130与底部填充胶136之间的空间。在一些实施例中,模塑化合物140至少在侧向上包绕在重布线层110上的第一半导体裸芯片120及第二半导体裸芯片130周围。在一个实施例中,模塑化合物140的材料包括环氧树脂、酚醛树脂或含硅的树脂。在一些实施例中,模塑化合物140的材料包括填充物颗粒,例如二氧化硅颗粒。在一些实施例中,将模塑化合物140包覆模塑(over-molded)且随后平坦化以暴露出第一半导体裸芯片120及第二半导体裸芯片130的后表面120B及后表面130B。在一些实施例中,对包覆模塑的模塑化合物140进行抛光,直到暴露出第一半导体裸芯片120及第二半导体裸芯片130的后表面120B、后表面130B为止。在一个实施例中,在平坦化之后,模塑化合物140的顶表面140T与第一半导体裸芯片120及第二半导体裸芯片130的后表面120B、后表面130B被实质上拉平且彼此齐平。在一些实施例中,通过研磨工艺或化学机械抛光(chemical mechanical polishing, CMP)工艺将模塑化合物140平坦化。

[0030] 参考图6,在一些实施例中,将具有剥离层105的另一载体103贴合到模塑结构MS(贴合到第一半导体裸芯片120及第二半导体裸芯片130的后表面120B、后表面130B)。此后,将整个结构倒置(翻转),且通过剥离层104从模塑结构MS剥除载体102且随后将其移除。在从模塑结构MS剥除载体102之后,从重布线层110的介电层106a的表面暴露出导电层108a(第一金属化层)的通孔VA。

[0031] 在一些实施例中,参考图7,在重布线层110上形成结合部分118。在一些实施例中,结合部分118形成在重布线层110的最顶部导电层108a的暴露通孔VA上。在一些实施例中,结合部分118与重布线层110(导电层108a、导电层108b、导电层108c、导电层108d、导电层108e)电连接。在实施例中,结合部分118的形成包括在重布线层110上形成具有开口的掩模

图案(未示出),形成填充满所述开口的金属材料以形成金属部分,以及随后移除所述掩模图案。

[0032] 在一些实施例中,结合部分118的材料可从铜、钴、镍、铝、钨、合金或其组合选择。在一些实施例中,结合部分118还可选地包括形成在结合部分的表面上的粘合层、晶种层、预成型焊料、焊料膏和/或凸块下金属(under-ball metallurgy,UBM)图案以增强结合。举例来说,结合部分118可通过电镀覆或沉积形成。在一些实施例中,导电结合部分118例如是微凸块、金属柱、具有焊料膏的金属柱、无电镀镍钯浸金(electroless nickel electroless palladium immersion gold,ENEPIG)形成的凸块或受控塌陷芯片连接(controlled collapse chip connection,C4)凸块。

[0033] 在一些实施例中,参考图8,在形成结合部分118之后,通过剥离层105从模塑结构MS剥除载体103且随后将其移除。将模塑结构MS转移到载体带膜CF并设置在载体带膜CF上(贴合到第一半导体裸芯片120及第二半导体裸芯片130的后表面120B、后表面130B)。

[0034] 参考图8,在一些实施例中,在将模塑结构MS放置在载体带膜CF上之后,通过沿着切割道SL(切分道)执行切割工艺来将模塑结构MS单体化。在一些实施例中,执行切割工艺以将整个模塑结构MS(至少切穿重布线层110及模塑化合物140)切分成个别且分离的封装结构10。在一个实施例中,切割工艺是包括机械锯切、刀片切割和/或激光切分的晶片切割工艺。在一些实施例中,由于无配线区MF位于切割道SL旁边,因此切分刀片或切割锯不穿过无配线区MF。即,无配线区MF在切割工艺期间不会被切割或损坏。在一些实施例中,稍后移除载体带膜CF。

[0035] 如图8中所看到,无配线区MF位于在底部填充胶136上且无配线区MF从底部填充胶136穿过介电层106e垂直地延伸到介电层106d。在一些实施例中,无配线区MF跨越第一半导体裸芯片120的隅角边缘水平地延伸且延伸超过底部填充胶136。在一些实施例中,无配线区MF从底部填充胶136及第一半导体裸芯片120上方的位置延伸到模塑化合物140上方的位置(延伸超过第一半导体裸芯片120及底部填充胶136)。在封装结构10内,无配线区MF夹置在底部填充胶136与重布线层110的导电层108c之间。在一些实施例中,无配线区MF从第一半导体裸芯片120上方的位置延伸到封装结构10的侧壁10S。

[0036] 在图8的上方处,示出封装结构10的示例性示意性俯视图。在一些实施例中,在图8上方处的示意性俯视图中看到,两个无配线区MF分别形成在第一半导体裸芯片120下方且两个无配线区MF分别位于沿着封装结构10的对角线排列的两个第一半导体裸芯片120的两个外隅角处。在一些实施例中,至少一个无配线区MF形成在封装在封装结构10中的半导体裸芯片中的一者的一个外隅角处。在一些实施例中,无配线区MF形成在具有较大的裸芯片大小或具有多个功能的裸芯片下方及所述裸芯片的外隅角处。

[0037] 根据半导体裸芯片的类型或半导体裸芯片的数目,两个、三个或更多个无配线区MF形成在封装结构的半导体裸芯片的两个、三个或更多个外隅角处。

[0038] 根据以上示例性实施例,重布线层的布局及配置可适合形成在集成扇出型(integrated fan-out,InFO)晶片级封装结构或扇入型(fan-in)晶片级封装结构内。尽管以上实施例中阐述一个前侧重布线层,但多于一个或多个重布线层(redistribution layer,RDL)可设置在封装结构中或排列在裸芯片或芯片的前侧及后侧两者上以在多个裸芯片或芯片之中路由信号。另外,封装结构10还可包括设置在裸芯片之上的附加裸芯片或

子封装单元,且可形成另一重布线层以对附加裸芯片或子封装单元进行电连接。本公开的结构和/或工艺不受示例性实施例限制。

[0039] 图9到图11示出根据本公开的一些实施例的在连接到电路衬底的半导体封装的制造方法的各个阶段形成的结构的示意性剖视图。

[0040] 在一些实施例中,参考图9,提供电路衬底200。在一些实施例中,电路衬底200包括增层板、印刷电路板、层压板或柔性层压板。在一些实施例中,电路衬底200可包括一个或多个有源组件、无源组件或其组合。在一些实施例中,电路衬底200包括介电材料芯结构201、金属化图案202、嵌置在介电材料芯结构201中的通孔204及电连接到金属化图案202及通孔204的结合焊盘206。在一些实施例中,金属化图案202被设计成电连接各种组件(例如,嵌置在电路衬底中的有源组件和/或无源组件)以形成功能电路系统。电路衬底200可提供单侧电连接或双侧电连接。在一些实施例中,电路衬底还包括覆盖电路衬底200的相对的侧的钝化层208。

[0041] 在一些实施例中,金属化图案202的材料包括金属材料,包括铜、铝、镍、钴、金、银、钨、其组合、或类似的材料等。在一个实施例中,介电材料芯结构201的介电材料包括有机介电材料。在一些实施例中,介电材料芯结构201的介电材料可包括味之素增层膜(Ajinomoto build-up film)、聚合物材料(例如,聚酰亚胺、聚酯、苯并环丁烯、聚苯并恶唑等)、预浸材料、涂布树脂的铜(resin coated copper,RCC)、光图像介电质(photo image dielectric,PID)、酚醛纸、酚醛棉纸、编织纤维玻璃布、浸渍的编织纤维玻璃布、模塑化合物或其组合。在一些实施例中,电路衬底200的介电材料芯结构201可通过压缩模塑、包覆模塑以及平坦化、层压或其他适合的技术形成。在一些实施例中,金属化图案202、通孔204及结合焊盘206可通过一种或多种镀覆工艺(例如,电镀覆、无电镀覆、浸镀、或类似的工艺等)形成。

[0042] 在一些实施例中,如图9中所看到,电路衬底200的结合焊盘206用于接纳连接件、凸块或其他组件。在一些实施例中,结合焊盘206包括形成在结合焊盘206的表面上以用于后续结合的焊料膏207和/或预成型焊料。此外,参考图9,提供一个或多个封装结构10。封装结构10可包括与上文所述的配置类似或相同的配置,且可按照图1到图8所绘示的制造方法来制作。

[0043] 参考图10,将半导体封装结构10设置在电路衬底200上并结合到电路衬底200。在一些实施例中,将封装结构10安装到电路衬底200的顶表面200T,且经由结合连接件210将封装结构10结合到电路衬底200的结合焊盘206。在一些实施例中,通过执行回焊工艺,封装结构10的结合部分118与衬底200的结合焊盘206上的焊料膏207结合并熔接在一起以成为熔接的连接件210。在一些实施例中,回焊工艺包括执行热工艺以将结合部分118变成熔融状态或半熔融状态以与焊料膏207集成并结合,从而成为位于封装结构10与电路衬底200之间的熔接的连接件210。回焊温度可高于结合部分118的熔点和/或焊料膏的熔点。在一些实施例中,连接件210的大小或尺寸大于封装结构10中的熔接的连接件115的大小或尺寸。通过这些导电连接及重布线结构,节距更微细的第一半导体裸芯片120、第二半导体裸芯片130与节距更大的电路衬底200电连接。

[0044] 在图11中,在一些实施例中,形成底部填充胶240且将底部填充胶240填充在封装结构10与电路衬底200之间,以形成半导体器件封装结构11。在一些实施例中,底部填充胶240填充在封装结构10与电路衬底200之间且填充在位于封装结构10与电路衬底200之间的

熔接的连接件210之间。在一些实施例中,底部填充胶240形成为填充封装结构10与电路衬底200之间的空间的无空隙填充材料。底部填充胶240可保护熔接的连接件210抵抗热应力或物理应力且进一步确保封装结构10位于电路衬底200上。

[0045] 在一些实施例中,在图11中,通过毛细管底部填充胶填充法(capillary underfill filling,CUF)形成底部填充胶240,且底部填充胶240不仅填充封装结构10与电路衬底200之间的间隙而且发生溢流以局部地覆盖重布线层110的侧壁。在一些其他实施例中,底部填充胶240可通过转移模塑形成,且底部填充胶240的侧壁与重布线层110的侧壁垂直地对齐。在一些实施例中,可执行固化工艺以使底部填充胶240凝固。

[0046] 在一些实施例中,在图11中看到,位于第一半导体裸芯片120之下且延伸到封装结构10的边缘的无配线区MF夹置在封装结构10的底部填充胶136与底部填充胶240之间。由于仅有不具有任何金属化图案、通孔及迹线的介电材料夹置在封装结构10的底部填充胶136与底部填充胶240之间,因此无配线区MF中的介电材料用作较好的缓冲件以释放由半导体裸芯片与电路衬底之间的热膨胀系数(Coefficient of Thermal Expansion,CTE)不匹配所导致的应力。因此,底部填充胶不会发生开裂或少许开裂,且封装器件结构的稳健性及可靠性变得更好。

[0047] 由于位于封装结构10的一个或多个隅角处的无配线区MF中不含有金属化图案或迹线,因此无配线区MF中的介电材料有助于减小底部填充胶开裂且实现封装与电路衬底之间更强的贴合,且整个器件结构的可靠性增强。

[0048] 本公开不受连接到电路衬底200的半导体封装结构10的类型及数目限制。在本公开的图式中,出于说明目的将集成扇外型(InFO)封装示出为半导体封装单元。然而显然,其他类型的半导体封装可用于生产包括本文中所公开的电路衬底的半导体器件封装结构,且全部的这些半导体器件皆旨在处于本说明及随附权利要求书的范围内。举例来说,衬底上晶片上芯片(Chip-On-Wafer-On-Substrate,CoWoS)结构、三维集成电路(3DIC)结构、晶片上芯片(Chip-on-Wafer,CoW)封装、叠层封装(Package-on-Package,PoP)结构可全部单独地或组合地用作半导体封装单元。

[0049] 图12示出根据本公开的一些示例性实施例的封装结构12的重布线层中的无配线区的示例性布局。从图12右侧处的平面图看到,第一半导体裸芯片120的跨度或正交投影(点线)与无配线区MF在同一水平平面的跨度或正交投影(虚线)局部地交叠。从图12中看到,无配线区MF具有矩形形状,所述矩形形状在第一方向X上具有长度L1且在与第一方向X垂直的第二方向Y上具有宽度W1。在图12中,无配线区MF的隅角区域(阴影区域)与第一半导体裸芯片120的跨度的隅角区域交叠。即,无配线区MF的隅角区域CZ与第一半导体裸芯片120的正交投影交叠。在一些实施例中,如图12中所看到,交叠隅角区域CZ(阴影区域)具有在第一方向X上具有长度L2且在第二方向Y上具有宽度W2的矩形形状。在一些实施例中,隅角区域CZ的长度L2小于无配线区MF的长度L1,且长度L2/长度L1的比率是约0.5。在一些实施例中,隅角区域CZ的宽度W2小于无配线区MF的宽度W1,且宽度W2/宽度W1的比率是约0.5。在一些实施例中,隅角区域CZ对无配线区MF的面积比率是约1:4。应理解,无配线区MF的平面图形状并不仅限于矩形、正方形或四角形状,且无配线区MF的形状可以是多边形、圆形、椭圆形或其他适合的形状。从图12右侧的平面图看到,金属化图案MP的位于第一半导体裸芯片120的跨度外的一些金属化图案也位于无配线区MF的跨度外。即,金属化图案MP中的

一些金属化图案位于无配线区MF与封装结构12的侧壁之间,且这些周边金属化图案MP可提供结构强度,但是电冗余的。在本文中,图12左边处示出的封装结构12的局部剖视图中未示出周边金属化图案,且应理解,导电层或金属化图案MP的布局或配置仅是示例性的且不在限制本公开的范围。

[0050] 图13是说明根据本公开的一些示例性实施例的封装结构中的无配线区的示例性布局的示意性平面图。在图13中看到,第一半导体裸芯片120的跨度或正交投影(点线)与无配线区MF在同一平面上的跨度或正交投影(虚线)局部地交叠。在图13中,无配线区MF的隅角区域CZ(阴影区域)与第一半导体裸芯片120的跨度的隅角区域交叠,且交叠隅角区域CZ具有三角形形状。如图13中所看到,在交叠隅角区域(阴影区域)内,将隅角边缘(点Ct)视为圆的中心且所述圆具有半径SC(例如,约10微米),则交叠隅角区域CZ应足够大以包括本文中的圆的至少一扇区(例如,一个象限),以使得交叠隅角区域CZ足够大以释放应力。在一些实施例中,交叠隅角区域CZ(阴影区域)具有三角形形状,而无配线区MF具有长度为L3及宽度为W3的矩形形状。在一些实施例中,隅角区域CZ对无配线区MF的面积比率介于约0.3到0.5的范围内。在图13中,导电层或金属化图案MP的布局或配置仅是示例性的且不在限制本公开的范围。

[0051] 图14是示出根据本公开的一些示例性实施例的连接到电路衬底的封装结构14的一部分的示意性放大局部剖视图。如图14中所看到,无配线区MF位于裸芯片DD及底部填充胶UF1下方,且无配线区MF从底部填充胶UF1垂直地延伸穿过整个重布线层RDL的堆叠的子层LL1、子层LL2、子层LL3、子层LL4及子层LL5。在一些实施例中,如图14中所看到,实质上由相邻的金属化图案MPL及金属化图案MPR界定的无配线区MF不具有金属配线、布线线或通孔,且从裸芯片DD下方的位置跨越裸芯片DD的隅角边缘水平地延伸且超过底部填充胶UF1而延伸到模塑化合物MC下方的位置。在一些实施例中,无配线区MF从裸芯片DD下方的位置跨越裸芯片DD的隅角边缘延伸到底部填充胶UF1下方的位置。在一些实施例中,如图14中所看到,在封装结构14内,无配线区MF夹置在底部填充胶UF1、模塑化合物MC及底部填充胶UF2之间。在一些实施例中,无配线区MF不延伸到封装结构14的侧壁。在一些实施例中,金属化图案MPL位于无配线区MF与封装结构14的侧壁之间,且这些周边金属化图案MPL可包括结构加固图案或密封环。在一些实施例中,出于制造目的,可为了布局对称或图案密度调谐而提供金属化图案MPL。在一些实施例中,提供金属化图案MPL不是为了电连接目的,而是为了提高封装结构的结构强度。

[0052] 在一些实施例中,位于半导体裸芯片的隅角区域之下的无金属区夹置在包绕在微凸块周围的底部填充胶与包绕在C4凸块周围的底部填充胶之间。由于无配线区或无金属区仅包含介电材料而不含有金属化图案、通孔及迹线,因此无配线区可被视为夹置在封装的底部填充胶与底部填充胶之间而发挥防碰撞功能的缓冲介电区块,以释放由半导体裸芯片与电路衬底之间的CTE不匹配所导致的应力。因此,底部填充胶不会发生开裂或少许开裂,且封装器件结构的稳健性及可靠性变得更好。此外,达成封装与电路衬底之间更少的底部填充胶开裂及更好的贴合,且整个器件结构的可靠性增强。

[0053] 根据一些实施例,一种半导体封装具有至少一个半导体裸芯片及重布线层。所述重布线层设置在所述半导体裸芯片的有效表面上且与所述半导体裸芯片电连接。所述重布线层具有无配线区,所述无配线区排列在位于所述半导体裸芯片的隅角下方的位置处。所

述半导体裸芯片与所述重布线层之间设置有底部填充胶。所述无配线区位于所述底部填充胶下方且接触所述底部填充胶。所述半导体裸芯片在水平平面上的正交投影与所述无配线区在所述水平平面上的正交投影局部地交叠。所述无配线区从所述半导体裸芯片跨越所述半导体裸芯片的侧壁水平地延伸且延伸到所述底部填充胶。

[0054] 本发明实施例的一种半导体封装,其中所述半导体封装还包括设置在所述重布线层上且在侧向上包绕所述底部填充胶及所述半导体裸芯片的模塑化合物。

[0055] 本发明实施例的一种半导体封装,其中所述重布线层包括介电层及嵌置在所述介电层中的重布线图案,且所述无配线区位于所述介电层中。

[0056] 本发明实施例的一种半导体封装,其中所述无配线区的隅角区域与所述半导体裸芯片的所述正交投影的隅角区域交叠。

[0057] 本发明实施例的一种半导体封装,其中所述隅角区域对所述无配线区的面积比率为0.25。

[0058] 本发明实施例的一种半导体封装,其中所述隅角区域对所述无配线区的面积比率介于0.3到0.5的范围内。

[0059] 本发明实施例的一种半导体封装,其中所述半导体封装还包括与所述半导体裸芯片电连接的电路衬底及填充在所述电路衬底与所述重布线层之间的底部的底部填充胶,且其中所述无配线区位于所述底部填充胶与所述底部的底部填充胶之间。

[0060] 根据一些实施例,一种封装结构至少具有第一裸芯片、第二裸芯片、电路衬底及重布线层。所述第一裸芯片及所述第二裸芯片并排地排列。所述电路衬底设置在所述第一裸芯片及所述第二裸芯片之下且与所述第一裸芯片及所述第二裸芯片电连接。所述重布线层设置在所述第一裸芯片及所述第二裸芯片与所述电路衬底之间,且与所述第一裸芯片及所述第二裸芯片电连接。所述重布线层包括排列在位于所述第一裸芯片的外隅角下方的位置处的无配线区。第一底部填充胶设置在所述第一裸芯片及所述第二裸芯片与所述重布线层之间。第二底部填充胶设置在所述重布线层与所述电路衬底之间。位于所述第一底部填充胶下方的所述无配线区接触所述第一底部填充胶,且所述无配线区位于所述第一底部填充胶与所述第二底部填充胶之间。

[0061] 本发明实施例的一种封装结构,其中所述无配线区位于所述第一裸芯片的外隅角下方的位置处。

[0062] 本发明实施例的一种封装结构,其中所述无配线区从所述第一裸芯片沿着所述第一底部填充胶水平地延伸且延伸超过所述第一底部填充胶。

[0063] 本发明实施例的一种封装结构,其中所述重布线层包括多个子层且所述无配线区垂直地延伸穿过所述重布线层的所述多个子层中的至少一个。

[0064] 本发明实施例的一种封装结构,其中所述重布线层包括多个子层且所述无配线区垂直地延伸穿过所述重布线层的所述多个子层中的两个或多个。

[0065] 本发明实施例的一种封装结构,其中所述重布线层包括多个子层且所述无配线区垂直地延伸穿过所述重布线层的所述多个子层中的全部个。

[0066] 本发明实施例的一种封装结构,其中所述封装结构还包括设置在所述重布线层上且在侧向上包绕所述第一底部填充胶以及所述第一裸芯片及所述第二裸芯片的模塑化合物。

[0067] 本发明实施例的一种封装结构,其中所述无配线区的隅角区域在所述外隅角的位置处与所述第一裸芯片的正交投影的隅角区域交叠。

[0068] 根据一些实施例,提供一种封装结构的制造方法。在提供载体之后,形成具有子层及无配线区的重布线层。在所述重布线层之上设置第一裸芯片以占据所述无配线区的一部分,且在所述重布线层之上及所述第一裸芯片旁边设置第二裸芯片。将所述第一裸芯片及所述第二裸芯片结合到所述重布线层。所述第一裸芯片及所述第二裸芯片电连接到所述重布线层。在所述第一裸芯片及所述第二裸芯片与所述重布线层之间分配底部填充胶。形成模塑化合物以包封所述底部填充胶以及所述第一裸芯片及所述第二裸芯片。移除所述载体。

[0069] 本发明实施例的一种封装结构的制造方法,其中形成所述重布线层包括在所述无配线区外在所述子层中形成金属化图案,以界定所述无配线区。

[0070] 本发明实施例的一种封装结构的制造方法,所述制造方法还包括在形成所述模塑化合物之后执行切割工艺,其中执行所述切割工艺来切穿所述模塑化合物及所述重布线层而不切分所述无配线区,以形成封装。

[0071] 本发明实施例的一种封装结构的制造方法,所述制造方法还包括提供电路衬底,将所述封装结合到所述电路衬底并在所述封装与所述电路衬底之间形成底部底部填充胶。

[0072] 上述内容概述了若干实施例的特征,以使所属领域的技术人员可更好地理解本公开的各方面。所属领域的技术人员应了解,他们可容易地使用本公开作为设计或修改其他工艺及结构的基础来施行与本文中所介绍的实施例相同的和/或实现与本文中所介绍的实施例相同的优点。所属领域的技术人员还应意识到这些等效构造并不背离本公开的精神及范围,且其可在不背离本公开的精神及范围的情况下在本文中做出各种变化、替代及更改。

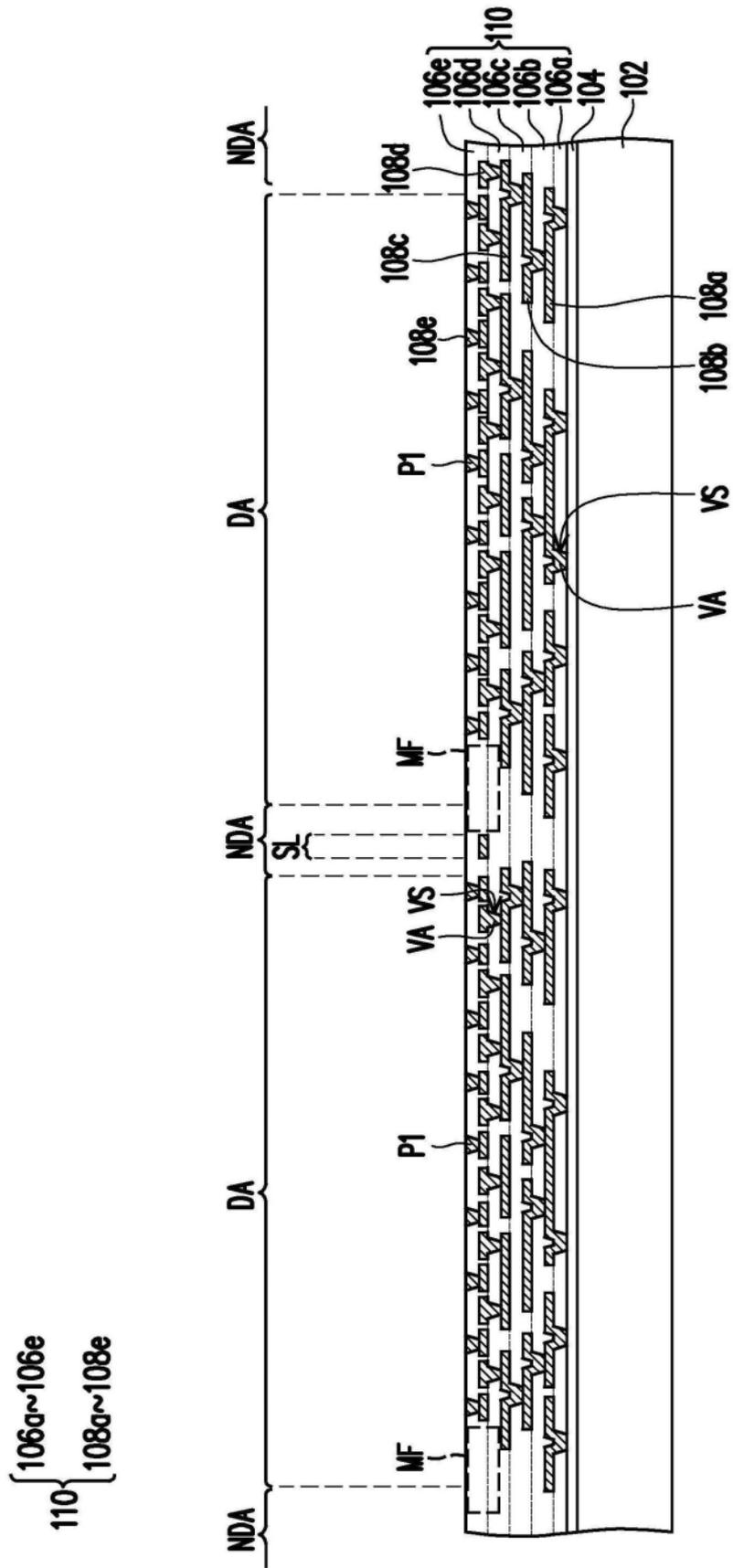


图1

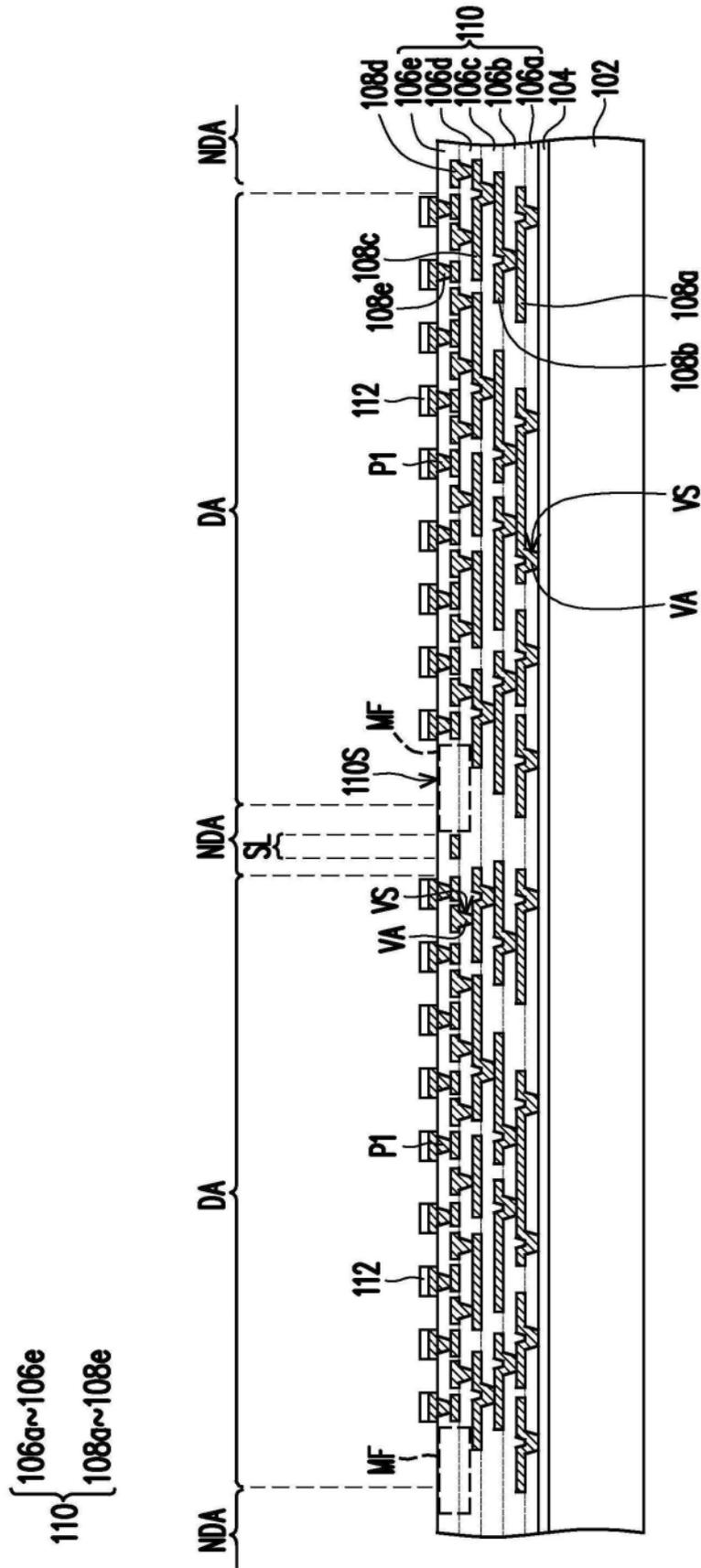


图2

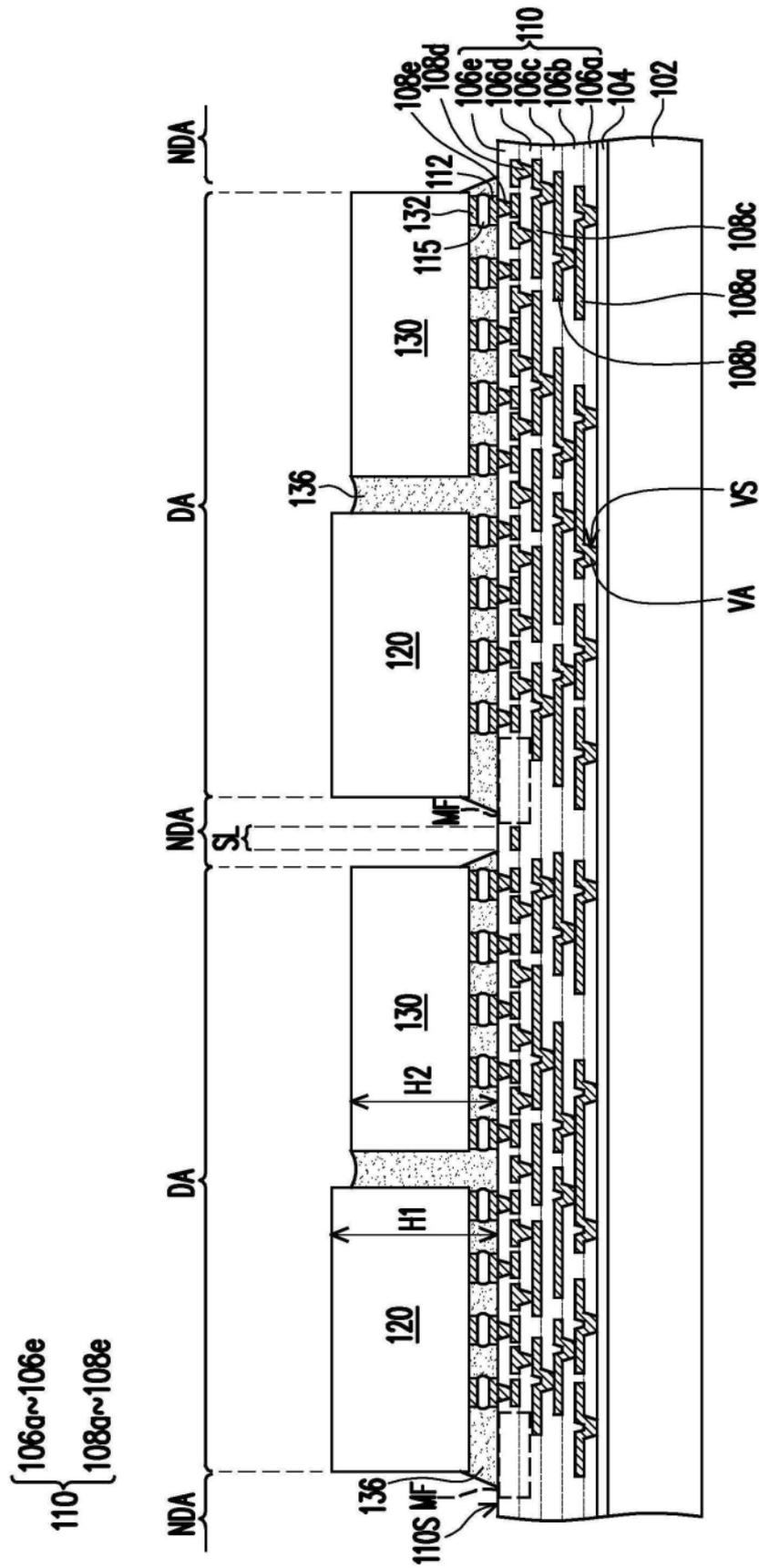


图4

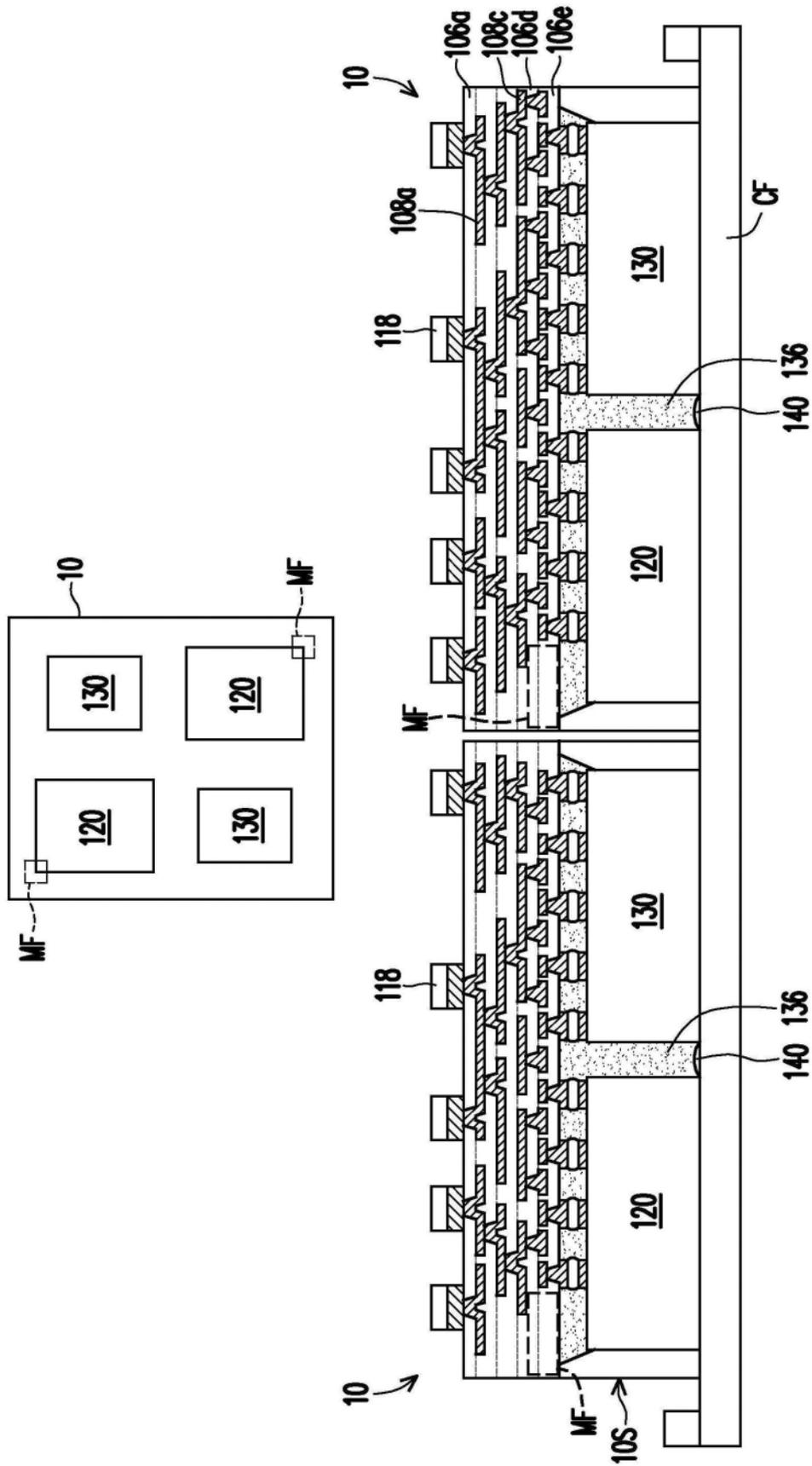


图8

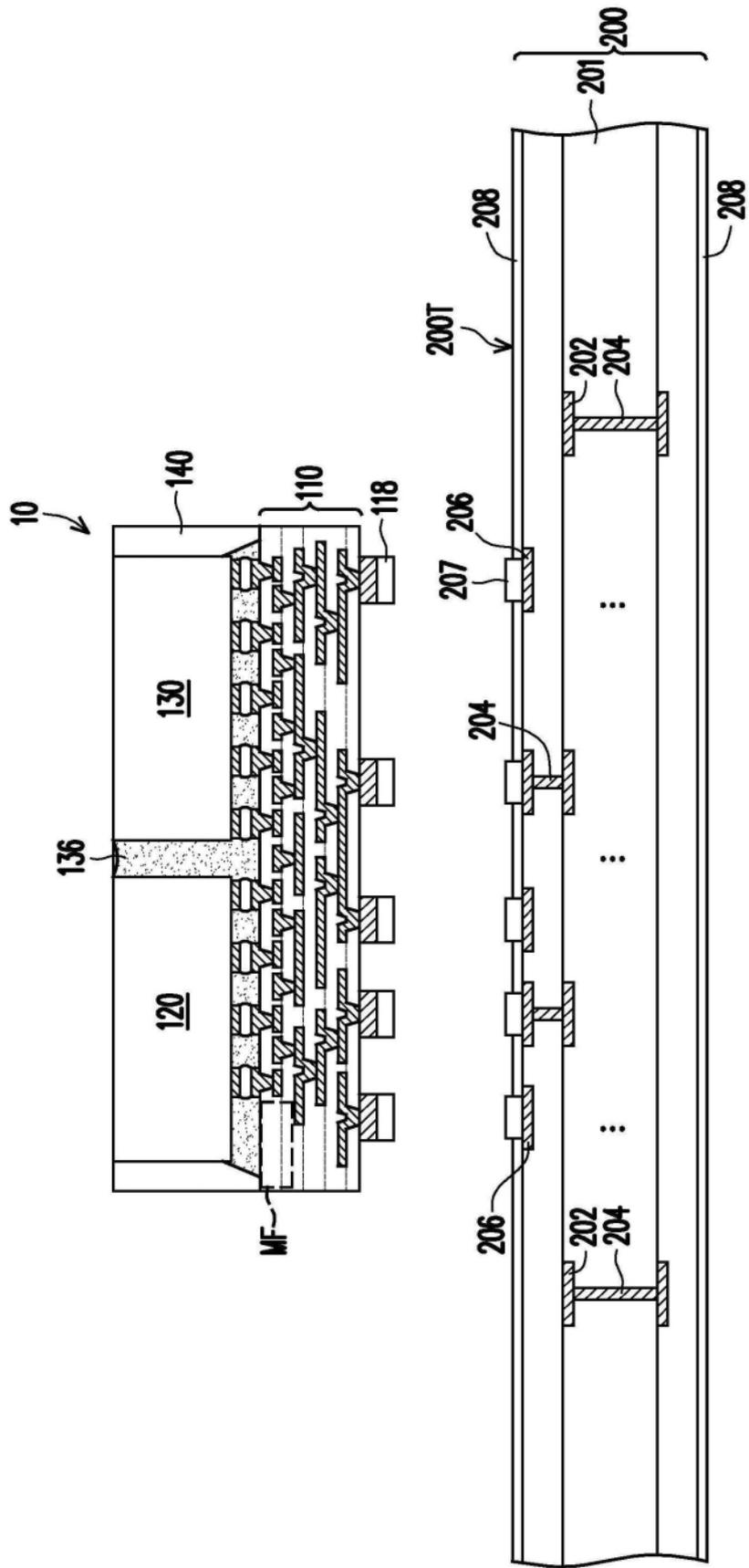


图9

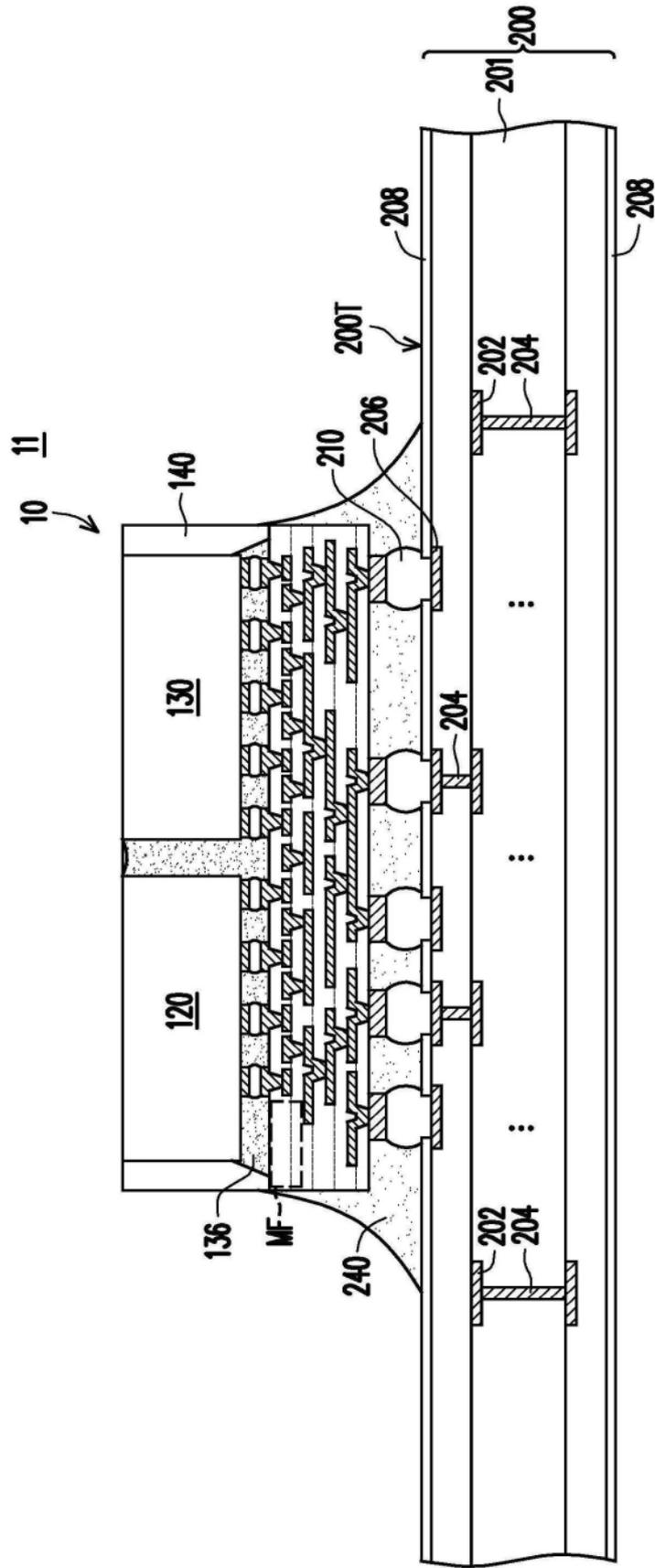


图11

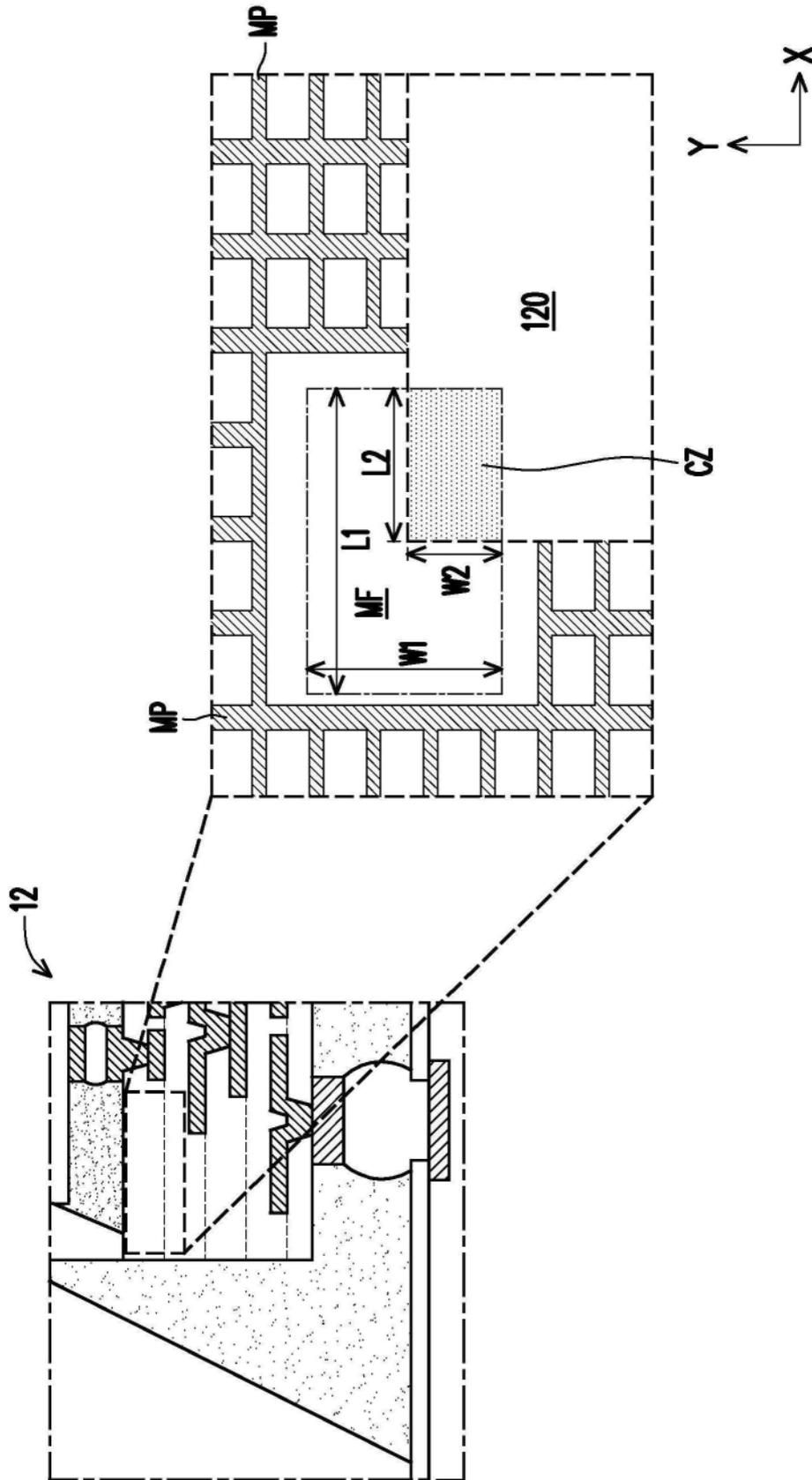


图12

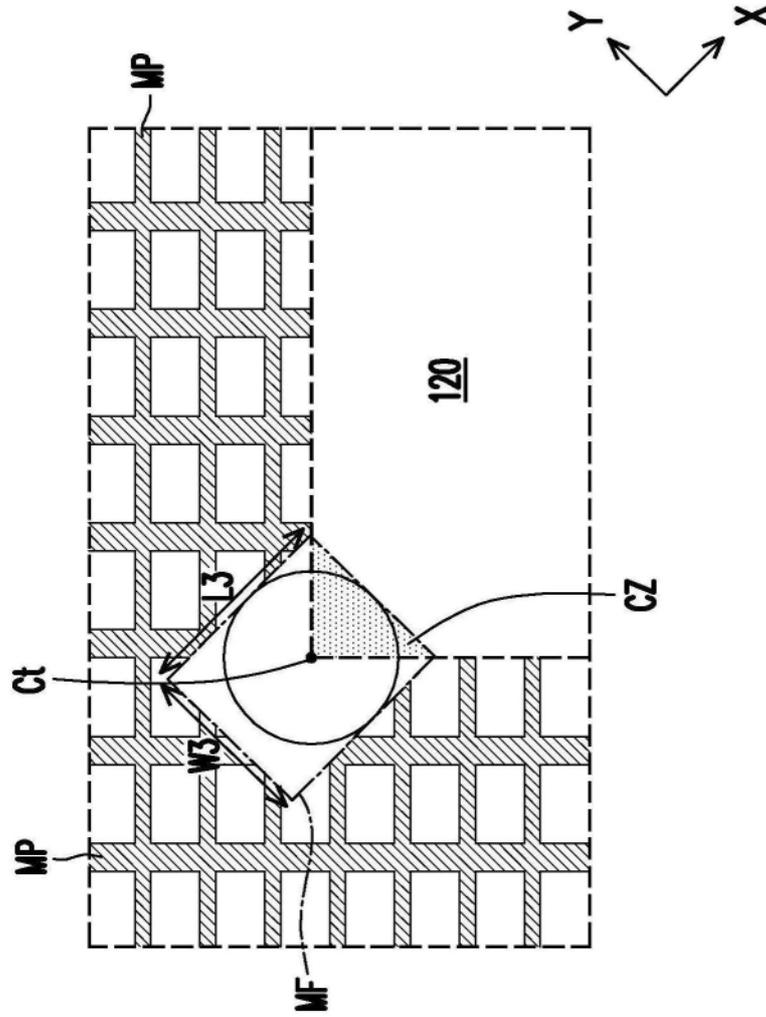


图13

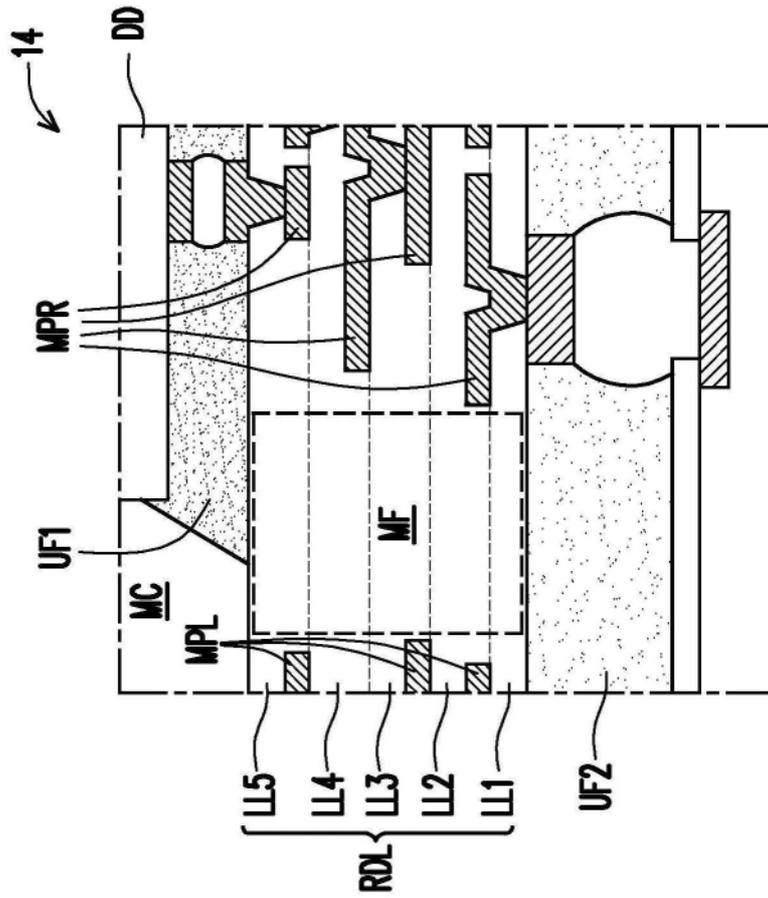


图14