



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2021년05월18일  
(11) 등록번호 10-2252563  
(24) 등록일자 2021년05월11일

(51) 국제특허분류(Int. Cl.)  
G09G 3/36 (2006.01) G02F 1/133 (2006.01)  
G02F 1/136 (2006.01)  
(52) CPC특허분류  
G09G 3/3648 (2013.01)  
G02F 1/133 (2021.01)  
(21) 출원번호 10-2020-0154707(분할)  
(22) 출원일자 2020년11월18일  
심사청구일자 2020년11월18일  
(65) 공개번호 10-2020-0133695  
(43) 공개일자 2020년11월30일  
(62) 원출원 특허 10-2020-0062263  
원출원일자 2020년05월25일  
심사청구일자 2020년05월25일  
(30) 우선권주장  
JP-P-2008-157400 2008년06월17일 일본(JP)  
(56) 선행기술조사문헌  
JP2006024350 A  
(뒷면에 계속)

(73) 특허권자  
가부시킴가이샤 한도오따이 에네루기 켄큐쇼  
일본국 가나가와켄 아쓰기시 하세 398  
(72) 발명자  
우메자키 아쓰시  
일본국 가나가와켄 아쓰기시 하세 398 가부시킴가  
이샤 한도오따이 에네루기 켄큐쇼 나이  
(74) 대리인  
장훈

전체 청구항 수 : 총 2 항

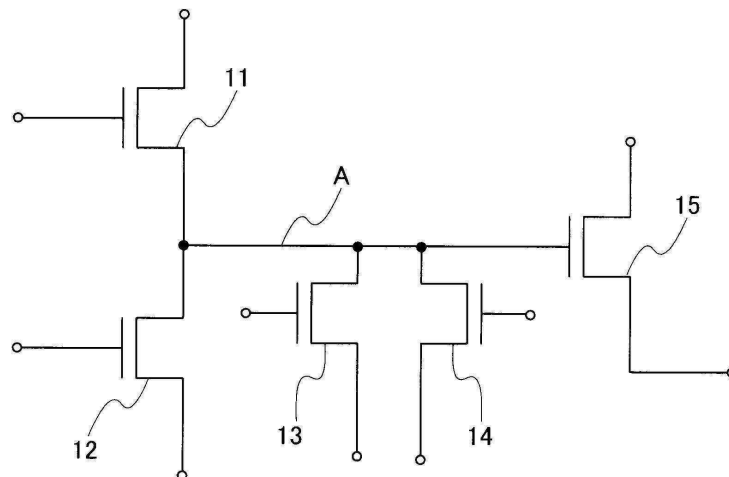
심사관 : 신영교

(54) 발명의 명칭 반도체장치

(57) 요약

시프트 레지스터 회로에 있어서의 동작 불량을 억제하는 것을 과제로 한다. 복수의 플립플롭회로로 이루어진 시프트 레지스터를 갖고, 플립플롭회로는, 트랜지스터 11, 트랜지스터 12, 트랜지스터 13, 트랜지스터 14, 및 트랜지스터 15를 갖고, 비선택 기간에 있어서, 트랜지스터 13 또는 트랜지스터 14가 온 상태가 되는 것에 의해, 노드 A의 전위를 설정하여, 노드 A가 부유 상태가 되는 것을 억제한다.

대표도 - 도24



(52) CPC특허분류

**G02F 1/136** (2013.01)  
G09G 2230/00 (2013.01)  
G09G 2310/0286 (2013.01)  
G09G 2320/043 (2013.01)

(56) 선행기술조사문헌

JP2005050502 A  
JP2004348940 A  
US20060001637 A1  
US20050008114 A1  
KR1020080033565 A  
KR1020060020325 A

---

**명세서**

**청구범위**

**청구항 1**

제 1 트랜지스터 내지 제 11 트랜지스터를 갖고,  
 상기 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 제 1 배선과 전기적으로 접속되고,  
 상기 제 2 트랜지스터의 소스 및 드레인 중 한쪽은 제 2 배선과 전기적으로 접속되고,  
 상기 제 1 트랜지스터의 게이트 및 상기 제 2 트랜지스터의 게이트는 제 1 신호선과 전기적으로 접속되고,  
 상기 제 3 트랜지스터의 소스 및 드레인 중 한쪽은 제 2 신호선과 전기적으로 접속되고,  
 상기 제 3 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 1 배선과 전기적으로 접속되고,  
 상기 제 4 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 1 배선과 전기적으로 접속되고,  
 상기 제 5 트랜지스터의 소스 및 드레인 중 한쪽은 제 3 신호선과 전기적으로 접속되고,  
 상기 제 5 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 2 배선과 전기적으로 접속되고,  
 상기 제 5 트랜지스터의 게이트는 상기 제 3 트랜지스터의 게이트와 전기적으로 접속되고,  
 상기 제 6 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 2 배선과 전기적으로 접속되고,  
 상기 제 6 트랜지스터의 게이트는 상기 제 4 트랜지스터의 게이트와 전기적으로 접속되고,  
 상기 제 7 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 4 트랜지스터의 게이트와 전기적으로 접속되고,  
 상기 제 7 트랜지스터의 게이트는 상기 제 3 트랜지스터의 게이트와 전기적으로 접속되고,  
 상기 제 8 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 3 트랜지스터의 게이트와 전기적으로 접속되고,  
 상기 제 8 트랜지스터의 게이트는 상기 제 4 트랜지스터의 게이트와 전기적으로 접속되고,  
 상기 제 9 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 4 트랜지스터의 게이트와 전기적으로 접속되고,  
 상기 제 9 트랜지스터의 게이트는 제 4 신호선과 전기적으로 접속되고,  
 상기 제 10 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 3 트랜지스터의 게이트와 전기적으로 접속되고,  
 상기 제 10 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 4 신호선과 전기적으로 접속되고,  
 상기 제 10 트랜지스터의 게이트는 상기 제 4 신호선과 전기적으로 접속되고,  
 상기 제 11 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 3 트랜지스터의 게이트와 전기적으로 접속되고,  
 상기 제 11 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 4 신호선과 전기적으로 접속되고,  
 상기 제 11 트랜지스터의 게이트는 제 5 신호선과 전기적으로 접속되어 있는 반도체 장치.

**청구항 2**

제 1 트랜지스터 내지 제 12 트랜지스터를 갖고,  
 상기 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 제 1 배선과 전기적으로 접속되고,  
 상기 제 2 트랜지스터의 소스 및 드레인 중 한쪽은 제 2 배선과 전기적으로 접속되고,  
 상기 제 1 트랜지스터의 게이트 및 상기 제 2 트랜지스터의 게이트는 제 1 신호선과 전기적으로 접속되고,  
 상기 제 3 트랜지스터의 소스 및 드레인 중 한쪽은 제 2 신호선과 전기적으로 접속되고,  
 상기 제 3 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 1 배선과 전기적으로 접속되고,

상기 제 4 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 1 배선과 전기적으로 접속되고,  
 상기 제 5 트랜지스터의 소스 및 드레인 중 한쪽은 제 3 신호선과 전기적으로 접속되고,  
 상기 제 5 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 2 배선과 전기적으로 접속되고,  
 상기 제 5 트랜지스터의 게이트는 상기 제 3 트랜지스터의 게이트와 전기적으로 접속되고,  
 상기 제 6 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 2 배선과 전기적으로 접속되고,  
 상기 제 6 트랜지스터의 게이트는 상기 제 4 트랜지스터의 게이트와 전기적으로 접속되고,  
 상기 제 7 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 4 트랜지스터의 게이트와 전기적으로 접속되고,  
 상기 제 7 트랜지스터의 게이트는 상기 제 3 트랜지스터의 게이트와 전기적으로 접속되고,  
 상기 제 8 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 3 트랜지스터의 게이트와 전기적으로 접속되고,  
 상기 제 8 트랜지스터의 게이트는 상기 제 4 트랜지스터의 게이트와 전기적으로 접속되고,  
 상기 제 9 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 4 트랜지스터의 게이트와 전기적으로 접속되고,  
 상기 제 9 트랜지스터의 게이트는 제 4 신호선과 전기적으로 접속되고,  
 상기 제 10 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 3 트랜지스터의 게이트와 전기적으로 접속되고,  
 상기 제 10 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 4 신호선과 전기적으로 접속되고,  
 상기 제 10 트랜지스터의 게이트는 상기 제 4 신호선과 전기적으로 접속되고,  
 상기 제 11 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 3 트랜지스터의 게이트와 전기적으로 접속되고,  
 상기 제 11 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 4 신호선과 전기적으로 접속되고,  
 상기 제 11 트랜지스터의 게이트는 제 5 신호선과 전기적으로 접속되고,  
 상기 제 12 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 3 트랜지스터의 게이트와 전기적으로 접속되고,  
 상기 제 12 트랜지스터의 게이트는 제 6 신호선과 전기적으로 접속되어 있는 반도체 장치.

**발명의 설명**

**기술 분야**

[0001] 구동회로에 관한 것이다. 또한, 해당 구동회로를 갖는 표시장치에 관한 것이다. 또한, 해당 표시장치를 표시부에 갖는 전자기기에 관한 것이다.

**배경 기술**

[0002] 최근, 액정표시장치나 발광장치 등의 표시장치는, 액정 텔레비전 등의 대형 표시장치의 증가로, 활발하게 개발이 진척되고 있다. 특히 절연 기판 위에 설치된 반도체층을 갖는 트랜지스터 등으로 구성되는, 화소회로, 및 시프트 레지스터 등을 포함하는 구동회로(내부회로라고도 한다)를 동일 기판 위에 일체 형성하는 기술은, 저소비 전력화, 저비용화에 크게 공헌하기 때문에, 활발하게 개발이 진척되고 있다. 절연 기판 위에 형성된 내부회로는, FPC 등을 거쳐 절연 기판의 밖에 배치된 컨트롤러 IC 등을 포함하는 외부회로에 접속되어, 그것의 동작이 제어된다.

[0003] 내부회로의 하나인 구동회로(드라이버라고도 한다)는, 예를 들면 주사선 구동회로 등이 있으며, 예를 들면 특허 문헌 1에 나타낸 것과 같은 복수의 플립플롭회로로 이루어진 시프트 레지스터에 의해 구성된다.

[0004] [특허문헌]

[0005] [특허문헌 1] 일본국 특개 2006-24350호 공보

**발명의 내용**

**해결하려는 과제**

[0006] 특허문헌 1에 나타난 것과 같은 종래의 구동회로는, 플립플롭회로 내의 트랜지스터의 스위칭 동작의 타이밍에 있어서, 원하는 타이밍과의 불일치가 생겨, 동작 불량에 발생한다고 하는 문제가 있다. 트랜지스터의 스위칭 동작의 타이밍에 불일치가 생기는 원인으로서, 예를 들면 비선택 기간에 시프트 레지스터의 플립플롭회로에서 풀업 트랜지스터의 게이트 단자가 부유 상태가 되는 것에 의해, 비선택 기간에 생기는 노이즈 등이 풀업 트랜지스터의 게이트 단자의 전위에 영향을 미친다.

[0007] 또한, 트랜지스터 자체의 열화도 스위칭 동작의 타이밍의 불일치의 원인의 한 개로 된다. 트랜지스터가 열화하는 것에 의해 트랜지스터의 임계전압의 값이 변화하여, 구동회로에 있어서 동작 불량이 발생한다. 트랜지스터로서, 반도체층이 비정질 반도체인 트랜지스터를 적용했을 경우에는, 반도체층이 비정질 반도체인 트랜지스터는 열화하기 쉽기 때문에, 특히 동작 불량이 일어나기 쉽다.

[0008] 본 발명의 일 태양에서는, 시프트 레지스터를 사용한 회로에 있어서, 동작 불량을 억제하는 것을 과제의 한가지로 한다.

**과제의 해결 수단**

[0009] 본 발명의 일 태양은, 복수의 플립플롭회로를 포함하는 시프트 레지스터를 갖고, 복수의 플립플롭회로의 적어도 한개는, 제1 신호, 제2 신호, 및 제3 신호가 입력되고, 출력신호를 출력하는 플립플롭회로이며, 복수의 플립플롭회로의 적어도 한개는, 게이트 단자, 소스 단자, 및 드레인 단자를 갖고, 게이트 단자에 제1 신호의 전위인 제1 전위가 주어지고, 소스 단자 및 드레인 단자의 한쪽에 제1 전위 또는 제2 전위가 주어지는 제1 트랜지스터와, 게이트 단자, 소스 단자, 및 드레인 단자를 갖고, 게이트 단자에 제2 신호의 전위인 제3 전위가 주어지고, 소스 단자 및 드레인 단자의 한쪽이 제1 트랜지스터의 소스 단자 및 드레인 단자의 다른 쪽에 전기적으로 접속되고, 소스 단자 및 드레인 단자의 다른 쪽에 제4 전위가 주어지는 제2 트랜지스터와, 한쪽이 제1 트랜지스터의 소스 단자 및 드레인 단자의 다른 쪽의 전위를 제1 전위 또는 제4 전위로 설정하는지 아닌지를 제어하고, 다른 쪽이 제1 트랜지스터의 소스 단자 및 드레인 단자의 다른 쪽의 전위를 제4 전위로 설정하는지 아닌지를 제어하고, 한쪽이 온 상태일 때에 다른 쪽이 오프 상태가 되고, 다른 쪽이 온 상태일 때에 한쪽이 오프 상태가 되는 제3 트랜지스터 및 제4 트랜지스터와, 게이트 단자, 소스 단자, 및 드레인 단자를 갖고, 게이트 단자가 제1 트랜지스터의 소스 단자 및 드레인 단자의 다른 쪽에 전기적으로 접속되고, 소스 단자 및 드레인 단자의 한쪽에 제3 신호의 전위인 제5 전위가 주어지고, 소스 단자 및 드레인 단자의 다른 쪽의 전위가 출력신호의 전위가 되고, 제3 트랜지스터 또는 제4 트랜지스터가 온 상태일 때에 오프 상태인 제5 트랜지스터를 갖는 구동회로이다.

[0010] 본 발명의 일 태양은, 복수의 플립플롭회로를 포함하는 시프트 레지스터를 갖고, 플립플롭회로는, 제1 제어신호, 제2 제어신호, 제1 클럭신호, 및 제2 클럭신호가 입력되고, 출력신호를 출력하는 플립플롭회로이며, 플립플롭회로는, 게이트 단자, 소스 단자, 및 드레인 단자를 갖고, 게이트 단자에 제1 제어신호의 전위인 제1 전위가 주어지고, 소스 단자 및 드레인 단자의 한쪽에 제1 전위 또는 제2 전위가 주어지는 제1 트랜지스터와, 게이트 단자, 소스 단자, 및 드레인 단자를 갖고, 게이트 단자에 제2 제어신호의 전위인 제3 전위가 주어지고, 소스 단자 및 드레인 단자의 한쪽이 제1 트랜지스터의 소스 단자 및 드레인 단자의 다른 쪽에 전기적으로 접속되고, 소스 단자 및 드레인 단자의 다른 쪽에 제4 전위가 주어지는 제2 트랜지스터와, 각각 게이트 단자, 소스 단자, 및 드레인 단자를 갖는 트랜지스터이며, 각각의 트랜지스터의 소스 단자 및 드레인 단자의 한쪽이 제1 트랜지스터의 소스 단자 및 드레인 단자의 다른 쪽에 전기적으로 접속되고, 한쪽의 트랜지스터의 소스 단자 및 드레인 단자의 다른 쪽에 제1 전위 또는 제4 전위가 주어지고, 다른 쪽의 트랜지스터의 소스 단자 및 드레인 단자의 다른 쪽에 제4 전위가 주어지고, 한쪽의 트랜지스터가 온 상태일 때에 다른 쪽의 트랜지스터가 오프 상태가 되고, 다른 쪽의 트랜지스터가 온 상태일 때에 한쪽의 트랜지스터가 오프 상태가 되는 제3 트랜지스터 및 제4 트랜지스터와, 게이트 단자, 소스 단자, 및 드레인 단자를 갖고, 게이트 단자가 제1 트랜지스터의 소스 단자 및 드레인 단자의 다른 쪽에 전기적으로 접속되고, 소스 단자 및 드레인 단자의 한쪽에 제1 클럭신호의 전위인 제5 전위가 주어지고, 소스 단자 및 드레인 단자의 다른 쪽의 전위가 출력신호의 전위가 되고, 제3 트랜지스터 또는 제4 트랜지스터가 온 상태일 때에 오프 상태인 제5 트랜지스터와, 게이트 단자, 소스 단자, 및 드레인 단자를 갖고, 게이트 단자가 제3 트랜지스터 및 제4 트랜지스터의 다른 쪽의 게이트 단자에 전기적으로 접속되고, 소스 단자 및 드레인 단자의 한쪽이 제5 트랜지스터의 소스 단자 및 드레인 단자의 다른 쪽에 전기적으로 접속되고, 소스 단자 및 드레인 단자의 다른 쪽에 제4 전위가 주어지는 제6 트랜지스터와, 게이트 단자, 소스 단자, 및 드레인 단자를 갖고, 게이트 단자에 제2 클럭신호의 전위인 제6 전위가 주어지고, 소스 단자 및 드레인 단자의 한

쪽이 제5 트랜지스터의 소스 단자 및 드레인 단자의 다른 쪽에 전기적으로 접속되고, 소스 단자 및 드레인 단자의 다른 쪽에 제4 전위가 주어지는 제7 트랜지스터를 갖는 구동회로이다.

- [0011] 또한, 본 발명의 일 태양에 있어서, 플립플롭회로는 적어도 2개의 단자를 갖고, 한쪽의 단자에 제5 전위가 주어지고, 다른 쪽의 단자가 제3 트랜지스터 및 제4 트랜지스터의 다른 쪽의 게이트 단자에 전기적으로 접속된 제1 용량소자와, 게이트 단자, 소스 단자, 및 드레인 단자를 갖고, 게이트 단자가 제5 트랜지스터의 게이트 단자에 전기적으로 접속되고, 소스 단자 및 드레인 단자의 한쪽이 제3 트랜지스터 및 제4 트랜지스터의 다른 쪽의 게이트 단자에 전기적으로 접속되고, 소스 단자 및 드레인 단자의 다른 쪽에 제4 전위가 주어지는 제8 트랜지스터와, 적어도 2개의 단자를 갖고, 한쪽의 단자에 제6 전위가 주어지고, 다른 쪽의 단자가 제3 트랜지스터 및 제4 트랜지스터의 한쪽의 게이트 단자에 전기적으로 접속된 제2 용량소자와, 게이트 단자, 소스 단자, 및 드레인 단자를 갖고, 게이트 단자가 제1 트랜지스터의 게이트 단자에 전기적으로 접속되고, 소스 단자 및 드레인 단자의 한쪽이 제3 트랜지스터 및 제4 트랜지스터의 한쪽의 게이트 단자에 전기적으로 접속되고, 소스 단자 및 드레인 단자의 다른 쪽에 제4 전위가 주어지는 제9 트랜지스터를 갖는 구성으로 할 수도 있다.
- [0012] 또한, 본 발명의 일 태양에 있어서, 플립플롭회로는 적어도 2개의 단자를 갖고, 한쪽의 단자에 제5 전위가 주어지고, 다른 쪽의 단자가 제3 트랜지스터 및 제4 트랜지스터의 다른 쪽의 게이트 단자에 전기적으로 접속된 제1 용량소자와, 게이트 단자, 소스 단자, 및 드레인 단자를 갖고, 게이트 단자가 제5 트랜지스터의 게이트 단자에 전기적으로 접속되고, 소스 단자 및 드레인 단자의 한쪽이 제3 트랜지스터 및 제4 트랜지스터의 다른 쪽의 게이트 단자에 전기적으로 접속되고, 소스 단자 및 드레인 단자의 다른 쪽에 제4 전위가 주어지는 제8 트랜지스터를 갖는 구성으로 할 수도 있다.
- [0013] 또한, 본 발명의 일 태양에 있어서, 플립플롭회로는 게이트 단자, 소스 단자, 및 드레인 단자를 갖고, 게이트 단자에 제1 전위가 주어지고, 소스 단자 및 드레인 단자의 한쪽이 제3 트랜지스터 및 제4 트랜지스터의 다른 쪽의 게이트 단자에 전기적으로 접속되고, 소스 단자 및 드레인 단자의 다른 쪽에 제4 전위가 주어지는 제10의 트랜지스터를 갖는 구성으로 할 수도 있다.
- [0014] 또한, 본 발명의 일 태양에 있어서, 플립플롭회로는 제2 출력신호를 출력하는 기능을 갖고, 플립플롭회로는 게이트 단자, 소스 단자, 및 드레인 단자를 갖고, 게이트 단자가 제1 트랜지스터의 소스 단자 및 드레인 단자의 한쪽에 전기적으로 접속되고, 소스 단자 및 드레인 단자의 한쪽에 제5 전위가 주어지고, 소스 단자 및 드레인 단자의 다른 쪽의 전위가 제2 출력신호의 전위가 되는 제11의 트랜지스터와, 게이트 단자, 소스 단자, 및 드레인 단자를 갖고, 게이트 단자가 제3 트랜지스터 및 제4 트랜지스터의 다른 쪽의 게이트 단자에 전기적으로 접속되고, 소스 단자 및 드레인 단자의 한쪽이 제11의 트랜지스터의 소스 단자 및 드레인 단자의 다른 쪽에 전기적으로 접속되고, 소스 단자 및 드레인 단자의 다른 쪽에 제4 전위가 주어지는 제12의 트랜지스터와, 게이트 단자, 소스 단자, 및 드레인 단자를 갖고, 게이트 단자가 제7 트랜지스터의 게이트 단자에 전기적으로 접속되고, 소스 단자 및 드레인 단자의 한쪽이 제11의 트랜지스터의 소스 단자 및 드레인 단자의 다른 쪽에 전기적으로 접속되고, 소스 단자 및 드레인 단자의 다른 쪽에 제4 전위가 주어지는 제13의 트랜지스터를 갖는 구성으로 할 수도 있다.
- [0015] 또한, 본 발명의 일 태양에 있어서, 제1 제어신호 및 제2 제어신호를 디지털 신호로 하고, 디지털 신호의 하이 상태와 로우 상태의 전위차의 절대값을 플립플롭회로 내의 트랜지스터의 임계전압의 절대값보다 크게 할 수도 있다.
- [0016] 또한, 본 발명의 일 태양에 있어서, 제4 전위를 제1 제어신호 또는 제2 제어신호, 또는 제1 클럭신호 또는 제2 클럭신호의 하이 상태 또는 로우 상태의 전위와 동등한 값으로 할 수도 있다.
- [0017] 또한, 본 발명의 일 태양에 있어서, 제1 클럭신호 및 제2 클럭신호를 위상이 상반된 관계로 하고, 제1 클럭신호 및 제2 클럭신호의 하이 상태와 로우 상태의 전위차의 절대값을 플립플롭회로 내의 트랜지스터의 임계전압의 절대값보다 크게 할 수도 있다.
- [0018] 또한, 본 발명의 일 태양에 있어서, 플립플롭회로 내의 트랜지스터는, 모두 동일한 도전형으로 할 수도 있다.
- [0019] 또한, 본 발명의 일 태양에 있어서, 플립플롭회로 내의 트랜지스터는, 게이트 전극과, 게이트 전극을 덮도록 설치된 게이트 절연막과, 게이트 절연막을 사이에 끼워 게이트 전극 위에 설치된 미결정 반도체층을 포함하는 제1 반도체층과, 제1 반도체층 위에 설치된 버퍼층과, 버퍼층 위에 설치되고, 불순물 원소를 포함하는 한 쌍의 제2 반도체층과, 한 쌍의 제2 반도체층의 한쪽 위에 설치된 소스 전극과, 한 쌍의 제2 반도체층의 다른 쪽 위에 설치된 드레인 전극을 갖는 구조로 할 수도 있다.



- [0020] 본 발명의 일 태양은, 상기 기재의 구동회로를 어느 쪽인가에 포함하는 주사선 구동회로 및 신호선 구동회로와, 복수의 주사선과, 복수의 신호선과, 화소부를 갖고, 화소부는, 복수의 주사선의 어느 쪽인가를 거쳐 주사선 구동회로에 전기적으로 접속되고, 또한, 복수의 신호선의 어느 쪽인가를 거쳐 신호선 구동회로에 전기적으로 접속된 화소를 복수 갖는 표시장치이다.
- [0021] 본 발명의 일 태양은, 상기 기재의 표시장치를 표시부에 갖는 전자기기이다.
- [0022] 이때, 본 명세서에 있어서, 트랜지스터는, 게이트 단자, 소스 단자, 및 드레인 단자의 적어도 3개의 단자를 갖고, 게이트 단자란, 게이트 전극의 부분(도전층, 및 배선 등을 포함한다) 또는, 게이트 전극과 전기적으로 접속되어 있는 부분의 일부를 말한다. 또한, 소스 단자란, 소스 전극의 부분(도전층, 및 배선 등을 포함한다)과, 소스 전극과 전기적으로 접속되어 있는 부분(반도체층 등을 포함한다)의 일부를 말한다. 또한, 드레인 단자란, 드레인 전극의 부분(도전층, 및 배선 등을 포함한다)과, 드레인 전극과 전기적으로 접속되어 있는 부분(반도체층 등을 포함한다)의 일부를 말한다. 또한, 트랜지스터는, 드레인 영역과 소스 영역 사이에 채널 영역을 갖고, 드레인 영역과 채널 영역과 소스 영역을 거쳐 전류를 흘려보낼 수 있다.
- [0023] 또한, 본 명세서에 있어서, 트랜지스터의 소스 단자와 드레인 단자는, 트랜지스터의 구조나 동작조건 등에 의해 바뀌기 때문에, 어느 것이 소스 단자 또는 드레인 단자인지를 한정하는 것이 곤란하다. 따라서, 본 서류(명세서, 특허청구범위 또는 도면 등)에 있어서는, 소스 단자 및 드레인 단자에서 임의로 선택한 한쪽의 단자를 소스 단자 및 드레인 단자의 한쪽으로 표기하고, 다른 쪽의 단자를 소스 단자 및 드레인 단자의 다른 쪽으로 표기한다.
- [0024] 이때, A 위에 B가 형성되어 있거나, 또는, A 위에 B가 형성되어 있다고 명시적으로 기재하는 경우에는, A 위에 B가 직접 접해서 형성되어 있는 것에 한정되지 않는다. 직접 접하지 있지 않은 경우, 즉, A와 B 사이에 다른 대상물이 개재하는 경우도 포함하는 것으로 한다. 여기에서, A, B는, 대상물(예를 들면 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 또는 층 등)인 것으로 한다.
- [0025] 따라서 예를 들면, A 위에(또는 층 A 위에), 층 B가 형성되어 있다고 명시적으로 기재되어 있는 경우에는, 층 A 위에 직접 접해서 층 B가 형성되어 있는 경우와, 층 A 위에 직접 접해서 다른 층(예를 들면 층 C나 층 D 등)이 형성되어 있고, 그 위에 직접 접해서 층 B가 형성되어 있을 경우를 포함하는 것으로 한다. 이때, 다른 층(예를 들면 층 C나 층 D 등)은, 단층이어도 되고, 복층이어도 된다.
- [0026] 이때, A 위에 B가 형성되어 있거나 또는 A 위에 B가 형성되어 있다고 명시적으로 기재하는 경우, 비스듬히 위에 B가 형성되는 경우도 포함하는 것으로 한다.
- [0027] 또한, 본 명세서에 있어서, 제1, 제2 등의 서수를 사용한 용어는, 구성요소의 혼동을 피하기 위해 붙인 것으로, 수치적으로 한정하는 것은 아닌 것을 부기한다.

**발명의 효과**

- [0028] 본 발명의 일 태양에 의해, 시프트 레지스터를 사용한 회로에 있어서, 동작 불량을 억제할 수 있다.

**도면의 간단한 설명**

- [0029] 도 1은 실시형태 1에 있어서의 구동회로의 구성의 일례를 나타낸 회로도이다.
- 도 2는 도 1에 나타낸 구동회로의 동작을 나타낸 타이밍차트도이다.
- 도 3은 실시형태 1에 있어서의 구동회로의 구성의 일례를 나타낸 회로도이다.
- 도 4는 실시형태 1에 있어서의 구동회로의 구성의 일례를 나타낸 회로도이다.
- 도 5는 도 4에 나타낸 구동회로의 동작을 나타낸 타이밍차트도이다.
- 도 6은 실시형태 1에 있어서의 구동회로의 구성의 일례를 나타낸 회로도이다.
- 도 7은 실시형태 2에 있어서의 구동회로의 구성의 일례를 나타낸 회로도이다.
- 도 8은 도 7에 나타낸 구동회로의 동작을 나타낸 타이밍차트도이다.
- 도 9는 실시형태 2에 있어서의 구동회로의 구성의 일례를 나타낸 회로도이다.

- 도 10은 실시형태 2에 있어서의 구동회로의 구성의 일례를 나타낸 회로도이다.
- 도 11은 도 10에 나타낸 구동회로의 동작을 나타낸 타이밍차트도이다.
- 도 12는 실시형태 2에 있어서의 구동회로의 구성의 일례를 나타낸 회로도이다.
- 도 13은 실시형태 3에 있어서의 표시장치의 구성의 일례를 나타낸 회로도이다.
- 도 14는 도 13에 나타낸 주사선 구동회로 702의 동작을 나타낸 타이밍차트도이다.
- 도 15는 실시형태 3의 액정표시장치에 있어서의 화소의 구성 및 동작의 일례를 도시한 도면이다.
- 도 16은 실시형태 3의 액정표시장치에 있어서의 화소의 구성 및 동작의 일례를 도시한 도면이다.
- 도 17은 실시형태 4에 있어서의 구동회로에 적용가능한 트랜지스터의 구성의 일례를 나타낸 단면 모식도이다.
- 도 18은 실시형태 4에 있어서의 구동회로에 적용가능한 트랜지스터의 구성의 일례를 나타낸 단면 모식도이다.
- 도 19는 실시형태 4에 있어서의 구동회로에 적용가능한 트랜지스터의 제조방법의 일례를 나타낸 단면 모식도이다.
- 도 20은 실시형태 4에 있어서의 구동회로에 적용가능한 트랜지스터의 제조방법의 일례를 나타낸 단면 모식도이다.
- 도 21은 실시형태 4에 있어서의 구동회로에 적용가능한 트랜지스터의 제조방법의 일례를 나타낸 단면 모식도이다.
- 도 22는 실시형태 5에 있어서의 표시장치를 표시부에 적용가능한 전자기기의 일례를 도시한 도면이다.
- 도 23은 실시형태 5에 있어서의 표시장치를 표시부에 적용가능한 전자기기의 일례를 도시한 도면이다.
- 도 24는 실시형태 1에 있어서의 구동회로의 구성의 일례를 도시한 도면이다.
- 도 25는 실시형태 1에 있어서의 구동회로의 회로 계산 결과를 도시한 도면이다.

**발명을 실시하기 위한 구체적인 내용**

- [0030] 본 발명의 실시형태의 예에 대해, 도면을 사용해서 이하에서 설명한다. 단, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위에서 이탈하지 않고 그 형태 및 상세를 다양하게 변경할 수 있는 것은 당업자라면 용이하게 이해된다. 따라서, 본 발명은 이하에 나타낸 실시형태의 기재 내용에 한정해서 해석되는 것은 아닌 것으로 한다.
- [0031] (실시형태 1)
- [0032] 본 실시형태에서는, 본 발명의 일 태양인 구동회로에 대해 설명한다.
- [0033] 본 실시형태에 있어서의 구동회로는, 복수의 플립플롭회로를 포함하는 시프트 레지스터를 갖는다.
- [0034] 더구나, 플립플롭회로의 회로 구성의 일례에 대해서 도 24를 사용하여 설명한다. 도 24는, 본 실시형태의 구동회로에 있어서의 플립플롭회로의 회로 구성의 일례를 나타낸 회로도이다.
- [0035] 복수의 플립플롭회로의 적어도 한개는, 도 24에 나타낸 회로 구성의 플립플롭회로로 할 수 있다. 이때, 도 24에 나타낸 플립플롭회로는, 일례로서 제1 신호, 제2 신호, 및 제3 신호가 입력되고, 출력신호를 출력하는 기능을 갖는 것으로 한다.
- [0036] 도 24에 나타낸 플립플롭회로는, 트랜지스터 11과, 트랜지스터 12와, 트랜지스터 13과, 트랜지스터 14, 트랜지스터 15를 갖는다.
- [0037] 트랜지스터 11은, 게이트 단자에 제1 신호의 전위인 제1 전위가 주어지고, 소스 단자 및 드레인 단자의 한쪽에 제1 전위 또는 제2 전위가 주어진다.
- [0038] 트랜지스터 12는, 소스 단자 및 드레인 단자의 한쪽이 트랜지스터 11의 소스 단자 및 드레인 단자의 다른 쪽에 전기적으로 접속된다. 또한, 트랜지스터 12는, 게이트 단자에 제2 신호의 전위인 제3 전위가 주어지고, 소스 단자 및 드레인 단자의 다른 쪽에 제4 전위가 주어진다.



- [0039] 트랜지스터 13 및 트랜지스터 14는, 한쪽이 트랜지스터 11의 소스 단자 및 드레인 단자의 다른 쪽의 전위를 제1 전위 또는 제4 전위로 설정하는지 아닌지를 제어하는 기능을 갖고, 다른 쪽이 트랜지스터 11의 소스 단자 및 드레인 단자의 다른 쪽의 전위를 제4 전위로 설정하는지 아닌지를 제어하는 기능을 갖는다.
- [0040] 또한, 트랜지스터 13은, 트랜지스터 14가 온 상태일 때에 오프 상태가 되는 기능을 갖고, 또한, 트랜지스터 14는, 트랜지스터 13이 온 상태일 때에 오프 상태가 되는 기능을 갖는다.
- [0041] 트랜지스터 15는, 게이트 단자가 트랜지스터 11의 소스 단자 및 드레인 단자의 다른 쪽에 전기적으로 접속된다. 또한, 트랜지스터 15는, 소스 단자 및 드레인 단자의 한쪽에 제3 신호의 전위인 제5 전위가 주어지고, 소스 단자 및 드레인 단자의 다른 쪽의 전위가 출력신호의 전위가 된다. 이때, 트랜지스터 11의 소스 단자 및 드레인 단자의 다른 쪽과 트랜지스터 15의 게이트 단자의 접속 개소를 노드 A라고도 말한다.
- [0042] 또한, 트랜지스터 15는, 트랜지스터 13 또는 트랜지스터 14가 온 상태일 때 오프 상태이다.
- [0043] 상기한 구성에 의해, 트랜지스터 13 또는 트랜지스터 14가 온 상태일 때에는, 노드 A의 전위, 즉 트랜지스터 15의 게이트 단자의 전위가 소정의 값으로 설정되어, 노드 A가 부유 상태로 되지 않기 때문에, 플립플롭회로의 동작 불량을 억제 할 수 있다.
- [0044] 더구나, 본 실시형태의 구동회로에 있어서의 플립플롭회로의 회로 구성의 일례에 대해 도 1을 사용하여 설명한다. 도 1은, 본 실시형태에 있어서의 플립플롭회로의 회로 구성의 일례를 나타낸 회로도이다.
- [0045] 본 실시형태의 구동회로에 있어서의 복수의 플립플롭회로의 각각은, 도 1에 나타낸 회로 구성의 플립플롭회로로 할 수 있다. 도 1에 나타낸 플립플롭회로는, 단자 100과, 단자 101과, 단자 102와, 단자 103과, 단자 104와, 단자 105와, 트랜지스터 106과, 트랜지스터 107과, 용량소자 108과, 트랜지스터 109와, 트랜지스터 110과, 트랜지스터 111과, 용량소자 112와, 트랜지스터 113과, 트랜지스터 114와, 트랜지스터 115와, 트랜지스터 116을 갖는다.
- [0046] 이때, 도 1에 나타낸 플립플롭회로에서는, 단자 102로서 단자 102A 및 단자 102B를 보이고 있지만, 이것에 한정되지 않고, 본 실시형태의 구동회로에 있어서의 플립플롭회로에서는, 단자 102A 및 단자 102B를 전기적으로 접속시켜, 한개의 단자 102로 할 수도 있다. 또한, 도 1에 나타낸 플립플롭회로에서는, 단자 103으로서 단자 103A 및 단자 103B를 나타내고 있지만, 이것에 한정되지 않고, 본 실시형태의 구동회로에 있어서의 플립플롭회로에서는, 단자 103A 및 단자 103B를 전기적으로 접속시켜, 한개의 단자 103으로 할 수도 있다.
- [0047] 또한, 본 실시형태의 구동회로에 있어서의 플립플롭회로에서는, 단자 104로서 단자 104A 내지 단자 104G를 나타내고 있지만, 이것에 한정되지 않고, 본 실시형태의 구동회로에 있어서의 플립플롭회로에서는, 단자 104A 내지 단자 104G를 전기적으로 접속시켜, 한개의 단자 104로 할 수도 있다.
- [0048] 트랜지스터106은, 게이트 단자가 단자 100에 전기적으로 접속되고, 소스 단자 및 드레인 단자의 한쪽이 트랜지스터 106의 게이트 단자에 전기적으로 접속된다.
- [0049] 트랜지스터 107은, 게이트 단자가 단자 101에 전기적으로 접속되고, 소스 단자 및 드레인 단자의 한쪽이 트랜지스터 106의 소스 단자 및 드레인 단자의 다른 쪽에 전기적으로 접속되고, 소스 단자 및 드레인 단자의 다른 쪽이 단자 104A에 전기적으로 접속된다. 이때, 편의를 위해 도시하지 않지만, 본 실시형태의 구동회로에 있어서의 플립플롭회로에 있어서, 트랜지스터 107을 설치하지 않는 구성으로 할 수도 있다. 트랜지스터 107을 설치하지 않는 구성으로 함으로써 회로 면적을 작게 할 수 있다.
- [0050] 용량소자 108은 적어도 2개의 단자를 갖고, 한쪽의 단자가 단자 102A에 전기적으로 접속된다.
- [0051] 트랜지스터 109는, 게이트 단자가 트랜지스터 106의 소스 단자 및 드레인 단자의 한쪽에 전기적으로 접속되고, 소스 단자 및 드레인 단자의 한쪽이 용량소자 108의 다른 쪽의 단자에 전기적으로 접속되고, 소스 단자 및 드레인 단자의 다른 쪽이 단자 104B에 전기적으로 접속된다.
- [0052] 트랜지스터 110은, 게이트 단자가 트랜지스터 109의 소스 단자 및 드레인 단자의 한쪽에 전기적으로 접속되고, 소스 단자 및 드레인 단자의 한쪽이 트랜지스터 106의 소스 단자 및 드레인 단자의 다른 쪽에 전기적으로 접속되고, 소스 단자 및 드레인 단자의 다른 쪽이 단자 104C에 전기적으로 접속된다.
- [0053] 용량소자 112는 적어도 2개의 단자를 갖고, 한쪽의 단자가 단자 103A에 전기적으로 접속된다.
- [0054] 트랜지스터 111은, 게이트 단자가 용량소자 112의 다른 쪽의 단자에 전기적으로 접속되고, 소스 단자 및 드레인

단자의 한쪽이 트랜지스터 106의 소스 단자 및 드레인 단자의 다른 쪽에 전기적으로 접속되고, 소스 단자 및 드레인 단자의 다른 쪽이 단자 104D에 전기적으로 접속된다.

[0055] 트랜지스터 113은, 게이트 단자가 트랜지스터 106의 소스 단자 및 드레인 단자의 다른 쪽에 전기적으로 접속되고, 소스 단자 및 드레인 단자의 한쪽이 트랜지스터 111의 게이트 단자에 전기적으로 접속되고, 소스 단자 및 드레인 단자의 다른 쪽이 단자 104E에 전기적으로 접속된다.

[0056] 트랜지스터 114는, 게이트 단자가 트랜지스터 106의 소스 단자 및 드레인 단자의 다른 쪽에 전기적으로 접속되고, 소스 단자 및 드레인 단자의 한쪽이 단자 103B에 전기적으로 접속되고, 소스 단자 및 드레인 단자의 다른 쪽이 단자 105에 전기적으로 접속되고, 소스 단자 및 드레인 단자의 다른 쪽의 전위가 출력신호가 되고, 단자 105를 거쳐 출력된다. 이때, 본 실시형태의 구동회로에 있어서의 플립플롭회로는, 트랜지스터 114의 게이트 단자와 소스 단자 및 드레인 단자의 다른 쪽과의 사이에 별도 용량소자를 설치하는 구성으로 할 수도 있다.

[0057] 또한, 트랜지스터 115는, 게이트 단자가 트랜지스터 111의 게이트 단자에 전기적으로 접속되고, 소스 단자 및 드레인 단자의 한쪽이 트랜지스터 114의 소스 단자 및 드레인 단자의 다른 쪽에 전기적으로 접속되고, 소스 단자 및 드레인 단자의 다른 쪽이 단자 104F에 전기적으로 접속된다.

[0058] 또한, 트랜지스터 116은, 게이트 단자가 단자 102B에 전기적으로 접속되고, 소스 단자 및 드레인 단자의 한쪽이 트랜지스터 114의 소스 단자 및 드레인 단자의 다른 쪽에 전기적으로 접속되고, 소스 단자 및 드레인 단자의 다른 쪽이 단자 104G에 전기적으로 접속된다.

[0059] 이때, 트랜지스터 109의 소스 단자 및 드레인 단자의 한쪽과, 용량소자 108의 다른 쪽의 단자 또는 트랜지스터 110의 게이트 단자의 접속 개소를 노드 118이라고도 말한다. 또한, 트랜지스터 106의 소스 단자 및 드레인 단자의 다른 쪽과, 트랜지스터 107의 소스 단자 및 드레인 단자의 한쪽, 트랜지스터 110의 소스 단자 및 드레인 단자의 한쪽, 트랜지스터 111의 소스 단자 및 드레인 단자의 한쪽, 트랜지스터 113의 게이트 단자, 또는 트랜지스터 114의 게이트 단자와의 접속 개소를 노드 117이라고도 말한다. 또한, 트랜지스터 111의 게이트 단자와, 용량소자 112의 다른 쪽의 단자, 트랜지스터 113의 소스 단자 및 드레인 단자의 한쪽, 또는 트랜지스터 115의 게이트 단자와의 접속 개소를 노드 119라고도 한다.

[0060] 또한, 도 1에 나타난 플립플롭회로는, 단자 100을 통해 제1 제어신호가 입력되고, 단자 101을 통해 제2 제어신호가 입력된다. 제1 제어신호 및 제2 제어신호는, 예를 들면 각각 하이 상태와 로우 상태의 2개의 상태를 갖는 디지털 신호를 사용할 수 있다. 디지털 신호를 사용하는 경우, 입력되는 제1 제어신호 또는 제2 제어신호가 하이 상태일 때(하이레벨이라고도 한다)에는, 단자 100 또는 단자 101을 거쳐 제1 전위(V1이라고도 한다)로서 소정의 값의 전위인 제1 제어신호 또는 제2 제어신호가 입력되고, 입력되는 제1 제어신호 또는 제2 제어신호가 로우 상태일 때(로우 레벨이라고도 한다)에는, 단자 100 또는 단자 101을 거쳐 제2 전위(V2라고도 한다)로서 상기 하이 상태에 있어서의 소정의 값의 전위보다 낮은 값의 전위인 제1 제어신호 또는 제2 제어신호가 입력된다. 하이 상태 및 로우 상태에 있어서의 전위의 값은, 예를 들면 트랜지스터의 임계전압의 값 등을 고려해서 적당하게 설정할 수 있다. 예를 들면, 하이 상태와 로우 상태의 전위차가 플립플롭회로 내의 트랜지스터의 임계전압의 절대값보다 커지도록, 하이 상태 및 로우 상태에 있어서의 전위의 값을 설정하는 것이 바람직하다.

[0061] 또한, 도 1에 나타난 플립플롭회로는, 단자 102(단자 102A 및 단자 102B라고도 한다)를 거쳐 제1 위상인 클럭신호(제1 클럭신호, 또는 CK 신호라고도 한다) 또는 제2 위상인 클럭신호(제2 클럭신호, CKB 신호, 또는 제1 클럭신호의 반전 신호라고도 한다)가 입력된다. 제1 클럭신호 및 제2 클럭신호는, 하이 상태와 로우 상태의 2개의 전위의 상태를 갖고, 하이 상태일 때(하이레벨이라고도 한다)에는, 클럭신호의 전위가 전위 V1이 되고, 로우 상태일 때(로우 레벨이라고도 한다)에는, 클럭신호의 전위가 전위 V2가 된다. 이때, 하이 상태일 때의 제1 클럭신호 및 제2 클럭신호의 전위는, 하이 상태일 때의 제1 제어신호 및 제2 제어신호의 전위와 동등한 값인 것이 바람직하며, 로우 상태일 때의 제1 클럭신호 및 제2 클럭신호의 전위는, 로우 상태일 때의 제1 제어신호 및 제2 제어신호의 전위와 동등한 값인 것이 바람직하다. 또한, 하이 상태 및 로우 상태에 있어서의 전위의 값은, 예를 들면 트랜지스터의 임계전압의 값 등을 고려해서 적당하게 설정할 수 있다. 예를 들면, 하이 상태와 로우 상태의 전위차가 플립플롭회로 내의 트랜지스터의 임계전압의 절대값보다 커지도록, 하이 상태 및 로우 상태에 있어서의 전위의 값을 설정하는 것이 바람직하다.

[0062] 제1 클럭신호와 제2 클럭신호의 2개의 클럭신호는, 위상이 상반된 관계로서, 예를 들면, 소정의 기간에 있어서, 제1 클럭신호가 하이 상태일 때에는, 제2 클럭신호는 로우 상태이며, 제1 클럭신호가 로우 상태일 때에는, 제2 클럭신호는 하이 상태이다.

- [0063] 또한, 플립플롭회로는, 단자 103(단자 103A 및 단자 103B라고도 한다)을 거쳐 제1 클록신호 또는 제2 클록신호가 입력된다. 이때, 단자 102를 거쳐 입력되는 클록신호와 단자 103을 거쳐 입력되는 클록신호는 상반된 관계로서, 예를 들면, 단자 102를 통해 제1 클록신호가 입력될 경우에는, 단자 103을 통해 제2 클록신호가 입력되고, 단자 102를 통해 제2 클록신호가 입력될 경우에는, 단자 103을 통해 제1 클록신호가 입력된다.
- [0064] 또한, 도 1에 나타낸 플립플롭회로는, 단자 104(단자 104A 내지 단자 104G라고도 한다)를 거쳐 소정의 값의 전위가 주어진다. 이때, 소정의 값의 전위의 값은, 예를 들면, V1 또는 V2로 할 수 있고, 즉 클록신호 또는 제어신호 등의 디지털 신호의 하이 상태 또는 로우 상태에 있어서의 전위의 값과 동등한 값으로 할 수 있다.
- [0065] 이때, 도 1에 나타낸 플립플롭회로에 있어서, 트랜지스터 106의 소스 단자 및 드레인 단자의 한쪽이 단자 100에 전기적으로 접속되는 구성에 대해 설명했지만, 이것에 한정되지 않고, 본 실시형태의 구동회로에 있어서의 플립플롭회로는, 별도의 전원단자에 전기적으로 접속된 구성으로 하여, 전위 V1 또는 전위 V2가 주어지는 구성으로 할 수도 있다.
- [0066] 트랜지스터 106은, 단자 100을 통해 입력되는 신호에 따라, 단자 100과 노드 117의 도통을 제어하는 기능을 갖는다.
- [0067] 트랜지스터 107은, 단자 101을 통해 입력되는 신호에 따라, 단자 104A와 노드 117의 도통을 제어하는 기능을 갖고, 단자 104A와 노드 117이 도통상태가 됨으로써, 노드 117의 전위가 V1 또는 V2로 설정된다.
- [0068] 용량소자 108은, 단자 102(단자 102A)를 거쳐 입력되는 신호에 따라서, 용량결합에 의해 노드 118의 전위를 변동시키는 기능을 갖는다. 예를 들면, 단자 102(단자 102A)를 거쳐 입력되는 신호가 로우 상태로부터 하이 상태가 되었을 경우, 용량소자 108은, 용량결합에 의해 노드 118의 전위를 전위 V1으로 설정하는 기능을 갖는다. 한편, 단자 102를 통해 입력되는 신호가 하이 상태로부터 로우 상태가 되었을 경우, 용량소자 108은, 용량결합에 의해 노드 118의 전위를 V1 또는 V2로 설정하는 기능을 갖는다.
- [0069] 트랜지스터 109는, 단자 100을 통해 입력되는 신호에 따라서, 단자 104B와 노드 118의 도통을 제어하는 기능을 갖고, 단자 104B와 노드 118이 도통상태가 됨으로써 노드 118의 전위가 V1 또는 V2로 설정된다.
- [0070] 트랜지스터 110은, 노드 118의 전위에 따라, 단자 104C와 노드 117의 도통을 제어하는 기능을 갖고, 단자 104C와 노드 117이 도통상태가 됨으로써 노드 117의 전위가 V1 또는 V2로 설정된다. 또한, 트랜지스터 110은, 트랜지스터 111이 온 상태일 때에 오프 상태가 되는 기능을 갖는다.
- [0071] 트랜지스터 111은, 노드 119의 전위에 따라서, 단자 104D와 노드 117의 도통을 제어하는 기능을 갖고, 단자 104D와 노드 117이 도통상태가 됨으로써 노드 117의 전위가 V1 또는 V2로 설정된다. 또한, 트랜지스터 111은, 트랜지스터 110이 온 상태일 때에 오프 상태가 되는 기능을 갖는다.
- [0072] 용량소자 112는, 단자 103A를 거쳐 입력되는 신호에 따라서, 용량결합에 의해 노드 119의 전위를 변동시키는 기능을 갖는다. 예를 들면, 단자 103A를 거쳐 입력되는 신호가 로우 상태로부터 하이 상태가 되었을 경우, 용량소자 112는, 용량결합에 의해 노드 119의 전위를 V1로 설정한다. 한편, 단자 103A를 거쳐 입력되는 신호가 하이 상태로부터 로우 상태가 되었을 경우, 용량소자 112는, 용량결합에 의해 노드 119의 전위를 V2로 설정한다.
- [0073] 트랜지스터 113은, 단자 104E와 노드 119의 도통을 제어하는 기능을 갖고, 단자 104E와 노드 119가 도통상태가 됨으로써 노드 119의 전위가 V1 또는 V2로 설정된다.
- [0074] 트랜지스터 114는, 노드 117의 전위에 따라서, 단자 103B와 단자 105의 도통을 제어하고, 단자 103B와 단자 105가 도통상태가 되는 것에 의해, 단자 103B를 거쳐 입력되는 신호의 전위와 단자 105를 통해 출력되는 신호의 전위를 동등한 값으로 하는 기능을 갖는다.
- [0075] 또한, 트랜지스터 114는, 예를 들면, N형 트랜지스터로서 노드 117의 전위가 V1인 경우에, 단자 103B를 거쳐 입력되는 신호가 로우 상태로부터 하이 상태로 변화하면, 단자 105와의 접속 개소의 전위의 상승에 따라서 노드 117의 전위를 상승시키는 기능을 갖는다. 소위, 부트스트랩이다. 단, 부트스트랩은, 트랜지스터 114의 게이트 단자와, 소스 단자 및 드레인 단자의 다른 쪽과의 사이의 기생 용량에 의해 행해지는 일이 많다.
- [0076] 트랜지스터 115는, 노드 119의 전위에 따라서, 단자 104F와 단자 105의 도통을 제어하는 기능을 갖고, 단자 104F와 단자 105가 도통상태가 되는 것에 의해, 단자 105를 통해 출력하는 신호의 전위가 V1 또는 V2로 설정된다.
- [0077] 트랜지스터 116은, 단자 102B를 거쳐 입력되는 신호에 따라서, 단자 104G와 단자 105의 도통을 제어하는 기능을

갖고, 단자 104G와 단자 105를 도통상태로 하여, 단자 105를 통해 출력되는 신호의 전위를 V1 또는 V2로 설정하는 기능을 갖는다.

- [0078] 이때, 본 실시형태에 있어서의 구동회로는, 모두 동일한 도전형의 트랜지스터에 의해 구성할 수 있으므로, 제조공정의 간략화를 도모할 수 있다. 따라서, 제조비용의 삭감이나 제품 수율의 향상을 도모할 수 있다. 더구나, 대형의 표시 패널 등의 반도체장치를 제조하는 것도 용이하게 된다. 본 실시형태의 구동회로에서는, 모든 트랜지스터를 N형의 도전형의 트랜지스터(N형 트랜지스터라고도 한다) 또는 P형의 도전형의 트랜지스터(P형 트랜지스터라고도 한다)로 할 수도 있다. 이때, 본 명세서에 있어서 동일이란 실질적으로 동일한 것도 포함된다.
- [0079] 다음에, 도 1에 나타난 구동회로의 동작에 대해 도 2를 사용하여 설명한다. 도 2는, 도 1에 나타난 구동회로의 동작의 일례를 나타낸 타이밍차트이다. 이때, 본 실시형태에서는, 일례로서, 단자 102를 통해 제2 클록신호가 입력되고, 단자 103을 통해 제1 클록신호가 입력되는 것으로 한다. 또한, 여기에서는, 도 1에 나타난 구동회로의 동작의 일례로서 플립플롭회로 내의 트랜지스터가 모두 N형 트랜지스터인 경우에 대해 설명한다.
- [0080] 도 1에 나타난 구동회로의 동작은, 도 2에 나타난 것과 같이, 일정한 기간에 있어서의 소정의 동작이 반복하여 행해진다. 일정한 기간은, 주로 선택 기간과 비선택 기간으로 나뉘며, 다시 선택 기간 및 비선택 기간은 제1 기간, 제2 기간, 제3 기간, 제4 기간, 및 제5 기간으로 나뉘어진다. 도 2에 있어서, 제1 기간, 제3 기간, 제4 기간, 및 제5 기간은 비선택 기간이며, 제2 기간은 선택 기간이다.
- [0081] 우선, 제1 기간에서는, 단자 100을 통해 하이 상태인 제1 제어신호 201이 입력되고, 단자 101을 통해 로우 상태인 제2 제어신호 208이 입력되고, 단자 102를 통해 하이 상태인 제2 클록신호 203이 입력되고, 단자 103을 통해 로우 상태인 제1 클록신호 202가 입력됨으로써, 트랜지스터 106, 트랜지스터 109, 및 트랜지스터 116이 온 상태가 되고, 트랜지스터 107이 오프 상태가 된다.
- [0082] 트랜지스터 106이 온 상태가 되면 노드 117의 전위 204가 상승하기 시작한다. 이때, 노드 117의 전위는, 제1 제어신호 201의 전위 V1으로부터 트랜지스터 106의 임계전압( $V_{th106}$ 이라고도 한다)을 뺀 값, 즉  $V1 - V_{th106}$ 이 될 때까지 상승하여,  $V1 - V_{th106}$ 이 되면 트랜지스터 106은 오프 상태가 된다.
- [0083] 더구나, 노드 117의 전위 204가  $V1 - V_{th106}$ 이 되면, 트랜지스터 113은 온 상태가 된다. 이때, 노드 119의 전위 206은, 단자 104E를 거쳐 주어지는 전위 V2와 동등한 값이 된다.
- [0084] 더구나, 노드 119의 전위 206이 V2가 되면, 트랜지스터 111 및 트랜지스터 115는 오프 상태가 된다.
- [0085] 또한, 트랜지스터 109가 온 상태가 되면, 노드 118의 전위 205는, 단자 104B를 거쳐 주어지는 전위 V2와 동등한 값이 된다.
- [0086] 더구나, 노드 118의 전위 205가 V2가 되면, 트랜지스터 110이 오프 상태가 된다.
- [0087] 더구나, 상기한 것과 같이, 트랜지스터 106, 트랜지스터 107, 트랜지스터 110, 및 트랜지스터 111이 오프 상태가 되면, 노드 117은, 전위가  $V1 - V_{th106}$ 으로 유지된 채 부유 상태가 된다.
- [0088] 또한, 노드 117의 전위 204가  $V1 - V_{th106}$ 이 되면, 트랜지스터 114가 온 상태가 된다.
- [0089] 더구나, 이때 단자 105를 통해 출력되는 출력신호 207의 전위는, 단자 103B를 거쳐 주어지는 전위 V2, 또는 단자 104G를 거쳐 주어지는 전위 V2와 동등한 값이 된다. 이상이 제1 기간에 있어서의 동작이다.
- [0090] 다음에 제2 기간에서는, 단자 100을 통해 로우 상태인 제1 제어신호 201이 입력되고, 단자 101을 통해 로우 상태인 제2 제어신호 208이 입력되고, 단자 102를 통해 로우 상태인 제2 클록신호 203이 입력되고, 단자 103을 통해 하이 상태인 제1 클록신호 202가 입력된다. 이때, 트랜지스터 106, 트랜지스터 109, 및 트랜지스터 116이 오프 상태가 되고, 트랜지스터 107은 오프 상태 그대로이다.
- [0091] 이때, 트랜지스터 109는, 단자 102A를 거쳐 입력되는 제2 클록신호 203이 로우 상태가 된 후에 오프 상태가 되는 경우가 많다. 왜냐하면 단자 100을 통해 입력되는 제1 제어신호 201은 제2 클록신호 203보다도 지연되어 있는 경우가 많기 때문이다. 제2 클록신호 203이 로우 상태가 된 후에 트랜지스터 109가 오프 상태가 되는 것에 의해, 노드 118은, 전위 V2로 유지된 채 부유 상태가 되고, 트랜지스터 110은 오프 상태 그대로이다.
- [0092] 또한, 용량소자 108에는, 단자 102A를 거쳐 입력되는 제2 클록신호 203의 전위와 노드 118의 전위 205의 전위차, 즉 로우 상태인 제2 클록신호 203의 전위와, 단자 104B를 거쳐 주어지는 전위 V2의 전위차가 유지된다.



- [0093] 또한, 상기한 것과 같이 트랜지스터 106, 트랜지스터 107, 및 트랜지스터 110이 오프 상태일 때, 노드 117의 전위 204가  $V_1 - V_{th_{106}}$ 인 채이다.
- [0094] 더구나, 노드 117의 전위 204가  $V_1 - V_{th_{106}}$ 일 때, 트랜지스터 113은 온 상태 그대로이며, 트랜지스터 113이 온 상태 그대로일 때, 노드 119의 전위 206은  $V_2$ 인 채이며, 트랜지스터 111 및 트랜지스터 115는 오프 상태 그대로이다.
- [0095] 노드 117의 전위 204가  $V_1 - V_{th_{106}}$ 인 채로서, 트랜지스터 114의 소스 단자 및 드레인 단자의 한쪽의 전위가 제1 클록신호 202의 전위  $V_1$ 이 되면, 단자 105를 통해 출력되는 출력신호 207의 전위가 상승한다. 그러면 노드 117은 부유 상태이기 때문에, 노드 117의 전위 204는, 트랜지스터 114의 게이트 단자와, 소스 단자 및 드레인 단자의 다른 쪽과의 사이의 기생 용량에 의한 용량결합에 의해, 출력신호 207의 전위에 맞춰서 상승한다. 소위 부트스트랩이다.
- [0096] 노드 117의 전위 204는, 제1 클록신호 202의 전위  $V_1$ 과, 트랜지스터 114의 임계전압( $N_{th_{114}}$ 라고도 한다)과의 합보다도 더 큰 값, 즉  $V_1 + V_{th_{114}} + V_a$ ( $V_a$ 는 임의의 양의 값)까지 상승한다. 이때, 트랜지스터 114는 온 상태 그대로이다.
- [0097] 더구나, 이때 단자 105를 통해 출력되는 출력신호 207의 전위는, 단자 103B를 거쳐 주어지는 전위  $V_1$ 과 동등한 값이 된다. 이상이 제2 기간에 있어서의 동작이다.
- [0098] 다음에 제3 기간에서는, 단자 100을 통해 로우 상태인 제1 제어신호 201이 입력되고, 단자 101을 통해 하이 상태인 제2 제어신호 208이 입력되고, 단자 102를 통해 하이 상태인 제2 클록신호 203이 입력되고, 단자 103을 통해 로우 상태인 제1 클록신호 202가 입력된다. 이때, 트랜지스터 107 및 트랜지스터 116이 온 상태가 되고, 트랜지스터 106 및 트랜지스터 109가 오프 상태 그대로이다.
- [0099] 트랜지스터 107이 온 상태가 되면, 노드 117의 전위 204가 단자 104A를 거쳐 주어지는 전위  $V_2$ 와 동등한 값이 된다.
- [0100] 더구나, 노드 118의 전위 205는, 용량소자 108의 용량결합에 의해  $V_2 + V_b$ 가 된다.  $V_b$ 은, 트랜지스터 110의 임계전압보다도 큰 것이 바람직하며,  $V_1 - V_2$ 보다도 작은 것이 바람직하다.
- [0101] 더구나, 노드 118의 전위 205의 전위가  $V_2 + V_b$ 이 되면 트랜지스터 110이 온 상태가 된다. 더구나, 트랜지스터 110이 온 상태가 되면 노드 117의 전위 204가 단자 104C를 거쳐 주어지는 전위  $V_2$ 와 동등한 값이 된다.
- [0102] 더구나, 노드 117의 전위 204가 전위  $V_2$ 가 되면 트랜지스터 113 및 트랜지스터 114가 오프 상태가 된다. 이때, 트랜지스터 113은, 단자 103A를 거쳐 입력되는 제1 클록신호 202가 로우 상태가 된 후에 오프 상태가 되는 경우가 많다. 왜냐하면, 노드 117의 전위 204는, 제1 클록신호 202보다도 지연 또는 둔해지고 있는 경우가 많기 때문이다. 제1 클록신호 202가 로우 상태가 된 후에 트랜지스터 113이 오프 상태가 되면, 단자 104E를 거쳐 주어지는 전위  $V_2$ 와 동등한 값이 유지된 채 노드 119가 부유 상태가 된다.
- [0103] 더구나, 노드 119가 부유 상태일 때, 트랜지스터 111 및 트랜지스터 115가 오프 상태 그대로이다.
- [0104] 더구나, 용량소자 112에는, 단자 103A를 거쳐 입력되는 제1 클록신호 202의 전위와, 노드 119의 전위 206의 전위차, 즉 로우 상태인 제1 클록신호 202의 전위와, 단자 104E를 거쳐 주어지는 전위  $V_2$ 의 전위차가 유지된다.
- [0105] 더구나, 이때 단자 105를 통해 출력되는 출력신호 207의 전위는, 단자 104G를 거쳐 주어지는 전위  $V_2$ 와 동등한 값이 된다. 이상이 제3 기간에 있어서의 동작이다.
- [0106] 다음에, 제4 기간에서는, 단자 100을 통해 로우 상태인 제1 제어신호 201이 입력되고, 단자 101을 통해 로우 상태인 제2 제어신호 208이 입력되고, 단자 102를 통해 로우 상태인 제2 클록신호 203이 입력되고, 단자 103을 통해 하이 상태인 제1 클록신호 202가 입력된다. 이때, 트랜지스터 107 및 트랜지스터 116이 오프 상태가 되고, 트랜지스터 106 및 트랜지스터 109는 오프 상태 그대로이다.
- [0107] 이때, 노드 118의 전위 205는, 용량소자 108의 용량결합에 의해  $V_2$ 가 된다. 따라서, 트랜지스터 110은 오프 상태가 된다.
- [0108] 또한, 노드 119의 전위 206은, 용량소자 112의 용량결합에 의해  $V_2 + V_c$ 가 된다.  $V_c$ 은 트랜지스터 111의 임계전압 또는 트랜지스터 115의 임계전압보다도 큰 것이 바람직하며,  $V_1 - V_2$ 보다도 작은 것이 바람직하다.

- [0109] 더구나, 노드 119의 전위 206이  $V_2+V_c$ 가 되면, 트랜지스터 111 및 트랜지스터 115가 온 상태가 된다.
- [0110] 더구나, 트랜지스터 111이 온 상태가 되면, 노드 117의 전위 204가 단자 104D를 거쳐 주어지는 전위  $V_2$ 와 동등한 값이 된다.
- [0111] 더구나, 노드 117의 전위 204가  $V_2$ 가 되면, 트랜지스터 113 및 트랜지스터 114가 오프 상태가 된다.
- [0112] 또한, 트랜지스터 115가 온 상태가 되면, 단자 105를 통해 출력되는 출력신호 207의 전위는, 단자 104F를 거쳐 주어지는 전위  $V_2$ 와 동등한 값이 된다. 이상이 제4 기간에 있어서의 동작이다.
- [0113] 다음에, 제5 기간에서는, 단자 100을 통해 로우 상태인 제1 제어신호 201이 입력되고, 단자 101을 통해 로우 상태인 제2 제어신호 208이 입력되고, 단자 102를 통해 하이 상태인 제2 클록신호 203이 입력되고, 단자 103을 통해 로우 상태인 제1 클록신호 202가 입력된다. 이때 트랜지스터 116이 온 상태가 되고, 트랜지스터 106, 트랜지스터 107, 및 트랜지스터 109는 오프 상태 그대로이다.
- [0114] 이때 노드 118의 전위는 용량소자 108의 용량결합에 의해  $V_2+V_b$ 이 된다. 더구나, 노드 118의 전위가  $V_2+V_b$ 이 되면, 트랜지스터 110이 온 상태가 된다. 더구나, 트랜지스터 110이 온 상태가 되면, 노드 117의 전위 204가 단자 104C를 거쳐 주어지는 전위  $V_2$ 와 동등한 값이 된다.
- [0115] 또한, 노드 119의 전위 206은, 용량소자 112의 용량결합에 의해  $V_2$ 가 된다. 더구나, 노드 119의 전위 206이  $V_2$ 가 되면, 트랜지스터 111 및 트랜지스터 115는 오프 상태가 된다.
- [0116] 더구나, 노드 117의 전위 204가  $V_2$ 가 되면, 트랜지스터 113 및 트랜지스터 114가 오프 상태가 된다.
- [0117] 더구나, 이때 단자 105를 통해 출력되는 출력신호 207의 전위는, 단자 104G를 거쳐 주어지는 전위  $V_2$ 와 동등한 값이 된다. 이상이 제5 기간에 있어서의 동작이다.
- [0118] 이상과 같이, 본 실시형태에 있어서의 구동회로는, 리셋트 기간(제3 기간) 후의 비선택 기간의 사이, 제4 기간 및 제5 기간의 동작이 복수회 반복 행해진다. 이에 따라 비선택 기간의 어느쪽의 기간에 있어서도 노드 117에 소정의 값의 전위가 주어지기 때문에, 117이 부유 상태가 되는 것을 억제할 수 있다. 따라서 노이즈에 의한 영향을 저감할 수 있으므로, 동작 불량을 억제할 수 있다.
- [0119] 또한, 본 실시형태에 있어서의 구동회로의 동작에 있어서, 제4 기간과, 제5 기간에서 다른 트랜지스터를 온 상태에 함으로써 노드 117에 소정의 값의 전위를 줄 수 있기 때문에, 예를 들면, 반도체층이 비정질 반도체인 트랜지스터 등, 열화하기 쉬운 트랜지스터를 적용했을 경우에 있어서도 각 트랜지스터에 있어서의 열화를 억제할 수 있다. 따라서 열화에 의한 트랜지스터의 스위칭 동작의 타이밍의 불일치를 저감할 수 있으므로, 동작 불량을 억제할 수 있다.
- [0120] 여기에서 도 2에 나타난 제4 기간과 제5 기간에 있어서, 트랜지스터 110 및 트랜지스터 111의 한쪽의 트랜지스터만을 설치해서 노드 117의 전위를 제어하는 종래의 구동회로의 경우와, 트랜지스터 110 및 트랜지스터 111의 양쪽의 트랜지스터를 설치해서 노드 117의 전위를 제어하는 본 발명의 일 태양인 구동회로의 경우의 회로 계산 결과를 도 25에 나타낸다. 이때, 계산은 SPICE 회로 시뮬레이터를 사용하여 행하였다. 또한, 여기에서는 일례로서 플립플롭회로 내의 트랜지스터를 모두 N형 트랜지스터로 하고,  $V_2=0V$ 로 하였다.
- [0121] 도 25 중에서, 도 25a는, 제4 기간과 제5 기간에 있어서, 트랜지스터 110 및 트랜지스터 111의 한쪽의 트랜지스터를 사용해서 노드 117을 제어하는 경우에 있어서의 노드 117의 전위(전압)의 변화를 나타낸 도면이고, 도 25b는, 제4 기간과 제5 기간에 있어서, 트랜지스터 110 및 트랜지스터 111의 양쪽의 트랜지스터를 사용해서 노드 117을 제어하는 경우에 있어서의 노드 117의 전위(전압)의 변화를 도시한 도면이다. 이때, 도 25a 및 도 25b에 있어서, 전압의 단위는, 임의 단위(A.U.: Arbitrary Unit)로 한다.
- [0122] 리셋트 기간후의 제4 기간 및 제5 기간에 있어서 발생하는 노이즈는, 주로 도 1에 나타난 트랜지스터 114의 기생 용량에 의해 노드 117에 영향을 미친다. 우선 종래의 구동회로에서는, 한개의 클록신호에 동기한 신호를 사용해서 트랜지스터를 제어하기 때문에, 리셋트 기간후, 제4 기간 및 제5 기간 어느 쪽인가 한쪽의 기간에서 부유 상태가 된다. 부유 상태가 되면 일반적인 전위에 노이즈가 합쳐, 도 25a에 나타난 것과 같이 일정한 기간(도 25a에서는 제5 기간)마다 노드 117의 전위(전압)가 0.4 정도 변동해 버린다.
- [0123] 한편, 본 발명의 일 태양인 구동회로에서는, 위상이 상반된 관계인 2개의 클록신호의 각각에 동기한 신호를 사용해서 트랜지스터 110 및 트랜지스터 111을 제어하기 때문에, 제4 기간 및 제5 기간의 양쪽의 기간에서 부유 상태가 되지 않고 소정의 전위가 주어지기 때문에, 도 25b에 나타난 것과 같이, 노드 117의 전위의 변화가 0.2



이하로 변동이 적은, 즉 노이즈의 영향이 적은 것을 알 수 있다. 이상의 내용으로부터 복수의 트랜지스터를 사용하여, 제4 기간 및 제5 기간의 각 기간에 트랜지스터 110 또는 트랜지스터 111을 온 상태로 함으로써 노드 117에 소정의 값의 전위를 주는 것에 의해 노이즈에 의한 영향을 저감할 수 있다는 것을 알 수 있다.

- [0124] 더구나, 본 실시형태에서는, 도 1과 다른 구성을 사용해서 본 발명의 일 태양인 구동회로로 할 수도 있다. 본 실시형태에 있어서의 구동회로의 다른 구성에 대해서 도 3을 사용하여 설명한다. 도 3은, 본 실시형태의 구동회로의 구성의 일례를 나타낸 회로도이다.
- [0125] 도 3에 나타낸 본 실시형태에 있어서의 구동회로의 다른 구성은, 도 1에 나타낸 회로 구성에 덧붙여, 트랜지스터 120과, 단자 104H를 갖는다.
- [0126] 도 3에 대해서 도 1과 동일한 부호가 붙어 있는 것에 대해서는, 도 1에 있어서의 구동회로와 동일한 것이기 때문, 설명을 생략한다.
- [0127] 트랜지스터 120은, 게이트 단자가 단자 100에 전기적으로 접속되고, 소스 단자 및 드레인 단자의 한쪽이 트랜지스터 111의 게이트 단자에 전기적으로 접속되고, 소스 단자 및 드레인 단자의 다른 쪽이 단자 104H에 전기적으로 접속된다.
- [0128] 단자 104H를 거쳐서는, 도 1에 있어서의 단자 104A 내지 단자 104G와 같은 전위가 주어지기 때문에 도 1에 있어서의 설명을 원용한다. 또한, 단자 104A 내지 단자 104H를 전기적으로 접속시켜 한개의 단자 104로 할 수도 있다.
- [0129] 트랜지스터 120은, 단자 100을 통해 입력되는 신호에 따라, 단자 104H와 노드 119의 도통을 제어하는 기능을 갖고, 단자 104H와 노드 119를 도통상태로 함으로써 노드 119의 전위가 V1 또는 V2로 설정된다.
- [0130] 다음에, 도 3에 나타낸 구동회로의 동작에 대해 설명한다. 이때, 도 3에 있어서의 구동회로의 동작에 관해서는 트랜지스터 120의 동작만을 설명하고, 도 1에 나타낸 구동회로의 소자의 동작과 동일한 부분은 적당하게 도 1에 있어서의 설명을 원용한다. 또한, 여기에서는, 도 3에 나타낸 구동회로의 동작의 일례로서 플립플롭회로 내의 트랜지스터가 모두 N형 트랜지스터인 경우에 대해 설명한다.
- [0131] 제1 기간에서는, 단자 100을 통해 하이 상태인 제1 제어신호 201이 입력된다. 이때 트랜지스터 120은 온 상태가 된다.
- [0132] 트랜지스터 120이 온 상태가 되면, 노드 119의 전위가 단자 104H를 거쳐 주어지는 전위 V2와 동등한 값이 된다. 따라서 트랜지스터 111 및 트랜지스터 115는, 오프 상태가 된다.
- [0133] 그후, 제2 기간 내지 제5 기간에서는, 단자 100을 통해 로우 상태인 제1 제어신호 201이 입력된다. 이때 트랜지스터 120은 오프 상태가 된다.
- [0134] 상기한 것과 같이 도 3에 나타낸 구동회로는, 도 1에 있어서의 회로 구성에 의한 효과에 덧붙여, 제1 기간에 있어서 제1 제어신호 201을 직접 트랜지스터 120에 입력하고, 트랜지스터 120을 온 상태로 함으로써, 제1 기간에 있어서, 노드 119의 전위를 더욱 확실하게 전위 V2로 설정할 수 있다.
- [0135] 더구나, 본 실시형태에서는, 도 1 및 도 3과는 다른 구성을 사용해서 본 발명의 일 태양인 구동회로로 할 수도 있다. 본 실시형태에 있어서의 구동회로의 다른 구성에 대해 도 4를 사용하여 설명한다. 도 4는 본 실시형태에 있어서의 구동회로의 회로 구성의 일례를 나타낸 회로도이다.
- [0136] 도 4에 나타낸 구동회로의 구성은, 도 1의 회로 구성에 덧붙여, 단자 103C, 단자 104I 및 단자 104J, 단자 121, 트랜지스터 122, 트랜지스터 123, 및 트랜지스터 124를 갖는다.
- [0137] 이때, 도 4에 있어서 도 1과 동일한 부호가 붙어 있는 소자에 대해서는, 도 1에 있어서의 구동회로의 각 소자와 동일하기 때문에, 도 1에 있어서의 설명을 원용한다.
- [0138] 트랜지스터 122는, 게이트 단자가 트랜지스터 106의 소스 단자 및 드레인 단자의 다른 쪽에 전기적으로 접속되고, 소스 단자 및 드레인 단자의 한쪽이 단자 103C에 전기적으로 접속되고, 소스 단자 및 드레인 단자의 다른 쪽이 단자 121에 전기적으로 접속된다.
- [0139] 또한, 트랜지스터 123은, 게이트 단자가 트랜지스터 111의 게이트 단자에 전기적으로 접속되고, 소스 단자 및 드레인 단자의 한쪽이 트랜지스터 122의 소스 단자 및 드레인 단자의 다른 쪽에 전기적으로 접속되고, 소스 단자 및 드레인 단자의 다른 쪽이 단자 104I에 전기적으로 접속된다.

- [0140] 또한, 트랜지스터 124는, 게이트 단자가 단자 102B에 전기적으로 접속되고, 소스 단자 및 드레인 단자의 한쪽이 트랜지스터 122의 소스 단자 및 드레인 단자의 다른 쪽에 전기적으로 접속되고, 소스 단자 및 드레인 단자의 다른 쪽이 단자 104J에 전기적으로 접속된다.
- [0141] 단자 103C를 거쳐서는, 도 1에 있어서의 단자 103A 및 단자 103B와 같은 신호가 입력되기 때문에 도 1에 있어서의 설명을 원용한다. 또한, 단자 103A 내지 단자 103C를 전기적으로 접속시켜, 한개의 단자 103으로 할 수도 있다.
- [0142] 단자 104I 및 단자 104J를 거쳐서는, 도 1에 있어서의 단자 104A 내지 단자 104G를 거쳐 주어지는 전위와 같은 전위가 주어지기 때문에 도 1에 있어서의 설명을 원용한다. 또한, 단자 104A 내지 단자 104G, 및 단자 104I 및 단자 104J를 전기적으로 접속시켜, 한개의 단자 104로 할 수도 있다.
- [0143] 또한, 플립플롭회로는, 단자 121을 통해 플립플롭회로에서 생성된 신호를 출력한다.
- [0144] 트랜지스터 122는, 노드 117의 전위에 따라서, 단자 103C와 단자 121을 도통상태로 하고, 단자 103C를 거쳐 입력되는 신호의 전위와 단자 121을 통해 출력되는 신호의 전위를 동등한 값으로 하는 기능을 갖는다. 특히, 노드 117의 전위가 V1인 경우에, 단자 103C를 거쳐 입력되는 신호가 로우 상태에서부터 하이 상태로 변화하면, 트랜지스터 122는, 단자 121을 통해 출력되는 신호의 전위의 상승에 따라서 노드 117의 전위를 상승시키는 기능을 갖는다. 소위, 부트스트랩이다. 단, 부트스트랩은, 트랜지스터 122의 게이트 단자와, 소스 단자 및 드레인 단자의 다른 쪽과의 사이의 기생 용량에 의해 행해지는 일이 많다.
- [0145] 트랜지스터 123은, 노드 119의 전위에 따라서, 단자 104I와 단자 121의 도통을 제어하는 기능을 갖고, 단자 104I와 단자 121을 도통상태로 하는 것에 의해, 단자 121을 통해 출력되는 신호의 전위가 V1 또는 V2로 설정된다.
- [0146] 트랜지스터 124는, 단자 102B를 거쳐 입력되는 신호에 따라, 단자 104J와 단자 121의 도통을 제어하는 기능을 갖고, 단자 104J와 단자 121을 도통상태로 하는 것에 의해, 단자 121을 통해 출력되는 신호의 전위가 V1 또는 V2로 설정된다.
- [0147] 다음에, 도 4에 있어서의 구동회로의 동작에 대해서 도 5를 사용하여 설명한다. 도 5는 본 실시형태에 있어서의 구동회로의 동작의 일례를 나타낸 타이밍차트도이다. 이때, 도 4에 있어서의 구동회로의 동작에 관해서는 트랜지스터 122, 트랜지스터 123, 및 트랜지스터 124의 동작만을 설명하고, 도 1에 나타낸 구동회로의 소자의 동작과 동일한 부분에 대해서는 적절히 도 1에 있어서의 구동회로의 동작의 설명을 원용한다. 이때, 도 5에 있어서의 단자 103C에는 제1 클럭신호가 입력되는 것으로 하여 설명한다. 또한, 여기에서는, 도 4에 나타낸 구동회로의 동작의 일례로서 플립플롭회로 내의 트랜지스터가 모두 N형 트랜지스터인 경우에 대해 설명한다.
- [0148] 제1 기간에서는, 도 1에 나타낸 회로의 동작에 덧붙여, 단자 103C를 거쳐 로우 상태인 제1 클럭신호 202가 입력된다. 이때, 트랜지스터 124는 온 상태가 된다.
- [0149] 이때, 노드 117의 전위 204가  $V_1 - V_{th_{106}}$ 이 되고, 트랜지스터 113이 온 상태가 된다. 더구나, 트랜지스터 113이 온 상태가 되면 트랜지스터 123은 오프 상태가 된다.
- [0150] 또한, 노드 117의 전위 204가  $V_1 - V_{th_{106}}$ 이 되면 트랜지스터 122가 온 상태가 된다.
- [0151] 더구나, 이때 단자 121을 통해 출력되는 출력신호 209의 전위는, 단자 103C를 거쳐 주어지는 제1 클럭신호의 전위 V2, 또는 단자 104J를 거쳐 주어지는 전위 V2와 동등한 값이 된다. 이상이 제1 기간에 있어서의 동작이다.
- [0152] 다음에, 제2 기간에서는, 도 1에 나타낸 회로의 동작에 덧붙여, 단자 103C를 거쳐 하이 상태인 제1 클럭신호 202가 입력된다. 이때, 트랜지스터 124가 오프 상태가 된다.
- [0153] 이때, 노드 117의 전위 204는  $V_1 - V_{th_{106}}$ 인 채이며, 트랜지스터 113은 온 상태 그대로이다. 트랜지스터 113이 온 상태일 때, 트랜지스터 123은 오프 상태 그대로이다.
- [0154] 더구나, 이때 노드 117은 부유 상태 그대로이며, 노드 117의 전위 204는,  $V_1 - V_{th_{106}}$ 인 채이다.
- [0155] 더구나, 노드 117의 전위 204가  $V_1 - V_{th_{106}}$ 인 채이며, 트랜지스터 122의 소스 단자 및 드레인 단자의 한쪽의 전위가 제1 클럭신호 202의 전위 V1이 되면, 노드 117의 전위 204가, 부트스트랩에 의해 트랜지스터 122의 게이트 단자와, 소스 단자 및 드레인 단자의 다른 쪽 사이의 기생 용량에 의한 용량결합에 의해, 출력신호 209의 전위

에 맞춰서 상승한다. 이때, 노드 117의 전위 204는, 제1 클록신호 202의 전위 V1과, 트랜지스터 114의 임계전압의 합, 또는 제1 클록신호 202의 전위 V1과, 트랜지스터 122의 임계전압( $V_{th122}$ 이라고도 한다)의 합보다도 더 큰 값, 즉  $V1+V_{th114}+V_a$ , 또는  $V1+V_{th122}+V_a$ ( $V_a$ 는 임의의 양의 값)까지 상승한다.

- [0156] 더구나, 노드 117의 전위 204가  $V1+V_{th114}+V_a$ , 또는  $V1+V_{th122}+V_a$ 일 때, 트랜지스터 122는 온 상태 그대로이다.
- [0157] 더구나, 이때 단자 121을 통해 출력되는 출력신호 209의 전위는 단자 103C를 거쳐 입력되는 제1 클록신호 202의 전위 V1과 동등한 값이 된다. 이상이 제2 기간에 있어서의 동작이다.
- [0158] 다음에, 제3 기간에서는, 도 1에 나타난 회로의 동작에 덧붙여, 단자 103C를 거쳐 로우 상태인 제1 클록신호 202가 입력된다. 이때 트랜지스터 124가 온 상태가 된다.
- [0159] 이때 노드 118의 전위 205가  $V2+V_b$ 가 되고, 트랜지스터 110이 온 상태가 되고, 노드 117의 전위 204가 전위 V2와 동등한 값이 된다. 노드 117의 전위 204가 전위 V2가 되면 트랜지스터 122는 오프 상태가 된다.
- [0160] 더구나, 노드 119의 전위 206은 전위 V2와 동등한 값인 채이다. 노드 119의 전위 206이 V2일 때, 노드 119가 부유 상태가 된다. 노드 119가 부유 상태일 때, 트랜지스터 123은 오프 상태 그대로이다.
- [0161] 더구나, 이때 단자 121을 통해 출력되는 출력신호 209의 전위는, 단자 104J를 거쳐 주어지는 전위 V2와 동등한 값이 된다. 이상이 제3 기간에 있어서의 동작이다.
- [0162] 다음에, 제4 기간에서는, 도 1에 나타난 회로의 동작에 덧붙여, 단자 103C를 거쳐 하이 상태인 제1 클록신호 202가 입력된다. 이때 트랜지스터 116은 오프 상태가 된다.
- [0163] 이때 노드 119의 전위 206이  $V2+V_c$ 가 되고, 노드 119의 전위 206이  $V2+V_c$ 가 되면 트랜지스터 123이 온 상태가 된다.
- [0164] 더구나, 노드 117의 전위 204는 단자 104D를 거쳐 주어지는 전위 V2가 된다. 노드 117의 전위가 V2가 되면 트랜지스터 122가 오프 상태가 된다.
- [0165] 더구나, 이때 단자 121을 통해 출력되는 출력신호 209의 전위는, 단자 104I를 거쳐 주어지는 전위 V2와 동등한 값이 된다. 이상이 제4 기간에 있어서의 동작이다.
- [0166] 다음에, 제5 기간에서는, 도 1에 나타난 회로의 동작에 덧붙여, 단자 103C를 거쳐 로우 상태인 제1 클록신호 202가 입력된다. 이때 트랜지스터 124가 온 상태가 된다.
- [0167] 이때, 노드 118의 전위가  $V2+V_b$ 이 되어, 트랜지스터 110이 온 상태가 된다. 트랜지스터 110이 온 상태가 되면 노드 117의 전위 204가 단자 104C를 거쳐 주어지는 전위 V2와 동등한 값이 된다.
- [0168] 더구나, 노드 117의 전위 204가 V2가 되면 트랜지스터 122가 오프 상태가 된다.
- [0169] 또한, 노드 119의 전위 206이 V2가 되어, 트랜지스터 123은 오프 상태가 된다.
- [0170] 더구나, 이때 단자 121을 통해 출력되는 출력신호 209의 전위는, 단자 104J를 거쳐 주어지는 전위 V2와 동등한 값이 된다. 이상이 제5 기간에 있어서의 동작이다.
- [0171] 상기한 것과 같이, 도 4에 있어서의 구동회로는, 도 1에 나타난 회로 구성에 의한 효과에 덧붙여, 출력신호를 복수로 하는 것에 의해, 한쪽의 출력신호를 다음 단계의 플립플롭회로에 출력하고, 다른 쪽의 출력신호를 화소의 트랜지스터의 게이트 단자에 출력함으로써, 플립플롭회로에 불일치가 작은 출력신호를 출력할 수 있어, 동작 불량을 억제할 수 있다.
- [0172] 더구나, 본 실시형태에서는, 도 3에 있어서의 구성과 도 4에 있어서의 구성을 조합한 구성으로 할 수도 있다. 본 실시형태에 있어서의 구동회로의 다른 구성에 대해 도 6을 사용하여 설명한다. 도 6은, 본 실시형태의 구동회로의 다른 구성을 나타낸 회로도이다.
- [0173] 도 6에 나타난 본 실시형태에 있어서의 구동회로의 다른 구성은, 도 1에 나타난 회로 구성에 덧붙여, 단자 103D, 단자 104K, 단자 104L, 단자 104M, 단자 125, 트랜지스터 126, 트랜지스터 127, 트랜지스터 128, 및 트랜지스터 129를 갖는다.
- [0174] 도 6에 있어서, 도 1과 동일한 부호가 붙어 있는 소자에 대해서는, 도 1에 있어서의 구동회로와 동일한 소자이기 때문에, 도 1에 있어서의 각 소자의 설명을 원용한다.

- [0175] 또한, 도 6에 있어서, 단자 103D는 도 4에 있어서의 단자 103C에 해당하고, 단자 104K는 도 3에 있어서의 단자 104H에 해당하고, 단자 104L은 도 4에 있어서의 단자 104I에 해당하고, 단자 104M은 도 4에 있어서의 단자 104J에 해당하고, 단자 125는 도 4에 있어서의 단자 121에 해당하고, 트랜지스터 126은 도 3에 있어서의 트랜지스터 120에 해당하고, 트랜지스터 127은 도 4에 있어서의 트랜지스터 122에 해당하고, 트랜지스터 128은 도 4에 있어서의 트랜지스터 123에 해당하고, 트랜지스터 129는 도 4에 있어서의 트랜지스터 124에 해당한다. 각각의 소자의 설명에 관해서는 도 3 및 도 4에 있어서의 각 소자의 설명을 원용한다.
- [0176] 또한, 도 6에 있어서의 구동회로의 동작에 대해서는, 도 3 및 도 4에 있어서의 구동회로의 동작을 조합한 것이기 때문에, 도 3 및 도 4에 있어서의 구동회로의 동작의 설명을 원용한다.
- [0177] 도 6에 나타난 구성으로 함으로써, 도 3 및 도 4에 나타난 구성의 구동회로의 각각의 효과와 동일한 효과가 얻어진다.
- [0178] (실시형태 2)
- [0179] 본 실시형태에서는, 상기 실시형태 1과 다른 구성의 구동회로에 대해 설명한다.
- [0180] 본 실시형태에 있어서의 구동회로는, 복수의 플립플롭회로로 이루어진 시프트 레지스터를 갖는다.
- [0181] 더구나, 본 실시형태의 구동회로에 있어서의 플립플롭회로의 회로 구성의 일례에 대해서 도 7을 사용하여 설명한다. 도 7은 본 실시형태의 구동회로에 있어서의 플립플롭회로의 회로 구성의 일례를 나타낸 회로도이다.
- [0182] 도 7에 나타난 플립플롭회로는, 단자 500과, 단자 501과, 단자 502와, 단자 503과, 단자 504와, 단자 505와, 트랜지스터 506과, 트랜지스터 507과, 트랜지스터 508과, 트랜지스터 509와, 용량소자 510과, 트랜지스터 511과, 트랜지스터 512와, 트랜지스터 513과, 트랜지스터 514를 갖는다.
- [0183] 이때, 본 실시형태에 있어서, 단자 502로서 단자 502A 및 단자 502B를 나타내고 있지만, 이것에 한정되지 않고, 단자 502A 및 단자 502B를 전기적으로 접속시켜, 한개의 단자 502로 할 수도 있다. 또한, 본 실시형태에 있어서, 단자 503으로서 단자 503A 및 단자 503B를 나타내고 있지만, 이것에 한정되지 않고, 단자 503A 및 단자 503B를 전기적으로 접속시켜, 한개의 단자 503으로 할 수도 있다.
- [0184] 또한, 본 실시형태에 있어서, 단자 504로서 단자 504A 내지 단자 504E를 나타내고 있지만, 이것에 한정되지 않고, 단자 504A 내지 단자 504E를 전기적으로 접속시켜, 한개의 단자 504로 할 수도 있다.
- [0185] 트랜지스터 506은, 게이트 단자가 단자 502A에 전기적으로 접속되고, 소스 단자 및 드레인 단자의 한쪽이 단자 500에 전기적으로 접속된다.
- [0186] 또한, 트랜지스터 507은, 게이트 단자가 단자 500에 전기적으로 접속되고, 소스 단자 및 드레인 단자의 한쪽이 트랜지스터 507의 게이트 단자에 전기적으로 접속되고, 소스 단자 및 드레인 단자의 다른 쪽이 트랜지스터 506의 소스 단자 및 드레인 단자의 다른 쪽에 전기적으로 접속된다. 이때, 편의를 위해 도시하지는 않지만, 본 실시형태에 있어서 트랜지스터 507을 설치하지 않는 구성으로 함으로써 회로 면적을 작게 할 수도 있다.
- [0187] 또한, 트랜지스터 508은, 게이트 단자가 단자 501에 전기적으로 접속되고, 소스 단자 및 드레인 단자의 한쪽이 트랜지스터 507의 소스 단자 및 드레인 단자의 다른 쪽에 전기적으로 접속되고, 소스 단자 및 드레인 단자의 다른 쪽이 단자 504A에 전기적으로 접속된다. 이때, 편의를 위해 도면에는 나타내지 않았지만, 본 실시형태의 구동회로에 있어서의 플립플롭회로에 있어서, 트랜지스터 508을 설치하지 않는 구성으로 함으로써 회로 면적을 작게 할 수도 있다.
- [0188] 용량소자 510은 적어도 2개의 단자를 갖고, 한쪽의 단자가 단자 503A에 전기적으로 접속된다.
- [0189] 또한, 트랜지스터 509는, 게이트 단자가 용량소자 510의 다른 쪽의 단자에 전기적으로 접속되고, 소스 단자 및 드레인 단자의 한쪽이 트랜지스터 506의 소스 단자 및 드레인 단자의 다른 쪽에 전기적으로 접속되고, 소스 단자 및 드레인 단자의 다른 쪽이 단자 504B에 전기적으로 접속된다.
- [0190] 또한, 트랜지스터 511은, 게이트 단자가 트랜지스터 506의 소스 단자 및 드레인 단자의 다른 쪽에 전기적으로 접속되고, 소스 단자 및 드레인 단자의 한쪽이 트랜지스터 509의 게이트 단자에 전기적으로 접속되고, 소스 단자 및 드레인 단자의 다른 쪽이 단자 504C에 전기적으로 접속된다.
- [0191] 또한, 트랜지스터 512는, 게이트 단자가 트랜지스터 506의 소스 단자 및 드레인 단자의 다른 쪽에 전기적으로 접속되고, 소스 단자 및 드레인 단자의 한쪽이 단자 503B에 전기적으로 접속되고, 소스 단자 및 드레인 단자의



다른 쪽이 단자 505에 전기적으로 접속된다. 이때, 편의를 위해 도시하지는 않았지만, 본 실시형태의 구동회로에 있어서의 플립플롭회로는, 트랜지스터 512의 게이트 단자와 소스 단자 및 드레인 단자의 다른 쪽과의 사이에 별도의 용량소자를 설치하는 구성으로 할 수도 있다.

[0192] 또한, 트랜지스터 513은, 게이트 단자가 트랜지스터 509의 게이트 단자에 전기적으로 접속되고, 소스 단자 및 드레인 단자의 한쪽이 트랜지스터 512의 소스 단자 및 드레인 단자의 다른 쪽에 전기적으로 접속되고, 소스 단자 및 드레인 단자의 다른 쪽이 단자 504D에 전기적으로 접속된다.

[0193] 또한, 트랜지스터 514는, 게이트 단자가 단자 502B에 전기적으로 접속되고, 소스 단자 및 드레인 단자의 한쪽이 트랜지스터 512의 소스 단자 및 드레인 단자의 다른 쪽에 전기적으로 접속되고, 소스 단자 및 드레인 단자의 다른 쪽이 단자 504E에 전기적으로 접속된다.

[0194] 이때, 트랜지스터 506의 소스 단자 및 드레인 단자의 다른 쪽과, 트랜지스터 507, 트랜지스터 508, 트랜지스터 509, 트랜지스터 511, 및 트랜지스터 512의 접속 개소를 노드 515라고 한다. 또한, 용량소자 510의 단자와, 트랜지스터 509, 트랜지스터 511, 및 트랜지스터 513과의 접속 개소를 노드 516이라고 한다.

[0195] 또한, 플립플롭회로에는, 단자 500을 통해 제1 제어신호가 입력되고, 단자 501을 통해 제2 제어신호가 입력된다. 제1 제어신호 및 제2 제어신호는, 각각 하이 상태와 로우 상태의 2개의 전위의 상태를 갖는 디지털 신호를 사용할 수 있다. 디지털 신호를 사용하는 경우, 입력되는 제1 제어신호 또는 제2 제어신호가 하이 상태일 때(하이레벨이라고도 한다)에는, 단자 500 또는 단자 501을 통해 제1 전위(V1이라고도 한다)로서 소정의 값의 전위인 제1 제어신호 또는 제2 제어신호가 입력되고, 입력되는 제1 제어신호 또는 제2 제어신호가 로우 상태일 때(로우 레벨이라고도 한다)에는, 단자 500 또는 단자 501을 통해 제2 전위(V2이라고도 한다)로서 상기 하이 상태에 있어서의 소정의 값의 전위보다 낮은 값의 전위인 제1 제어신호 또는 제2 제어신호가 입력된다. 하이 상태 및 로우 상태에 있어서의 전위의 값은, 예를 들면, 트랜지스터의 임계전압의 값 등을 고려해서 적절히 설정할 수 있다. 예를 들면, 하이 상태와 로우 상태와의 전위차가 플립플롭회로 내의 트랜지스터의 임계전압의 절대값보다 커지도록, 하이 상태 및 로우 상태에 있어서의 전위의 값을 설정하는 것이 바람직하다.

[0196] 또한, 도 7에 나타난 플립플롭회로는, 단자 502(단자 502A 및 단자 502B라고도 한다)를 거쳐 제1 위상인 클록신호(제1 클록신호, 또는 CK 신호라고도 한다) 또는 제2 위상인 클록신호(제2 클록신호, 또는 CKB 신호라고도 한다)가 입력된다. 제1 클록신호 및 제2 클록신호는 각각 하이 상태와 로우 상태의 2개의 전위의 값을 갖고, 하이 상태일 때(하이 레벨이라고도 한다)에는, 제1 전위(V1이라고도 한다)인 클록신호가 입력되고, 로우 상태일 때(로우 레벨이라고도 한다)에는, 제2 전위(V2이라고도 한다)인 클록신호가 입력된다. 또한, 하이 상태일 때의 제1 클록신호 및 제2 클록신호의 전위는, 하이 상태일 때의 제1 제어신호 및 제2 제어신호의 전위와 동등한 값인 것이 바람직하며, 로우 상태일 때의 제1 클록신호 및 제2 클록신호의 전위는, 로우 상태일 때의 제1 제어신호 및 제2 제어신호의 전위와 동등한 값인 것이 바람직하다. 또한, 하이 상태 및 로우 상태에 있어서의 전위의 값은, 예를 들면, 트랜지스터의 임계전압의 값 등을 고려해서 적당하게 설정할 수 있다. 예를 들면, 하이 상태와 로우 상태의 전위차가 플립플롭회로 내의 트랜지스터의 임계전압의 절대값보다 커지도록, 하이 상태 및 로우 상태에 있어서의 전위의 값을 설정하는 것이 바람직하다.

[0197] 또한, 제1 클록신호와 제2 클록신호는, 위상이 다르다. 구체적으로는 위상이 상반된 관계이며, 예를 들면, 소정의 기간에 있어서 제1 클록신호가 하이 상태일 때에는, 제2 클록신호는 로우 상태이고, 제1 클록신호가 로우 상태일 때에는, 제2 클록신호는 하이 상태이다.

[0198] 또한, 플립플롭회로는, 단자 503(단자 503A 및 단자 503B라고도 한다)을 거쳐 제1 클록신호 또는 제2 클록신호가 입력된다. 또한, 단자 502를 통해 입력되는 클록신호와, 단자 503을 통해 입력되는 클록신호는 상반된 관계로서, 예를 들면, 단자 502를 통해 제1 클록신호가 입력되는 경우에는 단자 503을 통해 제2 클록신호가 입력되고, 단자 502를 통해 제2 클록신호가 입력되는 경우에는 단자 503을 통해 제1 클록신호가 입력된다.

[0199] 또한, 플립플롭회로에는, 단자 504(단자 504A 내지 단자 504E라고도 한다)를 거쳐 소정의 값의 전위가 주어진다. 이때, 소정의 값의 전위는, 예를 들면, V1 또는 V2로 할 수 있고, 즉 클록신호 또는 제어신호 등의 디지털 신호의 하이 상태 또는 로우 상태에 있어서의 전위의 값과 동등한 값으로 할 수 있다.

[0200] 트랜지스터 506은, 단자 502A를 거쳐 입력되는 신호에 따라서, 단자 500과, 노드 515의 도통을 제어하는 기능을 갖고, 단자 500과, 노드 515를 도통 상태에 함으로써, 단자 500을 통해 입력되는 신호의 전위와, 노드 515의 전위가 동등한 값으로 설정된다. 또한, 트랜지스터 506은, 트랜지스터 509가 온 상태일 때에 오프 상태가 되는 기능을 갖는다.

- [0201] 트랜지스터 507은, 단자 500을 통해 입력되는 신호에 따라서, 단자 500과, 노드 515의 도통을 제어하는 기능을 갖고, 단자 500과, 노드 515를 도통 상태로 함으로써, 노드 515의 전위가 V1 또는 V2로 설정되고, 그후 비도통 상태가 됨으로써, 노드 515가 부유 상태가 된다.
- [0202] 트랜지스터 508은, 단자 501을 통해 입력되는 신호에 따라서, 단자 504A와 노드 515의 도통을 제어하는 기능을 갖고, 단자 504A와 노드 515를 도통 상태로 함으로써, 노드 515의 전위가 V1 또는 V2로 설정된다.
- [0203] 트랜지스터 509는, 노드 516의 전위에 따라서, 단자 504B와 노드 515의 도통을 제어하는 기능을 갖고, 단자 504B와 노드 515를 도통 상태로 함으로써 노드 515의 전위가 V1 또는 V2로 설정된다. 또한, 트랜지스터 509는, 트랜지스터 506이 온 상태일 때에 오프 상태가 되는 기능을 갖는다.
- [0204] 용량소자 510은, 단자 503A를 거쳐 입력되는 신호에 따라서, 용량결합에 의해 노드 516의 전위를 변동시키는 기능을 갖는다. 예를 들면, 단자 503A를 거쳐 입력되는 신호가 로우 상태에서부터 하이 상태가 되었을 경우, 용량소자 510은, 용량결합에 의해 노드 516의 전위를 V1으로 설정한다. 한편, 단자 503A를 거쳐 입력되는 신호가 하이 상태에서부터 로우 상태가 되었을 경우, 용량소자 510은, 용량결합에 의해 노드 516의 전위를 V1 또는 V2로 설정한다.
- [0205] 트랜지스터 511은, 노드 515의 전위에 따라서, 단자 504C와 노드 516의 도통을 제어하는 기능을 갖고, 단자 504C와 노드 516을 도통 상태로 함으로써 노드 516의 전위가 V1 또는 V2로 설정된다.
- [0206] 트랜지스터 512는, 노드 515의 전위에 따라서, 단자 503B와 단자 505의 도통을 제어하는 기능을 갖고, 단자 503B와 단자 505를 도통 상태로 함으로써, 단자 503B를 거쳐 입력되는 신호의 전위와 단자 505를 통해 출력되는 신호의 전위가 동등한 값으로 설정된다. 또한, 트랜지스터 512는, 예를 들면, N형 트랜지스터로서 노드 515의 전위가 V1인 경우에, 단자 503B를 거쳐 입력되는 신호가 로우 상태에서부터 하이 상태로 변화하면, 단자 505를 통해 출력되는 신호의 전위의 상승에 따라 노드 515의 전위를 상승시키는 기능을 갖는다. 소위, 부트스트랩이다. 단, 부트스트랩은, 트랜지스터 512의 게이트 단자와, 소스 단자 및 드레인 단자의 다른 쪽 사이의 기생 용량에 의해 행해지는 일이 많다.
- [0207] 트랜지스터 513은, 노드 516의 전위에 따라서, 단자 504D와 단자 505의 도통을 제어하는 기능을 갖고, 단자 504D와 단자 505를 도통 상태로 함으로써, 단자 505를 통해 출력되는 신호의 전위가 V1 또는 V2로 설정된다.
- [0208] 트랜지스터 514는, 단자 502B를 거쳐 입력되는 신호에 따라서, 단자 504E와 단자 505의 도통을 제어하는 기능을 갖고, 단자 504E와 단자 505를 도통 상태로 함으로써, 단자 505를 통해 출력되는 신호의 전위가 V1 또는 V2로 설정된다.
- [0209] 이때, 본 실시형태에 있어서의 구동회로는, 모두 동일한 도전형의 트랜지스터에 의해 구성할 수 있으므로, 제조 공정의 간략화를 도모할 수 있다. 따라서, 제조 비용의 삭감이나 제품 수율의 향상을 도모할 수 있다. 더구나 대형의 표시 패널 등의 반도체장치를 제조하는 것도 용이하게 된다. 도 7에 있어서의 본 실시형태에 있어서의 구동회로에서는, 모든 트랜지스터를 N형 트랜지스터 또는 P형 트랜지스터로 할 수도 있다.
- [0210] 다음에, 도 7에 나타난 구동회로의 동작에 대해서 도 8을 사용하여 설명한다. 도 8은, 도 7에 나타난 구동회로의 동작을 나타낸 타이밍차트도이다. 이때, 여기에서는, 일례로서 단자 503을 통해 제1 클록신호가 입력되고, 단자 502를 통해 제2 클록신호가 입력되는 것으로 하여 설명한다. 또한, 여기에서는, 도 7에 나타난 구동회로의 동작의 일례로서 플립플롭회로 내의 트랜지스터가 모두 N형 트랜지스터인 경우에 대해 설명한다.
- [0211] 도 8에 나타난 것과 같이, 도 7에 있어서의 구동회로의 동작은, 일정한 기간에 있어서의 소정의 동작이 반복하여 행해진다. 일정한 기간은, 주로 선택 기간과 비선택 기간으로 나뉘고, 다시 선택 기간 및 비선택 기간은 제1 기간, 제2 기간, 제3 기간, 제4 기간, 및 제5 기간으로 나뉜다. 도 8에 있어서, 제1 기간, 제3 기간, 제4 기간, 및 제5 기간은 비선택 기간이며, 제2 기간은 선택 기간이다.
- [0212] 우선, 제1 기간에서는, 단자 500을 통해 하이 상태인 제1 제어신호 601이 입력되고, 단자 501을 통해 로우 상태인 제2 제어신호 607이 입력되고, 단자 502를 통해 하이 상태인 제2 클록신호 603이 입력되고, 단자 503을 통해 로우 상태인 제1 클록신호 602가 입력됨으로써, 트랜지스터 506, 트랜지스터 507, 및 트랜지스터 514가 온 상태가 되고, 트랜지스터 508이 오프 상태가 된다.
- [0213] 트랜지스터 506 및 트랜지스터 507이 온 상태가 되면 노드 515의 전위 604가 단자 502A를 거쳐 입력된 제2 클록신호 603의 전위 V1으로부터 트랜지스터 506의 임계전압( $V_{th506}$ 이라고도 한다)을 뺀 값, 즉  $V1 - V_{th506}$ , 또는 단자



500을 통해 입력된 제1 제어신호 601의 전위 V1로부터 트랜지스터 507의 임계전압( $V_{th507}$ 이라고도 한다)을 뺀 값, 즉  $V1 - V_{th507}$ 이 될 때까지 상승한다. 노드 515의 전위가  $V1 - V_{th506}$  또는  $V1 - V_{th507}$ 이 되면 트랜지스터 507은 오프 상태가 된다. 이때 트랜지스터 506의 임계전압과, 트랜지스터 507의 임계전압은 동등한 값인 것이 바람직하다. 도 8에서는 일례로서 제2 기간에 있어서의 노드 515의 전위가  $V1 - V_{th507}$ 이 되는 것으로 하여 설명한다.

- [0214] 더구나, 노드 515의 전위 604가  $V1 - V_{th507}$ 이 되면, 트랜지스터 511 및 트랜지스터 512가 온 상태가 된다.
- [0215] 더구나, 트랜지스터 511이 온 상태가 되면 노드 516의 전위 605가 단자 504C를 거쳐 주어지는 전위 V2와 동등한 값이 된다. 더구나, 노드 516의 전위가 V2가 되면 트랜지스터 509 및 트랜지스터 513이 오프 상태가 된다.
- [0216] 더구나, 이때 단자 505를 통해 출력되는 출력신호 606의 전위는, 단자 503B를 거쳐 입력되는 제1 클럭신호 602의 전위 V2 또는 단자 504E를 거쳐 주어지는 전위 V2와 동등한 값이 된다. 이상이, 제1 기간에 있어서의 동작이다.
- [0217] 다음에, 제2 기간에서는, 단자 500을 통해 로우 상태인 제1 제어신호 601이 입력되고, 단자 501을 통해 로우 상태인 제2 제어신호 607이 입력되고, 단자 502를 통해 로우 상태인 제2 클럭신호 603이 입력되고, 단자 503A 및 단자 503B를 거쳐 하이 상태인 제1 클럭신호 602가 입력된다. 이때, 트랜지스터 506, 트랜지스터 507, 및 트랜지스터 514가 오프 상태가 되고, 트랜지스터 508은 오프 상태 그대로이다.
- [0218] 이때, 노드 515의 전위 604는  $V1 - V_{th507}$ 인 채이며, 트랜지스터 511은 온 상태 그대로이다. 더구나, 노드 515의 전위 604가  $V1 - V_{th507}$ 인 채로 일 때, 노드 516의 전위 605는 단자 504C를 거쳐 주어지는 전위 V2인 채이며, 트랜지스터 509 및 트랜지스터 513은 오프 상태 그대로이다.
- [0219] 더구나, 상기한 것과 같이, 트랜지스터 506, 트랜지스터 507, 트랜지스터 508, 트랜지스터 509, 및 트랜지스터 513이 오프 상태일 때, 노드 515는 부유 상태 그대로이며, 노드 515의 전위 604는,  $V1 - V_{th507}$ 인 채이다.
- [0220] 더구나, 노드 515의 전위 604가  $V1 - V_{th507}$ 인 채이며, 트랜지스터 512의 소스 단자 및 드레인 단자의 한쪽의 전위가 제1 클럭신호 602의 전위 V1이 되면, 단자 505를 통해 출력되는 출력신호 606의 전위가 상승한다. 그러면, 노드 515는 부유 상태이기 때문에, 부스트트랩에 의해 노드 515의 전위 604는, 트랜지스터 512의 게이트 단자와, 소스 단자와 드레인 단자의 다른 쪽 사이의 기생 용량에 의한 용량결합에 의해, 출력신호 606의 전위에 맞춰서 상승한다.
- [0221] 노드 515의 전위 604는, 제1 클럭신호 602의 전위 V1과, 트랜지스터 512의 임계전압( $V_{th512}$ 이라고도 한다)의 합보다도 더 큰 값, 즉  $V1 + V_{th512} + V_a$ ( $V_a$ 는 임의의 양의 값)까지 상승한다. 이때, 트랜지스터 512는 온 상태 그대로이다.
- [0222] 더구나, 이때 단자 505를 통해 출력되는 출력신호 606의 전위는 단자 503B를 거쳐 입력되는 전위 V1과 동등한 값이 된다. 이상은 제2 기간에 있어서의 동작이다.
- [0223] 다음에, 제3 기간에서는, 단자 500을 통해 로우 상태인 제1 제어신호 601이 입력되고, 단자 501을 통해 하이 상태인 제2 제어신호 607이 입력되고, 단자 502A 및 단자 502B를 거쳐 하이 상태인 제2 클럭신호 603이 입력되고, 단자 503A 및 단자 503B를 거쳐 로우 상태인 제1 클럭신호 602가 입력된다. 이때, 트랜지스터 506, 트랜지스터 508, 트랜지스터 514가 온 상태가 되고, 트랜지스터 507은 오프 상태 그대로이다.
- [0224] 트랜지스터 506 및 트랜지스터 508이 온 상태가 되면, 노드 515의 전위가 단자 500을 통해 입력되는 제1 제어신호 601의 전위 V2 또는 단자 504A를 거쳐 주어지는 전위 V2와 동등한 값이 된다.
- [0225] 더구나, 노드 515의 전위 604가 V2가 되면, 트랜지스터 511 및 트랜지스터 512는 오프 상태가 된다. 이때, 트랜지스터 511은, 단자 502B를 거쳐 입력되는 제1 클럭신호 602가 로우 상태가 된 후에 오프 상태가 되는 경우가 많다. 왜냐하면, 노드 515의 전위 604는, 제1 클럭신호 602보다도 지연 또는 둔해지고 있을 경우가 많기 때문이다. 제1 클럭신호 602가 로우 상태가 된 후에 트랜지스터 511이 오프 상태가 되면, 단자 504C를 거쳐 주어지는 전위 V2와 동등한 값이 유지된 채 노드 516이 부유 상태가 된다.
- [0226] 더구나, 노드 516이 부유 상태일 때, 트랜지스터 509 및 트랜지스터 513은 오프 상태 그대로이다.
- [0227] 더구나, 용량소자 510에는, 단자 503A를 거쳐 입력되는 제1 클럭신호 602의 전위와, 노드 516의 전위의 전위차,

즉 로우 상태인 제1 클록신호 602의 전위와, 단자 504C를 거쳐 주어지는 전위 V2의 전위차가 유지된다.

- [0228] 더구나, 이때 단자 505를 통해 출력되는 출력신호 606의 전위는, 단자 504E를 거쳐 주어지는 전위 V2와 동등한 값이 된다. 이상이 제3 기간에 있어서의 동작이다.
- [0229] 다음에, 제4 기간에서는, 단자 500을 통해 로우 상태인 제1 제어신호 601이 입력되고, 단자 501을 통해 로우 상태인 제2 제어신호 607이 입력되고, 단자 502A 및 단자 502B를 거쳐 로우 상태인 제2 클록신호 603이 입력되고, 단자 503A 및 단자 503B를 거쳐 하이 상태인 제1 클록신호 602가 입력된다. 이때 트랜지스터 506, 트랜지스터 508, 및 트랜지스터 514가 오프 상태가 되고, 트랜지스터 507은 오프 상태 그대로이다.
- [0230] 이때, 노드 516의 전위 605는, 용량소자 510의 용량결합에 의해  $V2+Vb$ 가 된다. Vb는 트랜지스터 509의 임계전압 또는 트랜지스터 513의 임계전압보다도 큰 것이 바람직하며,  $V1-V2$ 보다도 작은 것이 바람직하다.
- [0231] 더구나, 노드 516의 전위 605가  $V2+Vc$ 가 되면 트랜지스터 509 및 트랜지스터 513이 온 상태가 되고, 트랜지스터 509 및 트랜지스터 513이 온 상태가 되면, 노드 515의 전위 604가 단자 504B를 거쳐 주어지는 전위 V2, 또는 단자 504D를 거쳐 주어지는 전위 V2와 동등한 값이 된다.
- [0232] 더구나, 노드 515의 전위 604가 V2가 되면 트랜지스터 511 및 트랜지스터 512가 오프 상태가 된다.
- [0233] 더구나, 이때 단자 505를 통해 출력되는 출력신호 606의 전위는, 단자 504D를 거쳐 주어지는 전위 V2와 동등한 값이 된다. 이상이 제4 기간에 있어서의 동작이다.
- [0234] 다음에, 제5 기간에서는, 단자 500을 통해 로우 상태인 제1 제어신호 601이 입력되고, 단자 501을 통해 로우 상태인 제2 제어신호 607이 입력되고, 단자 502A 및 단자 502B를 거쳐 하이 상태인 제2 클록신호 603이 입력되고, 단자 503A 및 단자 503B를 거쳐 하이 상태인 제1 클록신호 602가 입력된다. 이때, 트랜지스터 506 및 트랜지스터 514가 온 상태가 되고, 트랜지스터 507 및 트랜지스터 508은 오프 상태 그대로이다.
- [0235] 이때, 노드 516의 전위 605는, 용량소자 510의 용량결합에 의해 V2가 된다. 더구나, 노드 516의 전위 605가 V2가 되면 트랜지스터 509 및 트랜지스터 513이 오프 상태가 된다.
- [0236] 더구나, 노드 515의 전위 604가 V2가 되면, 트랜지스터 511 및 트랜지스터 512가 오프 상태가 된다.
- [0237] 더구나, 이때 단자 505를 통해 출력되는 출력신호 606의 전위는, 단자 504D를 거쳐 주어지는 전위 V2와 동등한 값이 된다. 이상이 제5 기간에 있어서의 동작이다.
- [0238] 이때, 본 실시형태에 있어서의 구동회로의 동작에 있어서, 제4 기간 및 제5 기간은, 제3 기간 후의 비선택 기간의 사이, 복수회 반복 행해진다. 이에 따라 비선택 기간의 어느쪽의 기간에 있어서도 노드 515에 소정의 값의 전위가 주어지기 때문에, 노드 515가 부유 상태가 되는 것을 억제할 수 있다. 따라서 노이즈에 의한 영향을 저감할 수 있으므로, 동작 불량을 억제할 수 있다.
- [0239] 또한, 본 실시형태에 있어서의 구동회로의 동작에 있어서, 제4 기간과, 제5 기간에서 다른 트랜지스터(본 실시형태에서는 트랜지스터 506 및 트랜지스터 509)를 온 상태로 함으로써 노드 515에 소정의 값의 전위를 줄 수 있기 위해서, 예를 들면, 반도체층이 비정질 반도체인 트랜지스터를 적용했을 경우에 있어서도 각 트랜지스터의 열화를 억제할 수 있다. 따라서 열화에 의한 트랜지스터의 동작 타이밍의 불일치를 저감할 수 있으므로, 동작 불량을 억제할 수 있다.
- [0240] 또한, 본 실시형태에 있어서의 구동회로는, 상기 실시형태의 구성과 비교해서 적은 소자로 구성할 수 있으므로, 회로 면적을 작게 할 수 있다.
- [0241] 더구나, 본 실시형태에서는, 도 7과 다른 구성을 사용해서 본 발명의 일 태양인 구동회로로 할 수도 있다. 본 실시형태에 있어서의 구동회로의 다른 구성에 대해서 도 9를 사용하여 설명한다. 도 9는, 본 실시형태에 있어서의 구동회로의 구성의 일례를 나타낸 회로도이다.
- [0242] 도 9에 나타낸 구동회로는, 도 7에 나타낸 구동회로의 회로 구성에 덧붙여, 단자 504F 및 트랜지스터 517을 갖는다.
- [0243] 이때, 도 9에 나타낸 구동회로에 있어서, 도 7에 나타낸 구동회로와 동일한 부호가 붙어 있는 것에 대해서는, 도 7에 나타낸 구동회로로 동일한 것이기 때문에, 설명을 생략한다.
- [0244] 트랜지스터 517은, 게이트 단자가 단자 500에 전기적으로 접속되고, 소스 단자 및 드레인 단자의 한쪽이 트랜지스터 509의 게이트 단자에 전기적으로 접속되고, 소스 단자 및 드레인 단자의 다른 쪽이 단자 504F에 전기적으로

로 접속된다.

- [0245] 도 9에 나타낸 구동회로에서는, 단자 504F를 거쳐서는, 도 7에 나타낸 단자 504A 내지 단자 504E와 동등한 전위가 주어진다. 또한, 단자 504A 내지 단자 504F를 전기적으로 접속시켜, 한개의 단자 504로 할 수도 있다.
- [0246] 트랜지스터 517은, 단자 500을 통해 입력되는 신호에 따라서 단자 504F와 노드 516의 도통을 제어하는 기능을 갖고, 단자 504F와 노드 516을 도통 상태로 하는 것에 의해 노드 516의 전위가 V1 또는 V2로 설정된다.
- [0247] 다음에, 도 9에 나타낸 구동회로의 동작에 대해 설명한다. 이때, 도 9에 있어서의 구동회로의 동작에 관해서는 트랜지스터 517의 동작만을 설명하고, 트랜지스터 517 이외의 소자의 동작은 도 7에 나타낸 구동회로의 동작과 동일하기 때문에, 설명을 생략한다. 또한, 여기에서는, 도 9에 나타낸 구동회로의 동작의 일례로서 플립플롭회로 내의 트랜지스터가 모두 N형 트랜지스터인 경우에 대해 설명한다.
- [0248] 제1 기간에서는, 단자 500을 통해 하이 상태인 제1 제어신호 601이 입력된다. 이때 트랜지스터 517은 온 상태가 된다.
- [0249] 트랜지스터 517이 온 상태가 되면 노드 516의 전위가 단자 504F를 거쳐 주어지는 전위 V2와 동등한 값이 된다.
- [0250] 그후, 제2 기간 내지 제5 기간에서는, 단자 500을 통해 로우 상태인 제1 제어신호 601이 입력되고, 트랜지스터 517은 오프 상태가 된다.
- [0251] 이상과 같이, 도 9에 나타낸 구동회로는, 상기 도 7에 나타낸 회로 구성에 의한 효과에 덧붙여, 제1 기간에 있어서 제1 제어신호 601을 직접 트랜지스터 517에 입력하고, 트랜지스터 517을 온 상태로 함으로써, 제1 기간에 있어서 노드 516의 전위를 더욱 확실하게 전위 V2로 설정할 수 있다.
- [0252] 더구나, 본 실시형태에서는, 도 7 및 도 9와는 다른 구성을 사용해서 본 발명의 일 태양인 구동회로로 할 수도 있다. 본 실시형태에 있어서의 구동회로의 다른 구성에 대해 도 10을 사용하여 설명한다. 도 10은 본 실시형태에 있어서의 구동회로의 회로 구성의 일례를 나타낸 회로도이다.
- [0253] 도 10에 나타낸 구동회로의 구성은, 도 7에 나타낸 회로 구성에 덧붙여, 단자 503C, 단자 504G, 단자 504H, 단자 518, 트랜지스터 519, 트랜지스터 520, 및 트랜지스터 521을 갖는다.
- [0254] 이때, 도 10에 대해서 도 7과 동일한 부호가 붙어 있는 소자에 대해서는, 도 7에 있어서의 구동회로와 동일한 소자이기 때문에, 도 7에 있어서의 각 소자의 설명을 원용한다.
- [0255] 트랜지스터 519는, 게이트 단자가 트랜지스터 506의 소스 단자 및 드레인 단자의 다른 쪽에 전기적으로 접속되고, 소스 단자 및 드레인 단자의 한쪽이 단자 503C에 전기적으로 접속된다.
- [0256] 또한, 트랜지스터 520은, 게이트 단자가 트랜지스터 509의 게이트 단자에 전기적으로 접속되고, 소스 단자 및 드레인 단자의 한쪽이 트랜지스터 519의 소스 단자 및 드레인 단자의 다른 쪽에 전기적으로 접속되고, 소스 단자 및 드레인 단자의 다른 쪽이 단자 504G에 전기적으로 접속된다.
- [0257] 또한, 트랜지스터 521은, 게이트 단자가 트랜지스터 514의 게이트 단자에 전기적으로 접속되고, 소스 단자 및 드레인 단자의 한쪽이 트랜지스터 519의 소스 단자 및 드레인 단자의 다른 쪽에 전기적으로 접속되고, 소스 단자 및 드레인 단자의 다른 쪽이 단자 504H에 전기적으로 접속된다.
- [0258] 트랜지스터 519는, 노드 515의 전위에 따라서, 단자 503C와 단자 518을 도통 상태로 하고, 단자 503C를 거쳐 입력되는 신호의 전위와 단자 518을 통해 출력되는 신호의 전위를 동등한 값으로 하는 기능을 갖는다. 특히, 노드 515의 전위가 V1인 경우에, 단자 503C를 거쳐 입력되는 신호의 전위가 로우 상태로부터 하이 상태로 변화하면, 트랜지스터 519는, 트랜지스터 519의 소스 단자 및 드레인 단자의 다른 쪽의 전위의 상승에 따라서 노드 515의 전위를 상승시키는 기능을 갖는다. 소위, 부트스트랩이다. 부트스트랩은, 트랜지스터 519의 게이트 단자와, 소스 단자 및 드레인 단자의 다른 쪽과의 사이의 기생 용량에 의해 행해지는 일이 많다.
- [0259] 트랜지스터 520은, 노드 516의 전위에 따라서, 단자 504G와 단자 518을 도통 상태로 하고, 단자 518을 통해 출력하는 신호의 전위를 V1 또는 V2로 설정하는 기능을 갖는다.
- [0260] 트랜지스터 521은, 단자 502B를 거쳐 입력되는 신호에 따라서, 단자 504H와 단자 518을 도통 상태로 하고, 단자 518을 통해 출력하는 신호의 전위를 V1 또는 V2로 설정하는 기능을 갖는다.
- [0261] 다음에, 도 10에 있어서의 구동회로의 동작에 대해서 도 11을 사용하여 설명한다. 도 11은 본 실시형태에 있어서의 구동회로의 동작의 일례를 나타낸 타이밍차트이다. 이때, 도 10에 있어서의 구동회로의 동작에 대해서는,

트랜지스터 519, 트랜지스터 520, 및 트랜지스터 521의 동작만을 설명하고, 도 7에 나타난 구동회로의 소자의 동작과 동일한 부분에 대해서는 적당하게 도 7에 있어서의 구동회로의 동작의 설명을 인용한다. 이때, 도 10에 있어서의 단자 503C에는, 제1 클록신호가 입력되는 것으로 하여 설명한다. 여기에서는, 도 10에 나타난 구동회로의 동작의 일례로서 플립플롭회로 내의 트랜지스터가 모두 N형 트랜지스터인 경우에 대해 설명한다.

- [0262] 제1 기간에서는, 도 7에 나타난 회로의 동작에 덧붙여, 단자 503C를 거쳐 로우 상태인 제1 클록신호 602가 입력된다. 이때 트랜지스터 521이 온 상태가 된다.
- [0263] 이때 노드 515의 전위 604가  $V_1 - V_{th_{507}}$ 이 되고, 트랜지스터 511이 온 상태가 된다. 더구나, 트랜지스터 511이 온 상태가 되면 트랜지스터 520이 오프 상태가 된다.
- [0264] 또한, 노드 515의 전위 604가  $V_1 - V_{th_{507}}$ 이 되면, 트랜지스터 512는 온 상태가 된다.
- [0265] 더구나, 이때 단자 518을 통해 출력하는 출력신호 608의 전위는, 단자 503C를 거쳐 입력되는 제1 클록신호의 전위  $V_2$ , 또는 단자 504H를 거쳐 주어지는 전위  $V_2$ 와 동등한 값이 된다. 이상이 제1 기간에 있어서의 동작이다.
- [0266] 다음에, 제2 기간에서는, 도 7에 나타난 회로의 동작에 덧붙여, 단자 503C를 거쳐 하이 상태인 제1 클록신호 602가 입력된다. 이때 트랜지스터 521이 오프 상태가 된다.
- [0267] 이때 노드 515의 전위 604는  $V_1 - V_{th_{507}}$ 인 채이며, 트랜지스터 511은 온 상태 그대로이다. 더구나, 트랜지스터 511이 온 상태 그대로일 때, 트랜지스터 520은 오프 상태 그대로이다.
- [0268] 더구나, 이때 노드 515는 부유 상태 그대로이며, 노드 515의 전위 604는,  $V_1 - V_{th_{507}}$ 인 채이다.
- [0269] 더구나, 노드 515의 전위 604가  $V_1 - V_{th_{507}}$ 인 채이며, 소스 단자 및 드레인 단자의 한쪽의 전위가 제1 클록신호 602의 전위  $V_1$ 이 되면 트랜지스터 519의 게이트 단자와, 소스 단자 및 드레인 단자의 다른 쪽과의 사이의 기생 용량에 의한 용량결합에 의해, 노드 515의 전위 604가 출력신호 608의 전위에 맞춰서 상승한다. 이때 노드 515의 전위 604는, 제1 클록신호 602의 전위  $V_1$ 과, 트랜지스터 512의 임계전압( $V_{th_{512}}$ 라고도 한다)의 합, 또는 제1 클록신호 602의 전위  $V_1$ 과, 트랜지스터 519의 임계전압( $V_{th_{519}}$ 라고도 한다)의 합보다도 더 큰 값, 즉  $V_1 + V_{th_{512}} + V_a$ , 또는  $V_1 + V_{th_{a519}} + V_a$ ( $V_a$ 는 임의의 양의 값)까지 상승한다.
- [0270] 더구나, 노드 515의 전위 604가  $V_1 + V_{th_{512}} + V_a$  또는  $V_1 + V_{th_{519}} + V_a$ 일 때, 트랜지스터 519는 온 상태 그대로이다.
- [0271] 더구나, 이때 단자 518을 통해 출력하는 출력신호 608의 값은, 단자 503C를 거쳐 입력되는 제1 클록신호 602의 전위  $V_1$ 과 동등한 값이 된다. 이상이 제2 기간에 있어서의 동작이다.
- [0272] 다음에, 제3 기간에서는, 도 7에 나타난 회로의 동작에 덧붙여, 단자 503C를 거쳐 로우 상태인 제1 클록신호 602가 입력된다. 이때 트랜지스터 521이 온 상태가 된다.
- [0273] 이때 노드 516의 전위 605는 전위  $V_2$ 와 동등한 값인 채이다. 노드 516의 전위 605가  $V_2$ 일 때, 노드 516이 부유 상태가 된다. 노드 516이 부유 상태일 때, 트랜지스터 520은 오프 상태 그대로이다.
- [0274] 더구나, 이때 단자 518을 통해 출력하는 출력신호 608의 전위는, 단자 504H를 거쳐 주어지는 전위  $V_2$ 와 동등한 값이 된다. 이상이 제3 기간에 있어서의 동작이다.
- [0275] 다음에, 제4 기간에서는, 도 7에 나타난 회로의 동작에 덧붙여, 단자 503C를 거쳐 하이 상태인 제1 클록신호 602가 입력된다. 이때 트랜지스터 521이 오프 상태가 된다.
- [0276] 이때 노드 516의 전위 605가  $V_2 + V_b$ 이 되고, 노드 516의 전위 605가  $V_2 + V_b$ 이 되면 트랜지스터 520이 온 상태가 된다.
- [0277] 더구나, 노드 515의 전위 604는 단자 504B를 거쳐 주어지는 전위  $V_2$ 와 동등한 값이 된다. 노드 515의 전위 604가  $V_2$ 가 되면 트랜지스터 519가 오프 상태가 된다.
- [0278] 더구나, 이때 단자 518을 통해 출력하는 출력신호 608의 전위는, 단자 504G를 거쳐 주어지는 전위  $V_2$ 와 동등한 값이 된다. 이상이 제4 기간에 있어서의 동작이다.
- [0279] 다음에, 제5 기간에서는, 도 7에 나타난 회로의 동작에 덧붙여, 단자 503C를 거쳐 로우 상태인 제1 클록신호



602가 입력된다. 이때 트랜지스터 521이 온 상태가 된다.

- [0280] 이때 노드 515의 전위 604가 V2가 되면 트랜지스터 519가 오프 상태가 된다.
- [0281] 또한, 노드 516의 전위 605가 V2가 되면 트랜지스터 520이 오프 상태가 된다.
- [0282] 더구나, 이때 단자 518을 통해 출력하는 출력신호 608의 전위는, 단자 504H를 거쳐 주어지는 전위 V2와 동등한 값이 된다. 이상이 제5 기간에 있어서의 동작이다.
- [0283] 이상과 같이, 도 10에 나타난 구동회로에 있어서의 플립플롭회로는, 출력신호를 복수로 함으로써, 한쪽의 출력신호를 다음 단계의 플립플롭회로에 출력하고, 다른 쪽의 출력신호를 화소의 트랜지스터의 게이트 단자에 출력하는 것에 의해, 플립플롭회로에 불일치가 작은 출력신호를 출력할 수 있어, 동작 불량을 억제할 수 있다.
- [0284] 더구나, 본 실시형태의 구동회로에 있어서의 플립플롭회로는, 도 7에 있어서의 구성과 도 10에 있어서의 구성을 조합한 구성으로 할 수도 있다. 본 실시형태의 구동회로에 있어서의 플립플롭회로의 다른 구성에 대해서 도 12를 사용하여 설명한다. 도 12는, 본 실시형태의 구동회로에 있어서의 플립플롭회로의 다른 구성을 나타낸 회로도이다.
- [0285] 도 12에 나타난 본 실시형태에 있어서의 플립플롭회로의 구동회로의 다른 구성은, 도 7에 나타난 회로 구성에 덧붙여, 단자 503D, 단자 504I, 단자 504J, 단자 504K, 단자 522, 트랜지스터 523, 트랜지스터 524, 트랜지스터 525, 및 트랜지스터 526을 갖는다.
- [0286] 도 12에 있어서, 도 7과 동일한 부호가 붙어 있는 소자에 대해서는, 도 7에 있어서의 구동회로와 동일한 소자이기 때문에, 적당하게 도 7에 있어서의 각 소자의 설명을 원용한다.
- [0287] 또한, 도 12에 있어서, 단자 503D는, 도 10에 있어서의 단자 503C에 해당하고, 단자 504I는 도 9에 있어서의 단자 504F에 해당하고, 단자 504J는 도 10에 있어서의 단자 504G에 해당하고, 단자 504K는 도 10에 있어서의 단자 504H에 해당하고, 단자 522는 도 10에 있어서의 단자 518에 해당하고, 트랜지스터 523은 도 9에 있어서의 트랜지스터 517에 해당하고, 트랜지스터 524는 도 10에 있어서의 트랜지스터 519에 해당하고, 트랜지스터 525는 도 10에 있어서의 트랜지스터 520에 해당하고, 트랜지스터 526은 도 10에 있어서의 트랜지스터 521에 해당한다. 각각의 소자의 설명에 대해서는 적당하게 도 9 및 도 10에 있어서의 각 소자의 설명을 원용한다.
- [0288] 또한, 도 12에 있어서의 구동회로의 동작에 대해서는, 도 9 및 도 10에 있어서의 구동회로의 동작을 조합한 것이기 때문에, 적당하게 도 9 및 도 10에 있어서의 구동회로의 동작의 설명을 원용한다.
- [0289] 이상과 같이 도 12에 나타난 구성으로 함으로써, 도 9 및 도 10에 나타난 구동회로의 각각의 효과가 얻어진다.
- [0290] 이때, 본 실시형태는, 다른 실시형태와 적당하게 조합할 수 있다.
- [0291] (실시형태 3)
- [0292] 본 실시형태에서는, 본 발명의 일 태양인 구동회로를 사용한 표시장치의 구성에 대해 설명한다.
- [0293] 우선 본 실시형태의 표시장치의 구성에 대해서 도 13을 사용하여 설명한다. 도 13은, 본 실시형태의 표시장치의 구성의 일례를 나타낸 블록도이다.
- [0294] 도 13에 나타난 표시장치는, 화소부 700과, 신호선 구동회로 701과, 주사선 구동회로 702와, 제어회로 703과, 클럭신호 생성회로 704와, 신호선 705A와, 신호선 705B와, 주사선 706A와, 주사선 706B와, 주사선 706C와, 주사선 706D와, 클럭신호선 707과, 클럭신호선 708을 갖는다. 이때, 도 13에 나타난 표시장치에 있어서, 주사선 706A, 주사선 706B, 주사선 706C, 또는 주사선 706D를 간단히 주사선 706이라고도 한다. 이때, 도 13에 나타난 표시장치에 있어서, 신호선 705A 또는 신호선 705B를 간단히 신호선 705라고도 한다. 또한, 도 13에서는, 2개의 신호선 및 4개의 주사선을 도시하고 있지만, 본 실시형태의 표시장치에서는, 신호선 및 주사선의 수는 특별히 한정되지 않으며, 다른 수의 신호선 및 주사선을 갖는 구성할 수도 있다. 신호선 및 주사선의 수를 많게 하는 것에 의해, 화소수를 증가시켰을 경우에 있어서도 표시 동작을 행할 수 있다.
- [0295] 더구나, 화소부 700은, 복수의 화소 709를 갖는다. 이때, 도 13에서는, 화소 709를 8개만 도시하고 있지만, 이것에 한정되지 않으며, 본 실시형태의 표시장치에서는, 다른 수로 구성할 수도 있다. 예를 들면, 같은 면적의 화소부이면, 화소의 수를 늘리는 것에 의해 선명하게 표시를 행할 수 있다.
- [0296] 또한, 화소부 700에 있어서의 화소 709는, 복수의 신호선 705 중에서, 어느 한개의 신호선 705를 통해 신호선 구동회로 701에 전기적으로 접속되고, 또한, 복수의 주사선 706 중에서, 어느 한개의 주사선 706을 통해 주사선

구동회로 702에 전기적으로 접속된다.

- [0297] 더구나, 주사선 구동회로 702는, 시프트 레지스터를 갖고, 시프트 레지스터는, 제1 플립플롭회로(1단계의 플립플롭회로라고도 한다)가 되는 플립플롭회로 710A와, 제2 플립플롭회로(2단계의 플립플롭회로라고도 한다)가 되는 플립플롭회로 710B와, 제3 플립플롭회로(3단계의 플립플롭회로라고도 한다)가 되는 플립플롭회로 710C와, 제4 플립플롭회로(4단계의 플립플롭회로라고도 한다)가 되는 플립플롭회로 710D를 갖는다. 이때, 플립플롭회로 710A, 플립플롭회로 710B, 플립플롭회로 710C, 또는 플립플롭회로 710D를 간단히 플립플롭회로 710이라고도 한다. 이때, 본 실시형태의 표시장치에 있어서, 플립플롭회로의 수는, 도 13에 나타난 플립플롭회로의 수에 한정되지 않으며, 다른 수(N단(N은 자연수))로 구성할 수도 있다. 예를 들면, 플립플롭회로의 수를 늘림으로써 보다 많은 신호선을 제어할 수 있으므로, 화소부의 면적을 크게 하는 경우에 유효하다.
- [0298] 또한, 본 실시형태의 표시장치에 있어서, 플립플롭회로 710에 상기 실시형태 1 내지 실시형태 3의 어느 쪽인가의 플립플롭회로의 구성을 적용할 수 있다. 도 13에 나타난 표시장치에서는, 일례로서 도 1의 구성의 플립플롭회로를 적용했을 경우에 대해 설명한다. 이때, 도 13에 나타난 표시장치에서는, 주사선 구동회로에 본 발명의 일 태양인 구동회로를 적용한 예에 대해 설명하지만, 이것에 한정되지 않으며, 본 실시형태의 표시장치에서는, 신호선 구동회로에 있어서도 본 발명의 일 태양인 구동회로를 적용할 수 있다.
- [0299] 예를 들면, N단(N은 2 이상의 자연수)의 플립플롭회로 710을 갖는 구성의 경우, 1단계의 플립플롭회로는, 도 1에 나타난 단자 100이 제어회로 703에 전기적으로 접속되고, 도 1에 나타난 단자 105가 제1 주사선 706을 통해 화소 709에 전기적으로 접속된다.
- [0300] N단계의 플립플롭회로 710은, 도 1에 나타난 단자 100이 N-1단계에 있어서의 플립플롭회로 710의 단자 105에 전기적으로 접속되고, 도 1에 나타난 단자 105가 N-1단계에 있어서의 플립플롭회로 710의 도 1에 나타난 단자 101에 전기적으로 접속되고, 또한, 제K의 주사선 706을 통해 화소 709에 전기적으로 접속된다.
- [0301] 또한, 기수단계의 플립플롭회로 710은, 도 1에 나타난 단자 102가 클록신호선 708을 통해 클록신호 생성회로 704에 전기적으로 접속되고, 도 1에 나타난 단자 103이 클록신호선 707을 통해 클록신호 생성회로 704에 전기적으로 접속된다.
- [0302] 또한, 우수단계의 플립플롭회로 710은, 도 1에 나타난 단자 102가 클록신호선 707을 통해 클록신호 생성회로 704에 전기적으로 접속되고, 도 1에 나타난 단자 103이 클록신호선 708을 통해 클록신호 생성회로 704에 전기적으로 접속된다.
- [0303] 더구나, 도 13에 나타난 주사선 구동회로 702의 구성에 대해 상세히 설명한다.
- [0304] 더구나, 도 13에 나타난 주사선 구동회로 702에 있어서, 플립플롭회로 710A는, 도 1에 나타난 단자 100이 제어회로 703에 전기적으로 접속되고, 도 1에 나타난 단자 102가 클록신호선 708을 통해 클록신호 생성회로 704에 전기적으로 접속되고, 도 1에 나타난 단자 103이 클록신호선 707을 통해 클록신호 생성회로 704에 전기적으로 접속되고, 도 1에 나타난 단자 105가 주사선 706A를 거쳐 화소 709에 전기적으로 접속된다.
- [0305] 또한, 플립플롭회로 710B는, 도 1에 나타난 단자 100이 플립플롭회로 710A의 단자 105에 전기적으로 접속되고, 도 1에 나타난 단자 102가 클록신호선 707을 통해 클록신호 생성회로 704에 전기적으로 접속되고, 도 1에 나타난 단자 103이 클록신호선 708을 통해 클록신호 생성회로 704에 전기적으로 접속되고, 도 1에 나타난 단자 105가 플립플롭회로 710A의 도 1에 나타난 단자 101에 전기적으로 접속되고, 또한, 주사선 706B를 거쳐 화소 709에 전기적으로 접속된다.
- [0306] 또한, 플립플롭회로 710C는, 도 1에 나타난 단자 100이 플립플롭회로 710B에 있어서의 단자 105에 전기적으로 접속되고, 도 1에 나타난 단자 102가 클록신호선 708을 통해 클록신호 생성회로 704에 전기적으로 접속되고, 도 1에 나타난 단자 103이 클록신호선 707을 통해 클록신호 생성회로 704에 전기적으로 접속되고, 도 1에 나타난 단자 105가 플립플롭회로 710B에 있어서의 도 1에 나타난 단자 101에 전기적으로 접속되고, 또한, 주사선 706C를 거쳐 화소 709에 전기적으로 접속된다.
- [0307] 또한, 플립플롭회로 710D는, 도 1에 나타난 단자 100이 플립플롭회로 710C에 있어서의 단자 105에 전기적으로 접속되고, 도 1에 나타난 단자 102가 클록신호선 707을 통해 클록신호 생성회로 704에 전기적으로 접속되고, 도 1에 나타난 단자 103이 클록신호선 708을 통해 클록신호 생성회로 704에 전기적으로 접속되고, 도 1에 나타난 단자 105가 플립플롭회로 710C에 있어서의 도 1에 나타난 단자 101에 전기적으로 접속되고, 또한, 주사선 706D를 거쳐 화소 709에 전기적으로 접속된다.



- [0308] 클록신호 생성회로 704는, 클록신호선 707을 통해 제1 클록신호를 출력하고, 또한, 클록신호선 708을 통해 제2 클록신호를 출력한다. 이때, 제1 클록신호 및 제2 클록신호에 대해서는, 각각 상기 실시형태 1에 있어서의 제1 클록신호 및 제2 클록신호와 같기 때문에, 적절히 실시형태 1의 설명을 인용한다.
- [0309] 제어회로 703에서는, 플립플롭회로의 동작이 개시하게 되는 제1 제어신호로서 개시 신호를 출력한다. 이때, 개시 신호에 대해서는, 상기 실시형태 1에 있어서의 제1 제어신호와 같기 때문에, 실시형태 1에 있어서의 제1 제어신호의 설명을 인용한다. 또한, 제어회로 703은 신호선 구동회로 701에 전기적으로 접속된 구성으로 할 수도 있다. 제어회로 703과 신호선 구동회로 701이 전기적으로 접속된 구성으로 함으로써, 신호선 구동회로 701에 있어서도 제어신호를 사용해서 원하는 동작을 행할 수 있다.
- [0310] 다음에, 도 13에 나타난 표시장치의 동작에 대해 설명한다.
- [0311] 우선 주사선 구동회로 702의 동작에 대해서 도 14를 사용하여 설명한다. 도 14는, 도 13에 나타난 표시장치에 있어서의 주사선 구동회로의 동작의 일례를 나타낸 타이밍차트도이다. 여기에서는, 일례로서 N형의 트랜지스터로 플립플롭회로를 구성한 경우에 대해 설명한다.
- [0312] 도 13에 나타난 주사선 구동회로 702의 동작은, 플립플롭회로의 단수 N에 따라 T(T는 자연수)개의 기간으로 나뉜다. 여기에서는, 일례로서 T=8로 하고, 도 13에 도시하고 있는 플립플롭회로 710A 내지 플립플롭회로 710D의 4개의 플립 회로에 있어서의 동작에 대해 설명한다.
- [0313] 우선 제1 기간에서는, 플립플롭회로 710A에 제어회로 703으로부터 플립플롭회로 710A에 있어서의 단자 100을 통해 하이 상태인 개시 신호 801이 입력되고, 단자 102를 통해 하이 상태인 제2 클록신호 803이 입력되고, 단자 103을 통해 로우 상태인 제1 클록신호 802가 입력된다. 여기에서의 제1 기간의 동작은, 상기 실시형태 1에 있어서의 도 2에 나타난 타이밍차트의 제1 기간의 동작에 해당한다.
- [0314] 다음에, 제2 기간에서는, 플립플롭회로 710A에 제어회로 703으로부터 플립플롭회로 710A에 있어서의 단자 100을 통해 로우 상태인 개시 신호 801이 입력되고, 단자 102를 통해 로우 상태인 제2 클록신호 803이 입력되고, 단자 103을 통해 하이 상태인 제1 클록신호 802가 입력된다. 이때 단자 105를 통해 플립플롭회로 710B의 단자 100, 및 주사선 706A에 하이 상태인 출력신호 804를 출력한다.
- [0315] 또한, 제2 기간에서는, 플립플롭회로 710B에 단자 100을 통해 플립플롭회로 710A의 출력신호 804가 입력되고, 단자 102를 통해 하이 상태인 제1 클록신호 802가 입력되고, 단자 103을 통해 로우 상태인 제2 클록신호 803이 입력된다.
- [0316] 다음에, 제3 기간에서는, 플립플롭회로 710B에 단자 100을 통해 로우 상태인 출력신호 804가 입력되고, 단자 102를 통해 로우 상태인 제1 클록신호 802가 입력되고, 단자 103을 통해 하이 상태인 제2 클록신호 803이 입력된다. 이때 단자 105를 통해 플립플롭회로 710C의 단자 100, 플립플롭회로 710A의 단자 101, 및 주사선 706B에 하이 상태인 출력신호 805를 출력한다.
- [0317] 또한, 제3 기간에서는, 플립플롭회로 710C에 단자 100을 통해 하이 상태인 출력신호 805가 입력되고, 단자 102를 통해 하이 상태인 제2 클록신호 803이 입력되고, 단자 103을 통해 로우 상태인 제1 클록신호 802가 입력된다.
- [0318] 다음에, 제4 기간에서는, 플립플롭회로 710C에 단자 100을 통해 로우 상태인 출력신호 805가 입력되고, 단자 102를 통해 로우 상태인 제2 클록신호 803이 입력되고, 단자 103을 통해 하이 상태인 제1 클록신호 802가 입력된다. 이때 단자 105를 통해 플립플롭회로 710D의 단자 100, 플립플롭회로 710B의 단자 101, 및 주사선 706C에 출력신호 806을 출력한다.
- [0319] 또한, 제4 기간에서는, 플립플롭회로 710D에 단자 100을 통해 하이 상태인 출력신호 806이 제1 제어신호로서 입력되고, 단자 102를 통해 하이 상태인 제1 클록신호 802가 입력되고, 단자 103을 통해 로우 상태인 제2 클록신호 803이 입력된다.
- [0320] 다음에, 제5 기간에서는, 플립플롭회로 710D에 단자 100을 통해 로우 상태인 출력신호 806이 제1 제어신호로서 입력되고, 단자 102를 통해 로우 상태인 제1 클록신호가 입력되고, 단자 103을 통해 하이 상태인 제2 클록신호가 입력된다. 이때 단자 105를 통해서 다음 단계의 플립플롭회로의 단자 100, 플립플롭회로 710C의 단자 101, 및 주사선 706D에 출력신호 807을 출력한다. 이상이 주사선 구동회로에 있어서의 동작이다.
- [0321] 다음에, 화소부에 있어서의 동작에 대해 설명한다.

- [0322] 우선 주사선 구동회로 702에 의해 복수의 주사선 706 중 어느 한개가 선택된다. 선택된 주사선 706에 전기적으로 접속된 화소 709는, 신호선 구동회로 701에 의해 신호선 705를 통해 신호가 입력되고, 표시 소자에 소정의 값의 전위가 주어져, 표시 동작을 행한다. 더구나, 다른 주사선 706이 순차 선택됨으로써 다른 화소도 마찬가지로 표시 동작을 행한다. 이상이 화소부에 있어서의 동작이다.
- [0323] 이상과 같이, 본 실시형태에 있어서의 표시장치는, 본 발명의 일 태양인 구동회로를 주사선 구동회로로서 사용함으로써, 플립플롭회로가 리셋된 후에 있어서, 신호의 값이 변화하는 것을 억제할 수 있으므로, 동작 불량을 억제할 수 있다. 또한, 각 주사선에서 원하는 전위를 유지할 수 있으므로, 신뢰성을 향상시킬 수 있다.
- [0324] 또한, 본 실시형태의 표시장치로서는, 예를 들면, 액정표시장치를 적용할 수 있다. 이하에서 액정표시장치에 적용한 경우에 대해 설명한다.
- [0325] 본 실시형태에 있어서의 액정표시장치에 적용가능한 액정소자의 동작 모드로서는, TN(Twisted Nematic) 모드, IPS(In-Plane-Switching) 모드, FFS(Fringe Field Switching) 모드, MVA(Multi-domain Vertical Alignment) 모드, PVA(Patterned Vertical Alignment) 모드, ASM(Axially Symmetric aligned Micro-cell) 모드, OCB(Optical Compensated Birefringence) 모드, FLC(Ferroelectric Liquid Crystal) 모드, AFLC(AntiFerroelectric Liquid Crystal) 모드 등을 사용할 수 있다.
- [0326] 다음에, 본 실시형태에 있어서의 액정표시장치에 적용할 수 있는 화소의 구성 및 화소의 동작에 대해 설명한다.
- [0327] 우선 본 실시형태에 있어서의 액정표시장치에 적용가능한 화소의 구성에 대해서 도 15a를 사용하여 설명한다. 도 15a는, 본 실시형태에 있어서의 액정표시장치의 화소부의 구성의 일례를 나타낸 회로도다.
- [0328] 도 15a에 나타난 화소부는, 화소 750, 배선 754, 배선 755, 배선 756, 및 배선 757을 갖고, 화소 750은, 트랜지스터 751, 액정소자 752, 및 용량소자 753을 갖는다.
- [0329] 트랜지스터 751은, 게이트 단자가 배선 755에 전기적으로 접속되고, 소스 단자 및 드레인 단자의 한쪽이 배선 754와 전기적으로 접속된다.
- [0330] 액정소자 752는, 제1단자, 제2단자, 및 액정층을 갖고, 제1단자가 트랜지스터 751의 소스 단자 및 드레인 단자의 다른 쪽에 전기적으로 접속되고, 제2단자가 배선 757에 전기적으로 접속된다.
- [0331] 용량소자 753은, 적어도 2개의 단자를 갖고, 한쪽의 단자가 액정소자 752의 제1단자에 전기적으로 접속되고, 다른 쪽의 단자가 배선 756에 전기적으로 접속된다.
- [0332] 배선 754는, 예를 들면, 신호선으로서 기능시킬 수 있다. 신호선은, 화소의 외부에서 입력된 소정의 전위인 데이터 신호를 화소 750에 전달하기 위한 배선이다.
- [0333] 배선 755는 주사선으로서 기능시킬 수 있다. 주사선은, 트랜지스터 751의 온 상태 및 오프 상태를 제어하기 위한 배선이다.
- [0334] 배선 756은 용량선으로서 기능시킬 수 있다. 용량선은, 용량소자 753의 단자에 소정의 전압을 가하기 위한 배선이다.
- [0335] 트랜지스터 751은 스위치로서 기능시킬 수 있다.
- [0336] 용량소자 753은 저장용량으로서 기능시킬 수 있다. 용량소자 753은, 트랜지스터 751이 오프 상태일 때에, 액정소자 752에 인가되는 전압을 일정 기간 유지하기 위한 용량소자이다.
- [0337] 배선 757은, 액정소자 752의 대향전극으로서 기능시킬 수 있다. 대향전극은, 액정소자 752에 소정의 전압을 가하기 위한 배선이다.
- [0338] 이때, 각각의 배선의 기능은 이것에 한정되지 않으며, 다양한 기능을 부가할 수 있다. 예를 들면, 용량선으로서 기능하는 배선에 가하는 전위를 변화시킴으로써, 액정소자 752에 주어지는 전압을 조정할 수도 있다.
- [0339] 또한, 트랜지스터 751은 스위치로서 기능하면 되기 때문에, 트랜지스터 751의 극성은 P형이어도 되고, N형이어도 된다.
- [0340] 또한, 본 실시형태에 있어서의 액정표시장치에 적용가능한 화소의 다른 구성에 대해서 도 15b를 사용하여 설명한다. 도 15b는, 본 실시형태에 있어서의 액정표시장치의 화소부의 다른 구성의 일례를 나타낸 회로도이다.
- [0341] 도 15b에 나타난 화소부의 구성은, 도 15a에 나타난 화소부의 구성과 비교하여, 배선 757이 생략되고, 또한, 액

정소자 752의 단자와 용량소자 753의 단자가 전기적으로 접속되어 있는 점이 다른 점 이외는, 도 15a에 나타난 화소부와 동일한 구성이다. 도 15b에 나타난 화소부는, 특히, 액정소자가 횡전계 모드(IPS 모드, FFS 모드를 포함한다)일 경우에 적용하는 것이 바람직하다. 왜냐하면, 액정소자가 횡전계 모드일 경우, 액정소자 752의 단자의 일부가 되는 전극 및 용량소자 753의 단자의 일부가 되는 전극을 동일한 기판 위에 형성시킬 수 있기 때문에, 액정소자 752의 전극과 용량소자 753의 전극을 전기적으로 접속시키는 것이 용이하기 때문이다. 또한, 도 15b에 나타난 화소부의 구성으로 함으로써, 배선 757을 생략할 수 있으므로, 제조공정을 간략하게 할 수 있어, 제조 비용을 저감할 수 있다.

[0342] 이때, 도 15a 또는 도 15b에 나타난 화소부는, 매트릭스 모양으로 화소를 복수 배치하는 구성으로 할 수 있다. 이와 같이 함으로써, 액정표시장치의 표시부가 형성되어, 다양한 화상을 표시할 수 있다.

[0343] 복수의 화소를 갖는 화소부의 구성에 대해서, 도 15c를 사용하여 설명한다. 도 15c는, 본 실시형태에 있어서의 액정표시장치의 화소부의 구성의 일례를 나타낸 회로도이다.

[0344] 도 15c에 나타난 화소부는, 도 15a에 나타난 화소 750이 매트릭스 모양으로 복수 배치된 구성이다. 도 15c에서는, 화소부가 갖는 복수의 화소 중에서, 4개의 화소를 뽑아 내서 표시하고, I열 j행(i, j는 자연수)에 위치하는 화소를, 화소 750<sub>i,j</sub>로 표기한다. 도 15c에 나타난 화소부에 있어서, 화소 750<sub>i,j</sub>는, 배선 754<sub>i</sub>, 배선 755<sub>j</sub>, 배선 756<sub>j</sub>와 전기적으로 접속되고, 화소 750<sub>i+1,j</sub>는, 배선 754<sub>i+1</sub>, 배선 755<sub>j</sub>, 배선 756<sub>j</sub>와 전기적으로 접속되고, 화소 750<sub>i,j+1</sub>은, 배선 754<sub>i</sub>, 배선 755<sub>j+1</sub>, 배선 756<sub>j+1</sub>과 전기적으로 접속되고, 화소 750<sub>i+1,j+1</sub>은, 배선 754<sub>i+1</sub>, 배선 755<sub>j+1</sub>, 배선 756<sub>j+1</sub>과 전기적으로 접속된다. 이때, 도 15c에 나타난 화소부에 있어서, 각 배선을 같은 열 또는 행에 속하는 복수의 화소에서 공유할 수도 있다. 이때, 도 15c에 나타난 화소부에 있어서, 배선 757은 대향전극이며, 대향전극은 모든 화소에 있어서 공통이기 때문에, 배선 757에 대해서는 자연수 i 또는 j에 의해 표기하지 않는 것으로 한다. 이때, 본 실시형태의 액정표시장치에서는, 도 15b에 나타난 화소부의 구성을 사용하는 것도 가능하기 때문에, 배선 757이 기재되어 있는 구성이라도 배선 757은 필수는 아니고, 다른 배선과 공유하는 것 등에 의해 생략할 수도 있다.

[0345] 이때, 도 15c에 나타난 화소부의 화소는, 다양한 방법에 의해 구동시킬 수 있다. 특히, 교류 구동으로 불리는 방법에 의해 구동시킴으로써 액정소자의 열화(변인)를 억제할 수 있다. 도 15c에 나타난 화소부의 화소를 교류 구동에 의해 구동시킬 경우의 동작에 대해서 도 15d를 사용하여 설명한다. 도 15d는, 도 15c에 나타난 화소부의 화소의 동작을 나타낸 타이밍차트도이다. 이때, 여기에서는, 도 15c에 나타난 화소부의 화소의 동작으로서 교류 구동의 한가지인 도트 반전 구동을 사용한 동작에 대해 설명한다. 도트 반전 구동을 사용함으로써, 교류 구동의 경우에 생기는 플리커(어른거림)를 억제할 수 있다.

[0346] 도 15c에 나타난 화소부의 화소에 있어서, 배선 755<sub>j</sub>와 전기적으로 접속되어 있는 화소에 있어서의 스위치는, 1 프레임 기간 동안의 제j게이트 선택 기간에 있어서 선택 상태(온 상태)가 되고, 그 이외의 기간에서는 비선택 상태(오프 상태)가 된다. 그리고, 제j게이트 선택 기간 후에, 제j+1게이트 선택 기간이 설치된다. 이와 같이 순차 주사가 행하여짐으로써, 1 프레임 기간 내에 모든 화소가 순차적으로 선택 상태가 된다. 도 15d에 나타난 타이밍차트에서는, 일례로서 전위가 높은 상태(하이 상태)가 됨으로써 해당 화소에 있어서의 스위치가 선택 상태가 되고, 전위가 낮은 상태(로우 상태)가 됨으로써 비선택 상태가 되는 것으로 한다. 이때, 이것은 각 화소에 있어서의 트랜지스터가 N형인 경우이며, P형의 트랜지스터가 사용되는 경우, 전압과 선택 상태의 관계는, N형의 경우와는 반대가 된다.

[0347] 도 15d에 나타난 타이밍차트에서는, 제k프레임(k는 자연수)에 있어서의 제j게이트 선택 기간에 있어서, 신호선으로서 사용하는 배선 754<sub>i</sub>에 양의 전위가 주어지고, 배선 754<sub>i+1</sub>에 음의 전위가 주어진다. 그리고, 제k프레임에 있어서의 제j+1게이트 선택 기간에 있어서, 배선 754<sub>i</sub>에 음의 전위가 주어지고, 배선 754<sub>i+1</sub>에 양의 전위가 주어진다. 그후에도, 각각의 신호선은, 게이트 선택 기간마다 극성이 반전한 신호가 교대로 주어진다. 그 결과, 제k프레임에 있어서, 화소 750<sub>i,j</sub>에는 양의 전위, 화소 750<sub>i+1,j</sub>에는 음의 전위, 화소 750<sub>i,j+1</sub>에는 음의 전위, 화소 750<sub>i+1,j+1</sub>에는 양의 전위가, 각각 주어지게 된다. 그리고, 제k+1 프레임에 있어서, 각각의 화소에 있어서, 제k프레임에 있어서 기록된 전위와는 반대의 극성의 전위가 데이터로서 기록된다. 그 결과, 제k+1 프레임에 있어서, 화소 750<sub>i,j</sub>에는 음의 전위, 화소 750<sub>i+1,j</sub>에는 양의 전위, 화소 750<sub>i,j+1</sub>에는 양의 전위, 화소 750<sub>i+1,j+1</sub>에는 음의 전위가, 각각 주어지게 된다. 이와 같이, 같은 프레임에 있어서 인접하는 화소끼리에서 다른 극성의 전위가 주어지고, 더구나, 각각의 화소에 있어서 1 프레임마다 전위의 극성이 반전되는 구동방법이, 도트 반전 구동이다. 도트 반전 구동에 의해, 액정소자의 열화를 억제하면서, 표시되는 화상 전체 또는 일부가 균일할 경우에 시인되는 플리커를 저감할 수 있다. 이때, 배선 756<sub>j</sub>, 배선 756<sub>j+1</sub>을 포함하

는 모든 배선 756에 주어지는 전압은, 일정한 전압으로 할 수 있다. 이때, 배선 754의 타이밍차트에 있어서의 전위의 표기는 극성만으로 되어 있지만, 실제로는, 표시된 극성에 있어서 다양한 전위의 값을 취할 수 있다. 이때, 여기에서는 1 도트(1 화소)마다 극성을 반전시키는 경우에 대해서 서술했지만, 이것에 한정되지 않고, 복수의 화소마다 극성을 반전시킬 수도 있다. 예를 들면, 2 게이트 선택 기간마다 기록하는 전위의 극성을 반전시킴으로써, 전위의 기록에 걸리는 소비 전력을 저감할 수 있다. 그 이외에도, 1열마다 극성을 반전시키는 것(소스 라인 반전)도 가능하고, 또한, 1행마다 극성을 반전시키는 것(게이트 라인 반전)도 가능하다.

[0348] 이때, 화소 750에 있어서의 용량소자 753에는, 1 프레임 기간에 있어서 일정한 전압이 주어지고 있으면 된다. 여기에서, 주사선으로서 사용하는 배선 755에 주어지는 신호는 1 프레임 기간의 대부분에 있어서 로우 상태이며, 거의 일정한 전압이 주어지고 있기 때문에, 화소 750에 있어서의 용량소자 753의 다른 쪽의 단자의 접속처는, 배선 755이어도 된다. 용량소자 753의 다른 쪽의 단자와 배선 755가 전기적으로 접속된 구성에 대해서 도 15e에 나타낸다.

[0349] 도 15e에 나타낸 화소부의 화소 구성은, 도 15c에 나타낸 화소부의 화소 구성과 비교하면, 배선 756이 생략되고, 또한, 화소 750 내부의 용량소자 753의 단자와, 1개 전의 행에 있어서의 배선 755가 전기적으로 접속되어 있다. 구체적으로는, 화소 750<sub>i,j+1</sub> 및 화소 750<sub>i+1,j+1</sub>에 있어서의 용량소자 753의 단자는, 배선 755<sub>j</sub>와 전기적으로 접속된다. 이와 같이, 화소 750 내부의 용량소자 753의 단자와, 1개전의 행에 있어서의 배선 755를 전기적으로 접속시킴으로써, 배선 756을 생략할 수 있으므로, 배선의 수가 줄어들수록, 화소의 개구율을 향상할 수 있다. 이때, 용량소자 753의 단자의 접속처는, 1개 전의 행에 있어서의 배선 755가 아니고, 다른 행에 있어서의 배선 755이어도 된다. 이때, 도 15e에 나타낸 화소부의 화소의 구동방법은, 도 15c에 나타낸 화소부의 화소의 구동방법과 같은 것을 사용할 수 있다.

[0350] 이때, 용량소자 753 및 용량소자 753의 다른 쪽의 단자에 전기적으로 접속되는 배선을 사용하여, 신호선으로서 사용하는 배선 754에 가하는 전압을 작게 할 수 있다. 이때의 화소부의 구성 및 구동방법에 대해서, 도 15f 및 도 15g를 사용하여 설명한다.

[0351] 도 15f에 나타낸 화소부의 구성은, 도 15a에 나타낸 화소부의 구성과 비교하여, 배선 756을 1화소열당 2개로 하고, 또한, 화소 750에 있어서의 용량소자 753의 단자와의 전기적인 접속을, 인접하는 화소에서 교대로 행하는 것을 특징으로 한다. 이때, 2개로 한 배선 756은, 각각 배선 756-1 및 배선 756-2로 부르기로 한다. 구체적으로는, 도 15f에 표기되어 있는 범위에 있어서, 화소 750<sub>i,j</sub>에 있어서의 용량소자 753의 단자는, 배선 756-1<sub>j</sub>와 전기적으로 접속되고, 화소 750<sub>i+1,j</sub>에 있어서의 용량소자 753의 단자는, 배선 756-2<sub>j</sub>와 전기적으로 접속되고, 화소 750<sub>i,j+1</sub>에 있어서의 용량소자 753의 단자는, 배선 756-2<sub>j+1</sub>과 전기적으로 접속되고, 화소 750<sub>i+1,j+1</sub>에 있어서의 용량소자 753의 단자는, 배선 756-1<sub>j+1</sub>과 전기적으로 접속된다.

[0352] 또한, 예를 들면, 도 15g에 나타낸 것과 같이, 제k프레임에 있어서 화소 750<sub>i,j</sub>에 양의 극성의 전위가 기록될 경우, 제j게이트 선택 기간에 있어서 배선 756-1<sub>j</sub>를 로우 상태로 하도록 하고, 제j게이트 선택 기간의 종료후, 하이 상태로 변화시킨다. 그리고, 1 프레임 기간 동안에는 그대로 하이 상태를 유지하여, 제k+1 프레임에 있어서의 제j게이트 선택 기간에 음의 극성의 전위가 기록된 후, 배선 756-1<sub>j</sub>를 로우 상태로 변화시킨다. 이와 같이, 양의 극성의 전위가 화소에 기록된 후에, 용량소자 753의 다른 쪽의 단자에 전기적으로 접속되는 배선의 전위를 양의 방향으로 변화시킴으로써, 액정소자에 주어지는 전위를 양의 방향으로 소정의 양만큼 변화시킬 수 있다. 즉, 그 만큼 화소에 기록하는 전압을 작게 할 수 있으므로, 신호 기록에 걸리는 소비 전력을 저감시킬 수 있다. 이때, 제j게이트 선택 기간에 음의 극성의 전압이 기록되는 경우에는, 음의 극성의 전압이 화소에 기록된 후에, 용량소자 753의 다른 쪽의 단자에 전기적으로 접속되는 배선의 전위를 음의 방향으로 변화시킴으로써, 액정소자에 주어지는 전위를 음의 방향으로 소정의 양만큼 변화시킬 수 있으므로, 양의 극성의 경우와 마찬가지로, 화소에 기록하는 전압을 작게 할 수 있다. 즉, 용량소자 753의 다른 쪽의 단자에 전기적으로 접속되는 배선은, 같은 프레임의 같은 행에 있어서, 양의 극성의 전위가 주어지는 화소와, 음의 극성의 전위가 주어지는 화소에서, 각각 다른 배선인 것이 바람직하다.

[0353] 도 15f에 나타낸 화소부는, 제k프레임에 있어서 양의 극성의 전위가 기록되는 화소에는 배선 756-1이 전기적으로 접속되고, 제k프레임에 있어서 음의 극성의 전위가 기록되는 화소에는 배선 756-2가 전기적으로 접속되는 예이다. 단, 이것은 일례로서, 예를 들면, 양의 극성의 전위가 기록되는 화소와 음의 극성의 전위가 기록되는 화소가 2화소마다 나타나도록 하는 구동방법의 경우에는, 배선 756-1 및 배선 756-2의 전기적 접속도 2 화소마다 교대로 행해지는 것이 바람직하다. 다시 말하면, 1행 모든 화소에서 같은 극성의 전위가 기록될 경우(게이트 라인 반전)도 있지만, 그 경우에는, 배선 756은 1행당 1개로 된다. 즉, 도 15c에 나타낸 화소부의 화소 구성에 있



어서도, 도 15f 및 도 15g를 사용하여 설명한 것 같은, 화소에 기록하는 전압을 작게 하는 구동방법을 사용할 수 있다.

[0354] 다음에, 액정소자가 MVA 모드 또는 PVA 모드 등으로 대표되는, 수직배향(VA) 모드일 경우에 특히 바람직한 화소 구성 및 그 구동방법에 대해 설명한다. VA 모드는, 제조시에 러빙 공정이 불필요하고, 흑색 표시시의 광 누설이 적다, 구동전압이 낮은 것 등의 좋은 특징을 갖지만, 화면을 경사지게 보았을 때 화질이 열화해 버린다(시야각이 좁다)고 하는 문제점도 갖는다. VA 모드의 시야각을 넓게 하기 위해서는, 1 화소에 복수의 부화소(서브픽셀)를 갖는 화소구성으로 하는 것이 유효하다. 1 화소에 복수의 부화소를 갖는 화소 구성에 대해서 도 16a 및 도 16b를 사용하여 설명한다. 도 16a 및 도 16b는 본 실시형태에 있어서의 액정표시장치에 적용가능한 화소의 구성의 일례를 나타낸 회로도이다.

[0355] 도 16a 및 도 16b에 나타낸 액정표시장치에 있어서의 화소부의 화소 750은, 2개의 부화소(부화소 750-1, 부화소 750-2)를 포함하는 경우의 일례를 나타낸 것이다. 이때, 1개의 화소에 있어서의 부화소의 수는 2개에 한정되지 않고, 다양한 수의 부화소를 사용할 수 있다. 부화소의 수가 클수록, 더욱 시야각을 넓게 할 수 있다. 복수의 부화소는 서로 동일한 회로 구성으로 할 수 있고, 여기에서는, 모든 부화소가 도 15a에 나타낸 회로 구성과 같은 것으로 하여 설명한다. 이때, 제1 부화소 750-1은, 트랜지스터 751-1, 액정소자 752-1, 용량소자 753-1을 갖는 것으로 하고, 각각의 접속 관계는 도 15a에 나타낸 회로 구성에 준하는 것으로 한다. 마찬가지로, 제2 부화소 750-2는, 트랜지스터 751-2, 액정소자 752-2, 용량소자 753-2를 갖는 것으로 하고, 각각의 접속 관계는 도 15a에 나타낸 회로 구성에 준하는 것으로 한다.

[0356] 도 16a에 나타낸 화소부는, 1 화소를 구성하는 2개의 부화소에 대하여, 주사선으로서 사용하는 배선 755를 2개(배선 755-1, 배선 755-2) 갖고, 신호선으로서 사용하는 배선 754를 1개 갖고, 용량선으로서 사용하는 배선 756을 1개 갖는 구성이다. 이와 같이, 신호선 및 용량선을 2개의 부화소에서 공용함으로써, 개구율을 향상시킬 수 있고, 더구나, 신호선 구동회로를 간단한 것으로 할 수 있으므로 제조 비용을 저감할 수 있고, 또한, 액정 패널과 구동회로의 접속부의 수를 저감할 수 있으므로, 제품 수율을 향상할 수 있다.

[0357] 도 16b에 나타낸 화소부는, 1 화소를 구성하는 2개의 부화소에 대하여, 주사선으로서 사용하는 배선 755를 1개 갖고, 신호선으로서 사용하는 배선 754를 2개(배선 754-1, 배선 754-2) 갖고, 용량선으로서 사용하는 배선 756을 1개 갖는 구성이다. 이와 같이, 주사선 및 용량선을 2개의 부화소에서 공용함으로써, 개구율을 향상시킬 수 있고, 더구나, 전체의 주사선 개수를 저감할 수 있으므로, 고화질의 액정 패널에 있어서도 1개당의 게이트선 선택 기간을 충분히 길게 할 수 있고, 각각의 화소에 적절한 전압을 기록할 수 있다.

[0358] 다음에, 도 16b에 나타낸 화소부에 있어서의 액정소자 752를 액정소자 752의 화소전극만으로 표시하고, 각 소자의 전기적 접속 상태를 모식적으로 표시한 예에 대해서 도 16c 및 도 16d를 사용하여 설명한다.

[0359] 도 16c 및 도 16d에 있어서, 전극 758-1은 제1 화소전극을 나타내고, 전극 758-2는 제2 화소전극을 나타내는 것으로 한다. 도 16c에 있어서, 전극 758-1은, 도 16b에 있어서의 액정소자 752-1의 제2단자에 해당하고, 전극 758-2는, 도 16b에 있어서의 액정소자 752-2의 단자에 해당한다. 즉, 전극 758-1은, 트랜지스터 751-1의 소스 단자 또는 드레인 단자의 한쪽과 전기적으로 접속되고, 전극 758-2는, 트랜지스터 751-2의 소스 단자 또는 드레인 단자의 한쪽과 전기적으로 접속된다. 한편, 도 16d에 있어서, 화소전극과 트랜지스터의 접속 관계를 역으로 한다. 즉, 전극 758-1은, 트랜지스터 751-2의 소스 단자 또는 드레인 단자의 한쪽과 전기적으로 접속되고, 전극 758-2는, 트랜지스터 751-1의 소스 단자 또는 드레인 단자의 한쪽과 전기적으로 접속되는 것으로 한다.

[0360] 또한, 매트릭스 모양으로 도 16c 및 도 16d에서 나타낸 화소를 각각 교대로 배치함으로써, 특별한 효과를 얻을 수 있다. 이때의 화소부의 구성 및 그 구동방법의 일례를, 도 16e 및 도 16f를 사용하여 설명한다. 이때, 도 16f에 나타낸 타이밍차트에서는, 일례로서 전위가 높은 상태(하이 상태)가 됨으로써 해당 화소에 있어서의 스위치가 선택 상태가 되고, 전위가 낮은 상태(로우 상태)가 되는 것으로 비선택 상태가 되는 것으로 한다.

[0361] 도 16e에 나타낸 화소부의 구성은, 화소 750<sub>i,j</sub> 및 화소 750<sub>i+1,j+1</sub>에 해당하는 부분을 도 16c에 나타낸 구성으로 하고, 화소 750<sub>i+1,j</sub> 및 화소 750<sub>i,j+1</sub>에 해당하는 부분을 도 16d에 나타낸 구성으로 한 것이다. 이 구성에 있어서, 도 16f에 나타낸 타이밍차트와 같이 구동하면, 제k프레임의 제j게이트 선택 기간에 있어서, 화소 750<sub>i,j</sub>의 제1 화소전극 및 화소 750<sub>i+1,j</sub>의 제2 화소전극에 양의 극성의 전위가 기록되고, 화소 750<sub>i,j</sub>의 제2 화소전극 및 화소 750<sub>i+1,j</sub>의 제1 화소전극에 음의 극성의 전위가 주어진다. 더구나, 제k프레임의 제j+1게이트 선택 기간에 있어서, 화소 750<sub>i,j+1</sub>의 제2 화소전극 및 화소 750<sub>i+1,j+1</sub>의 제1 화소전극에 양의 극성의 전위가 주어지고, 화소 750<sub>i,j+1</sub>의 제1 화소전극 및 화소 750<sub>i+1,j+1</sub>의 제2 화소전극에 음의 극성의 전위가 주



어진다. 제k+1 프레임에 있어서는, 각 화소에 있어서 전압의 극성이 반전된다. 이와 같이 함으로써, 부화소를 포함하는 화소구성에 있어서 도트 반전 구동에 해당하는 구동을 실현하면서, 신호선에 주어지는 전위의 극성을 1 프레임 기간 내에서 동일한 것으로 할 수 있으므로, 화소에의 데이터 써닝기에 걸리는 소비 전력을 대폭 저감할 수 있다. 또한, 배선 756<sub>j</sub>, 배선 756<sub>j+1</sub>을 포함하는 모든 배선 756에 주어지는 전위는, 일정한 전위로 할 수 있다.

[0362] 더구나, 도 16g 및 도 16h에 나타난 화소부의 구성 및 그 구동방법에 의해, 화소에 기록되는 전위의 크기를 작게 할 수 있다. 이것은, 각각의 화소가 갖는 복수의 부화소에 전기적으로 접속되는 용량선을, 부화소마다 다르게 하는 것이다. 즉, 도 16g 및 도 16h에 나타난 화소부의 구성 및 그 구동방법에 의해, 동일한 프레임 내에서 동일한 극성이 기록되는 부화소에 대해서는, 동일 행 내에서 용량선을 공통으로 하고, 동일한 프레임 내에서 다른 극성이 기록되는 부화소에 대해서는, 동일 행 내에서 용량선을 다르게 한다. 그리고, 각 행의 기록이 종료한 시점에서, 각각의 용량선의 전위를, 양의 극성의 전압이 기록된 부화소에서는 양의 방향, 음의 극성의 전압이 기록된 부화소에서는 음의 방향으로 변화시킴으로써, 화소에 기록되는 전압의 크기를 작게 할 수 있다. 구체적으로는, 용량선으로서 사용하는 배선 756을 각 행에서 2개(배선 756-1, 배선 756-2)로 하고, 화소 750<sub>i,j</sub>의 제1 화소전극과, 배선 756-1<sub>j</sub>가, 용량소자를 거쳐 전기적으로 접속되고, 화소 750<sub>i,j</sub>의 제2 화소전극과, 배선 756-2<sub>j</sub>가, 용량소자를 거쳐 전기적으로 접속되고, 화소 750<sub>i+1,j</sub>의 제1 화소전극과, 배선 756-1<sub>j</sub>가, 용량소자를 거쳐 전기적으로 접속되고, 화소 750<sub>i+1,j</sub>의 제2 화소전극과, 배선 756-2<sub>j</sub>가, 용량소자를 거쳐 전기적으로 접속되고, 화소 750<sub>i,j+1</sub>의 제1의 화소전극과, 배선 756-2<sub>j+1</sub>이, 용량소자를 거쳐 전기적으로 접속되고, 화소 750<sub>i,j+1</sub>의 제2 화소전극과, 배선 756-1<sub>j+1</sub>가, 용량소자를 거쳐 전기적으로 접속되고, 화소 750<sub>i+1,j+1</sub>의 제1 화소전극과, 배선 756-2<sub>j+1</sub>가, 용량소자를 거쳐 전기적으로 접속되고, 화소 750<sub>i+1,j+1</sub>의 제2 화소전극과, 배선 756-1<sub>j+1</sub>이, 용량소자를 거쳐 전기적으로 접속된다. 단, 이것은 일례로서, 예를 들면, 양의 극성의 전압이 기록되는 화소와 음의 극성의 전압이 기록되는 화소가 2 화소마다 나타나도록 하는 구동방법의 경우에는, 배선 756-1 및 배선 756-2의 전기적 접속도 그것에 맞추어, 2화소마다 교대로 행하여지는 것이 바람직하다. 다시 말하면, 1행 모든 화소에서 같은 극성의 전위가 기록될 경우(게이트 라인 반전)도 있지만, 그 경우에는, 배선 756은 1행당 1개로 된다. 즉, 도 16e에 나타난 화소부의 구성에 있어서도, 도 16g 및 도 16h를 사용하여 설명한 것 같은, 화소에 기록하는 전압을 작게 하는 구동방법을 사용할 수 있다.

[0363] 이때, 본 실시형태는 다른 실시형태와 적절히 조합할 수 있다.

[0364] (실시형태 4)

[0365] 본 실시형태에서는 본 발명의 일 태양인 구동회로를 구성하는 트랜지스터에 적용가능한 트랜지스터의 구성에 대해 설명한다.

[0366] 우선 본 실시형태의 구동회로를 구성하는 트랜지스터에 적용가능한 트랜지스터의 구성에 대해서 도 17을 사용하여 설명한다. 도 17은, 본 실시형태의 구동회로에 적용가능한 트랜지스터의 구성을 나타낸 단면모식도로서, 도 17a는, 톱 게이트형의 트랜지스터의 구성의 일례를 나타내고, 도 17b는 보텀 게이트형의 트랜지스터의 구성의 일례를 나타낸다.

[0367] 도 17a에 나타난 트랜지스터의 구성은, 기판 900과, 기판 900 위로 설치되고, 불순물 영역 901을 갖는 반도체층 902와, 반도체층 902를 덮도록 설치된 게이트 절연막 903과, 게이트 절연막 903을 사이에 끼워 반도체층 902의 일부 위에 설치된 게이트 전극 904과, 게이트 전극 904 및 게이트 절연막 903 위에 설치되고, 개구부를 갖는 층간 절연막 906과, 개구부를 통해 불순물 영역 901에 접하도록 설치된 한 쌍의 전극인 전극 905a 및 전극 905b를 갖는다.

[0368] 또한, 도 17b에 나타난 트랜지스터의 구성은, 기판 907과, 기판 907 위에 설치된 게이트 전극 908과, 게이트 전극 908을 덮도록 설치된 게이트 절연막 910과, 게이트 절연막 910 위의 게이트 전극 908이 설치되지 않는 부분에 설치된 반도체층 911과, 반도체층 911 위에 설치된 n형의 도전형을 갖는 한 쌍의 반도체층인 반도체층 912a 및 반도체층 912b와, 한 쌍의 반도체층의 한쪽, 즉 반도체층 912a 위에 설치된 전극 913a와, 한 쌍의 반도체층의 다른쪽, 즉 반도체층 912b 위에 설치된 전극 913b를 갖는다.

[0369] 기판 900 및 기판 907로서는, 예를 들면, 유리 기판, 석영 기판, 실리콘 기판, 금속 기판, 또는 스테인레스 기판 등을 사용할 수 있다. 또한, 상기 기판 이외에도 가요성 기판을 사용할 수도 있다. 가요성 기판이란, 구부릴 수 있는(플렉시블한) 기판으로, 예를 들면, 폴리카보네이트, 폴리아릴레이트, 또한, 폴리에테르 술폰 등으로 이루어진 플라스틱 기판 등을 들 수 있다. 또한, 기판 900 및 기판 907로서는, 예를 들면, 부착 필름(폴리프로필

렌, 폴리에스텔, 비닐, 폴리불화비닐, 염화비닐 등으로 이루어진다), 섬유 형태의 재료로 이루어진 종이, 기재 필름(폴리에스텔, 폴리아미드, 무기 증착 필름, 종이류 등) 등을 사용할 수도 있다.

[0370] 반도체층 902 및 반도체층 911로서는, 예를 들면, 비정질 반도체막, 단결정 반도체막, 다결정 반도체막, 또는 미결정(마이크로 크리스탈, 또는 세미아모퍼스라고도 한다) 반도체막 등을 사용해서 형성할 수 있고, 또한, 그들 반도체막을 적층시켜서 형성할 수도 있다. 또한, 반도체층으로서는 산화물 반도체(예를 들면, IGZO(InGaZnO) 등)를 사용할 수 있다. 또한, 반도체층은, 예를 들면, 스퍼터링법, LPCVD법, 또는 플라즈마 CVD법 등에 의해 형성할 수 있다. 또한, 비정질 반도체막을 공지의 기술(고상성장법, 레이저 결정화 방법, 촉매 금속을 사용한 결정화 방법 등)에 의해 결정화시켜 형성된 결정 구조를 갖는 반도체막(결정성 반도체막), 예를 들면, 다결정 규소막을 사용할 수도 있다.

[0371] 게이트 절연막 903 및 게이트 절연막 910로서는, 예를 들면, 질화절연막, 산화 절연막, 질소를 포함하는 산화 절연막 등을 적용할 수 있다. 예를 들면, 산화질화규소막, 또는 질화산화규소막 등을 들 수 있다. 이때, 산화질화규소막이란, 그 조성으로서, 질소보다도 산소의 함유량이 많은 것이며, 농도범위에서 산소가 55~65원자%, 질소가 1~20원자%, 실리콘이 25~35원자%, 수소가 0.1~10원자%의 범위로 포함되는 것을 말한다. 또한, 질화산화규소막과는, 그 조성으로서, 산소보다도 질소의 함유량이 많은 것이며, 농도범위에서 산소가 15~30원자%, 질소가 20~35원자%, 실리콘이 25~35원자%, 수소가 15~25원자%의 범위로 포함되는 것을 말한다.

[0372] 반도체층 912a 및 반도체층 912b로서는, n형의 도전형을 갖고, 불순물 원소로서 인 등을 포함하는 반도체층을 사용할 수 있다.

[0373] 게이트 전극 904 및 게이트 전극 908로서는, 예를 들면, 금, 은, 백금, 니켈, 실리콘, 텅스텐, 크롬, 몰리브덴, 철, 코발트, 구리, 팔라듐, 탄소, 알루미늄, 망간, 티타늄, 및 탄타르 등에서 선택된 1종의 원소 또는 해당 원소를 복수 포함하는 합금으로 이루어진 재료를 사용할 수 있고, 또한, 그것들을 단층 또는 적층해서 형성할 수 있다. 상기 원소를 복수 포함하는 합금으로서는, 예를 들면, 알루미늄 및 티타늄을 포함하는 합금, 알루미늄, 티타늄, 및 탄소를 포함하는 합금, 알루미늄 및 니켈을 포함하는 합금, 알루미늄 및 탄소를 포함하는 합금, 알루미늄, 니켈, 및 탄소를 포함하는 합금, 또는 알루미늄 및 몰리브덴을 포함하는 합금 등을 적용할 수 있다. 또한, 인듐 주석 산화물(ITO), 산화 규소를 포함하는 인듐 주석 산화물(ITSO), 또는 산화인듐 산화아연(IZO) 등의 투광성 재료를 사용할 수 있다. 게이트 전극 904 및 게이트 전극 908로서는, 증착법, 스퍼터링법, CVD법, 인쇄법, 또는 액적도출법을 사용해서 형성할 수 있다.

[0374] 층간 절연막 906으로서는, 예를 들면, 질화절연막, 산화 절연막, 질소를 포함하는 산화 절연막 등을 적용할 수 있다.

[0375] 전극 905a 및 전극 905b, 및 전극 913a 및 전극 913b는, 소스 전극 또는 드레인 전극으로서 기능한다. 전극 905a 및 전극 905b, 및 전극 913a 및 전극 913b로서는, 예를 들면, 금, 은, 백금, 니켈, 실리콘, 텅스텐, 크롬, 몰리브덴, 철, 코발트, 구리, 팔라듐, 탄소, 알루미늄, 망간, 티타늄, 및 탄타르 등에서 선택된 1종의 원소 또는 해당 원소를 복수 포함하는 합금으로 이루어진 재료를 사용할 수 있고, 또한, 그것들을 단층 또는 적층해서 형성할 수 있다. 상기 원소를 복수 포함하는 합금으로서는, 예를 들면, 알루미늄 및 티타늄을 포함하는 합금, 알루미늄, 티타늄, 및 탄소를 포함하는 합금, 알루미늄 및 니켈을 포함하는 합금, 알루미늄 및 탄소를 포함하는 합금, 알루미늄, 니켈, 및 탄소를 포함하는 합금, 또는 알루미늄 및 몰리브덴을 포함하는 합금 등을 적용할 수 있다. 또한, 인듐 주석 산화물(ITO), 산화 규소를 포함하는 인듐 주석 산화물(ITSO), 또는 산화인듐 산화아연(IZO) 등의 투광성 재료를 사용할 수 있다. 전극 905a 및 전극 905b, 및 전극 913a 및 전극 913b는, 각각 다른 재료를 사용해서 형성할 수도 있다. 또한, 전극 905a 및 전극 905b, 및 전극 913a 및 전극 913b는, 증착법, 스퍼터링법, CVD법, 인쇄법, 또는 액적도출법을 사용해서 형성할 수 있다.

[0376] 이상과 같이, 상기 구성의 트랜지스터 중 어느 한개를 적용함으로써 본 발명의 일 태양인 구동회로를 구성할 수 있다.

[0377] 다음에, 본 발명의 일 태양인 구동회로에 적용가능한 트랜지스터로서 보텀 게이트형 트랜지스터의 다른 구성에 대해서 도 18을 사용하여 설명한다. 도 18은 본 실시형태에 있어서의 구동회로를 구성하는 트랜지스터에 적용가능한 트랜지스터의 구조의 일례를 나타낸 단면모식도이다.

[0378] 도 18에 나타낸 트랜지스터의 구성은, 기판 1000과, 기판 1000 위에 설치된 게이트 전극 1001과, 게이트 전극 1001을 덮도록 설치된 게이트 절연막 1002와, 게이트 절연막 1002를 사이에 끼워서 게이트 전극 1001 위에 설치된 미결정 반도체층 1003과, 미결정 반도체층 1003 위에 설치된 버퍼층 1004와, 버퍼층 1004 위에 설치된 한 쌍

의 반도체층인 반도체층 1005a 및 반도체층 1005b와, 한 쌍의 반도체층의 한쪽, 즉 반도체층 1005a 위에 설치된 전극 1006a와, 한 쌍의 반도체층의 다른쪽, 즉 반도체층 1005b 위에 설치된 전극 1006b를 갖는다.

- [0379] 기관 1000으로서는, 상기 도 17에 있어서의 기관 900 및 기관 907에 적용가능한 기관을 사용할 수 있다.
- [0380] 게이트 전극 1001으로서는, 상기 도 17에 있어서의 게이트 전극 904 및 게이트 전극 908에 적용가능한 재료 및 구성을 적용할 수 있다.
- [0381] 게이트 절연막 1002로서는, 상기 도 17에 있어서의 게이트 절연막 903 및 게이트 절연막 910에 적용가능한 재료를 적용할 수 있다.
- [0382] 미결정 반도체층 1003은, 비정질과 결정 구조(단결정, 다결정을 포함한다)의 중간적인 구조의 반도체의 층이다. 이 반도체는, 자유에너지적으로 안정한 제3 상태를 갖는 반도체로서, 단거리 질서를 갖고 격자왜곡을 갖는 결정질의 것이며, 입경이 0.5~50nm, 바람직하게는 1nm~20nm의 주상 또는 침상 결정이 기관 표면에 대하여 법선 방향으로 성장하고 있는 구성이다. 미결정 반도체층 1003으로서는, 예를 들면, 미결정 실리콘 등을 적용할 수 있다.
- [0383] 또한, 미결정 반도체층 1003은, 원자가 전자 제어를 목적으로 한 불순물 원소를 의도적으로 첨가하지 않을 때에 약한 n형의 전기전도성을 나타내므로, 박막 트랜지스터의 채널 형성 영역으로서 기능하는 미결정 반도체막에는, p형을 부여하는 불순물 원소를, 성막과 동시에, 또는 성막 후에 첨가함으로써, 임계전압  $V_{th}$ 를 제어하는 것이 바람직하다. p형을 부여하는 불순물 원소로서는, 대표적으로는 붕소가 있으며,  $B_2H_6$ ,  $BF_3$  등의 불순물 기체를 1ppm~1000ppm, 바람직하게는 1~100ppm의 비율로 수소화 규소에 혼입시킴으로써 형성하는 것이 바람직하다. 그리고 붕소의 농도를, 예를 들면,  $1 \times 10^{14} \sim 6 \times 10^{16}$  atoms/cm<sup>3</sup>로 하는 것이 바람직하다.
- [0384] 또한, 미결정 반도체층 1003의 산소 농도는,  $1 \times 10^{19}$  cm<sup>-3</sup> 이하, 바람직하게는  $5 \times 10^{18}$  cm<sup>-3</sup> 이하, 질소 및 탄소의 농도를  $5 \times 10^{18}$  cm<sup>-3</sup> 이하, 바람직하게는  $1 \times 10^{18}$  cm<sup>-3</sup> 이하로 하는 것이 바람직하다. 미결정 반도체층 1003에 혼입할 수 있는 산소, 질소 및 탄소의 농도를 저감함으로써, 미결정 반도체층 1003의 채널 형성 영역이 n형 반도체가 되는 것을 방지할 수 있다. 또한, 이들이 혼입하는 농도가 소자 사이에서 변동하면, 임계전압  $V_{th}$ 에 격차가 생긴다. 그 때문에, 이들의 농도를 저감함으로써, 기관 내에 있어서의 임계전압  $V_{th}$ 의 격차를 적게 할 수 있다.
- [0385] 또한, 미결정 반도체층 1003은 버퍼층 1004와 비교하여, 캐리어의 이동도가 높다. 이 때문에, 표시장치의 구동 회로에 있어서의 트랜지스터로서, 채널 형성 영역이 미결정 반도체로 구성되는 박막 트랜지스터를 사용하면, 채널 형성 영역의 면적, 즉 박막 트랜지스터의 면적을 작게 하는 것이 가능하다. 그 때문에, 회로의 면적을 작게 할 수 있어, 테두리를 좁게 할 수 있다.
- [0386] 버퍼층 1004는, 미결정 반도체층 1003 위에 설치함으로써, 트랜지스터의 오프 전류의 값을 미결정 반도체층 1003의 단층 구조의 경우보다도 낮게 만들 수 있다. 버퍼층 1004로서는, 예를 들면, 비정질 실리콘 등을 적용할 수 있다.
- [0387] 반도체층 1005a 및 반도체층 1005b는, n형 또는 p형의 도전형을 갖는 불순물 원소를 포함하는 반도체층에 의해 구성된다. 불순물 원소를 포함하는 반도체층으로서는, 예를 들면, 비정질 실리콘 등을 들 수 있다. 또한, 불순물 원소로서는, 예를 들면, n형의 경우에는 인을 첨가하고, p형의 경우에는 붕소를 첨가하면 된다. 또한, 반도체층 1005a 및 반도체층 1005b는, 미결정 반도체 재료 또는 비정질 반도체 재료를 사용해서 형성할 수 있다. 반도체층 1005a 및 반도체층 1005b는 2nm 이상 50nm 이하의 두께로 형성하는 것이 바람직하다. 반도체층 1005a 및 반도체층 1005b의 막두께를 얇게 성막함으로써 스루풋을 향상시킬 수 있다.
- [0388] 전극 1006a 및 전극 1006b는, 소스 전극 또는 드레인 전극으로서 기능하고, 전극 1006a 및 전극 1006b로서는, 상기 도 17에 있어서의 전극 905a 및 전극 905b, 및 전극 913a 및 전극 913b에 적용가능한 재료를 적용할 수 있다.
- [0389] 다음에, 도 18에 나타난 트랜지스터의 제조방법에 대해서 도 19 내지 도 21을 사용하여 설명한다. 도 19 내지 도 21은, 본 실시형태의 트랜지스터의 제조방법을 나타낸 단면 모식도이다. 이때, 미결정 반도체막을 갖는 박막 트랜지스터는 p형보다도 n형쪽이, 이동도가 높다. 동일한 기관 위에 형성하는 박막 트랜지스터를 모두 같은 극성으로 통일하면, 공정수를 억제할 수 있어, 바람직하다. 그 때문에, 본 실시형태에서는, n형 트랜지스터의 제조방법에 대해 설명한다.

- [0390] 우선, 도 19a에 나타난 것과 같이, 기판 1000 위에 도전막 1007을 형성한다. 본 실시형태에서는, 도전막 1007로서, 알루미늄막과 폴리브덴막의 적층막을 형성한다. 이때, 도전막 1007은, 예를 들면, 스퍼터링법이나 진공증착법에 의해 형성할 수 있다.
- [0391] 다음에, 도 19b에 나타난 것과 같이, 도전막 1007의 일부를 에칭하여, 게이트 전극 1001을 형성한다. 게이트 전극 1001은, 더욱 구체적으로는 도전막 1007 위에 포토리소그래피 기술 또는 잉크젯법에 의해 레지스트를 형성하고, 레지스트를 마스크로 하여 도전막 1007을 선택적으로 에칭함으로써 형성할 수 있다. 이때, 이 공정에서 예를 들면, 주사선(도 13에 있어서의 주사선 706 등)도 동시에 형성할 수 있다. 또한, 레지스트는, 에칭후 제거되는 것이 바람직하다.
- [0392] 또한, 에칭하는 것에 의해 형성되는 게이트 전극 1001의 단부는 테이퍼 형상인 것이 바람직하다. 테이퍼 형상으로 함으로써, 나중의 공정에서 이들 위에 형성되는 층의 피복성을 향상시킬 수 있다.
- [0393] 다음에, 도 19c에 나타난 것과 같이, 게이트 전극 1001을 덮도록 게이트 절연막 1002를 형성한다. 게이트 절연막 1002는, 예를 들면, CVD법 또는 스퍼터링법 등을 사용해서 형성할 수 있다. 본 실시형태에서는, 일례로서 질화막 또는 질화 산화막과, 산화막 또는 산화 질화막의 적층막을 형성함으로써 게이트 절연막 1002를 형성한다.
- [0394] 더구나, 게이트 절연막 1002 위에 미결정 반도체막 1008을 형성한다. 미결정 반도체막 1008은, 예를 들면, 주파수가 수십 MHz 내지 수백 MHz의 고주파 플라즈마 CVD법 또는 주파수가 1GHz 이상인 마이크로파 플라즈마 CVD 장치를 사용해서 형성할 수 있다. 주파수가 1GHz 이상의 마이크로파 플라즈마 CVD 장치로 생성된 플라즈마는 전자 밀도가 높고, 원료 가스로 많은 라디칼이 생성되어 기판 1000에 공급되기 때문에, 기판 표면에서의 라디칼반응이 촉진되어, 미결정 반도체막 1008의 성막 속도를 높일 수 있다. 또한, 복수의 마이크로파 발생장치 및 복수의 유전체판으로 구성되는 마이크로파 플라즈마 CVD 장치는, 대면적의 플라즈마를 안정적으로 생성할 수 있다. 이 때문에, 대면적 기판 상에 있어서도, 막질에 대해서 높은 균일성을 갖는 막을 성막하는 것이 가능한 동시에, 양산성(생산성)을 높일 수 있다. 본 실시형태에서는, 일례로서 미결정 반도체막으로서 미결정 실리콘을 제조할 경우에 대해 설명한다. 이하에서 미결정 반도체막 1008의 구체적인 제조방법에 대해 설명한다.
- [0395] 미결정 반도체막 1008은, 예를 들면,  $\text{SiH}_4$ ,  $\text{Si}_2\text{H}_6$  등의 수소화 규소를 수소로 희석, 또는 수소화규소 및 수소에 덧붙여, 헬륨, 아르곤, 크립톤 및 네온에서 선택된 1종 또는 복수종의 희가스 원소로 희석해서 형성할 수 있다. 희석은, 수소화규소에 대하여 수소의 유량비를 5배 이상 200배 이하, 바람직하게는 50배 이상 150배 이하, 더욱 바람직하게는 100배로 한다. 이때, 수소화규소 대신에,  $\text{SiH}_2\text{Cl}_2$ ,  $\text{SiHCl}_3$ ,  $\text{SiCl}_4$  또는  $\text{SiF}_4$  등을 사용할 수 있다.
- [0396] 이때, 미결정 반도체막 1008을 형성할 경우, 막의 아래 쪽에서 윗쪽을 향해서 결정성장하여, 침상 결정이 형성된다. 이것은 결정면이 커지도록 결정이 성장하기 때문이다. 그러나, 이와 같이 결정성장하는 경우에도, 미결정 반도체층이 성막되는 속도는, 비정질 반도체층이 성막되는 속도의 1% 이상 10% 이하 정도이다.
- [0397] 더구나, 본 실시형태에 있어서, 미결정 반도체막 1008을 형성한 후에 미결정 반도체막 1008의 표면층에서 레이저광을 조사하는 처리(LP(Laser process) 처리라고도 한다)를 행하는 것이 바람직하다. 이하에서 LP 처리에 대해서 구체적으로 설명한다.
- [0398] LP 처리에 있어서, 레이저광은 미결정 반도체막 1008이 용융하지 않는 에너지 밀도로 조사되는 것이 바람직하다. 즉, LP 처리는 복사 가열에 의해 미결정 반도체막 1008을 용융시키지 않고 행하는 고상 결정성장에 의한 것이다. 즉, 퇴적된 미결정 반도체막 1008이 액상이 안되는 경계 영역을 이용하는 것으로, 그 의미에서 「입계성장」이라고도 할 수 있다.
- [0399] 상기한 레이저광은 미결정 반도체막 1008과 게이트 절연막 1002의 계면에까지 작용시킬 수 있다. 이에 따라, 미결정 반도체막 1008의 표면층으로 있어서의 결정을 시드로 하여, 이 표면에서 게이트 절연막 1002의 계면을 향해서 고상결정성장이 진행하여, 대략 주상의 결정이 성장한다. LP 처리에 의한 고상 결정성장은, 결정립 지름을 확대시키는 것이 아니고, 막의 두께 방향에 있어서의 결정성을 개선한다.
- [0400] 또한, 상기한 LP 처리는 사각형 긴 자 모양으로 집광(선형 레이저빔으로 형성)함으로써, 예를 들면,  $730\text{mm} \times 920\text{mm}$ 의 유리 기판 상의 미결정 반도체막 1008을 1회의 레이저빔 스캔으로 처리함으로써, 행할 수 있다. 이 경우, 선형 레이저빔을 증첩시킬 비율(오버랩율)을 0~90%, 바람직하게는 0~67%로 하여 행한다. 이에 따라, 기판 1매당의 처리 시간이 단축되어, 생산성을 향상시킬 수 있다. 단, 레이저빔의 형상은 선형에 한정되는 것은 아니며 면형으로 하여도 마찬가지로 처리할 수 있다. 또한, LP 처리는 유리 기판의 사이즈에 한정되지 않고, 여러



가지 사이즈의 기판을 사용할 수 있다. LP 처리를 행함으로써, 미결정 반도체막 1008과 게이트 절연막 1002의 계면영역의 결정성이 개선되어, 보텀 게이트 구조를 갖는 트랜지스터의 전기적 특성을 향상시킬 수 있다.

- [0401] 이러한 「임계성장」에 따르면, 종래의 저온 폴리실리콘에서 나타내고 있었던 표면의 요철(릿지라고 불리는 볼록 형상 물체)이 형성되지 않고, LP 처리후의 반도체막 표면은 평활성이 유지된다.
- [0402] 따라서, 성막후에 직접적으로 레이저광을 작용시켜 얻어지는 미결정 반도체막 1008은, 종래에 있어서의 퇴적되었을뿐인 미결정 반도체막 및 퇴적후에 전도 가열에 의해 개질된 미결정 반도체막과는, 그것의 성장 메커니즘 및 형성되는 막의 막질이 분명하게 다르게 된다.
- [0403] 다음에, 도 20d에 나타낸 것과 같이 미결정 반도체막 1008 위에 비정질 반도체막 1009를 형성한다.
- [0404] 비정질 반도체막 1009은, SiH<sub>4</sub>, Si<sub>2</sub>H<sub>6</sub> 등의 수소화규소에 의해, 플라즈마 CVD법을 사용해서 형성할 수 있다. 또한, 상기의 수소화규소에, 헬륨, 아르곤, 크립톤 및 네온에서 선택된 1종 또는 복수종의 희가스 원소로 희석해서 사용함으로써 형성할 수 있다. 수소화규소의 유량의 1배 이상 20배 이하, 바람직하게는 1배 이상 10배 이하, 더욱 바람직하게는 1배 이상 5배 이하의 유량의 수소를 사용하여, 수소를 포함하는 비정질 반도체막 1009를 형성할 수 있다. 또한, 상기한 수소화규소와, 질소 또는 암모니아를 사용함으로써 질소를 포함하는 비정질 반도체막 1009를 형성할 수 있다. 또한, 상기한 수소화규소와, 불소, 염소, 브롬 또는 요오드를 포함하는 기체(F<sub>2</sub>, Cl<sub>2</sub>, Br<sub>2</sub>, I<sub>2</sub>, HF, HCl, HBr, HI 등)를 사용함으로써 불소, 염소, 브롬, 또는 요오드 포함하는 비정질 반도체막 1009를 형성할 수 있다. 이때, 수소화규소 대신에, SiH<sub>2</sub>Cl<sub>2</sub>, SiHCl<sub>2</sub>, SiCl<sub>2</sub>, SiF<sub>2</sub> 등을 사용할 수 있다. 이때, 이 비정질 반도체막 1009의 막두께는, 100nm 이상 500nm 이하로 하고, 바람직하게는 150nm 이상 400nm로 하고, 더욱 바람직하게는 200nm 이상 300nm 이하로 한다. 이때 미결정 반도체막 1008에는 수소가 공급된다. 즉, 미결정 반도체막 1008 위에 비정질 반도체막 1009를 퇴적함으로써, 미결정 반도체막 1008에 수소를 확산시켜 덩글링 본드를 중단시킬 수 있다.
- [0405] 또한, 비정질 반도체막 1009은, 타겟으로서 비정질 반도체를 사용하고, 수소 또는 희가스 중에서 스퍼터링함으로써 형성할 수도 있다. 이때, 암모니아, 질소 또는 N<sub>2</sub>O를 분위기중에 포함시킴으로써, 질소를 포함하는 비정질 반도체막을 형성할 수 있다. 또한, 분위기중에 불소, 염소, 브롬 또는 요오드를 포함하는 기체(F<sub>2</sub>, Cl<sub>2</sub>, Br<sub>2</sub>, I<sub>2</sub>, HF, HCl, HBr, HI 등)를 포함시킴으로써, 불소, 염소, 브롬 또는 요오드를 포함하는 비정질 반도체막을 형성할 수 있다.
- [0406] 또한, 비정질 반도체막 1009를 형성한 후, 비정질 반도체막 1009의 표면을 수소 플라즈마, 질소 플라즈마 또는 할로젠 플라즈마에 의해 처리하여, 비정질 반도체막 1009의 표면을 수소화, 질소화 또는 할로젠화해도 된다. 또는, 비정질 반도체막 1009의 표면을, 헬륨 플라즈마, 네온 플라즈마, 아르곤 플라즈마 또는 크립톤 플라즈마 등으로 처리해도 된다.
- [0407] 또한, 비정질 반도체막 1009는 결정립을 포함하지 않는 것이 바람직하다. 이 때문에, 주파수가 수십 MHz~수백 MHz의 고주파 플라즈마 CVD법 또는 마이크로파 플라즈마 CVD법에 의해 형성하는 경우에는, 결정립을 포함하지 않는 비정질 반도체막 1009가 되도록, 성막 조건을 제어하는 것이 바람직하다.
- [0408] 이때, 비정질 반도체막 1009에는 인이나 붕소 등의 일 도전형을 부여하는 불순물이 포함되지 않도록 형성한다. 특히, 임계값을 제어하기 위해서 미결정 반도체막 1008에 첨가된 붕소, 또는 인이 비정질 반도체막 1009에 혼입하지 않는 것이 바람직하다. 예를 들면, 비정질 반도체막 1009가 인을 포함하는 경우에는, 미결정 반도체층 1003과, 비정질 반도체막 1009의 사이에 PN 접합이 형성된다. 또한, 비정질 반도체막 1009가 붕소를 포함하는 경우에는, 비정질 반도체막 1009와, 반도체층 1005a 및 반도체층 1005b 사이에 PN 접합이 형성된다. 또는, 붕소와 인의 양쪽이 혼입함으로써 재결합 중심이 생겨, 리크 전류를 일으키는 원인이 이 된다. 비정질 반도체막 1009가 일 도전형을 부여하는 이들 불순물을 포함하지 않음으로써, 리크전류의 발생 영역을 없애, 리크전류의 저감을 도모할 수 있다. 또한, 반도체층 1005a 및 반도체층 1005b와, 미결정 반도체층 1003 사이에, 인이나 붕소 등의 일도전형을 부여하는 불순물이 첨가되지 않고 있는 비정질 반도체막 1009를 가짐으로써, 채널 형성 영역이 되는 미결정 반도체층 1003, 소스 영역 및 드레인 영역의 일부가 되는 반도체층 1005a 및 반도체층 1005b의 각각에 포함되는 불순물의 확산을 방지할 수 있다.
- [0409] 더구나, 비정질 반도체막 1009 위에 반도체막 1010을 형성한다. n형의 도전형을 부여시킬 경우에는, 불순물 원소로서 예를 들면, 인 등을 첨가한다. 인을 첨가하는 경우에는 수소화규소에 PH<sub>3</sub> 등의 기체를 가하는 것에 의해



인을 첨가할 수 있다. 또한, p형의 도전형을 부여시킬 경우에는, 불순물 원소로서 예를 들면, 붕소 등을 첨가한다. 붕소를 첨가하는 경우에는, 수소화규소에 B<sub>2</sub>H<sub>6</sub> 등의 불순물 기체를 가하는 것에 의해 붕소를 첨가할 수 있다.

- [0410] 이때, 본 실시형태에 있어서, 게이트 절연막 1002, 미결정 반도체막 1008, 및 비정질 반도체막 1009를 연속적으로 성막하는 것이 바람직하다. 더욱 바람직하게는, 게이트 절연막 1002, 미결정 반도체막 1008, 비정질 반도체막 1009, 및 반도체막 1010을 연속적으로 성막하는 것이 바람직하다. 연속적으로 성막함으로써, 각 막이 대기에 접촉하지 않기 때문에, 대기성분이나 대기중에 부유하는 불순물 원소에 오염되지 않고, 각 적층 계면을 형성할 수 있으므로, 각 막을 사용해서 형성되는 박막 트랜지스터의 전기적 특성의 격차를 저감할 수 있어, 신뢰성이 높은 구동회로를 수율이 좋게 제조할 수 있다.
- [0411] 다음에, 미결정 반도체막 1008, 비정질 반도체막 1009, 반도체막 1010을 선택적으로 에칭한다.
- [0412] 구체적으로는, 우선 반도체막 1010의 일부에 레지스트를 형성한다. 레지스트는, 예를 들면, 포토리소그래피 기술 또는 잉크젯법 등을 사용해서 형성한다.
- [0413] 다음에, 레지스트를 마스크로 하여 미결정 반도체막 1008, 비정질 반도체막 1009, 및 반도체막 1010을 선택적으로 에칭한다. 이때, 에칭에 의해 도 20e에 나타난 것과 같이 미결정 반도체층 1003을 형성한다. 이때, 레지스트는 에칭후 제거되는 것이 바람직하다.
- [0414] 이때, 이 에칭 처리에서는, 미결정 반도체막, 비정질 반도체막 및 불순물 반도체막이 적층된 층의 단부가 테이퍼 형상을 갖도록 에칭을 행하는 것이 바람직하다. 테이퍼각으로서 30° 이상 90° 이하, 바람직하게는 40° 이상 80° 이하의 범위에서 제어하는 것이 바람직하다. 단부가 테이퍼 형상을 갖도록 에칭을 행함으로써, 반도체막 1010과, 미결정 반도체막 1008이 직접 접하는 것을 방지할 수 있을 뿐만 아니라, 단부에서의 이들 층의 거리를 충분하게 취할 수 있어, 단부에 있어서의 리크 전류를 작게 할 수 있다.
- [0415] 또한, 단부를 테이퍼 형상으로 함으로써, 나중의 공정에서 이들 위에 형성되는 층의 피복성을 향상시킬 수 있다.
- [0416] 다음에, 도 20f에 나타난 것과 같이, 반도체막 1010 위에 도전막 1011을 형성한다.
- [0417] 도전막 1011은, 예를 들면, 스퍼터링법 또는 진공증착법 등을 사용해서 형성할 수 있다. 또한, 도전막 1011은, 은, 금, 또는 구리 등의 도전성 나노 페이스트를 사용해서 스크린인쇄법 또는 잉크젯법 등을 사용해서 토출하고, 소성해서 형성할 수도 있다.
- [0418] 다음에, 도전막 1011을 에칭한다. 구체적으로는 우선 도전막 1011 위에 선택적으로 레지스트를 형성한다. 다음에, 레지스트를 마스크로 하여 도전막 1011을 에칭한다. 이때, 도 21g에 나타난 것과 같이 한 쌍의 전극 1006a 및 전극 1006b가 형성된다.
- [0419] 다음에, 반도체막 1010 및 비정질 반도체막 1009를 에칭한다. 에칭에 의해 도 21h에 나타난 것과 같이, 버퍼층 1004 및 한 쌍의 반도체층 1005a 및 반도체층 1005b가 형성된다.
- [0420] 이때, 형성된 버퍼층 1004은, 일부가 에칭되어 홈이 형성되는데, 홈과 중첩하는 비정질 반도체막 1009의 일부가 잔존하는 두께로 형성하는 것이 바람직하다. 에칭되어 잔존하는 부분(홈과 중첩하는 부분)의 에칭후의 막두께는, 에칭전의 막두께의 절반 정도로 하는 것이 바람직하다. 이때, 에칭전의 막두께란, 상기한 것과 같이, 100nm 이상 500nm 이하이며, 바람직하게는 150nm 이상 400nm이며, 더욱 바람직하게는 200nm 이상 300nm 이하이다. 버퍼층 1004는, 미결정 반도체층 1003의 에칭스토퍼로서 기능한다.
- [0421] 또한, 본 실시형태에 있어서 전극 1006a 및 전극 1006b의 단부와, 반도체층 1005a 및 반도체층 1005b의 단부가 일치하지 않는 형상으로 할 수도 있다. 이에 따라, 전극 1006a 및 전극 1006b의 단부의 거리가 커지고, 소스 전극 또는 드레인 전극의 한쪽과 소스 전극 또는 드레인 전극의 다른 쪽 사이의 거리가 충분히 커짐으로써, 리크 전류를 작게 하여, 쇼트(단락)를 방지 할 수 있다. 또한, 전극 1006a 및 전극 1006b의 단부와, 반도체층 1005a 및 반도체층 1005b의 단부가 일치하지 않는 형상이기 때문에, 전극 1006a 및 전극 1006b의 단부 및 반도체층 1005a 및 반도체층 1005b의 단부에서, 전계집중이 발생하기 어렵다. 이 때문에, 신뢰성이 높고, 오프 전류가 작아지고, 절연 내압이 높은 박막 트랜지스터를 제조할 수 있다.
- [0422] 이상의 공정에 의해, 도 18에 나타난 박막 트랜지스터를 제조할 수 있다.
- [0423] 또한, 도 18에 일례로 든 것과 같이, 미결정 반도체층을 포함하는 트랜지스터는, 비정질 반도체층만을 사용한

트랜지스터와 비교해서 신뢰성이 높기 때문에, 본 발명의 일 태양인 구동회로에 적용함으로써, 동작 불량을 억제할 수 있다.

- [0424] 이때, 본 실시형태는 다른 실시형태와 적절히 조합할 수 있다.
- [0425] (실시형태 5)
- [0426] 본 실시형태에서는, 본 발명의 일 태양인 표시장치를 표시부에 사용한 전자기기에 대해 설명한다.
- [0427] 본 발명의 일 태양인 표시장치는 다양한 전자기기의 표시부에 사용할 수 있다. 본 발명의 일 태양인 표시장치를 적용하는 것이 가능한 전자기기의 예로서, 비디오카메라, 디지털 카메라 등의 카메라, 고글형 디스플레이(헤드 마운트 디스플레이), 네비게이션 시스템, 음향 재생장치(카 오디오, 오디오 콤포넌트 등), 노트북형 퍼스널컴퓨터, 게임 기기, 휴대전화, 휴대형 정보단말(모바일 컴퓨터, 휴대형 음악 플레이어, 휴대형 게임기, 전자서적, 또는 컴퓨터를 내장하고, 복수의 데이터 처리를 행함으로써, 복수의 기능을 갖는 것도 포함한다), 또는 기록매체를 구비한 화상재생장치(구체적으로는 Digital Versatile Disc(DVD) 등의 기록매체를 재생하고, 그 화상을 표시할 수 있는 디스플레이를 구비한 장치) 등을 들 수 있다. 이들 전자기기의 구체적인 예에 대해서도 도 22 및 도 23을 사용하여 설명한다. 도 22 및 도 23은, 본 실시형태에 있어서의 전자기기의 구성의 일례를 도시한 도면이다.
- [0428] 도 22a는 디스플레이장치로서, 하우징 1101, 지지대 1102, 표시부 1103, 스피커부 1104, 비디오 입력 단자 1105 등을 포함한다. 본 발명의 일 태양인 표시장치는, 표시부 1103에 사용할 수 있다. 이때, 디스플레이장치는, 퍼스널컴퓨터용, TV 방송 수신용, 광고 표시용 등의 모든 디스플레이장치가 포함된다.
- [0429] 도 22b는 디지털 스틸 카메라로서, 본체 1111, 표시부 1112, 수상부 1113, 조작 키 1114, 외부 접속 포트 1115, 셔터 버튼 1116 등을 포함한다. 본 발명의 일 태양인 표시장치는, 표시부 1112에 사용할 수 있다.
- [0430] 도 22c는 노트북형 퍼스널컴퓨터로서, 본체 1121, 하우징 1122, 표시부 1123, 키보드 1124, 외부 접속 포트 1125, 포인팅 디바이스 1126 등을 포함한다. 본 발명의 일 태양인 표시장치는, 표시부 1123에 사용할 수 있다.
- [0431] 도 22d는 모바일 컴퓨터로서, 본체 1131, 표시부 1132, 스위치 1133, 조작 키 1134, 적외선 포트 1135 등을 포함한다. 본 발명의 일 태양인 표시장치는, 표시부 1132에 사용할 수 있다.
- [0432] 도 22e는 기록매체를 구비한 휴대형 화상재생장치(구체적으로는 DVD 재생장치)로서, 본체 1141, 하우징 1142, 표시부 A 1143, 표시부 B 1144, 기록매체(DVD 등) 판독부 1145, 조작 키 1146, 스피커부 1147 등을 포함한다. 표시부 A 1143은 주로 화상정보를 표시하고, 표시부 B 1144는 주로 문자정보를 표시하지만, 본 발명의 일 태양인 표시장치는, 이들 표시부 A 1143, 표시부 B 1144에 사용할 수 있다. 이때, 기록매체를 구비한 화상재생장치에는 가정용 게임기기 등도 포함된다.
- [0433] 도 22f는 고글형 디스플레이(헤드마운트 디스플레이)로서, 본체 1151, 표시부 1152, 아암부 1153을 포함한다. 본 발명의 일 태양인 표시장치는, 표시부 1152에 사용할 수 있다.
- [0434] 도 22g는 비디오카메라로서, 본체 1161, 표시부 1162, 하우징 1163, 외부 접속 포트 1164, 리모트콘트롤 수신부 1165, 수상부 1166, 배터리 1167, 음성 입력부 1168, 조작 키 1169, 접안부 1170 등을 포함한다. 본 발명의 일 태양인 표시장치는, 표시부 1162에 사용할 수 있다.
- [0435] 도 22h는 휴대전화로서, 본체 1171, 하우징 1172, 표시부 1173, 음성 입력부 1174, 음성 출력부 1175, 조작 키 1176, 외부 접속 포트 1177, 안테나 1178 등을 포함한다. 본 발명의 일 태양인 표시장치는, 표시부 1173에 사용할 수 있다. 이때, 표시부 1173은 흑색의 배경에 백색의 문자를 표시함으로써 휴대전화의 소비 전류를 억제할 수 있다.
- [0436] 도 23은, 복수의 기능을 갖는 휴대형 정보단말의 일례로서, 도 23a가 휴대형 정보단말의 정면도, 도 23b가 휴대형 정보단말의 배면도, 도 23c가 휴대 정보단말의 전개도이다. 도 23을 일례로 한 휴대형 정보단말은, 복수의 기능을 구비할 수 있다. 예를 들면, 전화 기능에 덧붙여, 컴퓨터를 내장하여, 다양한 데이터 처리 기능을 구비할 수도 있다.
- [0437] 도 23에 나타난 휴대형 정보단말은, 하우징 1180 및 하우징 1181의 2개의 하우징으로 구성되어 있다. 하우징 1180에는, 표시부 1182, 스피커 1183, 마이크론폰 1184, 조작 키 1185, 포인팅 디바이스 1186, 카메라용 렌즈 1187, 외부 접속 단자 1188, 이어폰 단자 1189 등을 구비하고, 하우징 1181에는, 키보드 1190, 외부 메모리 슬롯 1191, 카메라용 렌즈 1192, 라이트 1193 등을 구비하고 있다. 또한, 안테나는 하우징 1181 내부에 내장되어

있다.

[0438] 또한, 상기 구성에 덧붙여, 비접촉 IC칩, 소형 기록장치 등을 내장하고 있어도 된다.

[0439] 본 발명의 일 태양인 표시장치는, 표시부 1182에 사용할 수 있고, 사용 형태에 따라 표시의 방향이 적절히 변화한다. 또한, 표시부 1182와 동일면 위에 카메라용 렌즈 1187을 구비하고 있기 때문에, 화상 전화가 가능하다. 또한, 표시부 1182를 파인더로 한 카메라용 렌즈 1192 및 라이트 1193으로 정지 화상 및 동영상의 촬영이 가능하다. 스피커 1183 및 마이크로폰 1184는 음성통화에 한정되지 않고, 화상 전화, 녹음, 재생 등이 가능하다. 조작 키 1185로는, 전화의 발착신, 전자우편 등의 간단한 정보입력, 화면의 스크롤, 커서 이동 등이 가능하다. 더구나, 중첩된 하우징 1180과 하우징 1181(도 23a)은 슬라이드하여, 도 23c와 같이 전개하여, 휴대 정보단말로서 사용할 수 있다. 이 경우, 키보드 1190, 포인팅 디바이스 1186을 사용해서 원활한 조작이 가능하다. 외부 접속 단자 1188은 AC 어댑터 및 USB 케이블 등의 각종 케이블과 접속가능하고, 충전 및 퍼스널컴퓨터 등과의 데이터 통신이 가능하다. 또한, 외부 메모리 슬롯 1191에 기록매체를 삽입하여, 더욱 대량의 데이터 보존 및 이동에 대응할 수 있다.

[0440] 또한, 상기 기능에 덧붙여, 적외선 통신 기능, 텔레비전 수신 기능 등을 구비한 것이어도 된다.

[0441] 이상과 같이, 본 발명의 일 태양인 표시장치는, 상기와 같은 다양한 전자기기의 표시부로서 적용할 수 있다.

[0442] 또한, 본 실시형태는, 다른 실시형태와 적절히 조합할 수 있다.

**부호의 설명**

- [0443] 11: 트랜지스터
- 12: 트랜지스터
- 13: 트랜지스터
- 14: 트랜지스터
- 15: 트랜지스터
- 100: 단자
- 101: 단자
- 102: 단자
- 102A: 단자
- 102B: 단자
- 103: 단자
- 103A: 단자
- 103B: 단자
- 103C: 단자
- 103D: 단자
- 104: 단자
- 104A: 단자
- 104B: 단자
- 104C: 단자
- 104D: 단자
- 104E: 단자
- 104F: 단자

- 104G: 단자
- 104H: 단자
- 104I: 단자
- 104J: 단자
- 104K: 단자
- 104L: 단자
- 104M: 단자
- 105: 단자
- 106: 트랜지스터
- 107: 트랜지스터
- 108: 용량소자
- 109: 트랜지스터
- 110: 트랜지스터
- 111: 트랜지스터
- 112: 용량소자
- 113: 트랜지스터
- 114: 트랜지스터
- 115: 트랜지스터
- 116: 트랜지스터
- 117: 노드
- 118: 노드
- 119: 노드
- 120: 트랜지스터
- 121: 단자
- 122: 트랜지스터
- 123: 트랜지스터
- 124: 트랜지스터
- 125: 단자
- 126: 트랜지스터
- 127: 트랜지스터
- 128: 트랜지스터
- 129: 트랜지스터
- 201: 제어신호
- 202: 클럭신호
- 203: 클럭신호
- 204: 전위

- 205: 전위
- 206: 전위
- 207: 출력신호
- 208: 제어신호
- 209: 출력신호
- 500: 단자
- 501: 단자
- 502: 단자
- 502A: 단자
- 502B: 단자
- 503: 단자
- 503A: 단자
- 503B: 단자
- 503C: 단자
- 503D: 단자
- 504: 단자
- 504A: 단자
- 504B: 단자
- 504C: 단자
- 504D: 단자
- 504E: 단자
- 504F: 단자
- 504G: 단자
- 504H: 단자
- 504I: 단자
- 504J: 단자
- 504K: 단자
- 505: 단자
- 506: 트랜지스터
- 507: 트랜지스터
- 508: 트랜지스터
- 509: 트랜지스터
- 510: 용량소자
- 511: 트랜지스터
- 512: 트랜지스터
- 513: 트랜지스터



- 514: 트랜지스터
- 515: 노드
- 516: 노드
- 517: 트랜지스터
- 518: 단자
- 519: 트랜지스터
- 520: 트랜지스터
- 521: 트랜지스터
- 522: 단자
- 523: 트랜지스터
- 524: 트랜지스터
- 525: 트랜지스터
- 526: 트랜지스터
- 601: 제어신호
- 602: 클럭신호
- 603: 클럭신호
- 604: 전위
- 605: 전위
- 606: 출력신호
- 607: 제어신호
- 608: 출력신호
- 700: 화소부
- 701: 신호선 구동회로
- 702: 주사선 구동회로
- 703: 제어회로
- 704: 클럭신호 생성 회로
- 705: 신호선
- 705A: 신호선
- 705B: 신호선
- 706: 주사선
- 706A: 주사선
- 706B: 주사선
- 706C: 주사선
- 706D: 주사선
- 707: 클럭신호선
- 708: 클럭신호선

- 709: 화소
- 710: 플립플롭회로
- 710A: 플립플롭회로
- 710B: 플립플롭회로
- 710C: 플립플롭회로
- 710D: 플립플롭회로
- 750: 화소
- 751: 트랜지스터
- 752: 액정소자
- 753: 용량소자
- 754: 배선
- 755: 배선
- 756: 배선
- 757: 배선
- 758: 전극
- 801: 개시 신호
- 802: 클럭신호
- 803: 클럭신호
- 804: 출력신호
- 805: 출력신호
- 806: 출력신호
- 807: 출력신호
- 900: 기관
- 901: 불순물 영역
- 902: 반도체층
- 903: 게이트 절연막
- 904: 게이트 전극
- 905a: 전극
- 905b: 전극
- 906: 층간 절연막
- 907: 기관
- 908: 게이트 전극
- 910: 게이트 절연막
- 911: 반도체층
- 912: 반도체층
- 912a: 반도체층

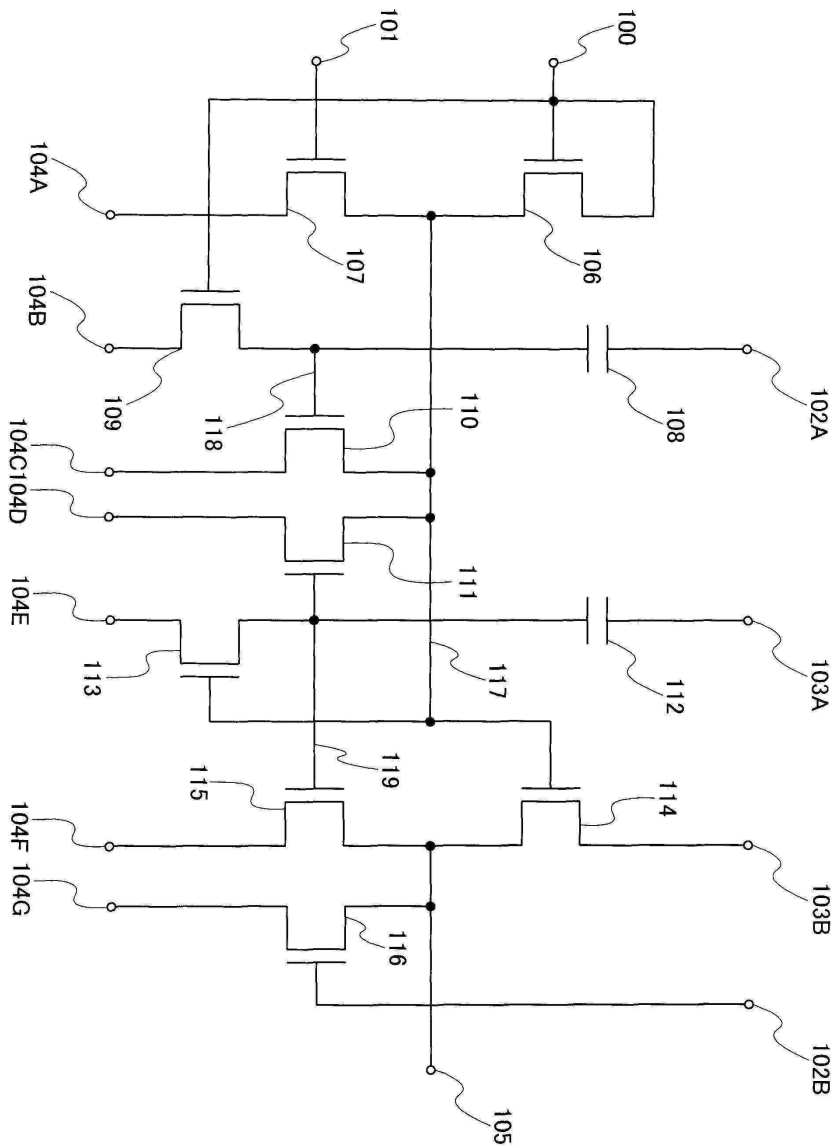
- 912b: 반도체층
- 913a: 전극
- 913b: 전극
- 1000: 기판
- 1001: 게이트 전극
- 1002: 게이트 절연막
- 1003: 미결정 반도체층
- 1004: 버퍼층
- 1005a: 반도체층
- 1005b: 반도체층
- 1006a: 전극
- 1006b: 전극
- 1007: 도전막
- 1008: 미결정 반도체막
- 1009: 비정질 반도체막
- 1010: 반도체막
- 1011: 도전막
- 1101: 하우징
- 1102: 지지대
- 1103: 표시부
- 1104: 스피커부
- 1105: 비디오 입력 단자
- 1111: 본체
- 1112: 표시부
- 1113: 수상부
- 1114: 조작 키
- 1115: 외부 접속 포트
- 1116: 셔터 버튼
- 1121: 본체
- 1122: 하우징
- 1123: 표시부
- 1124: 키보드
- 1125: 외부 접속 포트
- 1126: 포인팅 디바이스
- 1131: 본체
- 1132: 표시부

- 1133: 스위치
- 1134: 조작 키
- 1135: 적외선 포트
- 1141: 본체
- 1142: 하우징
- 1143: 표시부 A
- 1144: 표시부 B
- 1145: 판독부
- 1146: 조작 키
- 1147: 스피커부
- 1151: 본체
- 1152: 표시부
- 1153: 아암부
- 1161: 본체
- 1162: 표시부
- 1163: 하우징
- 1164: 외부 접속 포트
- 1165: 리모트콘트롤 수신부
- 1166: 수상부
- 1167: 배터리
- 1168: 음성 입력부
- 1169: 조작 키
- 1170: 접안부
- 1171: 본체
- 1172: 하우징
- 1173: 표시부
- 1174: 음성 입력부
- 1175: 음성 출력부
- 1176: 조작 키
- 1177: 외부 접속 포트
- 1178: 안테나
- 1180: 하우징
- 1181: 하우징
- 1182: 표시부
- 1183: 스피커
- 1184: 마이크로폰

- 1185: 조작 키
- 1186: 포인팅 디바이스
- 1187: 카메라용 렌즈
- 1188: 외부 접속 단자
- 1189: 이어폰 단자
- 1190: 키보드
- 1191: 외부 메모리 슬롯
- 1192: 카메라용 렌즈
- 1193: 라이트

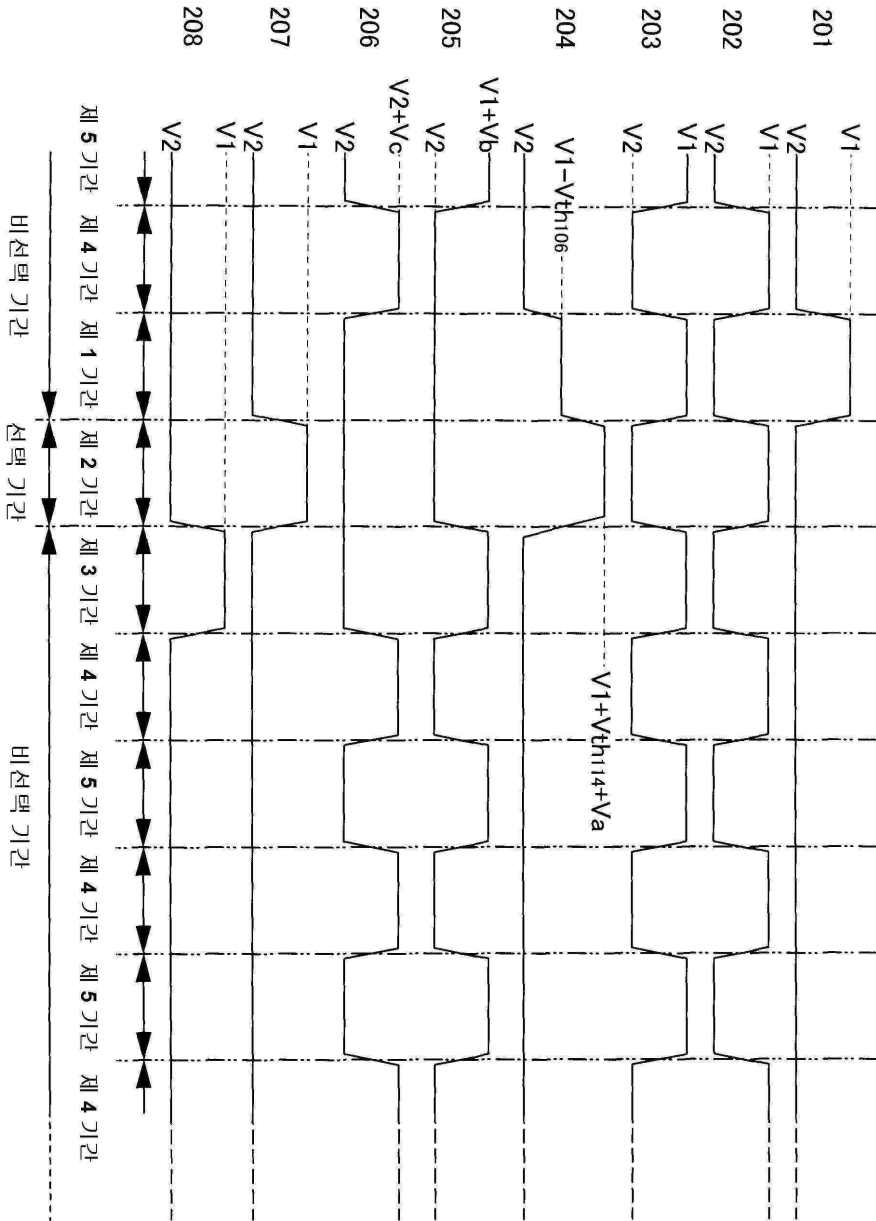
도면

도면1

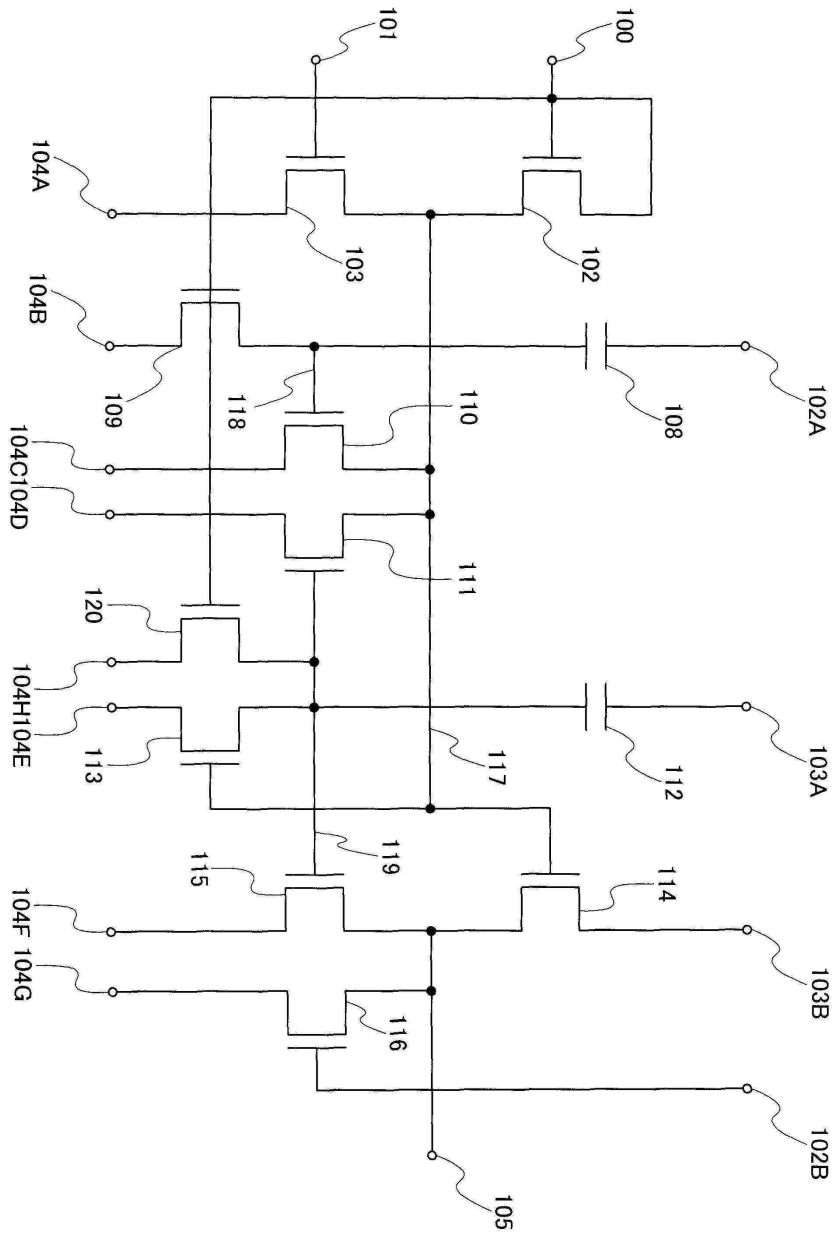




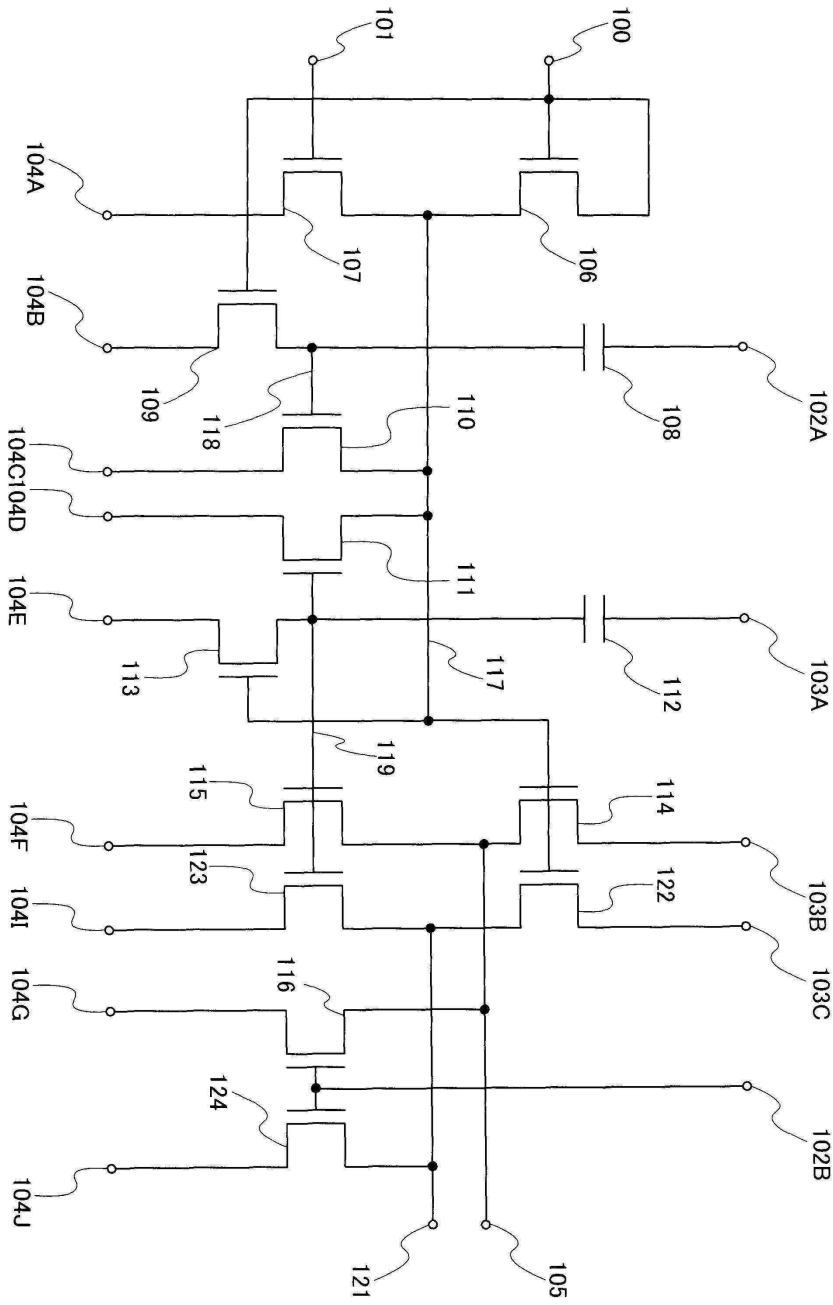
도면2



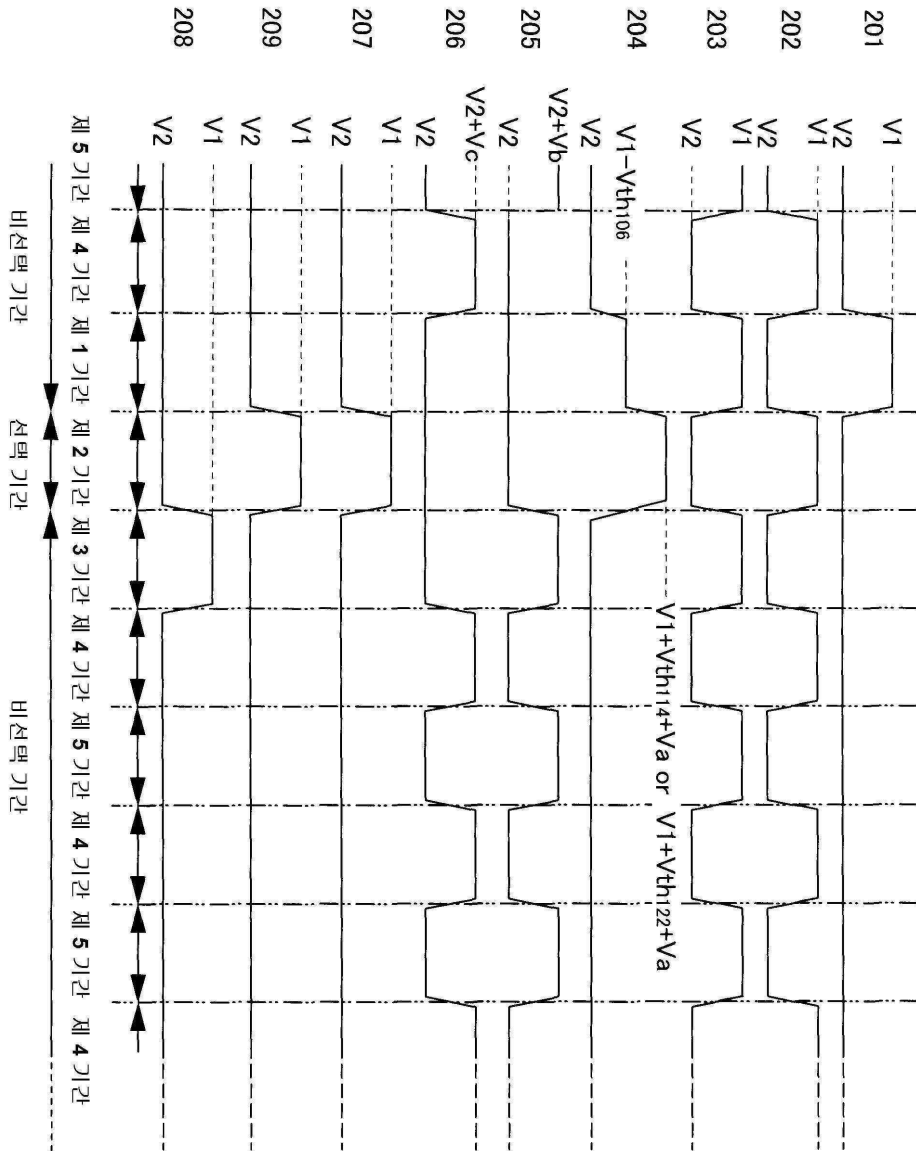
도면3



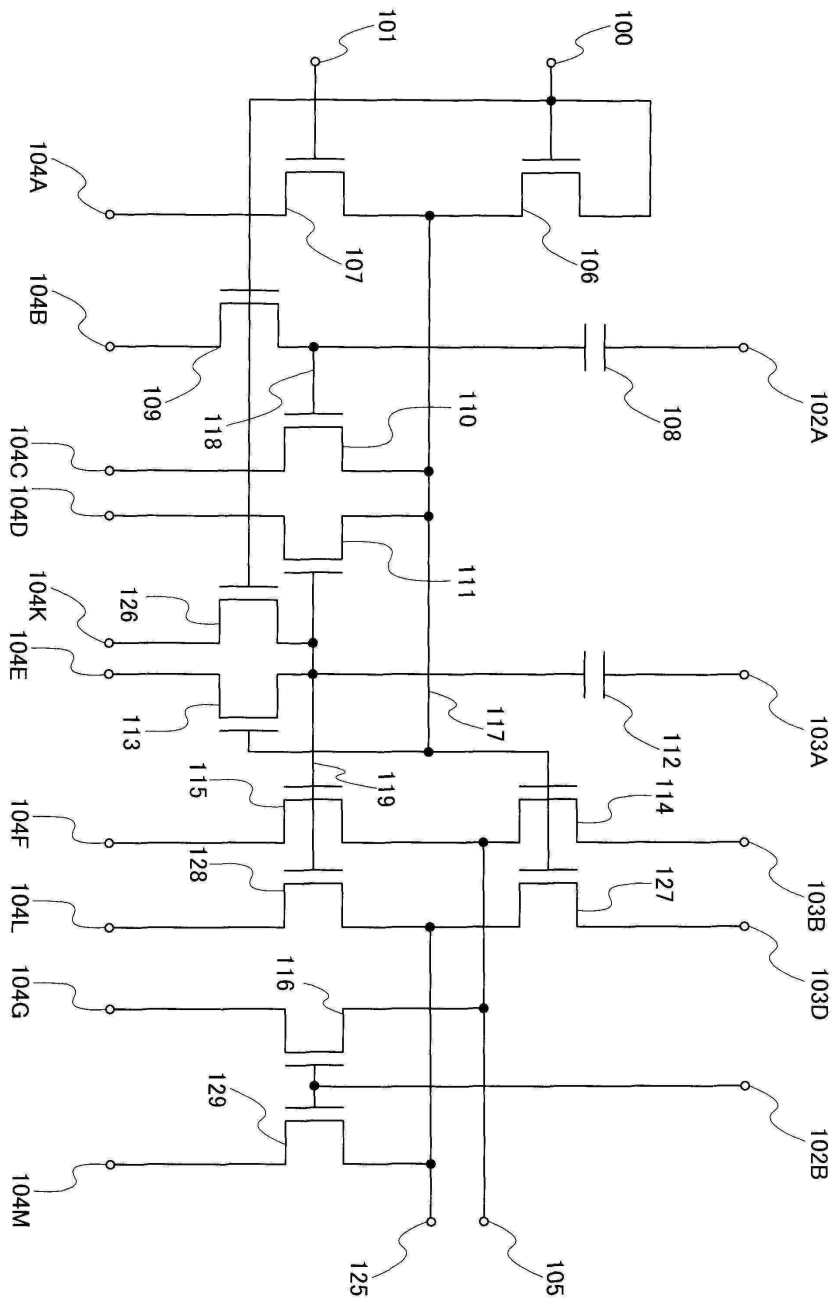
도면4



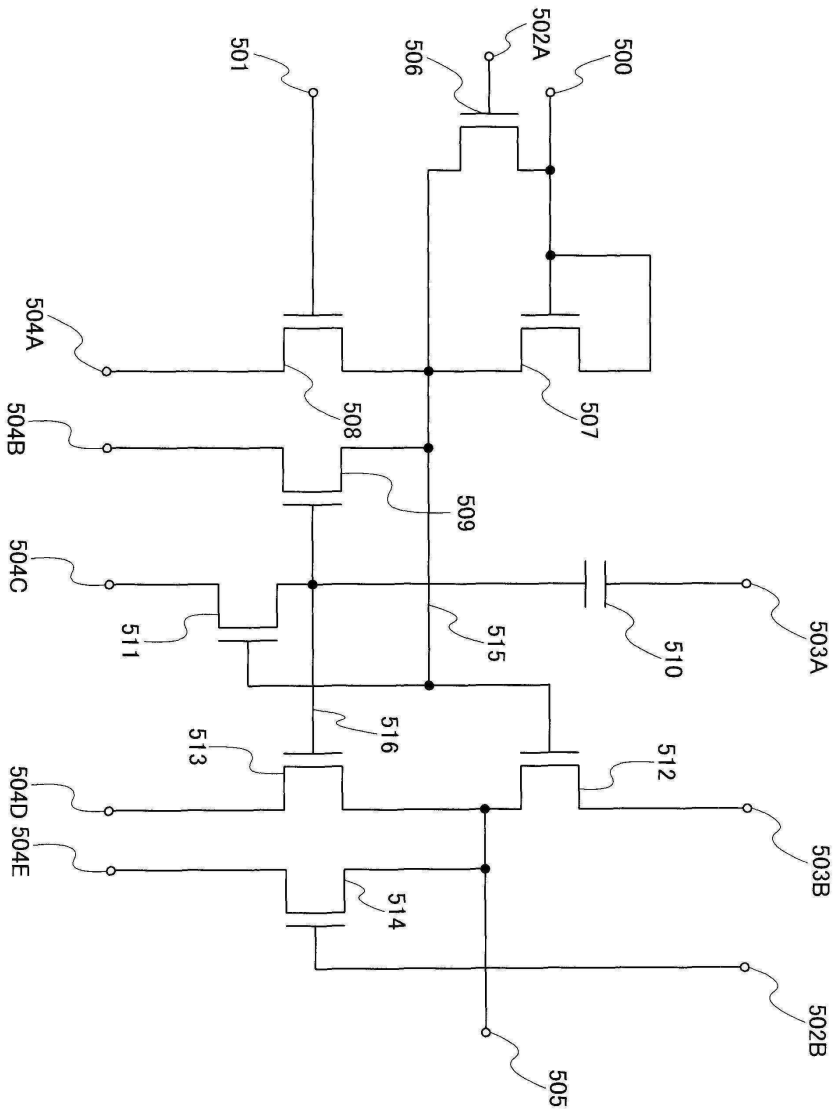
도면5



도면6

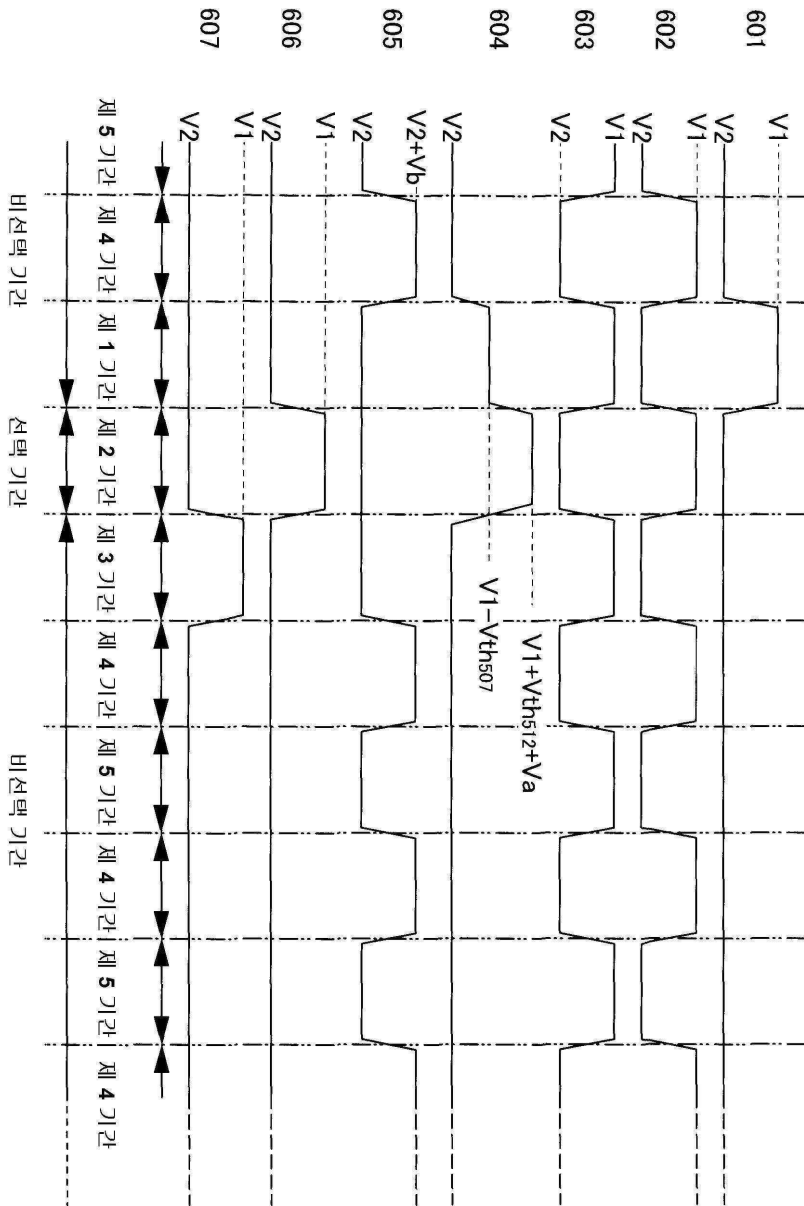


도면7

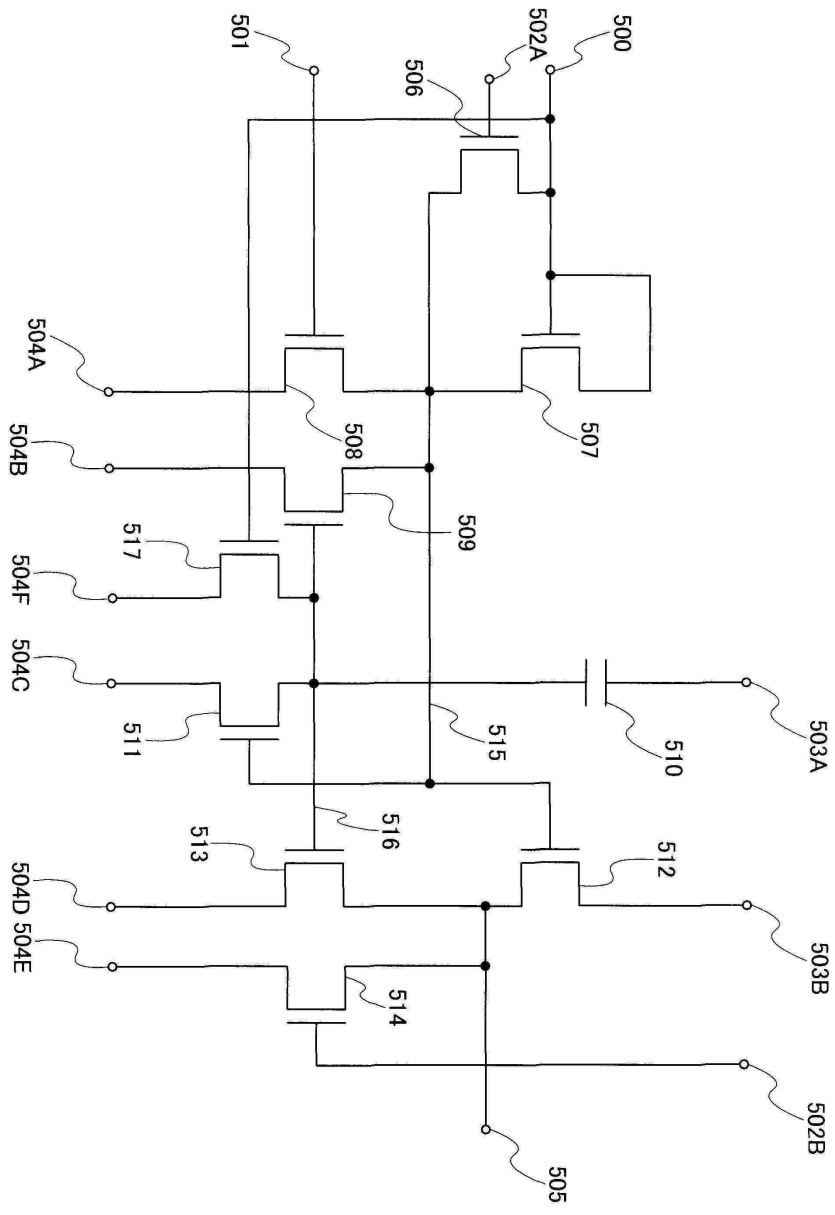




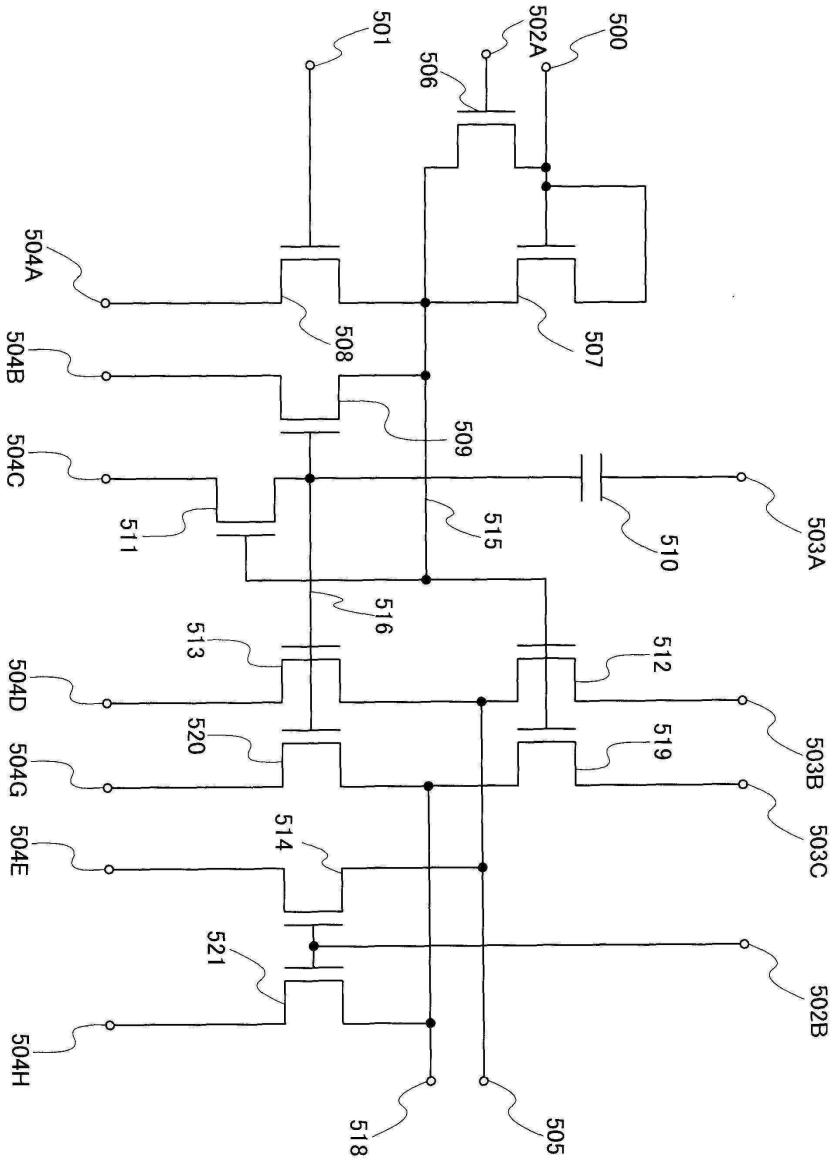
도면8



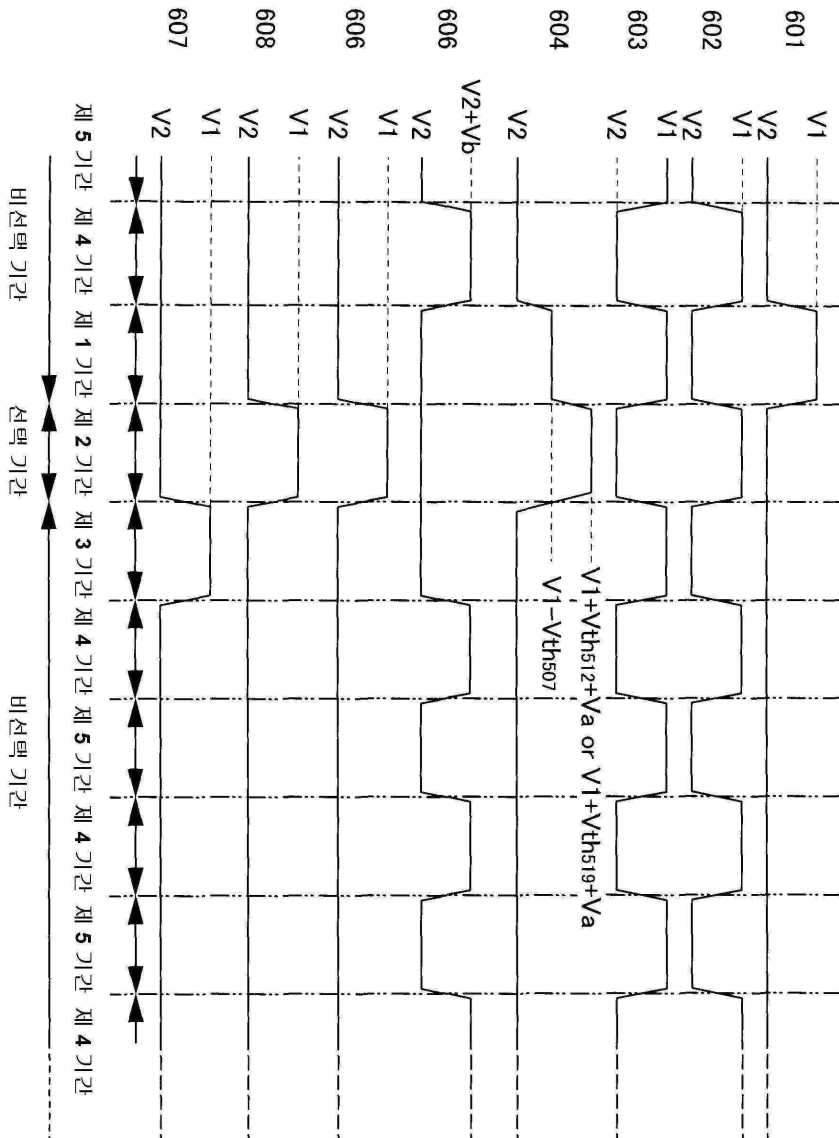
도면9



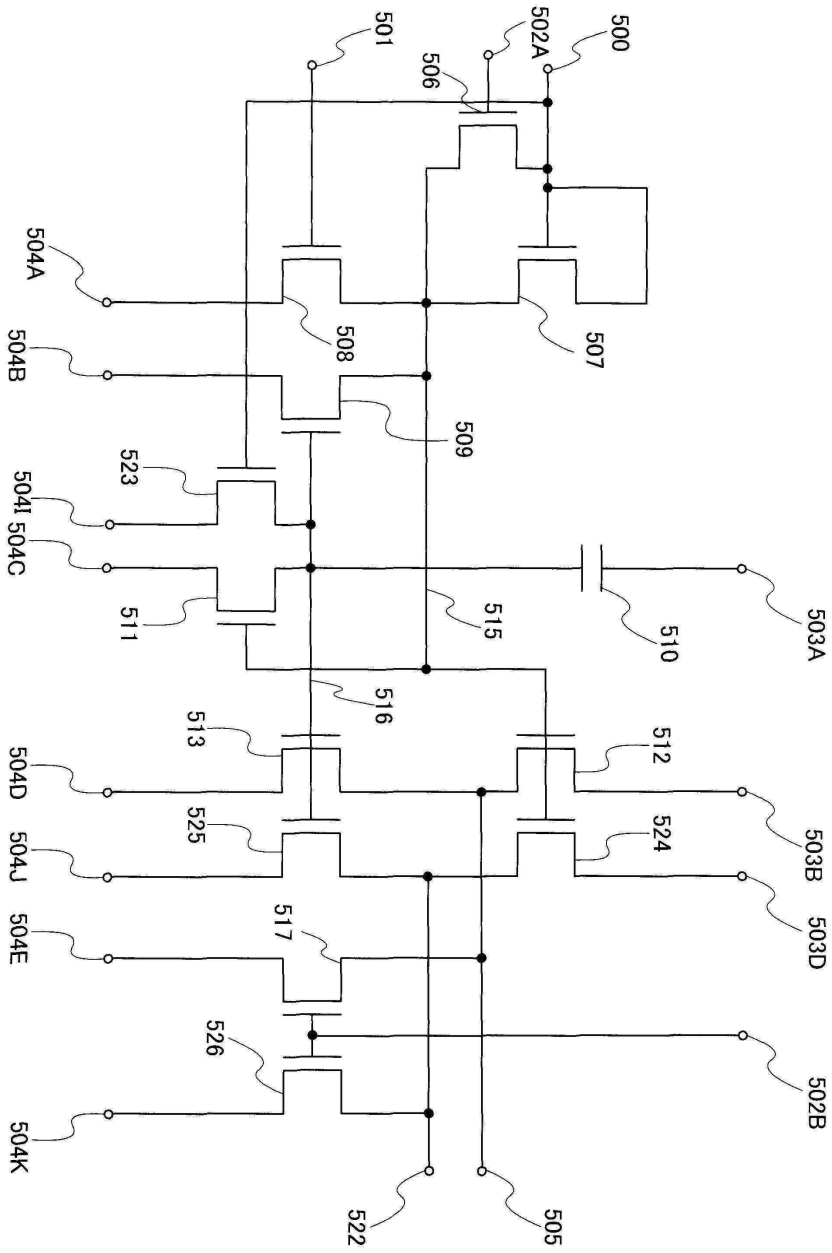
도면10



도면11

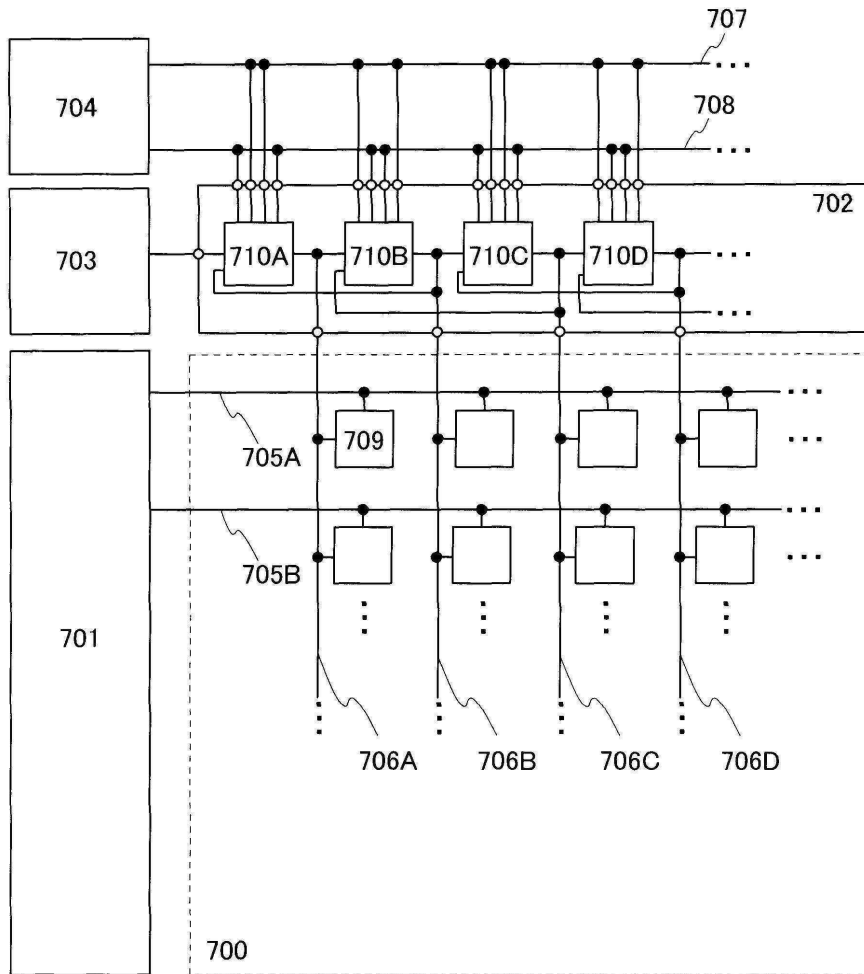


도면12

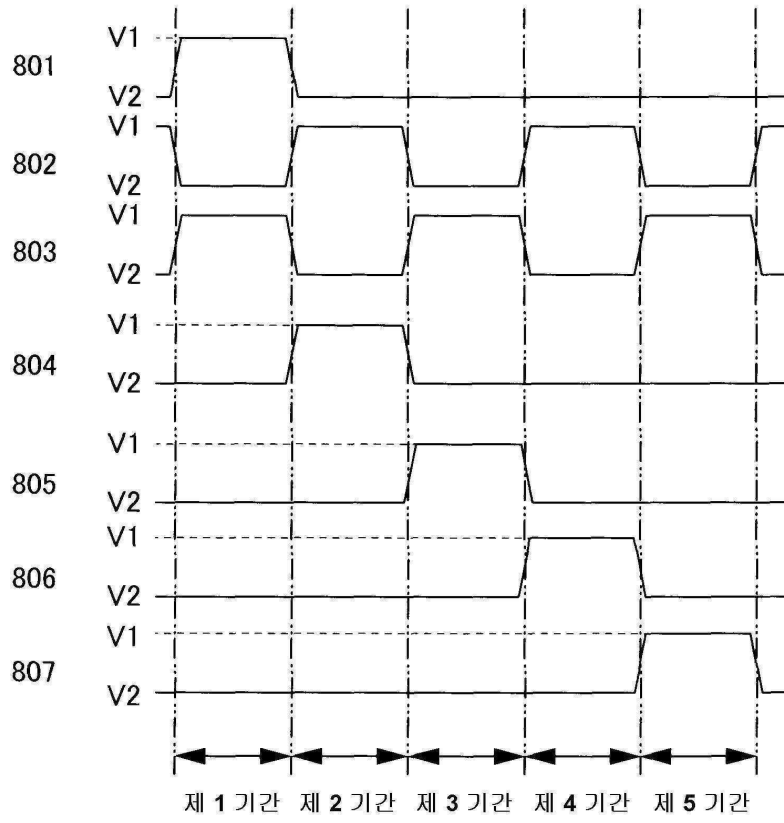




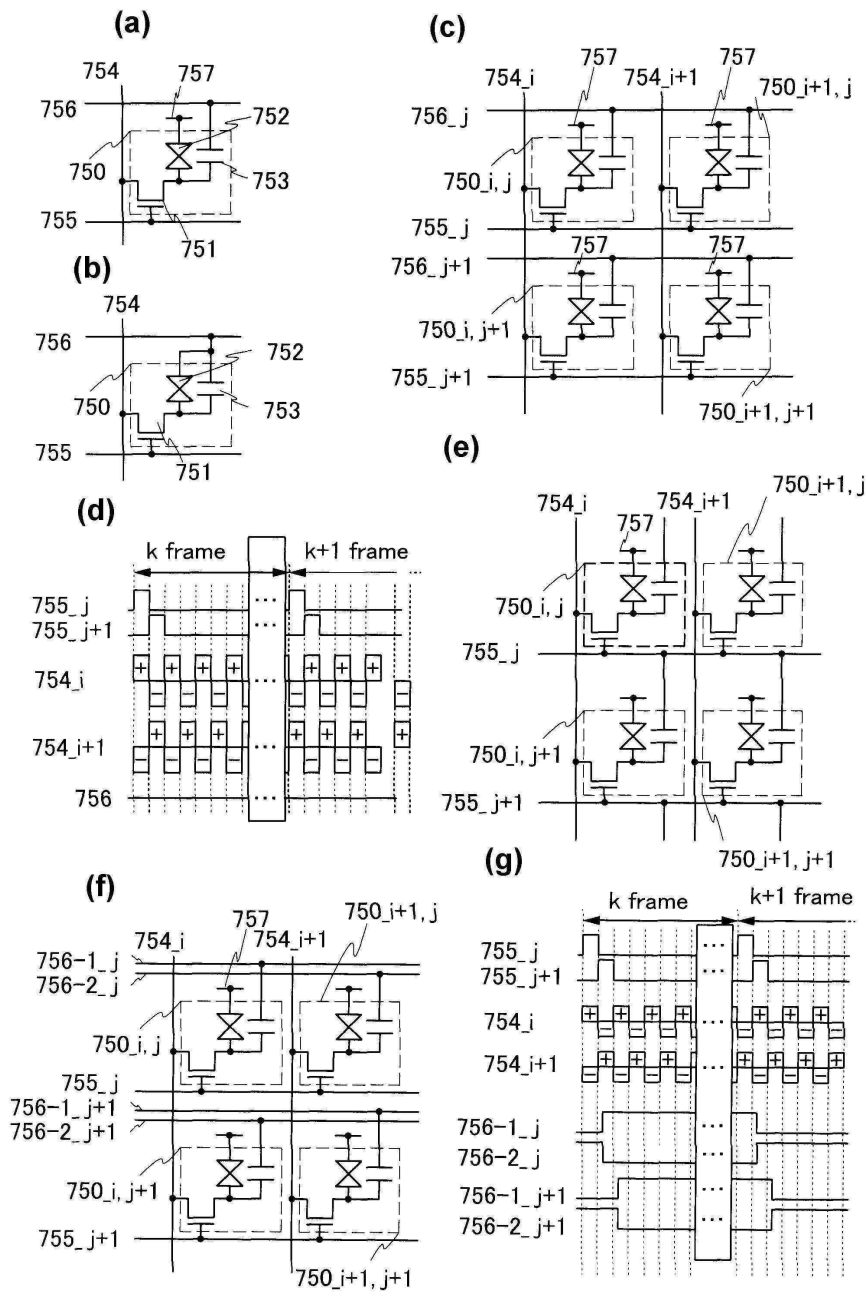
도면13



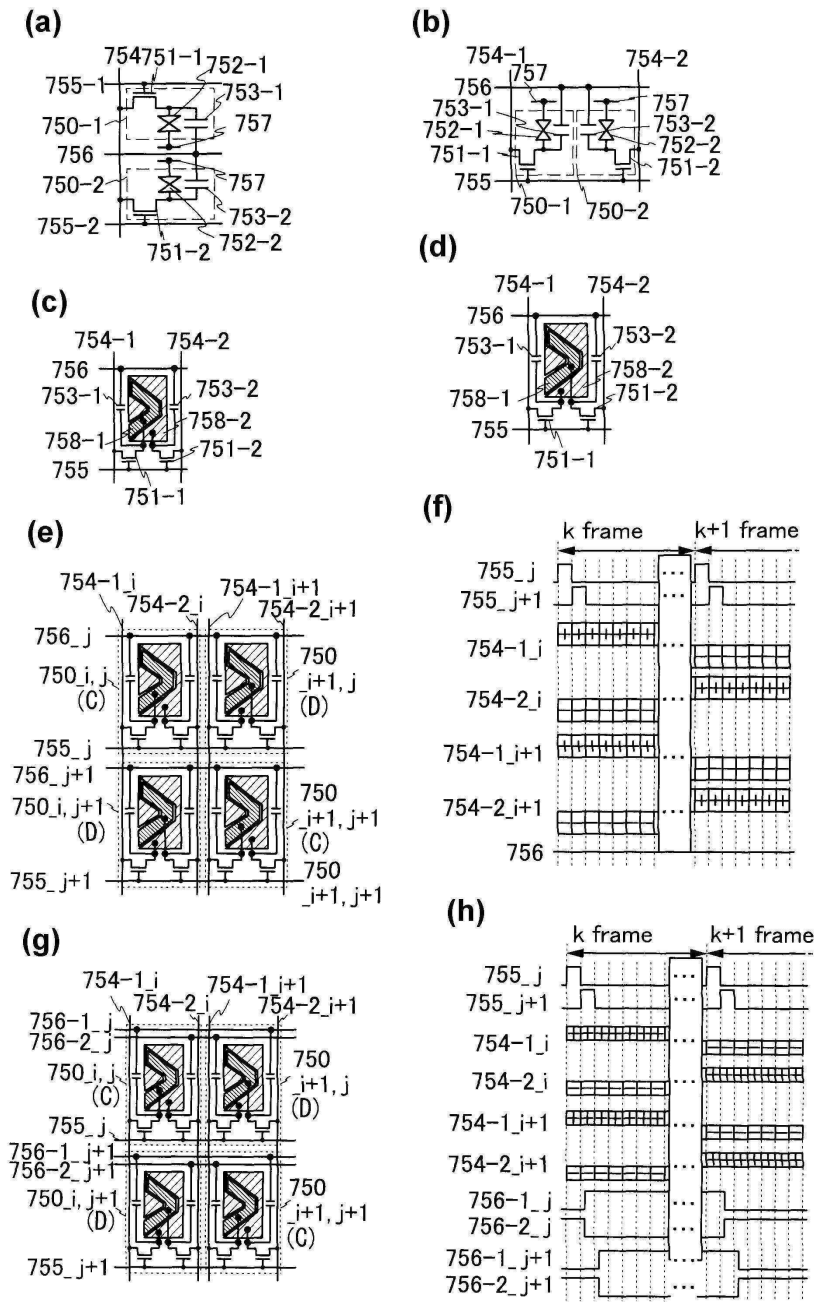
도면14



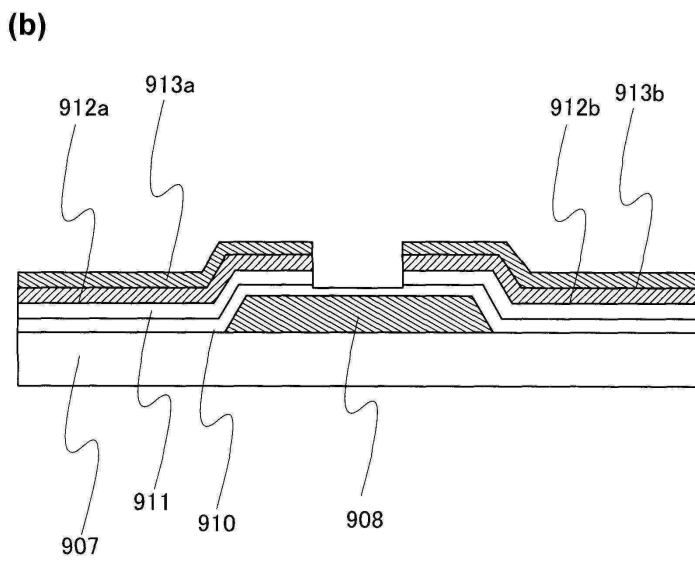
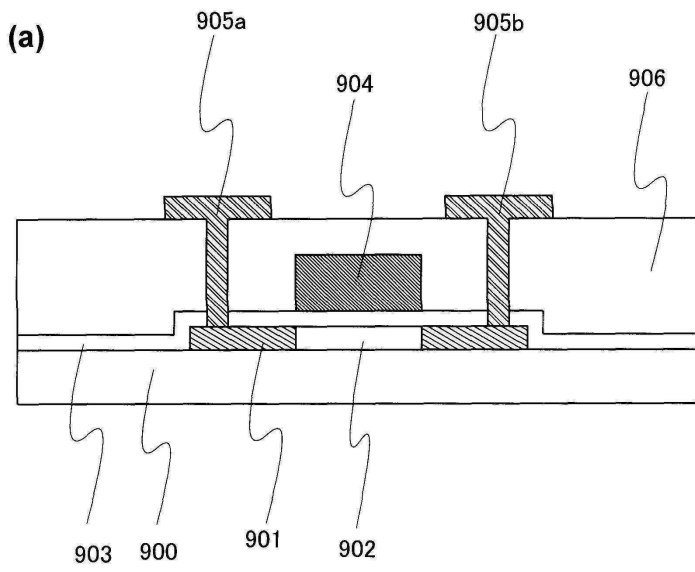
도면15



도면16

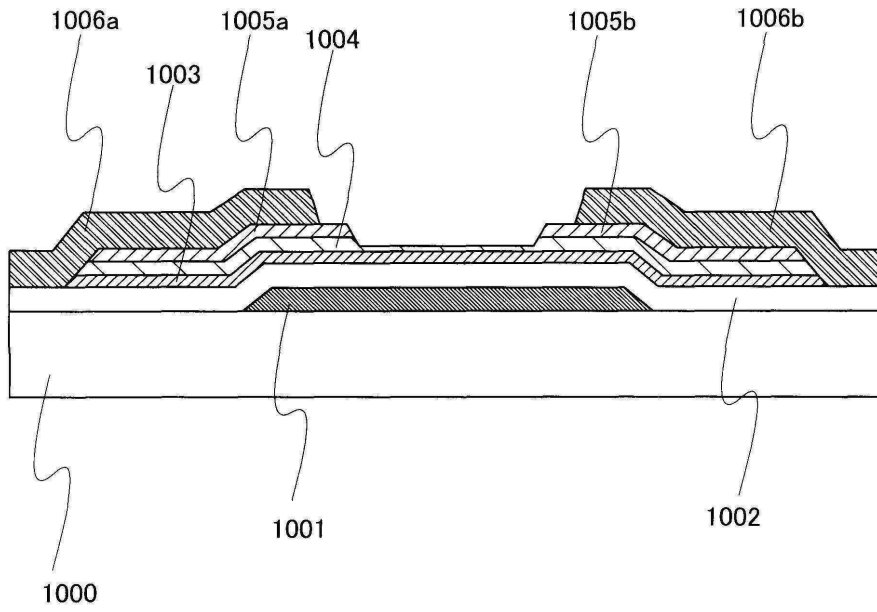


도면17



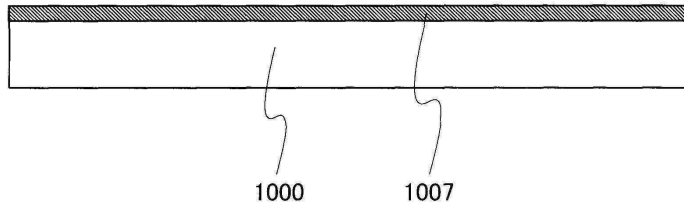


도면18

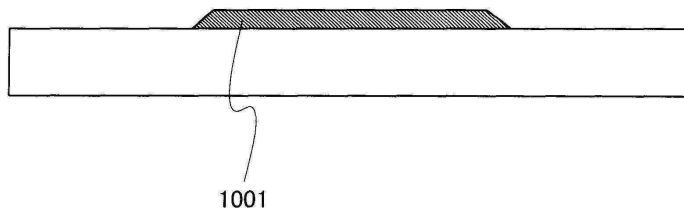


도면19

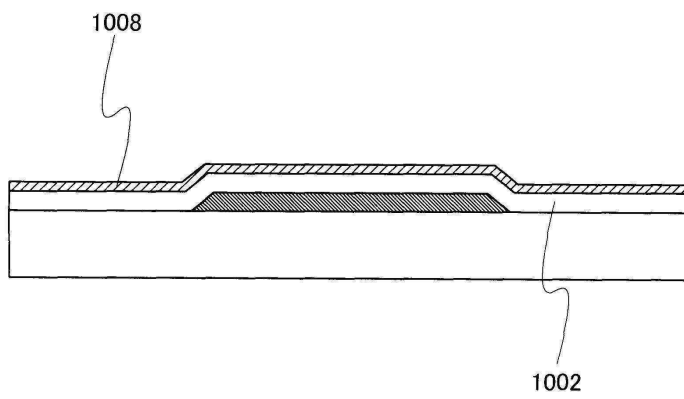
(a)



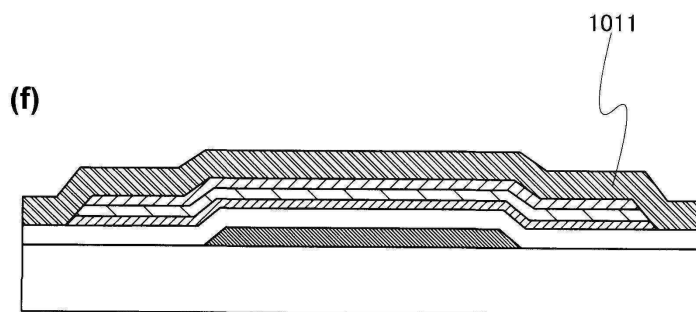
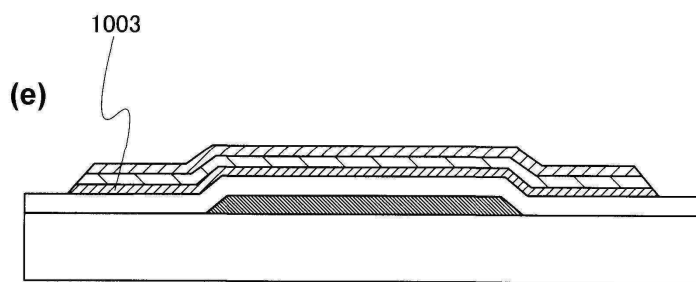
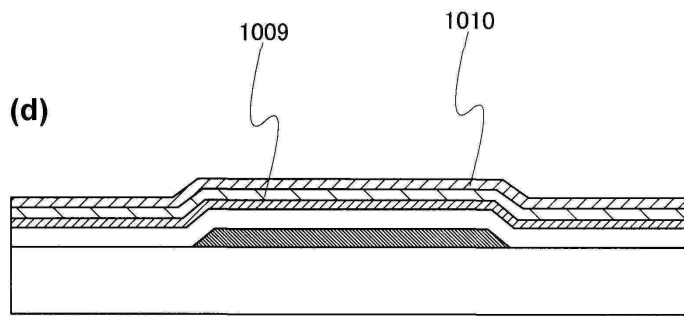
(b)



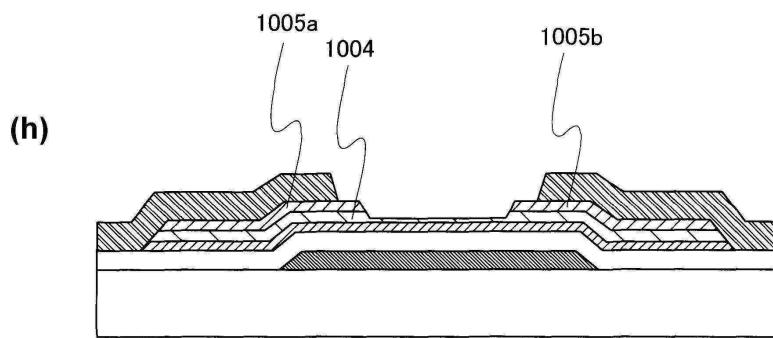
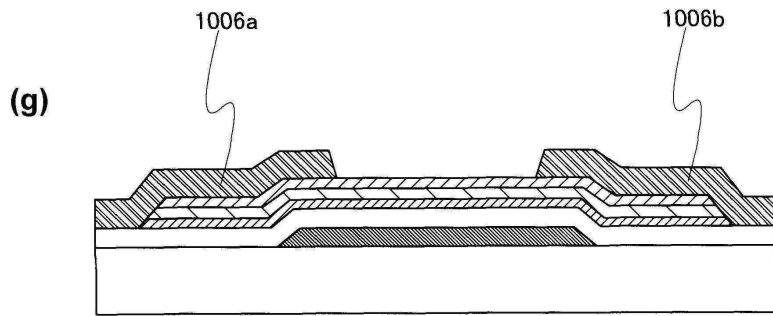
(c)



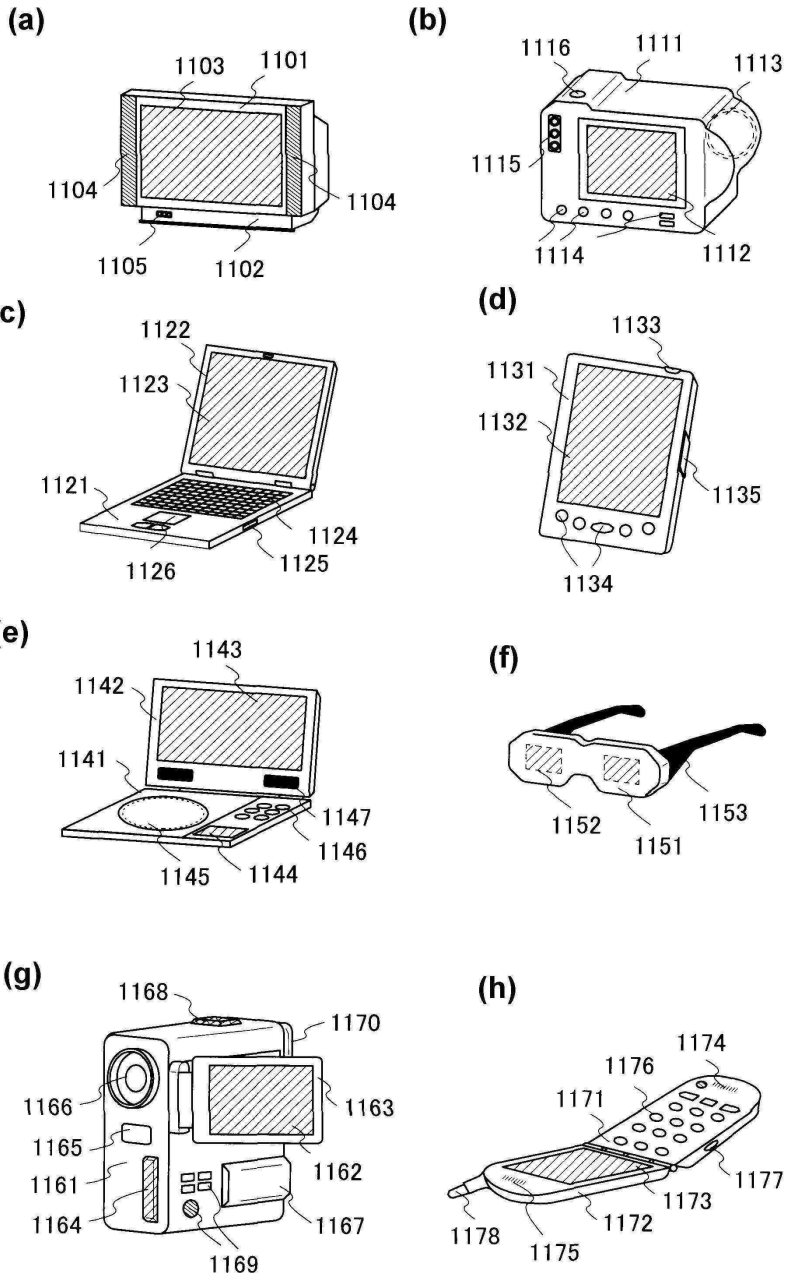
도면20



도면21

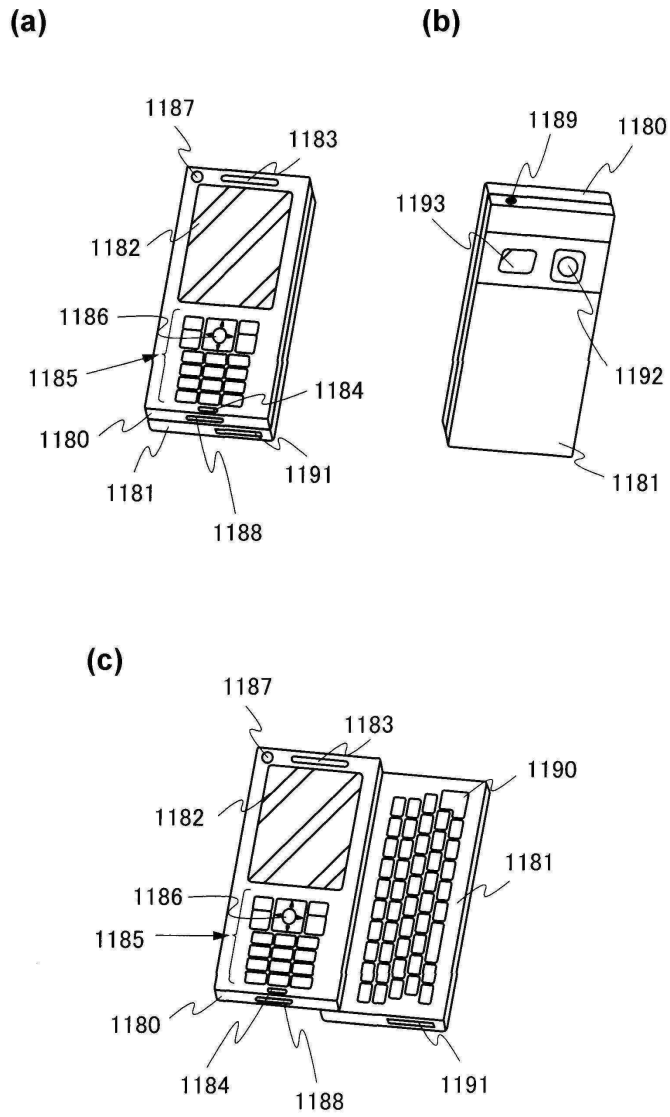


도면22

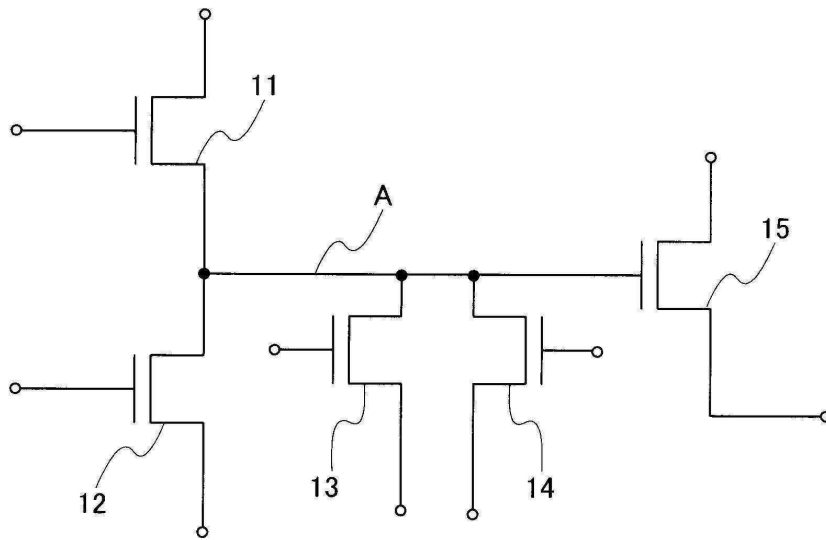




도면23



도면24



도면25

