

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-327984
(P2005-327984A)

(43) 公開日 平成17年11月24日(2005.11.24)

(51) Int. Cl.⁷

H01L 23/12

F I

H01L 23/12

F

H01L 23/12

N

テーマコード(参考)

審査請求 未請求 請求項の数 16 O L (全 16 頁)

(21) 出願番号 特願2004-146406 (P2004-146406)

(22) 出願日 平成16年5月17日(2004.5.17)

(出願人による申告) 「国等の委託研究の成果に係る特許出願(平成15年度新エネルギー・産業技術総合開発機構基盤技術研究促進事業(民間基盤技術研究支援制度)委託研究、産業活力再生特別措置法第30条の適用を受けるもの)」

(71) 出願人 000190688

新光電気工業株式会社

長野県長野市小島田町80番地

(74) 代理人 100091672

弁理士 岡本 啓三

(72) 発明者 大井 淳

長野県長野市小島田町80番地 新光電気工業株式会社内

(72) 発明者 清水 規良

長野県長野市小島田町80番地 新光電気工業株式会社内

(72) 発明者 堀川 泰愛

長野県長野市小島田町80番地 新光電気工業株式会社内

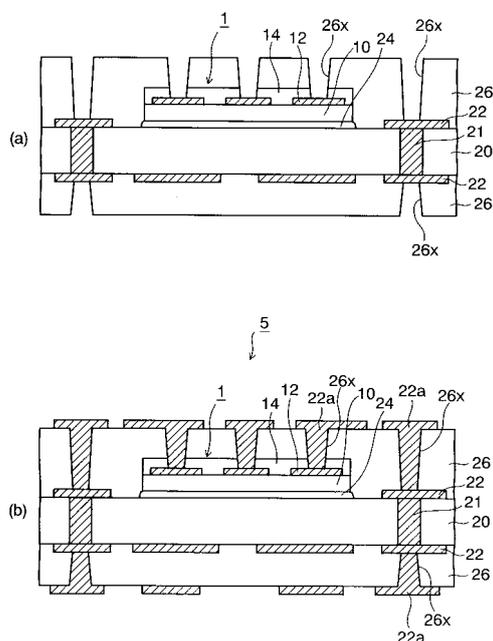
(54) 【発明の名称】 電子部品及び電子部品実装構造の製造方法

(57) 【要約】

【課題】 パシベーション膜を備えた電子部品を絶縁層に埋設して実装する電子部品実装構造の製造方法において、パシベーション膜が限定されることなく、電子部品の接続端子と配線パターンとを低コストで信頼性よく電気接続できる方法を提供する。

【解決手段】 被実装体20の上に、接続端子12とそれを被覆するパシベーション膜14とを備えた電子部品1を、接続端子12を上側に向けて実装する工程と、電子部品1を被覆する絶縁層26を形成する工程と、接続端子12上のパシベーション膜14及び絶縁層26の部分にピアホール26xを形成して接続端子12を露出させる工程と、ピアホール26xを介して接続パッド12に電気的に接続される配線パターン22aを絶縁層上に形成する工程とを含む。

【選択図】 図8



【特許請求の範囲】

【請求項 1】

被実装体の上に、接続端子と該接続端子を被覆するパシベーション膜とを備えた電子部品を、該接続端子を上側に向けて実装する工程と、

前記電子部品を被覆する絶縁層を形成する工程と、

前記接続端子上の前記パシベーション膜及び前記絶縁層の部分にビアホールを形成して前記接続端子を露出させる工程と、

前記ビアホールを介して前記接続パッドに電氣的に接続される配線パターンを前記絶縁層上に形成する工程とを有することを特徴とする電子部品実装構造の製造方法。

【請求項 2】

前記電子部品は、一方の面側に前記接続端子が設けられた半導体チップ、一端側及び他端側にそれぞれ前記接続端子が設けられた積層キャパシタチップ、及び誘電体膜が下部電極と上部電極とに挟まれ、前記下部電極及び上部電極が前記接続端子となる薄膜キャパシタのいずれかであることを特徴とする請求項 1 に記載の電子部品実装構造の製造方法。

【請求項 3】

前記パシベーション膜の材料は、エポキシ樹脂、ポリイミド樹脂、フェノール樹脂、ノボラック樹脂、酸化シリコン、酸化アルミニウム及び酸化タンタルの群から選択されるいずれかであることを特徴とする請求項 1 又は 2 に記載の電子部品実装構造の製造方法。

【請求項 4】

前記パシベーション膜は、非感光性樹脂よりなることを特徴とする請求項 1 に記載の電子部品実装構造の製造方法。

【請求項 5】

前記パシベーション膜は、前記接続端子を選択的に被覆していることを特徴とする請求項 1 又は 2 に記載の電子部品実装構造の製造方法。

【請求項 6】

前記電子部品は一端側及び他端側にそれぞれ前記接続端子が設けられた積層キャパシタチップであって、前記パシベーション膜は前記積層キャパシタチップの全体面を被覆していることを特徴とする請求項 1 に記載の電子部品実装構造の製造方法。

【請求項 7】

前記被実装体は、配線パターンを備えたコア基板であって、

前記ビアホールを形成して前記接続パッドを露出させる工程において、前記コア基板の配線パターン上の前記絶縁層の部分に前記ビアホールを同時に形成し、

前記配線パターンを前記絶縁層上に形成する工程において、前記ビアホールを介して前記コア基板の配線パターンに接続される前記配線パターンを同時に形成することを特徴とする請求項 1 又は 2 に記載の電子部品実装構造の製造方法。

【請求項 8】

前記被実装体は、コア基板、該コア基板上に形成された絶縁層又は凹部を備えたコア基板であり、前記電子部品は、前記コア基板上、前記絶縁層上又は前記コア基板の凹部上に実装されることを特徴とする請求項 1 又は 2 に記載の電子部品実装構造の製造方法。

【請求項 9】

前記電子部品の接続端子に電氣的に接続される前記配線パターンは、 n 層 (n は 1 以上の整数) で積層されて形成されることを特徴とする請求項 1 又は 7 に記載の電子部品実装構造の製造方法。

【請求項 10】

前記被実装体は、貫通電極を介して相互接続される配線パターンを両面にそれぞれ備えたコア基板であって、前記配線パターンは、前記コア基板の両面側に積層されることを特徴とする請求項 9 に記載の電子部品実装構造の製造方法。

【請求項 11】

配線パターンと電氣的に接続される接続端子と、

前記接続端子を被覆するパシベーション膜とを有する電子部品であって、

10

20

30

40

50

前記電子部品が被実装体上に実装されるとき、前記電子部品は前記接続端子が上側になって絶縁層に埋設されて実装され、該接続端子が、前記絶縁層及びパシベーション膜に設けられるビアホールを介して前記配線パターンに電氣的に接続されるようにしたことを特徴とする電子部品。

【請求項 1 2】

前記電子部品は、一方の面側に前記接続端子が設けられた半導体チップ、一端側及び他端側にそれぞれ前記接続端子が設けられた積層キャパシタチップ、及び誘電体膜が下部電極と上部電極とに挟まれ、前記下部電極及び上部電極が前記接続端子となる薄膜キャパシタのいずれかであることを特徴とする請求項 1 1 に記載の電子部品。

【請求項 1 3】

前記パシベーション膜は、エポキシ樹脂、ポリイミド樹脂、フェノール樹脂、ノボラック樹脂、酸化シリコン、酸化アルミニウム及び酸化タンタルの群から選択されるいずれかであることを特徴とする請求項 1 1 に記載の電子部品。

【請求項 1 4】

前記パシベーション膜は、非感光性樹脂よりなることを特徴とする請求項 1 1 に記載の電子部品。

【請求項 1 5】

前記パシベーション膜は、前記接続端子を選択的に被覆していることを特徴とする請求項 1 1 に記載の電子部品。

【請求項 1 6】

前記電子部品は、一端側及び他端側にそれぞれ前記接続端子が設けられた積層キャパシタチップであって、

前記パシベーション膜は前記積層キャパシタチップの全体面を被覆していることを特徴とする請求項 1 1 に記載の電子部品。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は電子部品及び電子部品実装構造の製造方法に係り、より詳しくは、絶縁層に埋設されて実装される電子部品及びそのような電子部品を実装するための電子部品実装構造の製造方法に関する。

【背景技術】

【0002】

従来、半導体チップや積層キャパシタチップなどの電子部品が絶縁層に埋設された構造を有する電子部品実装構造がある。図 1 に示すように、従来の半導体チップ 100 では、半導体基板 110 の素子形成面側にトランジスタなどの所定素子（不図示）とそれに接続される接続パッド 112 とが設けられている。さらに、半導体チップ 100 の最上には接続パッド 112 上に開口部 104x が設けられたパシベーション膜 104 が形成されており、その開口部 104x の接続パッド 112 上には Ni / Au 層よりなるコンタクト部 112a が設けられている。

【0003】

そして、図 2 に示すように、そのような構造の半導体チップ 100 はそのコンタクト部 112a にはんだなどよりなる bumps 108 が設けられる。さらに、貫通電極 202 とそれに接続された配線パターン 204 とを備えた回路基板 200 が用意され、その配線パターン 204 に半導体チップ 100 の bumps 108 がフリップチップ接続される。続いて、半導体チップ 100 と回路基板 200 との隙間にアンダーフィル樹脂 210 が充填された後に、半導体チップ 100 を被覆する層間絶縁層 212 が形成される。

【0004】

次いで、配線パターン 204 上の層間絶縁層 212 にビアホール 212x が形成された後に、ビアホール 212x を介して配線パターン 204 に接続される上層配線パターン 204a が形成される。このようにして、半導体チップ 100 が層間絶縁層 212 に埋設さ

10

20

30

40

50

れた状態で回路基板 200 の配線パターン 204 に電氣的に接続されて実装される。

【0005】

なお、図 1 の構造の半導体チップ 100 は、回路基板 200 上に接続パッド 112 が上側になって実装され、コンタクト部 112 a と回路基板 200 の配線パターン 204 とがワイヤで接続されて実装される場合もある。

【0006】

また、図 3 に示すように、従来の積層キャパシタチップ 300 では、複数の第 1 電極層 302 と複数の第 2 電極層 304 とが誘電体層 306 を介して積層されてキャパシタ部分が構成されており、第 1 電極層 302 が第 1 接続端子 310 に接続され、第 2 電極層 304 が第 2 接続端子 312 に接続されている。さらに、積層キャパシタチップ 300 のキャ

10

【0007】

そして、図 4 に示すように、そのような構造の積層キャパシタチップ 300 はその第 1 接続端子 310 及び第 2 接続端子 312 の下面にバンプ 118 が設けられ、図 2 と同様な回路基板 200 の配線パターン 204 に積層キャパシタチップ 300 のバンプ 118 が電氣的に接続される。その後、積層キャパシタチップ 300 を被覆する層間絶縁層 212 が形成された後に、上記した図 2 と同様に、層間絶縁層 212 に設けられたビアホール 212 x を介して配線パターン 204 に接続される上層配線パターン 204 a が層間絶縁層 212 上に形成される。このようにして、積層キャパシタチップ 300 は、層間絶縁層 212 に埋設された状態で回路基板 200 の配線パターン 204 に電氣的に接続されて実装

20

【0008】

また、上述した図 2 の電子部品実装構造に関連する技術として、特許文献 1 には、回路基板上に複数の半導体チップが絶縁層に埋設された状態で 3 次元的に実装され、絶縁層を介して多層に形成された配線パターンにより複数の半導体チップが相互接続された構造の半導体装置が記載されている。

【特許文献 1】特開 2000 - 323645 号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

前述したように、従来の電子部品の実装方法では、半導体チップ 100 を回路基板 200 上の配線パターン 204 にフリップチップ接続やワイヤボンディングによって電氣的に接続することが前提となっているので、半導体チップ 100 のパシベーション膜 104 に開口部 104 x を設けて、接続パッド 112 (コンタクト部 112 a) を露出させる必要がある。このため、パシベーション膜 104 は感光性を有する樹脂や印刷に適した絶縁材料などのパターニングしやすい比較的高価な材料に限定されてしまうという問題がある。

30

【0010】

さらには、従来の半導体チップ 100 では、接続パッド 112 の腐食防止や接続パッド 112 とバンプ 108 との電気接続の信頼性を得るために、接続パッド 112 上にコンタ

40

【0011】

また、従来の積層キャパシタチップ 300 では、銅などからなる第 1 及び第 2 接続端子 310, 312 はパシベーション膜で被覆されておらず露出した状態となっているため、耐腐食性が乏しく、信頼性が問題になる場合が想定される。

【0012】

本発明は以上の課題を鑑みて創作されたものであり、パシベーション膜を備えた電子部品を絶縁層に埋設して実装する電子部品実装構造の製造方法において、パシベーション膜が限定されることなく各種のパシベーション膜を使用しても電子部品の接続端子と配線パ

50

ターンとを低コストで信頼性よく電気接続できる電子部品実装構造の製造方法及び電子部品を提供することを目的とする。

【課題を解決するための手段】

【0013】

上記課題を解決するため、本発明は電子部品実装構造の製造方法に係り、被実装体の上に、接続端子と該接続端子を被覆するパシベーション膜とを備えた電子部品を、該接続端子を上側にして実装する工程と、前記電子部品を被覆する絶縁層を形成する工程と、前記接続端子上の前記パシベーション膜及び前記絶縁層の部分にビアホールを形成して前記接続端子を露出させる工程と、前記ビアホールを介して前記接続パッドに電氣的に接続される前記配線パターンを前記絶縁層上に形成する工程とを有することを特徴とする。

10

【0014】

本発明では、まず、接続端子を被覆するパシベーション膜が最上面に設けられた電子部品（半導体チップなど）が用意され、電子部品の接続端子を上側にして（フェイスアップ）、被実装体上に電子部品を実装する。その後、電子部品を被覆する絶縁層が形成される。次いで、電子部品の接続端子上のパシベーション膜及び絶縁層の部分がレーザなどにより加工されて、電子部品の接続端子上にビアホールが形成される。この段階で、電子部品の接続端子が露出し、さらにビアホールを介して接続端子に接続される配線パターンが絶縁層上に形成される。

【0015】

このような方法を採用することにより、実装される前の段階の電子部品では、接続端子を露出させるための開口部をパシベーション膜に形成しておく必要はない。従って、パシベーション膜は、パターンングが容易な絶縁材料に限定されることなく、信頼性の高いパシベーション膜を選択したり、低コスト化が図れるパシベーション膜を選択したりするなどの目的に合わせて、各種の絶縁材料を適宜選択することができる。

20

【0016】

しかも、接続端子上にコンタクト部（Ni/Au層）を設ける必要性もないので、接続端子を安価なCuやAlで構成することができ、電子部品の低コスト化を図ることができる。

【0017】

また、上記した課題を解決するため、本発明は電子部品に係り、配線パターンと電氣的に接続される接続端子と、前記接続端子を被覆するパシベーション膜とを有する電子部品であって、前記電子部品が被実装体上に実装されるとき、前記電子部品は前記接続端子が上側になって絶縁層に埋設されて実装され、該接続端子が、前記絶縁層及びパシベーション膜に設けられるビアホールを介して前記配線パターンに電氣的に接続されるようにしたことを特徴とする。

30

【0018】

本発明の電子部品は上記した電子部品実装構造の製造方法に使用される。本発明の電子部品のパシベーション膜は、好適には、非感光性の樹脂層や無機絶縁層が使用される。

【発明の効果】

【0019】

以上説明したように、本発明では、電子部品のパシベーション膜として各種の絶縁材料を使用することができると共に、電子部品を絶縁層に埋設して実装した後にパシベーション膜を開口する方法を採用するので、信頼性が高く電気特性の優れた電子部品実装構造を容易に製造することができる。

40

【発明を実施するための最良の形態】

【0020】

以下、本発明の実施の形態について、添付の図面を参照して説明する。

【0021】

（第1の実施の形態）

図5及び図6は本発明の第1実施形態の電子部品を示す断面図、図7及び図8は本発明

50

の第1実施形態の電子部品実装構造の製造方法を示す断面図である。第1実施形態では、電子部品として半導体チップを例に挙げて説明する。

【0022】

図5に示すように、第1実施形態の半導体チップ1（電子部品）では、シリコンなどの半導体基板10の素子形成面側にトランジスタなどの所定素子（不図示）とそれに多層配線（不図示）を介して電氣的に接続される接続パッド12（接続端子）とが設けられている。さらに、素子形成面側に接続パッド12を被覆するパシベーション膜14が全面にわたって形成されている。つまり、本実施形態の半導体チップ1のパシベーション膜14には接続パッド12を露出させる開口部が形成されていない。後述するように、半導体チップ1は接続パッド12が上側になって（フェイスアップ）、被実装体上に絶縁層に埋設された状態で実装された後に、接続パッド12上のパシベーション膜14及び絶縁層が開口され、接続パッド12と配線パターンとの電気接続が行われる。

10

【0023】

従って、半導体チップ1を実装する前の段階では、パシベーション膜14をパターンニングしておく必要がないので、パシベーション膜14が感光性材料や印刷に適した材料に限定されることはなく、各種の絶縁材料を使用できるようになる。

【0024】

本実施形態の半導体チップ1のパシベーション膜14の材料としては、エポキシ樹脂、ポリイミド樹脂、フェノール樹脂又はノボラック樹脂などの有機絶縁材料の他に、酸化シリコン（ SiO_2 ）、窒化シリコン（ SiN ）、酸化窒化シリコン（ $SiON$ ）、酸化アルミニウム（ Al_2O_3 ）、又は酸化タンタル（ Ta_2O_5 ）などの無機絶縁材料を使用できる。パシベーション膜14の膜厚は、例えば、有機絶縁材料を使用する場合は1～100 μm であり、無機絶縁材料を使用する場合は0.01～10 μm である。

20

【0025】

また、パシベーション膜14の成膜方法においても、多種多様の方法を採用できる。例えば、絶縁材料をスピンコート法や印刷で形成する方法、絶縁フィルムをラミネートする方法、絶縁材料を含む液体中に半導体チップを侵漬する方法、スパッタ法、CVD法、又は蒸着などの成膜方法を使用できる。

【0026】

なお、半導体チップ1は、素子形成面側に所定素子と接続パッド12とを備えた半導体ウェハ（不図示）の背面が研削されて150 μm 程度（好適には50 μm 程度）以下の厚みに薄型化された後に、半導体ウェハがダイシングされて個片化されて得られる。従って、パシベーション膜14を半導体ウェハ上に形成してもよいし、半導体チップを得た後に形成してもよい。

30

【0027】

また、前述したように、従来の半導体チップでは、パシベーション膜は接続パッド上に開口部が設けられているので、接続パッドが腐食しやすいAlやCuよりなる場合、接続パッドが露出しないように接続パッドをコンタクト部（Ni/Au層）でカバーする必要がある。また、半導体チップの接続パッドにはんだなどのバンプを設ける際にコンタクト部としてのNi/Au層が必要になる。

40

【0028】

しかしながら、本実施形態の半導体チップ1では、接続パッド12が全体にわたってパシベーション膜14で被覆されているので、接続パッド12がAlやCuからなる場合であっても接続パッド12に腐食などが発生するおそれがない。また、後述するように、半導体チップ1は、絶縁層に埋設されて実装された後に、レーザなどによって接続パッド12上にピアホールが開口され、そのピアホールを介して接続パッド12に配線パターンが電氣的に接続されるので、コンタクト部（Ni/Au層）を形成しなくてもよい。

【0029】

このように、本実施形態の半導体チップ1では、接続パッド12上にコンタクト部（Ni/Au層）を形成する必要性がないという観点からも、半導体チップの低コスト化を図

50

ることができる。

【0030】

図6には第1実施形態の変形例の半導体チップ1aが示されており、変形例の半導体チップ1aでは、接続パッド12(それに繋がる配線パターンを含む)の上面及び両側面がパシベーション膜14によって選択的に被覆されており、それ以外の部分には多層配線に係る絶縁層が露出している。変形例の半導体チップ1aのパシベーション膜14は、電着法などによって接続パッド12の露出面に前述したような絶縁層を選択的に形成することで得られる。

【0031】

なお、半導体チップ1として、ウェハレベルパッケージの製造方法により得られるチップサイズパッケージ(ウェハレベルパッケージ)を用いてもよい。この場合、半導体ウェハ上に接続パッド12を備えた再配線層が形成され、半導体ウェハがダイシングされる前又は後に接続パッド12を被覆するパシベーション膜14が設けられる。

10

【0032】

次に、上記した図5の半導体チップ1を実装する方法について説明する。

【0033】

まず、図7(a)に示すようなコア基板20(被実装体)を用意する。このコア基板20はガラスエポキシ樹脂などの絶縁体よりなり、コア基板20にはそれを貫通する貫通電極21が設けられていて、コア基板20の両面には貫通電極21を介して相互接続された第1配線パターン22がそれぞれ形成されている。

20

【0034】

そして、上記した半導体チップ1の接続パッド12を上側にして(フェイスアップ)、半導体チップ1の背面をコア基板20上に接着層24を介して固着する。

【0035】

次いで、図7(b)に示すように、コア基板20の上面側に、半導体チップ1を被覆する層間絶縁層26を形成する。層間絶縁層26として、好適には、エポキシ系樹脂、ポリイミド系樹脂、ポリフェニレンエーテル系樹脂などが使用される。その成膜方法としては、樹脂フィルムをラミネートする方法、又は樹脂膜をスピンコート法もしくは印刷により形成する方法などがある。このとき、コア基板20の下面側にも第1配線パターン22を被覆する層間絶縁層26が形成される。

30

【0036】

続いて、図8(a)に示すように、半導体チップ1の接続パッド12上のパシベーション膜14及び層間絶縁層26の部分、さらに第1配線パターン22上の層間絶縁層26の部分をレーザで加工することにより、半導体チップ1の接続パッド12及び第1配線パターン22に到達する深さのピアホール26xを形成する。なお、レーザの代わりに、フォトリソグラフィ及びエッチング(RIE)によりピアホール26xを形成するようにしてもよい。

【0037】

本実施形態では、この段階で半導体チップ1の接続パッド12が露出する。さらに、コア基板20の下面側の層間絶縁層26にも第1配線パターン22に到達する深さのピアホール26xが形成される。本実施形態では、半導体チップ1の接続パッド12がAlやCuよりなる場合であっても、ピアホール26xを形成した後に、直ちに後述する第2配線パターンが形成されるので、半導体チップ1の接続パッド12が腐食されるなどの不具合は発生しない。

40

【0038】

次いで、図8(b)に示すように、コア基板20の上面側の層間絶縁層26上に、半導体チップ1の接続パッド12及び第1配線パターン22にピアホール26xを介して接続される第2配線パターン22aを形成する。

【0039】

第1配線パターン22aは例えばセミアディティブ法によって形成される。詳しく説明

50

すると、まず、層間絶縁層 26 上及びビアホール 26 x の内面にスパッタ法や無電解めっきによりシード層（不図示）を形成する。その後、第 2 配線パターン 22 a に対応する部分に開口部が設けられたレジスト膜（不図示）を形成する。次いで、シード層をめっき給電層に利用する電解めっきにより、レジスト膜の開口部に金属膜パターン（不図示）を形成する。さらに、レジスト膜を除去した後に、金属膜パターンをマスクにしてシード層をエッチングすることにより第 2 配線パターン 22 a を得る。なお、セミアディティブ法の他に、サブトラクティブ法やフルアディティブ法などを使用してもよい。

【0040】

以上により、第 1 実施形態の半導体チップ 1 が実装された電子部品実装構造 5 が得られる。

10

【0041】

さらに、好適な形態では、コア基板 20 の両面側の第 2 配線パターン 28 上に開口部が設けられたソルダレジスト膜（不図示）がそれぞれ形成された後に、その開口部内の第 2 配線パターン 28 上に Ni / Au めっきが施されて接続部（不図示）が画定される。

【0042】

そして、コア基板 20 の上面側の第 2 配線パターン 28 の接続部に上側電子部品のパンプがフリップチップ接続される。また、コア基板 20 の下側の第 2 配線パターン 28 の接続部がパンプを介してマザーボード（配線基板）に接続される外部接続端子となる。

【0043】

なお、本実施形態では、コア基板 20 の両面側に 2 層の第 1、第 2 配線パターン 22, 22 a がそれぞれ積層された形態を例示したが、コア基板 20 の片面又は両面に n 層（n は 1 以上の整数）の配線パターンが形成された形態としてもよい。また、同様な半導体チップ 1 を同様な方法により層間絶縁層に複数個埋設させて実装してもよい。

20

【0044】

以上のように、第 1 実施形態の電子部品実装構造の製造方法では、まず、接続パッド 12 を被覆するパシベーション膜 14 が最上面に設けられた半導体チップ 1 が用意される。次いで、半導体チップ 1 が層間絶縁層 26 に埋設された状態でコア基板 20 上に実装された後に、接続パッド 12 上のパシベーション膜 14 及び層間絶縁層 26 の部分にビアホール 26 x が開口されて接続パッド 12 が露出する。このため、半導体チップ 1 を実装する前の段階では、パシベーション膜 14 に接続パッド 12 を露出させるための開口部を形成しておく必要はない。従って、パシベーション膜 14 は、パターニングが容易な絶縁材料に限定されることなく、高性能な半導体チップ向けに信頼性の高いパシベーション膜を選択したり、低コスト化が図れるパシベーション膜を選択したりするなどの目的に合わせて、前述したような各種の有機絶縁層又は無機絶縁層を適宜選択することができる。

30

【0045】

しかも、接続パッド 12 上にコンタクト部（Ni / Au 層）を設ける必要性もないので、接続パッド 12 を安価な Cu や Al で構成することができ、半導体チップ 1 の低コスト化を図ることができる。

【0046】

その後、半導体チップ 1 の接続パッド 12 にビアホール 26 x を介して接続される第 2 配線パターン 22 a が層間絶縁層 26 上に形成される。

40

【0047】

このように、全面がパシベーション膜 14 で被覆された半導体チップ 1 をフェイスアップで層間絶縁層 26 に埋設させて実装した後に、レーザなどで半導体チップ 1 の接続パッド 12 を露出させる方法を採用することにより、半導体チップ 1 の低コスト化を図れると共に、信頼性が高く電気特性の優れた電子部品実装構造を低コストで製造することができる。

【0048】

図 9 には、第 1 実施形態の半導体チップ 1 がコア基板 20 の中に埋設された構造の電子部品実装構造 5 a が示されている。図 9 に示すように、まず、第 1 配線パターン 22 を備

50

えたコア基板 20 の中央部に凹部 19 が形成され、その凹部 19 の底部に半導体チップ 1 がその接続パッド 12 が上側になって接着層 24 で固着される。このように、図 9 では、コア基板 20 の凹部 19 が被実装体となり、凹部 19 の底面に半導体チップ 1 が実装される。続いて、半導体チップ 1 上及び半導体チップ 1 と凹部 19 との隙間に樹脂層 15 が充填されて凹部 19 が平坦化される。

【0049】

次いで、半導体チップ 1 の接続パッド 12 上のパシベーション膜 14 及び樹脂層 15 に第 1 ビアホール 20x が形成され、半導体チップ 1 の接続パッド 12 に第 1 ビアホール 20x を介して接続される第 1 配線パターン 22 が形成される。

【0050】

その後、コア基板 20 の両面側に、層間絶縁層 26 に設けられたビアホール 26x を介して第 1 配線パターン 22 に接続される第 2 配線パターン 22a が形成される。

【0051】

図 10 には、第 1 実施形態の半導体チップ 1 が層間絶縁層 26 上に実装された構造の電子部品実装構造 5b が示されている。図 10 に示すように、まず、コア基板 20 上に第 1 層間絶縁層 26 が形成され、その上に第 1 配線パターン 22 が形成される。その後、第 1 配線パターン 22 を被覆する第 2 層間絶縁層 26a が形成され、第 1 配線パターン 22 上の第 2 層間絶縁層 26a の部分に第 1 ビアホール 26x が形成される。次いで、第 1 ビアホール 26x を介して第 1 配線パターン 22 に接続される第 2 配線パターン 22a が第 2 層間絶縁層 26a 形成される。

【0052】

続いて、第 2 層間絶縁層 26a (被実装体) 上に半導体チップ 1 の背面が接着層 24 で固着された後に、半導体チップ 1 を被覆する第 3 層間絶縁層 26b が形成される。次いで、半導体チップ 1 の接続パッド 12 上のパシベーション膜 14 及び第 3 層間絶縁層 26b の部分に第 2 ビアホール 26y が形成される。このとき同時に、第 2 配線パターン 22a 上の第 3 層間絶縁層 26b の部分にも第 2 ビアホール 26y が形成される。

【0053】

さらに、第 2 ビアホール 26y を介して半導体チップ 1 の接続パッド 12 及び第 2 配線パターン 22a にそれぞれ接続される第 3 配線パターン 22b が第 3 層間絶縁層 26b 上に形成される。

【0054】

その後、第 3 配線パターン 22b 上に開口部 28x が設けられたソルダレジスト膜 28 が形成され、その開口部 28x 内の第 3 配線パターン 22b に Ni/Au 層よりなる接続部 29 が設けられる。

【0055】

(第 2 の実施の形態)

図 11 及び図 12 は本発明の第 2 実施形態の電子部品を示す断面図、図 13 及び図 14 は本発明の第 2 実施形態の電子部品実装構造の製造方法を示す断面図である。第 2 実施形態では、電子部品として積層キャパシタチップを例に挙げて説明する。第 2 実施形態では、第 1 実施形態と同一工程についてはその詳しい説明を省略する。

【0056】

図 11 に示すように、第 2 実施形態の積層キャパシタチップ 2 (電子部品) では、複数の第 1 電極層 32 と複数の第 2 電極層 34 とが誘電体層 36 を介して積層されてキャパシタ部分が構成されている。第 1 電極層 32 が一端側の第 1 接続端子 37 に接続され、第 2 電極層 34 が他端側の第 2 接続端子 38 に接続されている。さらに、積層キャパシタチップ 2 の上面及び下面にはキャパシタ部分を保護するための保護層 39 が設けられている。そして、積層キャパシタチップ 2 の全面 (上面、全側面及び下面) にはパシベーション膜 14 が被覆されている。

【0057】

第 2 実施形態の積層キャパシタチップ 2 では、Cu などの金属よりなる第 1、第 2 接続

10

20

30

40

50

端子 37, 38 がパシベーション膜 14 で被覆されているので、第 1、第 2 接続端子 37, 38 の腐食が防止される。

【0058】

そして、第 2 実施形態の積層キャパシタチップ 2 においても、第 1 実施形態と同様に、積層キャパシタチップ 2 が絶縁層に埋設されて実装された後に、第 1、第 2 接続端子 37, 38 上のパシベーション膜 14 及び絶縁層がそれぞれ開口され、第 1、第 2 接続端子 37, 38 と配線パターンとが電気接続される。

【0059】

このため、第 2 実施形態の積層キャパシタチップ 2 では、パシベーション膜 14 を形成するとしても、積層キャパシタチップ 2 を実装する前の段階では、第 1、第 2 接続端子 37, 38 上のパシベーション膜 14 を開口しておく必要はないので、パターンングが容易な絶縁材料に限定されることなく、各種の絶縁材料から構成することができる。

【0060】

図 12 には、第 2 実施形態の変形例の積層キャパシタチップ 2 a が示されており、変形例の積層キャパシタチップ 2 a では、第 1、第 2 接続端子 37, 38 がパシベーション膜 14 によって選択的に被覆されており、それ以外の部分には保護層 39 が露出している。変形例の積層キャパシタチップ 2 a のパシベーション膜 14 は、電着法などによって第 1、第 2 接続端子 37, 38 の露出面に絶縁層を選択的に形成することで得られる。

【0061】

次に、第 2 実施形態の積層キャパシタチップ 2 を実装する方法について説明する。

【0062】

図 13 (a) に示すように、まず、第 1 実施形態と同様な第 1 配線パターン 22 を備えたコア基板 20 (被実装体) を用意し、上記した積層キャパシタチップ 2 の一方の面を接着層 24 でコア基板 20 上に固着する。

【0063】

その後、図 13 (b) に示すように、コア基板 20 の上面側に、積層キャパシタチップ 2 を被覆する層間絶縁層 26 を形成する。さらに、コア基板 20 の下面側にも、第 1 配線パターン 22 を被覆する層間絶縁層 26 が形成される。続いて、図 13 (c) に示すように、積層キャパシタチップ 2 の第 1、第 2 接続端子 37, 38 上のパシベーション膜 14 及び層間絶縁層 26 の部分にレーザなどによりビアホール 26x を形成する。この段階で、積層キャパシタチップ 2 の第 1、第 2 接続端子 37, 38 の接続部分が露出する。このとき、第 1 配線パターン 22 上の層間絶縁層 26 の部分にもビアホール 26x が形成される。さらに、コア基板 20 の下面側の第 1 配線パターン 22 上の層間絶縁層 26 の部分にもビアホール 26x が形成される。

【0064】

次いで、図 14 に示すように、コア基板 20 の上面側の層間絶縁層 26 上に、積層キャパシタチップ 2 の第 1、第 2 接続端子 37, 38、及び第 1 配線パターン 22 にビアホール 26x を介して接続される第 2 配線パターン 22a を形成する。さらに、コア基板 20 の下面側にもビアホール 26x を介して第 1 配線パターン 22 に接続される第 2 配線パターン 22a が形成される。

【0065】

以上により、第 2 実施形態の積層キャパシタチップ 2 が実装された電子部品実装構造 5c が得られる。さらに、好適な形態では、第 1 実施形態で説明したように、コア基板 20 の上面側の第 2 配線パターン 28 の接続部に上側電子部品のバンプがフリップチップ接続される。また、コア基板 20 の下側の第 2 配線パターン 28 の接続部がバンプを介してマザーボード (配線基板) に接続される外部接続端子となる。

【0066】

第 2 実施形態の電子部品実装構造の製造方法は、第 1 実施形態と同様な効果を奏する。

【0067】

なお、第 2 実施形態では、電子部品として積層キャパシタチップ 2 を例に挙げたが、チ

10

20

30

40

50

ップ抵抗を使用してもよい。

【0068】

(第3の実施の形態)

図15及び図16は本発明の第3実施形態の電子部品を示す断面図、図17及び図18は本発明の第3実施形態の電子部品実装構造の製造方法を示す断面図である。第3実施形態では、電子部品として薄膜キャパシタを例に挙げて説明する。第3実施形態では、第1実施形態と同一工程においてはその詳しい説明を省略する。

【0069】

図15に示すように、第3実施形態の薄膜キャパシタ3(電子部品)では、基板40上に下部電極42、誘電体膜44及び上部電極46が順に形成され、これらによってキャパシタCが構成されている。基板40としては、絶縁基板、又は導電性基板(半導体基板)上に絶縁層が形成されたものが使用される。下部電極42は誘電体膜44から外側に延在する延在部42aが設けられており、その延在部42a上に補助電極48が形成されている。補助電極48は下部電極42の接続部を上部電極46の上面と同一の高さまで持ち上げるために設けられる。そして、上部電極46及び補助電極48はそれぞれ配線パターンに接続される接続端子として機能する。

10

【0070】

さらに、本実施形態の薄膜キャパシタ3では、キャパシタ領域を含んで基板40の上面全体にわたってパシベーション膜14が形成されている。

【0071】

第3実施形態の薄膜キャパシタ3においても、第1実施形態と同様に、薄膜キャパシタ3が絶縁層に埋設されて実装された後に、上部電極46及び下部電極42に接続された補助電極48上のパシベーション膜14及び絶縁層の部分にビアホールが開口されて、上部電極46及び補助電極48に配線パターンが電氣的に接続される。

20

【0072】

このため、第3実施形態の薄膜キャパシタ3では、第1実施形態の半導体チップ1と同様に、薄膜キャパシタ3を実装する前の段階では、下部電極46及び補助電極48上にパシベーション膜14の開口部を設けておく必要はないので、パターンングが容易な絶縁材料に限定されることなく、各種の絶縁材料から構成することができる。

【0073】

図16には、第3実施形態の変形例の薄膜キャパシタ3aが示されており、変形例の薄膜キャパシタ3aでは、キャパシタ部分(下部電極42、誘電体膜44、上部電極46及び補助電極48)がパシベーション膜14によって選択的に被覆されており、それ以外の部分では基板40が露出している。変形例の薄膜キャパシタ3aのパシベーション膜14は、電着法などによって下部電極42、誘電体膜44、上部電極46及び補助電極48の露出面に絶縁層を選択的に形成することで得られる。

30

【0074】

次に、第3実施形態の薄膜キャパシタ3を実装する方法について説明する。

【0075】

図17(a)に示すように、まず、第1実施形態と同様な第1配線パターン22を備えたコア基板20(被実装体)を用意し、上記した薄膜キャパシタ3のキャパシタCが設けられた面を上側にして、薄膜キャパシタ3の背面を接着層24でコア基板20上に固着する。

40

【0076】

その後、図17(b)に示すように、コア基板20の上面側に、薄膜キャパシタ3を被覆する層間絶縁層26を形成する。さらに、コア基板20の下面側にも、第1配線パターン22を被覆する層間絶縁層26が形成される。続いて、図17(c)に示すように、薄膜キャパシタ3の上部電極46上、及び下部電極42に接続された補助電極48上のパシベーション膜14及び層間絶縁層26の部分にレーザなどによりビアホール26xを形成する。この段階で、薄膜キャパシタ3の上部電極46及び補助電極48の接続部分が露

50

出する。このとき、第 1 配線パターン 22 上の層間絶縁層 26 の部分にもビアホール 26x が形成される。さらに、コア基板 20 の下面側の第 1 配線パターン 22 上の層間絶縁層 26 の部分にビアホール 26x が形成される。

【0077】

次いで、図 18 に示すように、コア基板 20 の上面側の層間絶縁層 26 上に、薄膜キャパシタ 3 の上部電極 46 及び補助電極 48 にビアホール 26x を介してそれぞれ接続される第 2 配線パターン 22a を形成する。このとき同時に、ビアホール 26x を介して第 1 配線パターン 22 に接続される第 2 配線パターン 22a が形成される。さらに、コア基板 20 の下面側の層間絶縁層 26 上にもビアホール 26x を介して第 1 配線パターン 22 に接続される第 2 配線パターン 22a が形成される。

10

【0078】

以上により、第 3 実施形態の薄膜キャパシタ 3 が実装された電子部品実装構造 5d が得られる。さらに、好適な形態では、第 1 実施形態で説明したように、コア基板 20 の上面側の第 2 配線パターン 22a の接続部に上側電子部品のパンプがフリップチップ接続される。また、コア基板 20 の下側の第 2 配線パターン 22a の接続部がパンプを介してマザーボード（配線基板）に接続される外部接続端子となる。

【0079】

第 3 実施形態の電子部品実装構造の製造方法は、第 1 実施形態と同様な効果を奏する。

【0080】

なお、第 3 実施形態では、電子部品として薄膜キャパシタ 3 を例に挙げたが、基板 40 上に、薄膜工程により、電極と、それに接続されるインダクタや抵抗、キャパシタなどの受動素子とを形成し、それらの受動部品と電極をパシベーション膜 14 で被覆した、各種電子モジュールを使用してもよい。

20

【図面の簡単な説明】

【0081】

【図 1】図 1 は従来技術に係る半導体チップを示す断面図である。

【図 2】図 2 は従来技術に係る半導体チップが絶縁層に埋設されて実装された電子部品実装構造を示す断面図である。

【図 3】図 3 は従来技術に係る積層キャパシタチップを示す断面図である。

【図 4】図 4 は従来技術に係る積層キャパシタチップが絶縁層に埋設されて実装された電子部品実装構造を示す断面図である。

30

【図 5】図 5 は本発明の第 1 実施形態の半導体チップ（電子部品）を示す断面図である。

【図 6】図 6 は本発明の第 1 実施形態の変形例の半導体チップ（電子部品）を示す断面図である。

【図 7】図 7（a）及び（b）は本発明の第 1 実施形態の電子部品実装構造の製造方法を示す断面図（その 1）である。

【図 8】図 8（a）及び（b）は本発明の第 1 実施形態の電子部品実装構造の製造方法を示す断面図（その 2）である。

【図 9】図 9 は本発明の第 1 実施形態の半導体チップがコア基板の中に埋設された形態を示す断面図である。

40

【図 10】図 10 は本発明の第 1 実施形態の半導体チップが層間絶縁層上に実装された形態を示す断面図である。

【図 11】図 11 は本発明の第 2 実施形態の積層キャパシタチップ（電子部品）を示す断面図である。

【図 12】図 12 は本発明の第 2 実施形態の変形例の積層キャパシタチップ（電子部品）を示す断面図である。

【図 13】図 13（a）～（c）は本発明の第 2 実施形態の電子部品実装構造の製造方法を示す断面図（その 1）である。

【図 14】図 14 は本発明の第 2 実施形態の電子部品実装構造の製造方法を示す断面図（その 2）である。

50

【図15】図15は本発明の第3実施形態の薄膜キャパシタ（電子部品）を示す断面図である。

【図16】図16は本発明の第3実施形態の変形例の薄膜キャパシタ（電子部品）を示す断面図である。

【図17】図17（a）～（c）は本発明の第3実施形態の電子部品実装構造の製造方法を示す断面図（その1）である。

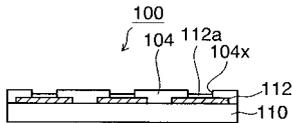
【図18】図18は本発明の第3実施形態の電子部品実装構造の製造方法を示す断面図（その2）である。

【符号の説明】

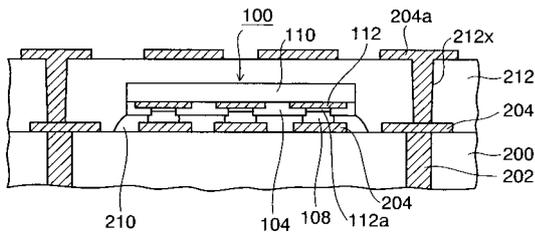
【0082】

1, 1a ... 半導体チップ（電子部品）、2, 2b ... 積層キャパシタチップ（電子部品）、3, 3a ... 薄膜キャパシタ（電子部品）、5～5d ... 電子部品実装構造、10 ... 半導体基板、12 ... 接続パッド（接続端子）、14 ... パシベーション膜、20 ... コア基板（被実装体）、22 ... 第1配線パターン、22a ... 第2配線パターン、24 ... 接着層、26 ... 層間絶縁層、26x, 26y ... ピアホール、32 ... 第1電極層、34 ... 第2電極層、36, 44 ... 誘電体膜、37 ... 第1接続端子、38 ... 第2接続端子、40 ... 基板、42 ... 下部電極、46 ... 上部電極（接続端子）、48 ... 補助電極（接続端子）、C ... キャパシタ。

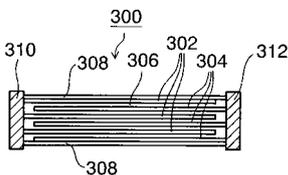
【図1】



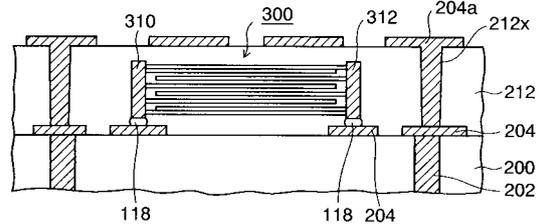
【図2】



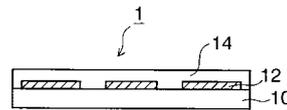
【図3】



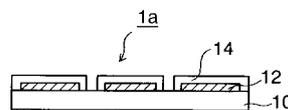
【図4】



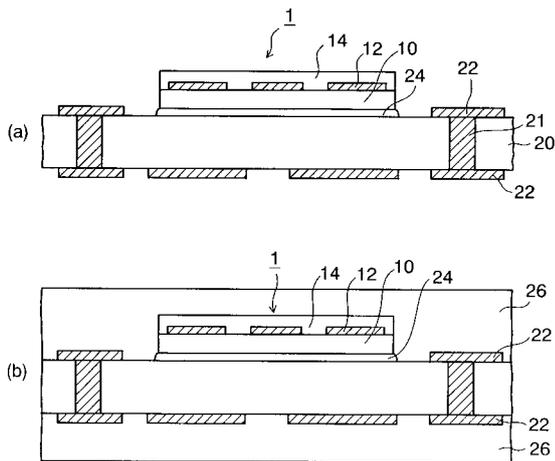
【図5】



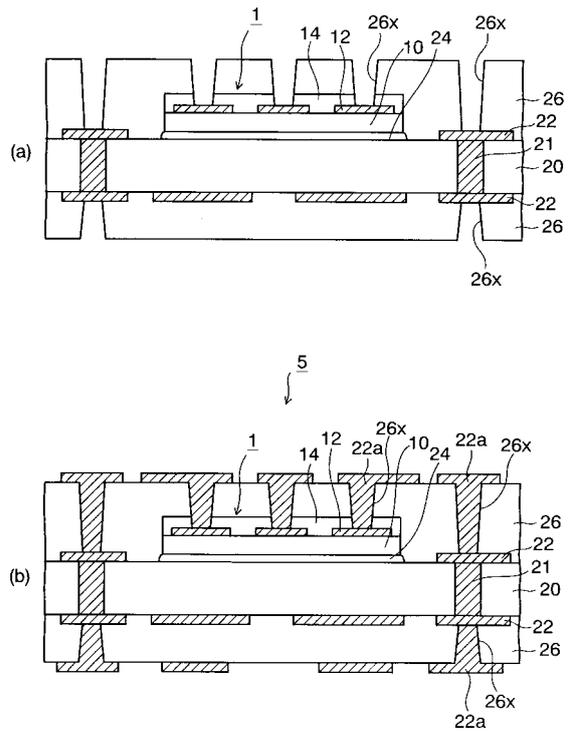
【図6】



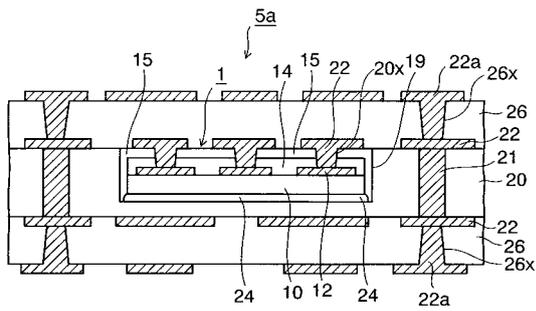
【 図 7 】



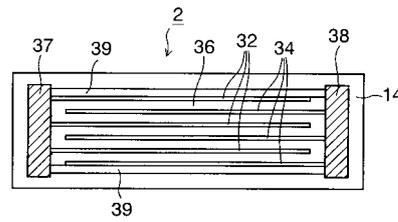
【 図 8 】



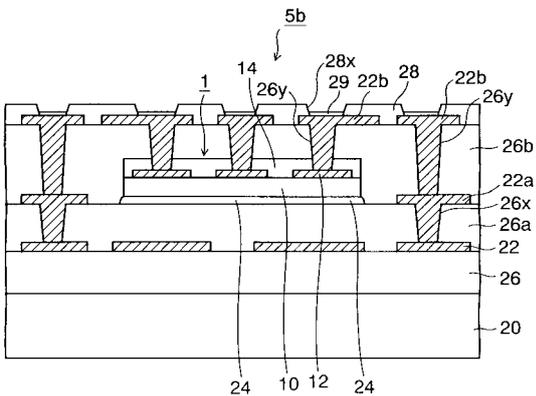
【 図 9 】



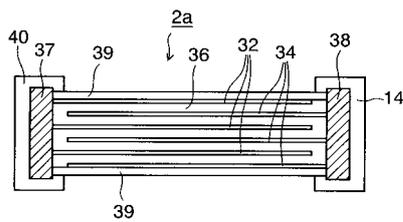
【 図 1 1 】



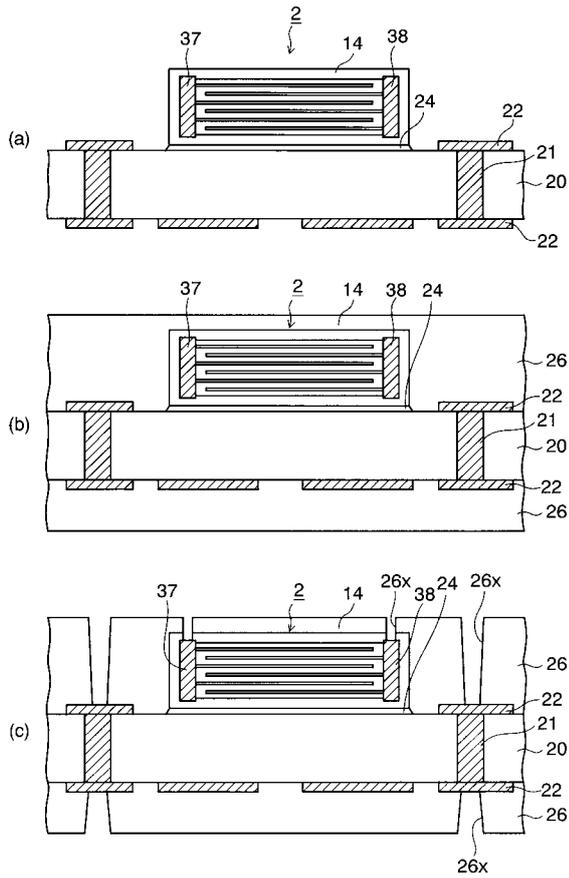
【 図 1 0 】



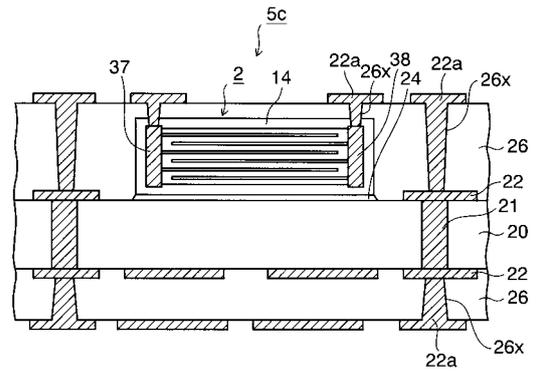
【 図 1 2 】



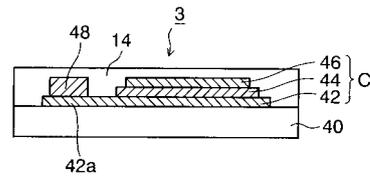
【 図 1 3 】



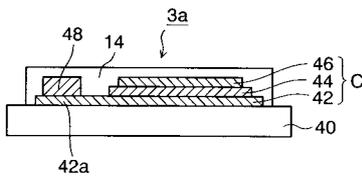
【 図 1 4 】



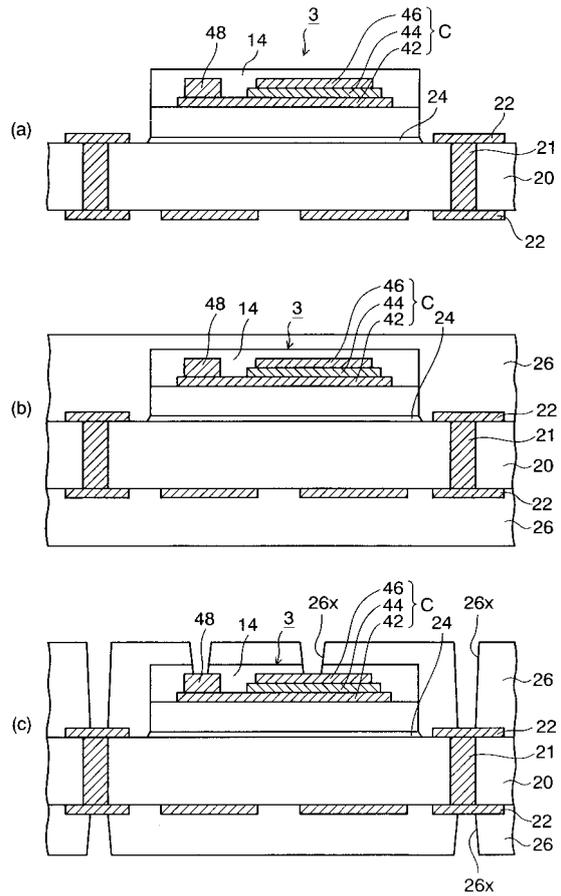
【 図 1 5 】



【 図 1 6 】



【 図 1 7 】



【 図 1 8 】

