

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.⁷
H01L 29/78

(11) 공개번호 10-2005-0038425
(43) 공개일자 2005년04월27일

(21) 출원번호 10-2003-0073762
(22) 출원일자 2003년10월22일

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416
(72) 발명자 김지영
경기도용인시구성면언남리신일아파트103동1001호
(74) 대리인 김능균

심사청구 : 있음

(54) 반도체 소자에서의 리세스 게이트 트랜지스터 구조 및 형성방법

요약

본 발명에서는 상부의 캐패시터와 전기적으로 연결되는 제1 활성영역과 접하는 게이트의 측벽에 이너 스페이서(inner spacer)를 형성하여 게이트 유도 드레인 리퀴지(GIDL)를 저감시킬 수 있는 리세스 게이트 트랜지스터 구조 및 그에 따른 형성방법이 개시된다. 상기 리세스 게이트 트랜지스터의 구조는 소자분리막에 의하여 활성영역 및 비활성영역이 정의되고, 상기 활성영역이 리세스에 의하여 제1 활성영역 및 제2 활성영역으로 구분되는 기판에 형성된 리세스 게이트 트랜지스터의 구조에 있어서: 상기 리세스 내에 일정 두께로 형성된 게이트 절연막; 상기 게이트 절연막으로 둘러싸이고, 상기 리세스 내에서부터 연장되어 형성된 게이트 전극; 상기 제1 활성영역에 접한 상기 게이트 절연막의 일부와는 수평적으로 일정 거리 이격되고, 상기 제1 활성영역의 상부 표면에서 일정 깊이를 갖도록 상기 게이트 전극의 측벽에 형성된 제1 게이트 스페이서; 상기 제2 활성영역에 접한 상기 게이트 전극의 측벽에 형성된 제2 게이트 스페이서; 및 상기 게이트 전극을 사이에 두고 상기 제1 및 제2 활성영역에 서로 대향적으로 형성된 소오스 및 드레인 영역으로 이루어짐을 특징으로 한다.

대표도

도 14

색인어

반도체 기판, 게이트, 게이트 절연막, 스페이서,

명세서

도면의 간단한 설명

도 1 내지 도 4는 종래의 기술에 따른 리세스 게이트 트랜지스터를 형성하는 방법을 차례로 보여주는 공정 단면도들이다.
도 5, 도 6, 도 8 내지 도 11, 도 13 및 도 14는 본 발명의 실시예에 따른 리세스 게이트 트랜지스터를 형성하는 방법을 차례로 보여주는 공정 단면도들이다.
도 7은 본 발명의 실시예에 따른 리세스 게이트 트랜지스터의 리세스 패턴을 나타내는 레이아웃도이다.
도 12는 본 발명의 실시예에 따른 리세스 게이트 트랜지스터의 게이트 패턴을 나타내는 레이아웃도이다.

<도면의 주요부분들에 대한 참조 부호들의 설명>

- 200 : 반도체 기판 202 : 소자분리막
- 204 : 웰 영역 206 : 문턱전압 조절영역
- 208 : 불순물 도입층 214 : 리세스 패턴

216a : 제1 활성영역 216b : 제2 활성영역

220 : 게이트 절연막 222 : 제1 게이트 도전막

224 : 제2 게이트 도전막 226 : 캡핑막

228 : 게이트 패턴 230 : 제1 게이트 스페이서

232 : 제2 게이트 스페이서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 모오스 트랜지스터에 관한 것으로, 보다 상세하게는 게이트가 리세스형으로 형성된 리세스 게이트 트랜지스터 구조 및 그에 따른 형성방법에 관한 것이다.

반도체 소자에 관한 기술은 반도체 사용자들의 적극적인 요구와 반도체 생산업자들의 끊임없는 노력으로 인하여 전세계적으로 눈부신 성장을 거듭하고, 지속적인 발전을 이루고 있다. 또한, 반도체 생산업자들은 여기에 만족하지 않고 반도체 소자들이 더욱 미세화, 고집적화 및 대용량화되기 위하여 노력하는 한편, 보다 안정적이고 원활한 동작이 수행되면서 더욱 고속화되도록 연구개발에 박차를 가하고 있다. 그에 따라 제한된 반도체 칩내에 보다 많은 반도체 소자를 집적하기 위하여 디자인 룰이 계속적으로 축소되면서 게이트 사이의 간격이 점차 줄어들어 단채널 효과(short channel effect)가 발생되고, 누설전류가 발생하는 등의 여러 문제들이 노출되고 있다.

따라서, 이러한 문제들을 해결하기 위하여, 기판 평면에 형성된 게이트 전극을 갖는 플래너 게이트형(Planar Gate Type) 트랜지스터와 달리, 기판에 형성된 리세스의 측벽과 바닥면에 게이트 절연막을 형성한 후 리세스 내에 폴리실리콘 등의 도전막을 채운 형태의 게이트 구조를 갖는 리세스 게이트형(Recess Gate Type) 트랜지스터가 본 분야에서 공지되어 있다.

이하에서는 종래의 기술에 따른 리세스 게이트 트랜지스터의 형성방법이 첨부된 도면들을 참조하여 설명된다.

도 1 내지 도 4는 종래의 기술에 따른 리세스 게이트 트랜지스터를 형성하는 방법을 차례로 보여주는 공정 단면도들이다.

도 1을 참조하면, p형 반도체 기판(100)의 소정영역에 활성영역 및 비활성영역을 정의하는 소자분리막(102)이 형성되고, 상기 기판에 p형 불순물을 이온주입함으로써 웰 영역(104)이 형성된다. 이어서, 상기 소자분리막(102)에 의해서 정의된 활성영역에 p형 불순물을 이온주입하여 문턱전압 조절영역(106)이 형성된 후, 상기 활성영역에 n형 불순물을 이온주입함으로써 불순물 도입층(108)이 형성된다.

도 2를 참조하면, 상기 도 1의 결과물에 산화막(110) 및 폴리실리콘막(112)이 형성된 후, 사진 및 식각공정을 진행하여 상기 활성영역의 일부에 리세스가 형성된다.

도 3을 참조하면, 상기 리세스 내에 게이트 산화막(113)이 형성된 후, 상기 게이트 산화막이 형성된 리세스의 내부가 충분히 채워지도록 폴리실리콘막(110)이 형성된다. 이어서, 상기 폴리실리콘막(110) 상에 도전막(112) 및 캡핑막(114)이 순차적으로 형성된다.

도 4를 참조하면, 상기 도 3의 결과물에 사진공정 및 식각공정을 진행함에 의해 게이트 스택이 형성된 후, 상기 게이트 스택을 이온주입 마스크로 이용하여 상기 불순물 도입층(108)에 n형 불순물 이온을 상대적으로 낮은 에너지로 주입함으로써 저농도 n-형 소오스/드레인 영역이 형성된다. 이어서, 상기 게이트 스택의 측벽에 게이트 스페이서(116)가 형성된 후, 상기 게이트 스페이서를 이온주입 마스크로 사용하여 상기 저농도 n-형 소오스/드레인 영역에 불순물 이온을 상대적으로 높은 에너지로 주입하여 상기 저농도 n-형 소오스/드레인 영역의 일부에 상기 저농도 보다 높은 불순물 농도를 갖는 고농도 n+ 형 소오스/드레인 영역이 형성됨으로써 종래의 기술에 따른 리세스 게이트 트랜지스터가 얻어진다.

이와 같이 종래의 기술에 의하면, 활성영역의 상단과 게이트가 접하는 에지부분에서의 전기(electric field) 집중에 의하여 리퀴지(leakage)가 발생되며, 활성영역과 게이트 사이에 얇은 산화막만이 개재되어 있어 활성영역과 게이트 사이에 접하는 영역이 증가함에 따라 부하 캐패시턴스가 증가되고, 게이트 유도 드레인 리퀴지(GIDL : Gate Induced Drain Leakage)가 증가하는 문제가 발생된다.

또한, 종래의 기술에 의하면, 미스얼라인 마진(mis-align margin)을 확보하기 위하여 리세스의 길이를 게이트의 길이 보다 짧게 형성하는데, 이는 사진공정 및 식각공정을 진행함에 있어서 고도의 정밀성이 요구되는 어려움이 발생되며, 반도체 소자의 수율(yield)을 저하시키는 중요한 원인이 된다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 상기한 종래의 문제점들을 해결할 수 있는 리세스 게이트 트랜지스터 구조 및 그에 따른 형성방법을 제공함에 있다.

본 발명의 다른 목적은 상부의 캐패시터와 전기적으로 연결되는 제1 활성영역과 접하는 게이트의 측벽에 일정 두께와 일정 깊이를 갖는 이너 스페이서(inner spacer)를 형성하여 제1 활성영역과 게이트가 접하는 영역을 줄임으로써 부하 캐패시턴스를 감소시키며, 게이트 유도 드레인 리퀴지(GIDL)를 저감시킬 수 있는 리세스 게이트 트랜지스터 구조 및 그에 따른 형성방법을 제공함에 있다.

본 발명의 다른 목적은 제1 활성영역과 접하는 게이트의 측벽에 일정 두께와 일정 깊이를 갖는 이너 스페이서(inner spacer)를 형성하여 제1 활성영역의 상단과 게이트가 접하는 에지부분에서의 전계 집중에 의한 리퀴지 발생을 저감시킬 수 있는 리세스 게이트 트랜지스터 구조 및 그에 따른 형성방법을 제공함에 있다.

본 발명의 또 다른 목적은 리세스의 길이를 게이트의 길이 보다 넓게 형성하여 게이트의 길이를 줄이지 아니하고도 미스얼라인 마진을 확보함으로써 사진공정 및 식각공정이 쉬워지도록 하고, 리세스의 길이를 적절하게 조절함으로써 게이트의 쪼개짐 현상을 방지할 수 있는 리세스 게이트 트랜지스터 구조 및 그에 따른 형성방법을 제공함에 있다.

상기의 목적을 달성하기 위하여, 본 발명에 따른 리세스 게이트 트랜지스터구조는, 소자분리막에 의하여 활성영역 및 비활성영역이 정의되고, 상기 활성영역이 리세스에 의하여 제1 활성영역 및 제2 활성영역으로 구분되는 기판에 형성된 리세스 게이트 트랜지스터의 구조에 있어서: 상기 리세스 내에 일정 두께로 형성된 게이트 절연막; 상기 게이트 절연막으로 둘러싸이고, 상기 리세스 내에서부터 연장되어 형성된 게이트 전극; 상기 제1 활성영역에 접한 상기 게이트 절연막의 일부와는 수평적으로 일정 거리 이격되고, 상기 제1 활성영역의 상부 표면에서 일정 깊이를 갖도록 상기 게이트 전극의 측벽에 형성된 제1 게이트 스페이서; 상기 제2 활성영역에 접한 상기 게이트 전극의 측벽에 형성된 제2 게이트 스페이서; 및 상기 게이트 전극을 사이에 두고 상기 제1 및 제2 활성영역에 서로 대향적으로 형성된 소오스 및 드레인 영역으로 이루어짐을 특징으로 한다.

상기의 기술적 과제를 해결하기 위하여, 본 발명에 따른 리세스 게이트 트랜지스터의 형성방법은, 소자분리막에 의하여 활성영역 및 비활성영역이 정의된 반도체 기판에 리세스 게이트 트랜지스터를 형성하는 방법에 있어서: 상기 활성영역의 일부에 제1 및 제2 활성영역을 분리하는 리세스를 형성하는 단계; 상기 리세스 내에 게이트 절연막을 형성하는 단계; 상기 게이트 절연막이 형성된 리세스 내에서부터 연장되며, 상기 제1 활성영역에 접한 게이트 절연막의 일부와는 일정 거리 이격되고 상기 제1 활성영역의 상부 표면에서 일정 깊이로 이루어진 홈을 갖는 게이트 전극을 형성하는 단계; 상기 홈이 채워지도록 상기 제1 활성영역에 접한 게이트 전극의 측벽에 제1 게이트 스페이서를 형성하고, 상기 제2 활성영역에 접한 게이트 전극의 측벽에 제2 게이트 스페이서를 형성하는 단계; 및 상기 게이트 전극을 사이에 두고 상기 제1 및 제2 활성영역에 서로 대향적으로 형성된 소오스 및 드레인 영역을 형성하는 단계를 포함함을 특징으로 한다.

또한, 상기 리세스를 형성한 후에, 상기 리세스의 측면을 넓히고, 리세스의 바닥 모서리를 라운딩하기 위하여 상기 리세스 내에 등방성 식각공정을 진행하는 단계를 더 포함함을 특징으로 한다.

또한, 상기 리세스를 형성하는 단계는, 소자분리막이 형성된 기판의 전면에 절연막 및 마스크막을 순차적으로 형성하는 단계; 상기 마스크막의 상부에 사진공정을 진행하여 활성영역의 상부를 블로킹하는 포토레지스트의 제1 길이가 활성영역 및 비활성영역의 상부를 블로킹하는 포토레지스트의 제2 길이 보다 넓게 배치된 포토레지스트 패턴을 형성하는 단계; 상기 포토레지스트 패턴을 이용하여 상기 마스크막을 식각한 후, 상기 포토레지스트를 제거하는 단계; 상기 마스크막을 식각 마스크로 이용하여 상기 절연막 및 기판을 순차적으로 식각하는 단계; 및 상기 마스크막을 제거하는 단계를 포함한다.

또한, 상기 게이트 전극을 형성하는 단계는, 상기 게이트 절연막이 형성된 리세스의 내부에 게이트 도전막을 형성한 후, 상기 게이트 도전막의 상부에 캡핑막을 형성하는 단계; 상기 캡핑막의 상부에 사진공정을 진행하여 활성영역의 상부를 블로킹하는 포토레지스트의 제4 길이가 활성영역 및 비활성영역의 상부를 블로킹하는 포토레지스트의 제5 길이 보다 좁게 배치된 포토레지스트 패턴을 형성하는 단계; 상기 포토레지스트 패턴을 이용하여 상기 캡핑막을 식각한 후, 상기 포토레지스트를 제거하는 단계; 및 상기 캡핑막을 식각마스크로 이용하여 상기 게이트 도전막을 식각하는 단계를 포함한다.

발명의 구성 및 작용

이하 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 상세히 설명한다. 다양한 실시예에서의 설명들은 본 발명이 속하는 기술분야의 통상의 지식을 가지는 자에게 본 발명의 보다 철저한 이해를 돕기 위한 의도 이외에는 다른 의도없이 예를 들어 도시되고 한정된 것에 불과하므로, 본 발명의 범위를 제한하는 것으로 사용되어서는 아니될 것이다.

도 5, 도 6, 도 8 내지 도 11, 도 13 및 도 14는 본 발명의 실시예에 따른 리세스 게이트 트랜지스터를 형성하는 방법을 차례로 보여주는 공정 단면도들이고, 도 7은 본 발명의 실시예에 따른 리세스 게이트 트랜지스터의 리세스 패턴을 나타내는 레이아웃도이며, 도 12는 본 발명의 실시예에 따른 리세스 게이트 트랜지스터의 게이트 패턴을 나타내는 레이아웃도이다.

상기 도면을 참조하여 본 발명의 실시예에 따른 리세스 게이트 트랜지스터를 형성하는 방법을 구체적으로 설명하면 다음과 같다.

먼저 도 5를 참조하면, p형 반도체 기판(200)의 소정영역에 활성영역 및 비활성영역을 정의하는 소자분리막(202)이 형성되고, 상기 p형 반도체 기판(200)의 표면에 p형 불순물, 예컨대 붕소(B) 이온을 400KeV 에너지 및 2.0×10^{13} ion atoms/cm² 정도의 농도로 주입한 후, 소정의 열공정을 실시함으로써 p형의 웰 영역(204)이 형성된다. 상기 소자분리막(202)은 STI 등의 소자 분리방법으로 형성되고, SOG(Spin On Glass), BPSG(Boron Phosphorus Silicate Glass), PSG(Phosphor Silicate Glass), PE-TEOS(Plasma Enhanced Tetra Ethyl Otho Silicate), USG(Undoped Silicate

Glass) 및 유동성 산화막(Flowable Oxide) 재질로 이루어진 산화막군에서 어느 하나로 형성되거나, 또는 상기 산화막군 중에서 둘 이상을 포함하는 다중막으로 형성될 수 있다. 또한, 상기 소자분리막(202)은 2500Å 내지 3000Å의 깊이로 형성될 수 있고, p형의 웰 영역이 형성된 후에 형성될 수도 있다.

이어서, 상기 소자분리막(202)에 의해서 정의된 활성영역에 p형 불순물을 이온주입하여 문턱전압 조절영역(206)이 형성된다. 상기 문턱전압 조절영역(206)은 리세스 게이트 트랜지스터의 문턱전압을 0.8V 내지 1.5V로 조절하기 위하여 소자분리막에 의해서 정의된 활성영역에 p형 불순물을 이온주입함으로써 형성된다. 예컨대 소자분리막에 의해서 정의된 활성영역에 붕소(B) 또는 불화붕소(BF₂) 이온을 40KeV 정도의 에너지 및 1.0×10^{13} ion atoms/cm² 정도의 농도로 이온 주입하여 문턱전압 조절영역(206)이 형성될 수 있다. 이 경우, 상기 문턱전압 조절영역(206)은 1500Å 내지 2000Å 정도의 깊이로 형성될 수 있다.

다음으로, 상기 소자분리막(202)을 이온주입 마스크로 이용하여 n형 불순물, 예컨대 인(P), 비소(As) 등을 15KeV 정도의 에너지 및 1.0×10^{12} 내지 1.0×10^{13} ion atoms/cm²의 농도로 주입함으로써 불순물 도입층(208)이 형성된다. 이 경우, 상기 불순물 도입층(208)은 일정 깊이, 예컨대 1000Å 내지 1500Å의 깊이로 형성될 수 있고, 상기 문턱전압 조절영역(206)의 깊이보다 얇게 형성된다. 이는 상기 불순물 도입층(208)에 형성되는 소오스 영역의 바닥 및 드레인 영역의 바닥 사이의 기판 농도가 상대적으로 증가하는 결과를 가져오게 되므로 단채널효과를 억제시킬 수 있기 때문이다.

도 6을 참조하면, 도 5와 같은 결과물이 형성된 기판의 전면에 절연막(210) 및 마스크막(212)이 형성된다. 상기 절연막(210)은 기판의 표면에 열산화 공정을 진행하여 형성되고, 700°C 내지 800°C의 온도에서 형성된 MTO(Medium Temperature Oxide) 재질의 산화막으로 형성될 수 있다. 상기 마스크막(212)은 폴리실리콘 재질로 형성되고, 기판(200) 내에 미스 얼라인(mis-align)없이 리세스를 형성하기 위한 식각마스크의 역할을 담당한다. 또한, 상기 절연막(210)은 100Å 내지 200Å의 두께로 형성되고, 상기 폴리실리콘막(212)은 1000Å 정도의 두께로 형성되는 것이 바람직하다.

이어서, 상기 마스크막(212) 상에 사진공정을 진행하여 활성영역에 리세스가 형성될 부분을 노출시키는 포토레지스트 패턴(213)이 형성된다. 상기 포토레지스트 패턴(213)은 상기 마스크막(212)의 상부에 포토레지스트를 스피너 설비에 의한 스핀코팅법으로 도포한 후, 상기 게이트가 형성될 부분이 노출되고 상기 게이트가 형성될 부분이 제외된 부분이 블로킹(blocking)되도록 하는 노광 마스크로서의 블로킹 레이어를 사용하는 사진공정에 의해 형성된다. 상기 포토레지스트 패턴(213)은 70nm 내지 90nm의 길이를 갖는 리세스가 형성될 수 있도록 노출부분이 적절히 조절되어 활성영역 및 비활성영역의 상부에 형성된다. 또한, 상기 포토레지스트 패턴(213)은 활성영역 상부를 블로킹하는 포토레지스트의 제1 길이(L1)가 활성영역과 비활성영역 상부를 블로킹하는 포토레지스트의 제2 길이(L2) 보다 넓게 형성되는 특징이 있다. 상기 제1 길이(L1)와 제2 길이(L2)의 차이는 다양한 디자인 룰에 따라 달라질 수 있으나, 상기 제1 길이(L1)는 상기 제2 길이(L2) 보다 20nm 내지 30nm 정도 넓게 형성될 수 있다.

도 7은 본 발명의 실시예에 따른 리세스 게이트 트랜지스터를 형성하기 위한 리세스 패턴의 레이아웃과 종래의 기술에 따른 리세스 게이트 트랜지스터를 형성하기 위한 리세스 패턴의 레이아웃을 비교하여 나타내고 있다.

도 7을 참조하면, 비활성영역(218)으로 둘러싸인 제1 및 제2 활성영역(216a, 216b)의 길이방향과는 수직하고, 서로 평행하게 배치된 리세스 패턴(214)들이 보여진다. 본 발명의 실시예에 따른 상기 리세스 패턴(214) 간의 제1 길이(L1)는 종래의 기술에 따른 리세스 패턴(215) 간의 길이(l1) 보다 소정의 길이(2×L3) 만큼 넓게 배치되고, 본 발명의 실시예에 따른 상기 리세스 패턴(214) 간의 제2 길이(L2)는 종래의 기술에 따른 리세스 패턴(215) 간의 길이(l2) 보다 소정의 길이(2×L3) 만큼 좁게 배치된다. 따라서, 본 발명의 실시예에 따른 상기 리세스 패턴(214) 간의 제1 길이(L1)가 종래의 기술에 따른 리세스 패턴 간의 길이(l1)와 비교하여 소정의 길이(2×L3) 만큼, 예컨대 10nm 내지 15nm 정도 넓게 배치되도록 형성될 수 있다.

도 8을 참조하면, 상기 포토레지스트 패턴(213)을 이용하여 상기 마스크막(212)을 식각한 후, 상기 포토레지스트 패턴(213)은 에칭(ashing) 또는 스트립(strip) 공정을 통해 제거된다. 이어서, 상기 마스크막(212)을 식각마스크로 이용하여 절연막(210) 및 기판을 순차적으로 식각함에 의해 활성영역 상에 소정 깊이를 갖는 리세스(219)가 형성된다. 상기 리세스(219)에 의하여 캐패시터와 전기적으로 연결되는 제1 활성영역(216a)과 비트라인과 전기적으로 연결되는 제2 활성영역(216b)으로 구분된다. 또한, 상기 리세스(219)는 70nm 내지 90nm 정도의 길이와 1000Å 내지 1500Å 정도의 깊이로 형성될 수 있다. 이후, 상기 마스크막(212)은 식각공정을 통해 제거된다.

도 9를 참조하면, 리세스의 슬로프(slope)에 의하여 식각되지 아니한 부분을 추가로 식각하여 상기 리세스(219)의 측면을 넓히는 한편, 상기 리세스(219) 내의 모서리를 라운딩(rounding)하기 위하여 리세스 내에 등방성 식각공정, 예컨대 CDE 또는 습식식각 공정이 진행된다. 이는 후속되는 상기 리세스 내의 일부에 도전성 물질을 형성하는 공정 및 상기 리세스의 측벽에 절연막 스페이서를 형성하는 공정을 원활히 수행하고, 게이트 형성시 미스얼라인(mis-align)을 방지하기 위한 미스얼라인 마진(mis-align margin)을 확보할 수 있기 때문이다. 상기 리세스(219)의 측벽 및 바닥면은 등방성 식각 공정에 의하여 100Å 내지 200Å 정도의 두께가 식각될 수 있다.

도 10을 참조하면, 상기 리세스(219a) 내에 40Å 내지 60Å 정도의 두께를 가지는 게이트 절연막(220)이 형성되도록 한다. 상기 게이트 절연막(220)은 실리콘 산화막 재질로 형성되고, 950°C와 20분 정도의 건조 산소 속에서 리세스의 내부를 열산화하여 형성될 수 있다.

도 11을 참조하면, 상기 게이트 절연막(220)이 형성된 리세스(219a)의 내부가 충분히 채워지도록 제1 게이트 도전막(222)이 형성된 후, 상기 제1 게이트 도전막(222)의 상부에 제2 게이트 도전막(224) 및 캡핑막(226)이 순차적으로 형성된다. 상기 제1 게이트 도전막(222)은 통상적인 증착방법, 예컨대 화학기상증착법(CVD), 저압 화학기상증착법(LPCVD) 또는 플라즈마 화학기상증착법(PECVD)을 사용하여 형성될 수 있고, 폴리실리콘 재질로 형성될 수 있다. 상기 제2 게이트 도전막(224)은 통상적인 증착방법을 사용하여 형성될 수 있고, 금속인 텅스텐(W) 재질로 이루어지거나 티타늄(Ti), 탄탈륨(Ta), 텅스텐(W), 니켈(Ni), 크롬(Cr), 이리듐(Ir), 또는 루비듐(Ru)의 실리사이드막으로 형성될 수 있다. 상기 제1 및 제2 게이트 도전막(222, 224)은 게이트 전극을 형성하며, 폴리실리콘 재질의 단일막으로 형성될 수도 있다. 또한, 상기 캡핑막

(226)은 실리콘 질화막 재질로 형성될 수 있고, 화학기상증착법(CVD), 저압 화학기상증착법(LPCVD), 플라즈마 화학기상증착법(PECVD), SACVD(Semi-Atmospheric Chemical Vapor Deposition), 스퍼터링 방법 또는 원자층 증착방법에 의하여 형성될 수 있다.

이어서, 상기 캡핑막(226) 상에 사진공정을 진행하여 게이트가 형성될 부분을 노출시키는 포토레지스트 패턴(227)이 형성된다. 상기 포토레지스트 패턴(227)은 상기 캡핑막(226)의 상부에 포토레지스트를 스피너 설비에 의한 스핀코팅법으로 도포한 후, 상기 게이트가 형성될 부분이 노출되고 상기 게이트가 형성될 부분이 제외한 부분이 블로킹되도록 하는 노광 마스크로서의 블록 레이어를 사용하는 사진공정에 의해 형성된다. 상기 포토레지스트 패턴(227)은 상기 리세스(219a)의 길이보다 좁게 형성되고, 70nm 내지 90nm의 길이를 갖는 게이트가 형성될 수 있도록 노출부분이 적절히 조절되어 형성된다. 또한, 상기 포토레지스트 패턴(227)은 활성영역 상부를 블로킹하는 포토레지스트의 제4 길이(L4)가 활성영역과 비활성영역 상부를 블로킹하는 포토레지스트의 제5 길이(L5) 보다 좁게 형성되는 특징이 있다. 상기 제4 길이(L4)와 제5 길이(L5)의 차이는 다양한 디자인 룰에 따라 달라질 수 있으나, 상기 제4 길이(L4)는 상기 제5 길이(L5) 보다 20nm 내지 30nm 정도 좁게 형성될 수 있다.

도 12는 본 발명의 실시예에 따른 리세스 게이트 트랜지스터를 형성하기 위한 게이트 패턴의 레이아웃과 종래의 기술에 따른 리세스 게이트 트랜지스터를 형성하기 위한 게이트 패턴의 레이아웃을 비교하여 나타내고 있다.

도 12를 참조하면, 비활성영역(218)으로 둘러싸인 제1 및 제2 활성영역(216a, 216b)의 길이방향과는 수직하고, 서로 평행하게 배치된 게이트 패턴(228)들이 보여진다. 본 발명의 실시예에 따른 상기 게이트 패턴(228) 간의 제4 길이(L4)는 종래의 기술에 따른 게이트 패턴(229) 간의 길이(L4) 보다 소정의 길이(2×L6) 만큼 좁게 배치되고, 본 발명의 실시예에 따른 상기 게이트 패턴(228)의 제5 길이(L5)는 종래의 기술에 따른 게이트 패턴(229)의 길이(L5) 보다 소정의 길이(2×L6) 만큼 넓게 배치된다. 따라서, 본 발명의 실시예에 따른 상기 게이트 패턴(228) 간의 제4 길이(L4)가 종래의 기술에 따른 게이트 패턴(229) 간의 길이(L4)와 비교하여 소정의 길이(2×L6) 만큼, 예컨대 10nm 내지 15nm 정도 좁게 배치되도록 형성될 수 있다.

도 13을 참조하면, 상기 포토레지스트 패턴(227)을 이용하여 상기 캡핑막(226)을 식각한 후, 상기 캡핑막(226)을 식각마스크로 이용하여 상기 제1, 제2 게이트 도전막(224, 222)을 순차적으로 식각함에 의해 게이트 스택(230)이 형성되도록 한다. 상기 게이트 스택(230)은 상기 제1 활성영역(216a)에 접한 게이트 절연막(220)의 일부와는 일정 거리(L3+L6) 이격되고 상기 제1 활성영역(216a)의 상부 표면에서 일정 깊이로 이루어진 홈이 형성되도록 한다. 따라서, 상기 게이트 스택(230)은 상기 제1 활성영역(216a)에 접한 게이트 절연막(220)과 일정 거리(L3+L6) 이격된 만큼 상부의 길이가 하부의 길이보다 좁게 형성된다. 상기 홈은 리세스 패턴(214)을 제1 활성영역(216a) 방향으로 일정 거리 이동시키고, 게이트 패턴(228)을 제2 활성영역(216b) 방향으로 일정 거리 이동시킴에 의해 일정 공간을 확보함으로써 형성된다. 예컨대, 상기 홈은 제1 활성영역(216a)에 접한 상기 게이트 절연막(220)의 일부와는 수평적으로 10nm 내지 15nm 정도의 거리가 이격되고, 상기 제1 활성영역(216a)의 상부 표면에서 500Å 내지 800Å 정도의 깊이를 갖도록 형성될 수 있다.

도 14를 참조하면, 상기 홈이 채워지도록 상기 제1 활성영역(216a)에 접한 게이트 스택(230)의 측벽에 제1 게이트 스페이서(232)를 형성하는 한편, 상기 제2 활성영역(216b)에 접한 게이트 스택(230)의 타측벽에는 제2 게이트 스페이서(234)가 형성되도록 한다. 상기 제1 및 제2 게이트 스페이서(232, 234)는 상기 홈을 포함하는 기판의 전면에 실리콘 질화막 재질의 절연막을 화학기상증착법(CVD), 리플로우(reflow) 방식 또는 고밀도 플라즈마(HDP) 장비를 사용하여 증착하는 방식으로 형성한 후, 이방성 식각을 진행하여 형성된다. 그 결과로서, 상기 제1 게이트 스페이서(232)는 제1 활성영역(216a)에 접한 게이트 절연막(220)에서 10nm 내지 15nm 정도의 길이와 상기 제1 활성영역(216a)의 상부 표면에서 500Å 내지 800Å 정도의 깊이를 갖는 이너 스페이서(inner spacer)로 형성되고, 상기 제2 게이트 스페이서(234)는 제2 활성영역(216b)에 접하는 게이트 스택(230)의 타측벽에 형성되어 상기 기판의 상부에만 형성된다.

이어서, 상기 제1 및 제2 게이트 스페이서(232, 234)를 이온주입 마스크로 이용하여 n형 불순물, 예컨대 인(P), 비소(As) 등을 20KeV 내지 30KeV의 에너지 및 1.0×10^{13} 내지 1.0×10^{15} ion atoms/cm²의 농도로 주입하여 상기 불순물 도입층(208)의 일부에 상기 불순물 도입층 보다 높은 불순물 농도를 갖는 고농도 n+ 형 소오스/드레인 영역이 형성됨으로써 마침내 본 발명의 실시예에 따른 리세스 게이트 트랜지스터가 얻어진다.

종래의 기술에 의하면, 활성영역의 상단과 게이트가 접하는 에지부분에서의 전계 집중에 의하여 리퀴지가 발생되며, 활성영역과 게이트 사이에 접하는 영역이 증가함에 따라 부하 캐패시턴스가 증가되고, 게이트 유도 드레인 리퀴지(GIDL)가 증가하게 된다. 또한, 미스얼라인 마진을 확보하기 위하여 리세스의 길이를 게이트의 길이보다 좁게 형성함에 의해 사진공정 및 식각공정을 진행시 어려움이 발생되며, 게이트의 형성시 미스얼라인이 발생하는 경우 게이트의 쪼개짐 현상이 유발되어 반도체 소자의 수율을 저하시키게 된다.

반면, 본 발명의 실시예에 의하면, 상부의 캐패시터와 전기적으로 연결되는 제1 활성영역과 접하는 게이트의 측벽에 일정 두께와 일정 깊이를 갖는 이너 스페이서(inner spacer)가 형성되도록 하여 제1 활성영역의 상단과 게이트가 접하는 에지부분에서의 전계 집중에 의한 리퀴지 발생을 저감하고, 상기 제1 활성영역과 리세스 게이트가 접하는 영역을 줄임으로써 부하 캐패시턴스를 감소시키며, 게이트 유도 드레인 리퀴지(GIDL)를 저감시킬 수 있다.

또한, 본 발명의 실시예에 의하면, 리세스의 길이를 게이트의 길이보다 넓게 형성하여 게이트의 길이를 줄이지 아니하고도 미스얼라인 마진을 확보함으로써 사진공정 및 식각공정이 쉬워지도록 하며, 리세스의 길이를 적정하게 조절함으로써 게이트의 쪼개짐 현상을 방지할 수 있다.

본 발명에 따른 리세스 게이트 트랜지스터는 상기 실시예에 한정되지 않음은 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게는 자명한 사실이므로 본 발명의 기본 원리를 벗어나지 않는 범위에서 다양하게 설계되고, 응용될 수 있을 것이다. 또한, 메모리 셀을 형성하기 위해 캐패시터와 연결되는 복수의 리세스 게이트 트랜지스터로 형성될 수 있음을 명백히 밝혀둔다.

발명의 효과

상술한 바와 같이, 본 발명은 상부의 캐패시터와 전기적으로 연결되는 제1 활성영역과 접하는 게이트의 측벽에 일정 두께와 일정 깊이를 갖는 이너 스페이스를 형성하여 제1 활성영역과 게이트가 접하는 영역을 줄임으로써 부하 캐패시턴스를 감소시키며, 게이트 유도 드레인 리퀴지를 저감시키는 효과를 갖는다.

또한, 본 발명은 제1 활성영역과 접하는 게이트의 측벽에 일정 두께와 일정 깊이를 갖는 이너 스페이스를 형성하여 제1 활성영역의 상단과 게이트가 접하는 에지부분에서의 전계 집중에 의한 리퀴지 발생을 저감하는 효과를 갖는다.

또한, 본 발명은 리세스의 길이를 게이트의 길이 보다 넓게 형성하여 게이트의 길이를 줄이지 아니하고도 미스얼라인 마진을 확보함으로써 사진공정 및 식각공정이 쉬워지도록 하며, 리세스의 길이를 적정하게 조절함으로써 게이트의 쪼개짐 현상을 방지하는 효과를 갖는다.

(57) 청구의 범위

청구항 1.

소자분리막에 의하여 활성영역 및 비활성영역이 정의되고, 상기 활성영역이 리세스에 의하여 제1 활성영역 및 제2 활성영역으로 구분되는 기판에 형성된 리세스 게이트 트랜지스터의 구조에 있어서:

상기 리세스 내에 일정 두께로 형성된 게이트 절연막;

상기 게이트 절연막으로 둘러싸이고, 상기 리세스 내에서부터 연장되어 형성된 게이트 전극;

상기 제1 활성영역에 접한 상기 게이트 절연막의 일부와는 수평적으로 일정 거리 이격되고, 상기 제1 활성영역의 상부 표면에서 일정 깊이를 갖도록 상기 게이트 전극의 측벽에 형성된 제1 게이트 스페이스;

상기 제2 활성영역에 접한 상기 게이트 전극의 측벽에 형성된 제2 게이트 스페이스; 및

상기 게이트 전극을 사이에 두고 상기 제1 및 제2 활성영역에 서로 대향적으로 형성된 소오스 및 드레인 영역으로 이루어짐을 특징으로 하는 리세스 게이트 트랜지스터 구조.

청구항 2.

제 1항에 있어서,

상기 제1 게이트 스페이스는 상기 제1 활성영역에 접한 상기 게이트 절연막의 일부와는 수평적으로 10nm 내지 15nm 이격됨을 특징으로 하는 리세스 게이트 트랜지스터 구조.

청구항 3.

제 1항에 있어서,

상기 제1 게이트 스페이스는 상기 제1 활성영역의 상부 표면에서 500Å 내지 800Å의 깊이를 가짐을 특징으로 하는 리세스 게이트 트랜지스터 구조.

청구항 4.

제 1항에 있어서,

상기 제1 및 제2 게이트 스페이스는 실리콘 질화막 재질로 이루어짐을 특징으로 하는 리세스 게이트 트랜지스터 구조.

청구항 5.

제 1항에 있어서,

상기 게이트 절연막은 실리콘 산화막 재질로 이루어지고, 40Å 내지 60Å의 두께를 가짐을 특징으로 하는 리세스 게이트 트랜지스터 구조.

청구항 6.

제 1항에 있어서,

상기 게이트 전극은 폴리실리콘 재질의 단일막으로 이루어지거나 폴리사이드 구조로 형성된 다중막으로 이루어짐을 특징으로 하는 리세스 게이트 트랜지스터 구조.

청구항 7.

제 1항에 있어서,

상기 트랜지스터는 상기 게이트 전극의 상부에 실리콘 질화막 재질의 캡핑막을 더 구비함을 특징으로 하는 리세스 게이트 트랜지스터 구조.

청구항 8.

제 1항에 있어서, 상기 소오스 영역은 상기 제1 활성영역에 형성되고, 상기 드레인 영역은 상기 제2 활성영역에 형성됨을 특징으로 하는 리세스 게이트 트랜지스터 구조.

청구항 9.

소자분리막에 의하여 활성영역 및 비활성영역이 정의되고, 상기 활성영역이 리세스에 의하여 제1 활성영역 및 제2 활성영역으로 구분되는 기판에 형성된 리세스 게이트 트랜지스터의 구조에 있어서:

상기 리세스 내에 형성된 게이트 절연막;

상기 리세스 내에서부터 연장되며, 상기 제1 활성영역에 접한 게이트 절연막과 일정 거리 이격된 만큼 상부 길이가 하부 길이보다 짧게 형성된 게이트 전극;

상기 게이트 전극의 상부와 하부의 길이 차이가 도입되도록 상기 제1 활성영역에 접한 상기 게이트 전극의 측면에 형성된 제1 게이트 스페이서;

상기 제2 활성영역에 접한 상기 게이트 전극의 타측면에 형성된 제2 게이트 스페이서; 및

상기 게이트 전극을 사이에 두고 상기 제1 및 제2 활성영역에 서로 대향적으로 형성된 소오스 및 드레인 영역으로 이루어짐을 특징으로 하는 리세스 게이트 트랜지스터 구조.

청구항 10.

제 9항에 있어서,

상기 제1 게이트 스페이서는 제1 활성영역에 접한 게이트 절연막에서 10nm 내지 15nm의 길이와 상기 제1 활성영역의 상부 표면에서 500Å 내지 800Å의 깊이로 형성됨을 특징으로 하는 리세스 게이트 트랜지스터 구조.

청구항 11.

소자분리막에 의하여 활성영역 및 비활성영역이 정의된 기판에 리세스 게이트 트랜지스터를 형성하는 방법에 있어서:

상기 활성영역의 일부에 제1 및 제2 활성영역을 분리하는 리세스를 형성하는 단계;

상기 리세스 내에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막이 형성된 리세스 내에서부터 연장되며, 상기 제1 활성영역에 접한 게이트 절연막의 일부와는 일정 거리 이격되고 상기 제1 활성영역의 상부 표면에서 일정 깊이로 이루어진 홈을 갖는 게이트 전극을 형성하는 단계;

상기 홈이 채워지도록 상기 제1 활성영역에 접한 게이트 전극의 측벽에 제1 게이트 스페이서를 형성하고, 상기 제2 활성영역에 접한 게이트 전극의 측벽에 제2 게이트 스페이서를 형성하는 단계; 및

상기 게이트 전극을 사이에 두고 상기 제1 및 제2 활성영역에 서로 대향적으로 형성된 소오스 및 드레인 영역을 형성하는 단계를 포함함을 특징으로 하는 리세스 게이트 트랜지스터의 형성방법.

청구항 12.

제 11항에 있어서, 상기 리세스를 형성하는 단계는,

소자분리막이 형성된 기판의 전면에 절연막 및 마스크막을 순차적으로 형성하는 단계;

상기 마스크막의 상부에 사진공정을 진행하여 활성영역의 상부를 블록킹하는 포토레지스트의 제1 길이가 활성영역 및 비 활성영역의 상부를 블록킹하는 포토레지스트의 제2 길이 보다 넓게 배치된 포토레지스트 패턴을 형성하는 단계;

상기 포토레지스트 패턴을 이용하여 상기 마스크막을 식각한 후, 상기 포토레지스트를 제거하는 단계;

상기 마스크막을 식각마스크로 이용하여 상기 절연막 및 기판을 순차적으로 식각하는 단계; 및

상기 마스크막을 제거하는 단계를 포함함을 특징으로 하는 리세스 게이트 트랜지스터의 형성방법.

청구항 13.

제 12항에 있어서,

상기 제1 길이는 상기 제2 길이 보다 20nm 내지 30nm의 길이가 넓게 형성됨을 특징으로 하는 리세스 게이트 트랜지스터의 형성방법.

청구항 14.

제 11항에 있어서,

상기 리세스는 70nm 내지 90nm의 길이와 1000Å 내지 1500Å의 깊이로 형성됨을 특징으로 하는 리세스 게이트 트랜지스터의 형성방법.

청구항 15.

제 11항 또는 제 12항에 있어서,

상기 리세스를 형성한 후에, 상기 리세스의 측면을 넓히고, 리세스의 바닥 모서리를 라운딩하기 위하여 상기 리세스 내에 등방성 식각공정을 진행하는 단계를 더 포함함을 특징으로 하는 리세스 게이트 트랜지스터의 형성방법.

청구항 16.

제 15항에 있어서,

상기 리세스의 측벽 및 바닥면은 등방성 식각공정에 의하여 100Å 내지 200Å의 두께가 식각됨 특징으로 하는 리세스 게이트 트랜지스터의 형성방법.

청구항 17.

제 11항에 있어서, 상기 게이트 전극을 형성하는 단계는,

상기 게이트 절연막이 형성된 리세스의 내부에 게이트 도전막을 형성한 후, 상기 게이트 도전막의 상부에 캡핑막을 형성하는 단계;

상기 캡핑막의 상부에 사진공정을 진행하여 활성영역의 상부를 블록킹하는 포토레지스트의 제4 길이가 활성영역 및 비활성영역의 상부를 블록킹하는 포토레지스트의 제5 길이 보다 좁게 배치된 포토레지스트 패턴을 형성하는 단계;

상기 포토레지스트 패턴을 이용하여 상기 캡핑막을 식각한 후, 상기 포토레지스트를 제거하는 단계; 및

상기 캡핑막을 식각마스크로 이용하여 상기 게이트 도전막을 식각하는 단계를 포함함을 특징으로 하는 리세스 게이트 트랜지스터의 형성방법.

청구항 18.

제 17항에 있어서,

상기 제4 길이는 상기 제5 길이 보다 20nm 내지 30nm의 길이가 좁게 형성됨을 특징으로 하는 리세스 게이트 트랜지스터의 형성방법.

청구항 19.

제 11항에 있어서, 상기 제1 게이트 스페이서가 채워지는 상기 홈은,

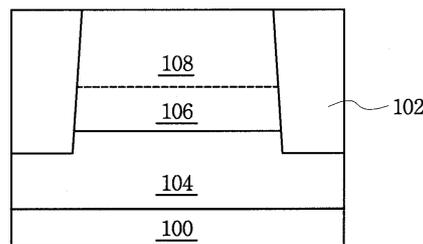
상기 제1 활성영역에 접한 상기 게이트 절연막의 일부와는 수평적으로 10nm 내지 15nm 이격되고, 상기 제1 활성영역의 상부 표면에서 500Å 내지 800Å의 깊이로 형성됨을 특징으로 하는 리세스 게이트 트랜지스터의 형성방법.

청구항 20.

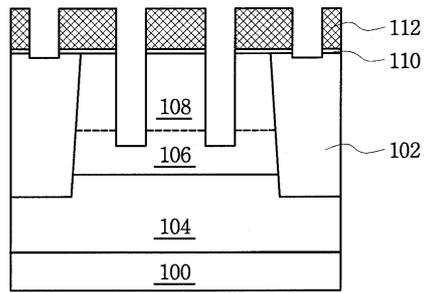
제 11항에 있어서, 상기 제1 및 제2 게이트 스페이서는 상기 홈을 포함하는 기판의 전면에 실리콘 질화막 재질의 절연막을 형성한 후, 이방성 식각을 진행하여 형성됨을 특징으로 하는 리세스 게이트 트랜지스터의 형성방법.

도면

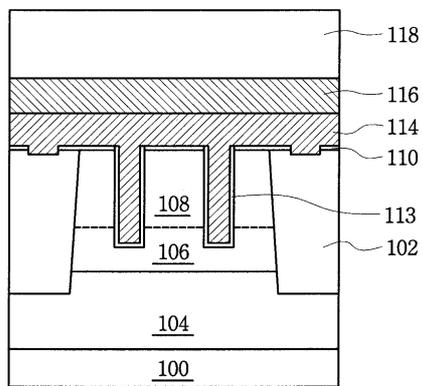
도면1



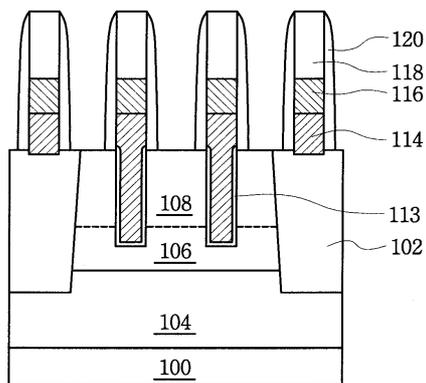
도면2



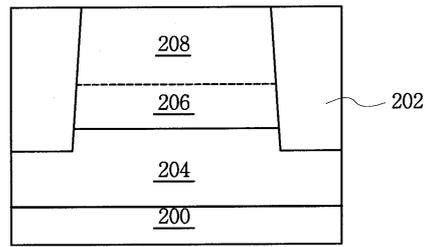
도면3



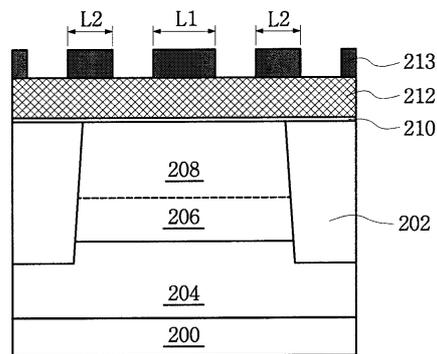
도면4



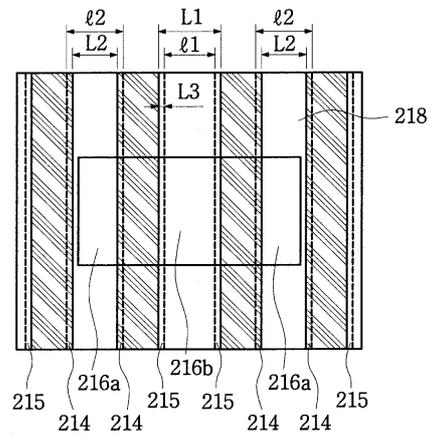
도면5



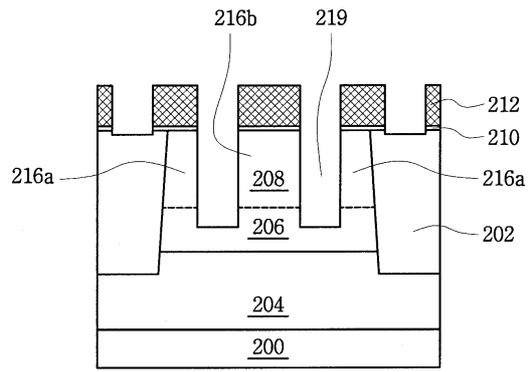
도면6



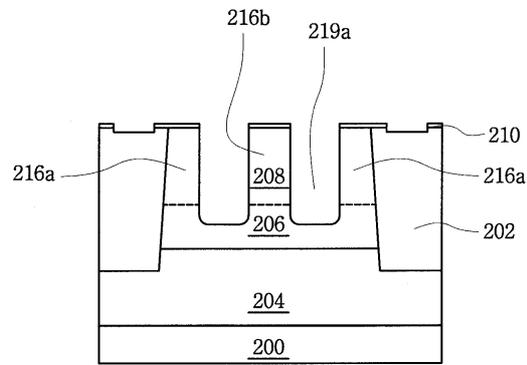
도면7



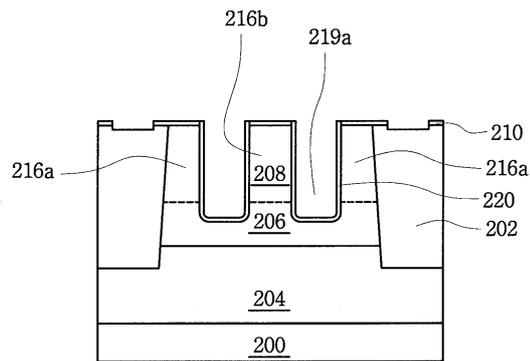
도면8



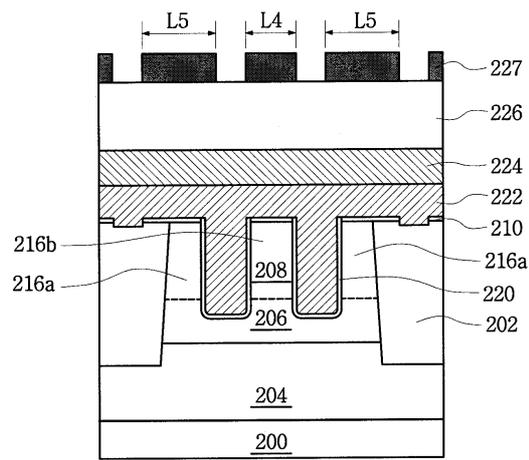
도면9



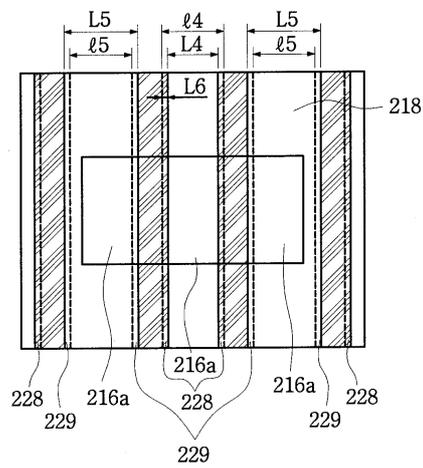
도면10



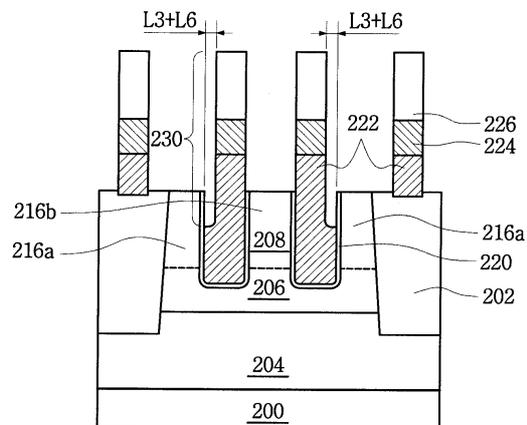
도면11



도면12



도면13



도면14

