(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[7]
H04L 12/56

(45) 공고일자 2004년09월04일
(11) 등록번호 10-0446508
(24) 등록일자 2004년08월23일

(21) 출원번호 10-2002-0035985
(22) 출원일자 2002년06월26일

(65) 공개번호 10-2004-0000953
(43) 공개일자 2004년01월07일

(73) 특허권자 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 이승복
경기도성남시분당구수내동24번지양지마을한양아파트511-1002

(74) 대리인 이건주

심사관 : 성백문

(54) 패킷 데이터 통신시스템에서 패킷 데이터 처리장치

요약

본 발명은 패킷 데이터 통신시스템의 패킷 데이터 서빙 노드 내에서 패킷 데이터를 가공하는 패킷 데이터 처리장치에 관한 것이다. 이를 위해 본 발명은 기지국으로부터 제공되는 PPP 프레임을 패킷 데이터 서빙 노드에서의 디프레이밍 및 디스터핑 처리를 별도의 구성을 통해 수행하고, 이를 통해 생성되는 IP 프레임을 인터넷 망으로 출력하는 패킷 데이터 처리장치를 제안한다. 또한, 상기 인터넷 망으로부터 전달되는 IP 프레임을 패킷 데이터 서빙 노드에서의 프레이밍 및 스터핑 처리를 별도의 구성을 통해 수행하고, 이를 통해 생성되는 PPP 프레임을 상기 기지국을 통해 해당 이동단말로 전달되도록 하는 패킷 데이터 처리장치를 제안하고 있다. 따라서, 기지국과의 인터페이스를 수행하는 라인카드의 처리속도를 향상시킬 수 있으며, 전체적인 패킷 데이터 서빙 노드(PDSN)의 시스템 성능이 향상될 뿐만 아니라 향후 기지국과의 전송속도가 고속화되더라도 PPP 관련한 많은 기능들이 하드웨어로 구현되어 있어 데이터 처리로 인한 문제 발생을 미연에 방지할 수 있다.

대표도

도 6

색인어

이동통신시스템, PDSN, PPP, IP, De-framing, De-stuffing, Framing, Stuffing

명세서

도면의 간단한 설명

도 1은 통상적인 패킷 데이터 통신망의 구성을 보이고 있는 도면.
도 2는 도 1의 패킷 데이터 서빙 노드의 상세 구성을 보이고 있는 도면.
도 3은 본 발명의 실시 예를 적용하기 위한 패킷 데이터 통신망의 스택 구조를 보이고 있는 도면.

도 4는 본 발명의 실시 예가 적용되는 기지국 제어기와 패킷 데이터 서빙 노드간에 패킷 데이터를 전송하기 위해 사용되는 프레임의 구조를 보이고 있는 도면.
도 5는 본 발명의 실시 예에 따른 패킷 데이터 서빙 노드의 상세 구성을 보이고 있는 도면.
도 6은 도 5의 구성들 중 본 발명의 실시 예에 따른 구성들의 상세 구성을 보이고 있는 도면,
도 7은 도 6의 바이트 스터핑 처리부의 상세 구성을 보이고 있는 도면.
도 8은 도 6의 바이트 디스터핑 처리부의 상세 구성을 보이고 있는 도면.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 패킷 데이터 통신시스템에서의 패킷 데이터 처리장치에 관한 것으로, 특히 패킷 데이터 서빙 노드 내에서 패킷 데이터를 가공하는 패킷 데이터 처리장치에 관한 것이다.
통상적으로 패킷 데이터 통신시스템은 송신측과 수신측간의 패킷 데이터를 송신 및 수신하기 위한 통신시스템을 통칭한다. 상기 패킷 데이터 통신시스템은 유선망을 사용하는 유선 패킷 데이터 통신시스템과 무선망을 사용하는 이동 패킷 데이터 통신시스템으로 구분될 수 있다. 상기 이동 패킷 데이터 통신시스템은 이동단말(Mobile Station, 이하 'MS'라 칭함)과 인터넷 망 사이의 접속을 위해서는 무선 접속 게이트웨이(Wireless Access Gateway, 이하 'WAG'라 칭함)가 요구된다. 상기 WAG 기능으로서 현재 패킷 데이터 서빙 노드(Packet Data Serving Node, 이하 'PDSN'이라 칭함)가 적용되고 있다.
도 1은 통상적인 이동 패킷 데이터 통신시스템의 구성을 보이고 있는 도면이다. 상기 도 1에서 보이고 있는 이동 패킷 데이터 통신시스템은 차세대 이동통신에 따른 패킷 데이터 망(Packet Data Network)의 기준 모델(Reference Model)로서, 'MS ↔BSC/PCF ↔IP Network ↔PDSN ↔IP Network ↔End Host'로 연결됨을 보이고 있다.
상기 도 1을 참조하면, MS(101)로부터의 사용자 패킷 데이터는 무선 링크(Air Link) 상의 소정 역방향 트래픽 채널을 통해 기지국(Base Transceiver Station, 이하 'BTS'라 칭함)(103)으로 전송된다. 한편, 상기 MS(101)는 상기 BTS로부터의 패킷 데이터를 소정 순방향 트래픽 채널을 통해 수신한다. 상기 BTS(103)는 상기 MS(101)로부터 수신한 패킷 데이터를 기지국 제어기(Base Station Controller. 이하 'BSC'라 칭함)(105)로 전달하며, 상기 BSC(105)로부터의 패킷 데이터를 상기 MS(101)로 전송한다. 상기 BSC(105)는 패킷 제어 기능(Packet Control Function, 이하 'PCF'라 칭함)을 사용하여 상기 BTS(103)로부터의 패킷 데이터를 인터넷 프로토콜(Internet Protocol, 이하 'IP'라 칭함) 망(107)을 통해 PDSN(109)으로 전송한다. 한편, 상기 IP 망(107)을 통해 제공되는 상기 PDSN(109)으로부터의 패킷 데이터를 상기 BTS(103)로 전송한다. 상기 PDSN(109)은 상기 IP 망(107)을 통해 상기 BSC/PCF(105)로부터의 패킷 데이터를 수신하여 라우터(111)로 전송하며, 상기 라우터(111)로부터의 패킷 데이터를 상기 IP 망(107)을 통해 상기 BSC(105)로 전송한다. 상기 라우터(111)는 인터넷 망(113)을 통해 종단 호스트(115)와의 패킷 데이터를 송/수신하게 된다. 상기 라우터(111)와 상기 종단 호스트(115)간에는 통상적으로 IP 패킷이 사용된다.
전술한 구성에 있어 상기 MS(105)와 상기 PDSN(109)간에의 패킷 데이터로는 PPP 프레임이 사용되며, 상기 PDSN(109)과 상기 종단 호스트(115)간에서의 패킷 데이터로는 IP 패킷이 사용된다. 즉, 상기 MS(101)와 상기 PDSN(109)간에는 PPP 프로토콜로서 사용자 패킷 데이터를 송/수신하며, 인터넷 망(113)을 통한 상기 PDSN(109)과 종단 호스트(115)사이에는 인터넷 프로토콜(IP : Internet Protocol)로서 상호 연결된다. 따라서, 상기 PDSN(109)은 상기 BSC(105)로부터의 PPP 프레임 을 상기 라우터(111)로 전송하기 위해서는 IP 패킷으로 변환하기 위한 소정의 패킷 데이터 처리과정이 요구된다. 또한, 상기 PDSN(109)은 상기 라우터(111)로부터의 IP 패킷을 상기 BSC(105)로 전송하기 위해서는 PPP 프레임으로 변환하기 위한 소정의 패킷 데이터 처리과정이 요구된다. 이하 상기 PPP 프레임을 PPP 패킷 데이터로 통칭하여 사용한다. 상기 PPP 패킷 데이터를 상기 IP 패킷으로 변환하기 위해서 상기 PDSN(109)은 RFC 1662에 따른 'PPP 디-프레임화(PPP De-Framing)'와 '바이트 디스터핑(byte de-stuffing)'을 수행한다. 한편, 상기 IP 패킷을 상기 PPP 패킷 데이터로 변환하기 위해서 상기 PDSN(109)은 'PPP 프레임화(PPP Framing)'와 '바이트 스터핑(byte stuffing)'을 수행한다.
이를 상기 PDSN(109)의 상세 구성을 보이고 있는 도 2를 참조하여 설명하면 다음과 같다.
상기 BSC(105)의 PCF와 상기 PDSN(109)사이의 링크계층(Link Layer)은 고속 이더넷(Fast Ethernet, 이하 'FE'라 칭함)이 사용된다. 한편, 상기 BSC(105)의 PCF는 상기 PDSN(109)과 일반 라우팅 캡슐화(General Routing Encapsulation, 이하 'GRE'라 칭함)를 위한 터널링(tunneling)을 이용하여 연결된다. 따라서, 상기 BSC(105)의 PCF는 상기 MS(101)로부터 포인트 투 포인트 프로토콜(Point to Point Protocol, 이하 'PPP'라 칭함)상에서 전송되는 PPP 패킷 데이터를 상기 GRE 터넝링에 의해 연결된 GRE 터널을 통해 상기 PDSN(109)으로 전송한다. 한편, 상기 BSC(105)의 PCF는 많은 무선 채널들에 의해 링크된 복수의 MS들로부터의 사용자 데이터 패킷들을 상기 PPP 패킷 데이터로 전송함에 있어 상기 사용자 데이터 패킷들 을 대부분 분해(fragmented)하게 된다. 따라서, 상기 PDSN(109)에서는 상기 PPP 디-프레임화를 통해 상기 분해된 PPP 데이터 패킷들을 완전한 메시지로 재조립하여야 한다. 이를 위해 상기 PDSN(109)으로 전송되는 상기 PPP 패킷 데이터는 상기 GRE 터널내의 고유 키 값과 시퀀스 번호(sequence number)를 가지는 GRE 헤더를 포함한다. 상기 키 값은 MS들 각각의 고유 PPP 세션(session)과 매칭되고, 상기 시퀀스

번호는 상기 PPP 디-프레임화를 통해 상기 분해된 PPP 패킷 데이터들을 완전한 메시지로 재조립하기 위해 필요한 정보이다.
한편, 상기 PDSN(109)은 라우터(111)를 통해 상기 인터넷 망(113)으로부터 수신되는 IP 패킷 데이터에 대해서는 PPP 프레임화 및 바이트 스터핑을 통해 상기 BSC(105)의 PCF에서 요구되는 형태의 PPP 데이터 패킷을 생성하게 된다. 이를 위해 상기 PDSN(109)은 상기 인터넷망(115)으로부터의 IP 패킷에 대응하는 PPP 세션을 찾고, 상기 해당 PPP 세션의 PPP 링크의 설정 옵션에 따라 PPP 통신을 하게 된다.
전술한 바를 상기 도 2에서 보이고 있는 구성에 적용하여 살펴보면, 많이 무선 채널들로서 링크된 MS들의 패킷 데이터들은 상기 BSC(105)의 PCF로부터 PPP 데이터 패킷으로 전송된다. 상기 PPP 데이터 패킷은 미디어 접속 제어부(Media Access Control, 이하 'MAC'이하 칭함)(211)를 거침으로 인해 MAC 헤더가 제거된다. 상기 MAC 헤더가 제거된 PPP 데이터 패킷은 망 제어부(212)로 제공된다. 상기 망 제어부(212)에서는 상기 수신한 PPP 데이터 패킷이 가지는 IP 주소를 확인하고, 상기 확인한 IP 주소가 자신의 IP 주소인지를 판단한다. 만약, 상기 확인한 IP 주소가 자신의 IP 주소라면 상기 PPP 데이터 패킷의 IP 헤더를 제거하고, 상기 IP 헤 더가 제거된 PPP 데이터의 GRE 헤더를 분석한다. 상기 GRE 헤더의 분석에 의해 키 값과 시퀀스 번호를 확인하면 상기 키 값을 CAM(도면상에 도시하지 않음)으로 제공하여 PPP 세션 번호를 찾는다. 또한, 상기 망 제어부(212)는 상기 시퀀스 번호에 의해 상기 터널내의 PPP 프레임 패킷이 순서대로 수신되었는지를 확인한다. 이를 통해 상기 망 제어부(212)는 순수한 소프트웨어를 이용하여 전술한 PPP 디-프레임화 및 바이트 디-스터핑을 수행함으로서 IP 패킷을 생성한다. 즉, 상기 망 제어부(212)는 소프트웨어적으로 상기 PPP 데이터 패킷의 GRE 헤더로부터 분석된 키 값에 해당하는 PPP 세션에 따라 PPP 프레임의 시작 플래그(start flag)와 종료 플래그(end flag)를 찾아 상기 PPP 디-프레임화를 수행한다. 상기 PPP 디-프레임화를 통해 상기 망 제어부(212)는 분해된 PPP 프레임 데이터를 프레임 데이터별로 재조립하여 IP 패킷을 생성하게 된다. 또한, 상기 망 제어부(212)는 소프트웨어적으로 상기 PPP 디-프레임화를 수행하는 중에 PPP 정보 필드 내에 제어 도피 특성(Control Escape character)을 찾아 제거하고, 그 뒤를 따르는 제어 특성(Control character)을 원래의 바이트 데이터로 복원하는 바이트 디-스터핑을 행한다.
또한, 상기 PDSN(109)에서 상기 MS(101)로의 역방향에 있어서 상기 망 제어부(212)는 소프트웨어적으로 인터넷 망(115)에서 입력되는 IP 패킷에 대응되는 PPP 세션을 찾아 해당 세션의 PPP 링크 설정 옵션에 따라 상기 MS(101)과의 PPP 통신을 하게 된다. 즉, 상기 망 제어부(212)는 소프트웨어적으로 IP 패킷을 PPP 세션에 따라 PPP 프레임으로 생성하기 위한 PPP 프레임화를 통해 PPP 프레임 패킷을 생성하 게 된다. 또한, 상기 망 제어부(212)는 소프트웨어적으로 상기 PPP 프레임화를 수행하는 중에 정보 필드의 소정 바이트 데이터에 제어 특성을 부여하는 바이트 스터핑을 행한다.
한편, 실제 상기 MS(101)와 상기 PDSN(109)간의 PPP 데이터 패킷은 PPP 압축(compression), 암호화(encryption)가 적용될 수 있다. 이는 상기 PDSN(109)에 구비된 압축/암호화부(214)와 상기 망 제어부(212)의 상호 동작에 의해 이루어진다. 또한, 상기 MS(101)와 상기 PDSN(109)간 PPP 링크가 새로운 IP 어드레스로 매칭된 후 상기 PDSN(109)은 상기 MS(101)에서 종단 호스트(113)로의 IP 패킷에 대해 IP 보호(security)를 적용할 때에도 상기 압축/암호화부(214)와 상기 망 제어부(212)와의 상호 동작에 의해 이루어진다.
전술한 바에서 알 수 있는 바와 같이 상기 과정을 처리하기 위해 망 제어부(212)는 수신한 PPP 데이터 패킷의 GRE 헤더를 분석하고, 상기 GRE 헤더에 포함된 키(Key) 값에 해당하는 PPP 세션(session) 번호를 확인한다. 상기 PPP 세션 번호의 확인이 이루어지면 상기 확인된 PPP 세션 번호를 IP 어드레스(address)로 매핑(mapping)시키는 동작을 수행한다. 이때, 상기 망 제어부(212)는 전술한 동작 모두를 소프트웨어적으로 처리한다. 또한, 상기 망 제어부(212)는 상기 PPP 데이터 패킷으로부터 상기 GRE 헤더를 제거한 후 상기 PPP 세션 번호별로 임시 패킷 메모리(213)에 저장한다. 그리고, 상기 망 제어부(213)는 상기 임시 패킷 메모리(213)에 저장된 데이터에 의해 PPP 프레임을 디-프레이밍(de-framing)함으로 인해 상기 망 제어부(212)와 상기 임시 패킷 메모리(213)간의 로드(load)가 매우 증가하게 되 었다. 더욱이 GRE 터널 내의 PPP 데이터 패킷은 분해되어 있을 수 있으며, 이럴 경우 GRE 터널내 PPP 데이터 패킷의 시작 플래그와 종료 플래그가 1개 이상 또는 1개씩 만 존재할 수도 있다. 따라서, 상기 망 제어부(212)는 소프트웨어적으로 전체 패킷들을 모두 확인해서 시작 플래그와 종료 플래그를 찾고, 이를 통해 디-프레임화 및 디-스터핑 등을 모두 수행하기에는 많은 부담이 따르게 된다.
전술한 바와 같이 종래의 PDSN에서는 패킷 데이터를 처리하기 위한 일련의 모든 동작들을 소프트웨어를 이용하여 처리하였다. 따라서, 상기 망 제어부의 과중한 패킷 데이터 처리 부담 때문에 시스템의 성능이 떨어지게 되었으며, 향후 고속(high speed)의 서비스를 지원하여야 한다는 측면을 고려해 볼 때 많은 문제점이 야기되는 것은 당연하다.
즉, 종래의 이동통신망의 구성에서는 PDSN과 BSC/PCF간 IP 계층에 대한 상위 계층인 GRE내의 분해된 PPP 패킷들(fragmented PPP packets)을 상기 PDSN에서 수신할 때 완전한 PPP 프레임으로 재조립함과 동시에 PPP 바이트 디스테핑(destuffing)을 소프트웨어로서 구현함에 따라 해당 처리 기능을 수행하는 프로세서(processor)는 많은 부하를 가지게 되었다. 그 결과 PPP 프로토콜 데이터(protocol data)의 처리 지연으로 인해 전체적인 시스템의 성능이 떨어지고, MS의 인터넷 접속 서비스 접속속도 및 품질도 현저히 떨어지게 되었다. 뿐만 아니라, 시스템 보드에서 제한된 수의 프로세서들은 많은 기능을 담당한다. 특히, 이동단말 IP를 위한 PDSN의 기능인 IPSec(IP Security)이나 복호/암호(Encryption/Description) 및 압축(Compression)/압축 해제(Decompression) 등을 상기 제한된 수의 프로세서들이 처리하면서 시스템의 전체적인 성능은 더욱더 떨어지게 되었다.
다시 말해, 상술한 종래 기술에서 일련의 대부분의 동작들을 소프트웨어가 처리하였으나 ad 제어부(NP)에서 소프트웨어적으로 처리해야 할 일들이 너무 많아 상기 PDSN에 대한 더 이상의 성능 향상을 기대하기 어렵다. 즉, 향후 처리 속도 측면을 고려해 볼 때 MS와 PDSN사이의 PPP 데이터를 모두 소프트웨어가 처리하기엔 많은 부담이 있다. 특히 상술한 바와 같이 PPP 관련해서는 프레이밍, 디프레이밍, 스터핑, 디스터핑과 GRE 터널안에 분할된 PPP 프레임 데

이터(fragmented PPP frame data)를 재구성하는 많은 일들을 소프트웨어가 처리하기 때문에, 시스템의 소프트웨어적인 요소들의 부하가 많이 생겨 PDSN 전체의 성능이 저하되는 것을 막기 위해 좀더 많은 부분을 하드웨어적으로 처리하는 것이 필요하게 되었다.

발명이 이루고자 하는 기술적 과제

상기한 문제점을 해결하기 위한 본 발명의 목적은 패킷 데이터 서비스 노드에서 수행하는 동작의 일부를 하드웨어로 구현한 장치를 제공함에 있다.
본 발명의 다른 목적은 패킷 데이터 서비스 노드와 기지국간의 인터넷 프로토콜 계층의 상위 계층인 GRE 계층내의 분할된 PPP 패킷을 패킷 데이터 서비스 노드에서 수신할 때 완전한 PPP 프레임으로 재조립하는 장치를 제공함에 있다.
본 발명의 또 다른 목적은 기지국으로부터 전달되는 PPP 패킷에 대해 바이트 디스터핑 및 디프레이밍을 수행하여 인터넷 망으로 IP 패킷을 전달하기 위한 장치를 제공함에 있다.
본 발명의 또 다른 목적은 인테넷 망으로부터 전달되는 IP 패킷에 대해 바이트 스터핑 및 프레이밍을 수행하여 기지국으로 PPP 패킷을 전달하기 위한 장치를 제공함에 있다.
본 발명의 또 다른 목적은 기지국으로부터의 데이터를 인터넷 망으로 전달하기 위한 구성들 중 바이트 디스터핑 및 디프레이밍을 수행하는 구성들을 하드웨어로 구현하고, 이 구성이 나머지 구성들과 연동하도록 하는 장치를 제공함에 있다.
본 발명의 또 다른 목적은 기지국으로부터의 데이터를 인터넷 망으로 전달하기 위한 구성들 중 바이트 스터핑 및 프레이밍을 수행하는 구성들을 하드웨어로 구현하고, 이 구성이 나머지 구성들과 연동하도록 하는 장치를 제공함에 있다.
상기한 바와 같은 목적을 달성하기 위한 제1견지에 있어, 본 발명은 기지국을 통해 수신되는 사용자 데이터를 라우터를 통해 인터넷 망으로 전달하기 위한 패킷 데이터 서빙 노드에서의 IP 프레임을 생성하는 장치에서, 상기 기지국으로부터 수신되는 PPP 프레임과 상기 PPP 프레임에 의해 생성된 IP 프레임을 저장하는 메모리 큐와, 상기 메모리 큐와의 소정 버스를 통해 상기 PPP 프레임 및 상기 IP 프레임을 인터페이싱 하는 인터페이스부와, 상기 메모리 큐와 상기 인터페이스부간에 있어 상기 PPP 프레임 및 상기 IP 프레임의 전송을 제어하는 DMA 제어부와, 상기 PPP 프레임 및 상기 IP 프레임을 전송하기 위해 상기 DMA 제어부에서 참조할 정보를 가지는 링 디스크립터와, 상기 DMA 제어부에 의해 상기 메모리 큐로부터 소정 비트단위로 읽어 들인 상기 PPP 프레임을 임시 저장하고, 상기 저장된 PPP 프레임을 다른 비트단위로 출력하는 수신버퍼와, 상기 수신버퍼로부터의 PPP 프레임을 읽 어 상기 PPP 프레임이 분해된 PPP 프레임인지를 판별하고, 상기 PPP 프레임의 정보필드에 바이트 스터핑되어 기록된 데이터에 대응하여 바이트 디스터핑을 수행하는 바이트 디스터핑 처리부와, 상기 PPP 프레임에 대응하여 상기 바이트 디스터핑 처리부로부터 제공되는 PPP 세션 번호를 입력하여 상기 PPP 세션 번호에 대응하는 메모리 어드레스를 생성하는 어드레스 생성부와, 상기 메모리 어드레스에 의해 상기 바이트 디스터핑 처리부로부터의 PPP 프레임이 임시 저장되는 것을 제어하는 메모리 제어부와, 상기 바이트 디스터핑 처리부로부터의 PPP 프레임을 상기 메모리 제어부의 제어에 의해 상기 생성된 메모리 어드레스에 대응하여 저장함으로서 상기 분해된 PPP 프레임들에 대해서는 동일한 메모리 어드레스에 임시 저장되도록 하는 메모리와, 상기 메모리로부터 상기 메모리 어드레스 별로 저장된 데이터를 입력하여 상기 DMA 제어부가 읽을 수 있도록 저장하는 송신버퍼를 포함함을 특징으로 한다.
상기한 바와 같은 목적을 달성하기 위한 제2견지에 있어, 본 발명은 라우터를 통해 인터넷 망으로부터 수신되는 IP 프레임을 기지국을 통해 해당 이동단말로 전달하기 위한 패킷 데이터 서빙 노드에서의 PPP 프레임을 생성하는 장치에서, 상기 라우터를 통해 상기 인터넷 망으로부터 수신되는 IP 프레임과 상기 IP 프레임에 의해 생성된 PPP 프레임을 저장하는 메모리 큐와, 상기 메모리 큐와의 소정 버스를 통해 상기 IP 프레임 및 상기 PPP 프레임을 인터페이싱 하는 인터페이스부와, 상기 메모리 큐와 상기 인터페이스부간에 있어 상기 IP 프레임 및 상기 PPP 프레임의 전송을 제어하는 DMA 제어부와, 상기 IP 프레임 및 상기 PPP 프레임을 전송하기 위해 상기 DMA 제어부에서 참조할 정보를 가지는 링 디스크립터와, 상기 DMA 제어부에 의해 상기 메모리 큐로부터 소정 비트단위로 읽어 들인 상기 IP 프레임을 임시 저장하고, 상기 저장된 IP 프레임을 다른 비트단위로 출력하는 수신버퍼와, 상기 수신버퍼로부터의 IP 프레임을 읽어 상기 이동단말로 분할된 형태의 PPP 프레임을 전달하여야 하는 지를 판별하고, 상기 IP 프레임의 정보필드의 데이터들 중 스터핑이 요구되는 데이터에 대해 스터핑을 수행하는 바이트 스터핑 처리부와, 상기 바이트 스터핑 처리부로부터의 데이터를 입력하여 상기 DMA 제어부가 읽을 수 있도록 저장하는 송신버퍼를 포함함을 특징으로 한다.

발명의 구성 및 작용

이하 본 발명에 따른 실시 예를 첨부된 도면을 참조하여 상세히 설명하면 다음과 같다.
우선 본 발명이 제시하고자 하는 것은 PDSN에서 수행되는 통상적인 소프트웨어의 역할들 중에서 가장 로드(load)가 심하고 패킷 처리(packet processing)의 부담이 큰 쪽에 속하는 역할을 수행하는 구성들을 하드웨어로 구현하고자 한다. 즉, MS와 PDSN간의 PPP 프레이밍(Framing), 디프레이밍(Deframing) 그리고 바이트 스터핑(Byte Stuffing), 바이트 디스터핑(Byte De-stuffing)을 고속의 하드웨어(hardware)로 구현함으로써, 상기 PDSN을 구성하는 인터페이스 라인카드(Interface Line card)의 성능을 향상시키고, 향후 MS와 PDSN간의 고속의 인터페이스를 지원하고 훨씬 더 고속의 패킷처리 시스템을 만들 수 있으며, MS와 인터넷 망간의 WAG 기능을 더욱 안정적으로 구현할 수 있도록 하고자 하는 것이다.

본 발명에 있어 MS와 PDSN 간에는 PPP 프레임화 데이터들이 GRE 터널링되어 상호 전송되는데, 이에 따른 PDSN의 동작들 중 PPP 프레임화(framing) 및 바이트 스터핑(Byte stuffing) 동작과 PPP 디-프레임화(de-framing) 및 바이트 디시터핑(Byte de-stuffing) 동작은 하드웨어로서 구현하였다. 한편, 패킷 처리를 위한 그 외의 동작은 기존에 소프트웨어로 처리하는 방법을 연동하여 사용하도록 한다. 따라서, 후술될 본 발명의 상세한 설명에서는 본 발명에서 제안하고 있는 바와 연동하여 사용되는 기존의 동작에 대한 상세한 설명은 생략하도록 한다.

1. 본 발명의 실시 예에 따른 구성

1.1 패킷 데이터 통신망의 스택 구조

본 발명의 실시 예를 적용하기 위한 패킷 데이터 통신망의 스택 구조는 도 3에서 보이고 있는 바와 같다. 상기 도 3에서 보이고 있는 바와 같이 MS와 PDSN사이의 프레임 포맷(이하 'PPP 프레임 포맷'이라 칭함)은 MAC/IP/GRE/PPP/IP/High Layer이며, 상기 프레임 포맷의 데이터는 상기 PDSN에서 분해(PPP termination)된다. 따라서, 상기 PDSN으로부터는 각 MS들의 사용자 데이터(user data packet)에 IP 헤더를 추가한 IP 패킷으로 바뀌어 매칭된다.

상기 도 3을 참조하면, MS는 MIP 및 UDP와 같은 상위 계층(Upper Layer)에서 송신할 데이터(User Data Packet)가 생성되면 IP 계층으로 내려준다. 그러면 상기 IP 계층은 상기 송신할 데이터의 목적지에 따라 구분하여 종단간 프로토콜인 PPP(Point to Point Protocol) 계층으로 내려준다. 상기 PPP 계층은 이를 통해 LAC 계층과 MAC 계층 및 무선 링크(Air Link) 계층을 통해 공중파로 전송한다. 상기 LAC 계층과 상기 MAC 계층은 이동통신 표준화 규격인 IS-2000에서 표준화된 규격을 따르며, 상기 MAC 계층은 MS와 BTS 및 BSC간 채널의 무선 링크 프로토콜(RLP: Radio Link Protocol)의 연결을 수행한다.

이와 같이 공중파를 통해 전송된 데이터는 BTS 또는 BSC의 무선 링크(Air Link) 계층을 통해 수신하여 MAC 계층과 LAC 계층을 통해 전달된다. 상기 LAC 계층을 통해 전달되는 PPP 프레임은 GRE 계층으로 제공되어 PPP 세션 번호를 결정하는 키 값과 시퀀스 번호를 포함하는 GRE 헤더가 추가된다. 상기 GRE 헤더가 포함된 PPP 프레임은 IP 계층과 링크 계층(Link Layer) 및 물리계층(Physical Layer, 이하 'PL'이라 칭함)을 통해 PDSN으로 제공된다.

상기 BSC/PCF로부터의 PPP 프레임 포맷의 데이터는 상기 PDSN은 PL과 링크 계층을 통해 IP 계층으로 제공된다. 상기 IP 계층에서는 IP 헤더가 제거된 후 GRE 계층으로 제공된다. 상기 GRE 계층은 상기 IP 헤더가 제거된 데이터를 GRE 헤더를 분석하여 상기 키 값과 상기 시퀀스 번호를 찾은 후 상기 GRE 헤더를 제거한다. 상기 GRE 헤더가 제거된 PPP 프레임 데이터는 PPP 계층과 IP 계층에 의해 PPP 헤더와 IP 헤더가 제거됨으로서 사용자 데이터가 출력된다. 상기 사용자 데이터는 상기 PDSN의 IP 계층에 의해 IP 망에서 요구되는 IP 헤더가 추가된 후 링크 계층과 PL을 통해 종단 호스트로 전달된다. 따라서, 상기 PDSN으로부터 출력되는 데이터는 IP 패킷의 형태를 가진다.

상술한 바와 같이 BSC/PCF와 PDSN사이에는 FE를 데이터 링크 계층(data link layer)으로 가지는 IP 망을 거쳐 GRE 터널링을 통한 PPP 프레임 데이터가 송수신되고, 상기 PDSN이 상기 BSC/PCF로부터 수신하는 PPP프레임 데이터는 분해되어 제공될 수 있다. 그리고 GRE 헤더 정보에는 각각의 MS들에 대한 PPP 세션을 알 수 있는 키 값과 IP 망을 통함으로서 패킷 데이터를 순서대로 복원하기 위한 시퀀스 번호가 포함된다.

1.2 MS와 PDSN간의 프레임 구조

본 발명의 실시 예가 적용되는 BSC와 PDSN간에 패킷 데이터를 전송하기 위해 사용되는 프레임의 구조는 도 4에서 보이고 있는 바와 같다. 상기 도 4에 있어 PPP 헤더는 플래그 필드와 어드레스 필드 및 제어 필드로 구성된다. 상기 플래그 필드는 시작 플래그와 종료 플래그가 설정되는 영역이다. 상기 어드레스 필드에는 '0xFF'가 기록되며, 상기 제어 필드에는 '0x03'이 저장된다. 한편, 상기 PPP 헤더를 제외한 나머지 영역(PPP 정보 필드)에는 바이트 스터핑이 이루어졌음을 나타내는 '0x7D'사 포함될 수 있다. 상기 '0x7D'는 바이트 스터핑이 이루어졌음을 나타내는 것으로 IP 패킷으로 변환하기 위해서는 바이트 디스터핑을 통해 원래의 데이터로 복원하여야 한다.

1.3 PDSN 구성

도 5는 본 발명의 실시 예에 따른 PDSN의 상세 구성을 보이고 있는 도면이다. 상기 도 5에서 보이고 있는 바와 같이 본 발명의 실시 예에 의해 종래 PSDN 구 성에 PPP 프레임화(framing) 및 바이트 스터핑(Byte stuffing)을 수행하는 PPP 프레임 생성부(230)와 PPP 디-프레임화(de-framing) 및 바이트 디시터핑(Byte de-stuffing)을 수행하는 IP 프레임 생성부(240)이 추가되었음을 알 수 있다.

상기 도 5를 참조하면, IP 프레임 생성부(240)는 MS(101)로부터의 PPP 프레임을 외부 IP 망(107)을 통해 수신하고, 상기 PPP 프레임에 의해 IP 프레임을 생성하기 위한 디-프레임화 동작을 수행한다. 또한, 상기 IP 프레임 생성부(240)는 상기 PPP 프레임의 정보필드에 기록된 데이터들이 스터핑되어 있는 경우 상기 데이터를 복원하기 위한 디스터핑 동작을 기존의 구성들과 연동하여 수행한다. PPP 프레임 생성부(240)는 라우터(111)를 통해 상기 인터넷망(113)으로부터 수신되는 IP 프레임을 수신하고, 상기 IP 프레임에 의해 PPP 프레임을 생성하기 위한 프레임화 동작을 수행한다. 또한, 상기 MS(101)측으로부터 스터핑이 요구되는 경우에는 상기 생성한 PPP 프레임의 특정 데이터들을 스터핑하기 위한 스터핑 동작을 기존의 구성들과 연동하여 수행한다. 상기 PPP 프레임 생성부(230)와 상기 IP 프레임 생성부(240)는 기존의 구성들과의 연동을 위해 망 제어부(212)와 소정 버스를 통해 연결된다. 상기 버스는 PCI 버스가 될 수 있다.

본 발명의 실시 예에 따른 상기 PPP 프레임 생성부(230)와 상기 IP 프레임 생성부(240) 및 상기 연동을 위한 구성들의 상세 구성은 도 6에서 보이고 있는 바와 같다.

상기 도 6을 참조하면, MAC(211)으로 수신되는 프레임은 MAC 헤더가 제거된 후 망 제어부(212)로 입력된다. 상기 망제어부(212)는 상기 MAC 헤더가 제거된 프 레임을 수신하고, 상기 프레임의 IP 헤더로부터 IP 어드레스를 분석하여 자신의 IP 어드레스와 일치하는지를 판단한다. 만약, 상기 IP 어드레스가 일치하면 상기 망 제어부(212)는 상기 IP 헤더를 제거하고, 상기 IP 헤더가 제거된 프레임의 GRE 헤더를 분석하여 키 값을 확인한다. 상기 망 제어부(212)는 상기 확인한 키 값에 대응하는 PPP 세션 번호를 찾은 후 상기 프레임으로부터 상기 GRE 헤더를 제거한 PPP 프레임

을 상기 PPP 세션 번호별로 구분하여 패킷 메모리(619)로 제공한다. 상기 패킷 메모리(619)는 상기 망 제어부(212)로부터의 PPP 프레임을 상기 PPP 세션 번호별로 구분하여 저장한다. 이때, 상기 패킷 메모리(619)에는 상기 PPP 세션 번호별로 PPP 링크 설정 옵션이 저장될 수 있다. 상기 PPP 프레임은 후술될 IP 프레임 생성부(240)에 의해 IP 프레임으로 생성되어 상기 패킷 메모리(619)에 저장될 것이다. 상기 망 제어부(212)는 상기 패킷 메모리(619)에 저장된 상기 IP 프레임을 독출하고, 이를 버스를 통해 라우터(111)로 제공한다. 상기 라우터(111)로 제공된 상기 IP 프레임은 인터넷망(113)을 통해 소정 종단 호스트(115)로 제공될 것이다. 한편, 상기 종단 호스트(115)로부터의 IP 프레임은 상기 인터넷망(113)을 통해 상기 라우터(111)로 수신되며, 상기 라우터(111)는 상기 IP 프레임을 PDSN(109)의 망 제어부(212)로 제공할 것이다. 상기 망 제어부(212)는 상기 라우터(111)로부터의 IP 프레임을 상기 패킷 메모리(619)에 저장한다. 상기 패킷 메모리(619)에 저장된 상기 IP 프레임은 후술될 구성인 PPP 프레임 생성부(230)에 의해 PPP 프레임을 생성되어 상기 패킷 메모리(619)에 저장될 것이다. 상기 망 제어부(212)는 상기 패킷 메모리(619)에 저장된 상기 PPP 프레임에 GRE 헤더, IP 헤더를 추가하여 상기 MAC(211)으로 제공한다. 상기 MAC(211)은 상기 망 제어부(212)로부터의 프레임에 MAC 헤더를 추가하여 BSC(105)로 전송한다.

전술한 바와 같이 상기 망 제어부(212)는 상기 MAC(211)으로부터 제공되는 프레임을 상기 PPP 프레임으로 변환하여 저장하는 일련의 과정들을 소프트웨어적으로 처리한다. 또한, 상기 망 제어부(212)는 상기 라우터(211)로부터의 IP 프레임에 의해 생성된 PPP 프레임을 상기 BSC(105)로 제공하기 위한 프레임으로 변환하는 일련의 과정을 소프트웨어적으로 처리한다.

상기 패킷 메모리(619)는 스터핑을 위한 송신 및 수신 링 디스크립터(Tx, Rx Ring Descriptor)(611, 612), 디스터핑을 위한 송신 및 수신 링 디스크립터(Tx, Rx Ring Descriptor)(613, 614), 송신 및 수신 PPP 스터핑 큐(615, 616) 및 송신 및 수신 PPP 디스터핑 큐(617, 618)로 구성된다. 상기 송신 및 수신 PPP 스터핑 큐(615, 616)는 PPP 프레임 생성부(230)에서 IP 프레임으로부터 PPP 프레임을 생성하기 위해 사용하는 큐이며, 상기 송신 및 수신 PPP 디스터핑 큐(617, 618)는 IP 프레임 생성부(240)에서 PPP 프레임으로부터 IP 프레임을 생성하기 위해 사용하는 큐이다. 이때, 상기 송신 및 수신 PPP 스터핑 큐(615, 616) 및 상기 송신 및 수신 PPP 디스터핑 큐(617, 618)는 상기 망 제어부(212)에서 수행되는 소프트웨어적인 처리에서도 공용으로 사용된다. 즉, 상기 망 제어부(212)는 MAC(211)을 통해 수신되는 프레임으로부터 GRE 헤더와 IP 헤더를 제거한 PPP 프레임을 상기 Tx PPP 디스터핑 큐(618)에 저장함으로서 상기 IP 프레임 생성부(240)가 독출할 수 있도록 한다. 한편, 상기 IP 프레임 생성부(240)에 의해 생성된 IP 프레임은 상기 Rx PPP 디 스터핑 큐(617)에 저장됨으로서 상기 망 제어부(212)에 의해 독출되어 상기 라우터(111)로 전송된다. 한편, 상기 라우터(111)로부터 상기 망 제어부(212)로 제공되는 IP 프레임은 상기 PPP 프레임 생성부(230)가 독출할 수 있도록 상기 Tx PPP 스터핑 큐(616)에 저장되며, 상기 PPP 프레임 생성부(230)에 의해 생성된 PPP 프레임은 상기 Rx PPP 스터핑 큐(616)에 저장됨으로서 상기 망 제어부(212)가 독출하여 상기 MAC(211)을 통해 BSC로 송신할 수 있도록 한다. 상기 Tx/Rx 링 디스크립터(611, 612)는 상기 PPP 프레임 생성부(230)가 PPP 프레임을 생성하기 위해 수행하는 프레이밍 및 스터핑 동작을 수행함에 있어 소프트웨어 부담을 덜기 위한 기능을 수행한다. 상기 Tx/Rx 링 디스크립터(613, 614)는 상기 IP 프레임 생성부(240)가 IP 프레임을 생성하기 위해 수행하는 디프레이밍 및 디스터핑 동작을 수행함에 있어 소프트웨어 부담을 덜기 위한 기능을 수행한다.

상기 PPP 프레임 생성부(230)는 제1인터페이스부(631), 제1DMA 제어부(632), 제1수신버퍼(633), 제2송신버퍼(634) 및 바이트 스터핑 처리부(635)로 구성된다.

상기 제1인터페이스부(631)는 마스터(Master) 기능과 슬레이브(Slave) 기능을 가지며, 상기 버스를 통해 수신되거나 상기 버스로 송신할 데이터를 인터페이싱 한다. 이때, 상기 버스는 32비트 66MHz를 사용하여 데이터를 전송하는 PCI 버스를 사용하여 구현할 수 있다. 상기 제1DMA 제어부(632)는 상기 제1인터페이스부(631)를 통해 기존의 구성들과의 데이터 통신을 수행한다. 즉, 상기 제1DMA 제어부(632)는 상기 제1인터페이스(631)를 통해 상기 Tx PPP 스테핑 큐(616)로부터 프레이밍 및 스터핑을 수행한 IP 프레임을 제공받아 제1수신버퍼(633)에 저장한다. 또한, 상 기 제1DMA 제어부(632)는 제1송신버퍼(634)로부터 프레이밍 및 스터핑이 이루어진 PPP 프레임을 독출하여 상기 제1인터페이스부(631)를 통해 상기 Rx PPP 스터핑 큐(615)에 저장한다. 상기 제1수신버퍼(633)는 상기 제1DMA 제어부(632)로부터 프레이밍 및 스터핑을 위해 제공되는 데이터를 임시 저장한다. 상기 제1수신버퍼(633)는 32비트를 입력으로 하여 8비트를 출력하는 방식의 데이터 폭 변환 선입선출형(data width conversion FIFO) 버퍼를 사용하여 구현할 수 있다. 상기 바이트 스터핑 처리부(635)는 상기 제1수신버퍼(633)에 저장된 IP 프레임을 입력하고, 상기 IP 프레임의 데이터를 PPP 프레임의 형태로 생성하고, 상기 생성한 PPP 프레임에 대한 스터핑이 요구될 시 상기 PPP 프레임의 정보필드에 기록된 데이터들에 대해 스터핑을 수행한 후 제1송신버퍼(634)에 저장한다. 하지만, 상기 PPP 프레임에 대한 스터핑이 요구되지 않을 시에는 상기 PPP 프레임을 그대로 상기 제1송신버퍼(634)에 저장한다. 상기 바이트 스터핑 처리부(635)의 상세 구성은 도 7에서 상세히 보이고 있다. 상기 제1송신버퍼(634)는 상기 바이트 스터핑 처리부(635)에 의해 프레이밍 및 스터핑이 이루어진 PPP 프레임을 제공받아 저장한다. 상기 제1송신버퍼(634)는 8비트를 입력으로 하여 32비트를 출력하는 방식의 데이터 폭 변환 선입선출형(data width conversion FIFO) 버퍼를 사용하여 구현할 수 있다.

상기 IP 프레임 생성부(240)는 제2인터페이스부(641), 제2DMA 제어부(642), 제2송신버퍼(643), 제2수신버퍼(644), 바이트 디스터핑(645), 버퍼(647), 메모리(648), 메모리 제어부(649) 및 어드레스 생성부(646)로 구성된다. 상기 제2송신 및 수신버퍼(643, 644)는 상기 DMA 제어부(642)와 바이트 디스터핑 처리부(645)의 동시제어를 받는다.

상기 제2인터페이스부(641)는 마스터(Master) 기능과 슬레이브(Slave) 기능을 가지며, 상기 버스를 통해 수신되거나 상기 버스로 송신할 데이터를 인터페이싱 한다. 이때, 상기 버스는 32비트 66MHz를 사용하여 데이터를 전송하는 PCI 버스를 사용하여 구현할 수 있다. 상기 제2DMA 제어부(642)는 상기 제2인터페이스부(641)를 통해 기존의 구성들과의 데이터 통신을 수행한다. 즉, 상기 제2DMA 제어부(642)는 상기 제2인터페이스(641)를 통해 상기 Tx PPP 디스

테핑 큐(618)로부터 디프레이밍 및 디스터핑을 수행한 PPP 프레임을 제공받아 제2수신버퍼(644)에 저장한다. 또한, 상기 제2DMA 제어부(642)는 제2송신버퍼(643)로부터 디프레이밍 및 디스터핑이 이루어진 IP 프레임을 독출하여 상기 제2인터페이스부(641)를 통해 상기 Rx PPP 디스터핑 큐(617)에 저장한다. 상기 제2수신버퍼(644)는 상기 제2 DMA 제어부(642)로부터 디프레이밍 및 디스터핑을 위해 제공되는 데이터를 임시 저장한다. 상기 제2수신버퍼(644)는 32비트를 입력으로 하여 8비트를 출력하는 방식의 데이터 폭 변환 선입선출형(data width conversion FIFO) 버퍼를 사용하여 구현할 수 있다. 상기 바이트 디스터핑 처리부(645)는 상기 제2수신버퍼(644)에 저장된 PPP 프레임을 입력하고, 상기 PPP 프레임의 데이터를 IP 프레임의 형태로 생성한다. 상기 IP 프레임의 생성에 앞서 상기 PPP 프레임에 대한 디스터핑이 요구될 시 상기 PPP 프레임의 정보필드에 기록된 스터핑된 데이터들에 대해 디스터핑을 수행하여 원래의 데이터로 복원하여 삽입한 후 IP 프레임을 생성한다. 상기 바이트 디스터핑 처리부(645)의 상세 구성은 도 8에서 보이고 있는 바와 같다.

한편, 상기 PPP 프레임이 분해(fragmented)되어 있는 경우에는 동일한 PPP 세션 번호를 가지는 PPP 프레임들을 재조립하여 하나의 IP 패킷으로 생성하기 위한 별도의 구성이 요구된다. 즉, 메모리(648), 메모리 제어부(649) 어드레스 생성부(646) 및 버퍼 제어부(650)가 추가로 요구되는 구성이다. 상기 어드레스 생성부(646)는 상기 PPP 세션별로 상기 디프레이밍 및 디스터핑이 이루어진 데이터를 저장하기 위해 상기 PPP 세션 번호에 대응하는 메모리(648)의 소정 어드레스로 생성한다. 상기 버퍼 제어부(650)는 상기 어드레스 생성부(646)로부터 생성된 어드레스에 의해 버퍼(647)와 상기 제2송신버퍼(643)의 버퍼링을 제어한다. 상기 버퍼(647)는 상기 바이트 디스터핑 처리부(645)로부터 8비트로 입력되는 데이터를 임시로 저장하고, 상기 버퍼 제어부(650)의 제어에 의해 32비트의 데이터를 출력한다. 메모리 제어부(649)는 상기 어드레스 생성부(646)로부터 생성된 어드레스를 입력으로 하고, 상기 어드레스에 의해 메모리(648)를 제어한다. 상기 메모리(648)는 상기 버퍼(647)를 통해 버퍼링되는 데이터를 입력으로 하고, 상기 데이터를 상기 메모리 제어부(649)의 제어에 의해 저장한다. 따라서, 상기 메모리(648)에는 상기 바이트 디스터핑 처리부(645)로부터 출력되는 데이터들이 PPP 세션 번호들로 구분되어 저장될 것이다. 한편, 상기 메모리(648)는 상기 메모리 제어부(649)의 제어에 의해 상기 저장된 데이터들을 상기 PPP 세션 번호별로 출력한다. 상기 제2송신버퍼(643)는 상기 메모리(648)로부터 출력되는 데이터를 임시 저장하고, 상기 버퍼 제어부(650)로부터의 제어에 의해 상기 저장된 데이터를 상기 제2DMA 제어부(642)로 제공한다. 상기 제2DMA 제어부(642)로 제공되는 데이터는 이미 디프레이밍과 디스터핑이 완료된 IP 프레임의 구성을 가진다.

상기 도 7은 본 발명의 실시 예에 따른 바이트 스터핑부(635)의 상세 구성을 보이고 있는 도면이며, 상기 도 8은 본 발명의 실시 예에 따른 바이트 디스터핑부(645)의 상세 구성을 보이고 있는 도면이다.

먼저, 상기 도 7을 참조하면, 제1DMA 제어부(632)는 제1수신 버퍼(633)에 새로운 PPP 세션의 PPP 바이트 스터핑 처리를 위한 데이터를 쓰기 시작할 때와 동시에 제어 데이터 레지스터(721)로 세션 시작신호를 준다.

상기 제어 데이터 레지스터(721)는 상기 제1DMA 제어부(632)로부터 세션 시작신호를 받아 상기 제1수신 버퍼(633)로부터 고정된 크기의 제어 데이터를 수신하기 시작한다. 그리고, 상기 수신한 각 제어 데이터의 값들을 해당하는 레지스터에 저장한다. 한편, 상기 제어 데이터 레지스터(721)는 바이트 스터핑을 위해 수신한 PPP 세션 링크 옵션 설정값인 ACCM 플래그 값을 스터핑 옵션 비교부(723)로 보내며, 헤더 삽입부(722)를 위해 고정된 크기의 제어데이터를 디스-카운트하여 상기 제어 데이터를 모두 수신하면 자신은 입력 디스-에이블 상태로 두고 상기 헤더 삽입부(722)로 신호(인에이블 신호)를 주어 '0x7E'가 8 비트 버스를 통해 데이터 길이 변환용 버퍼인 제1송신 버퍼(634)로 입력되도록 한다. 그리고, 종료 플래그 삽입부(726)로부터 한 개의 PPP 데이터에 대한 PPP 프레이밍이 종료되었다는 신호를 수신하면 다시 상기 제1수신 버퍼(633)로부터 신호를 받아들이게 된다.

상기 헤더 삽입부(722)는 상기 제어 데이터 레지스터(721)로부터 인에이블 신호를 받으면 즉시 PPP 프레임 헤더를 삽입하는데, 시작 플래그 외에 고정된 값 '0xFF', '0x03'도 함께 삽입하여 상기 제1송신 버퍼(634)로 제공한다. 여기서, 상기 '0xFF', '0x03'은 CRC 필드 값 생성을 위해 CRC 계산 및 삽입부(725)의 CRC 삽입부로 다시 입력된다.

상기 스터핑 옵션 비교부(723)는 상기 제어 데이터 레지스터(721)에서 수신한 상기 ACCM 플래그 값을 내부 비교기로 입력시키고 상기 제1수신 버퍼(633)에서 수신한 실제 PPP 데이터와 비교한다. 상기 비교를 통해 상기 ACCM 플래그 값에 해당하는 바이트들은 바이트 스터핑부(724)로 보내져 모두 RFC-1662에 의거하여 바이트 스터핑된 다음에 상기 제1출력 버퍼(634)로 입력된다. 하지만, 상기 ACCM 플래그 값이 바이트 스터핑을 하지 않는 의미의 '0x00'일 때에는 바이트 스터핑을 하지 않고 곧바로 상기 제1출력 버퍼(634)로 내보내며, 상기 CRC 계산 및 삽입부(725)로도 동시에 입력된다.

상기 바이트 스터핑부(724)는 상기 RFC-1662에 의거하여 바이트 스터핑을 실제 처리하는 부분으로서 스터핑할 데이터의 앞에 Control Escape Character인 '0x7D'를 삽입하고, 원래 데이터는 변형된 다음에 상기 제1출력 버퍼(634)로 보내진다.

상기 CRC 계산 및 삽입부(725)는 CRC 필드 값 삽입을 위한 CRC 계산을 처리하는 부분으로서 CRC 계산 로직으로 구성된다. 상기 PPP 프레임의 시작 플래그와 종료 플래그를 제외한 바이트 스터핑전의 모든 PPP 데이터는 상기 CRC 계산 및 삽입부(725)로 입력되어 CRC가 계산된다. 그리고, 상기 제1DMA 제어부(632)로부터 현재 진행 중인 PPP 세션에 대한 바이트 스터핑을 위하여 마지막 바이트를 알리는 신 호를 수신하게 된다. 한편, 상기 제어 레지스터(721), 헤더 삽입부(722) 및 스터핑 옵션 비교부(723)는 다음의 PPP 세션처리를 위한 데이터가 상기 제1수신 버퍼(633)로부터 수신되지 않도록 제어하고, 상기 CRC 계산 및 삽입부(725)는 상기 계산된 CRC 결과 값인 2 바이트를 상기 스터핑 옵션 비교부(723)를 통해 스터핑 적용 여부를 판단한 뒤 상기 제1출력 버퍼(634)로 제공한다. 그리고, 곧바로 종료 프레그 삽입부(726)로 종료 플래그를 위한 인에이블 신호를 보낸다.

상기 종료 프레그 삽입부(726)는 종료 플래그인 '0x7E' 값을 상기 제1출력 버퍼(634)로 내보내고, 이번 세션에 대한 PPP 프레이밍 완료를 알리는 신호를 상기 제어 데이터 레지스터(721)와 상기 제1DMA 제어부(632) 및 버퍼 제어부(

도면상에 도시하고 있지 않음)로 보내 상기 제DMA 제어부(632)가 상기 제1송신 버퍼(634)에 있는 이번 세션에 대한 PPP 프레이밍 데이터를 모두 가져가도록 한다.
다음으로 상기 도 8을 참조하여 바이트 디스터핑 처리부(645)에 대해 설명하면 다음과 같다.
후술될 바이트 디스터핑 처리부(645) 내의 각 블럭들은 초기에 모두 디세이블(disable) 상태이며, 제2DMA 제어부(642)는 새로운 PPP 세션(session)을 처리하기 위한 제어 데이터를 상기 바이트 디스터핑 처리부(645) 내의 제어 레지스터에 저장한다. 상기 제어 데이터 레지스터에 저장되는 제어 데이터는 이미 약속되어진 크기이므로 순수 PPP 프레임 데이터의 시작점을 알 수 있으며, 이의 신호를 시작 플래그 검색 및 제거부(822)로 보낸다.
한편, 상기 제2DMA 제어부(642)는 제2수신 버퍼(644)에 제어 데이터를 포함 하는 디-스터핑할 PPP 프레임 데이터를 일정한 크기단위로 전송하기 위해 Tx 링 디스크립터(614)를 참조하게 된다. 상기 제2수신 버퍼(644)는 상기 바이트 디스터핑 처리부(645)의 제어를 받아 1 바이트씩 데이터를 출력시킨다. 상기 제2수신 버퍼(644)에서 출력된 데이터들 중 PPP 세션, PPP 링크 설정을 위한 협상 값, 데이터 크기 등을 포함하는 제어데이터는 제어 데이터 레지스터(821)로 입력되어 해당 레지스터에 저장된다. 상기 일정한 크기의 제어데이터가 입력된 후에 상기 제어데이터 레지스터(821)는 다음 과정의 처리를 위해 시작 플래그 검색 및 제거부(822)로 인-에이블 신호를 출력시킨다.
상기 시작 플래그 검색 및 제거부(822)에서는 시작플래그를 검색하며, 이를 제거한다. 이때, 상기 제어 데이터의 입력 후 PPP 프레임 포맷의 시작 플래그인 '0x7E' 값과 고정된 어드레스 필드 값과 제어필드 값인 '0xFF' '0x03'순으로 입력될 것이다. 상기 시작 플래그 검색 및 제거부(822)에서는 상기 시작플래그가 검출되면 상기 시작플래그('0x7E')를 제거하고, 그 뒤를 따르는 고정된 값('0xFF' '0x03')은 CRC 계산을 위해 CRC 검사부 및 비교부(826)로 바로 보내며 출력버퍼로는 보내지 않는다(도 8에서는 생략됨). 상기 시작 플래그 검색 및 제거부(822)는 상기 시작플래그가 검출되지 않으면, 상기 입력된 데이터들을 종료 플래그 검색 및 제거부(823)로 전달한 후 인-에이블 신호를 출력시킨다.
상기 종료 플래그 검색 및 제거부(823)에서는 종료 플래그의 검색을 통해 상기 종료 플래그가 발견되면 이를 제거한다. 하지만, 상기 종료 플래그가 발견되지 않으면 상기 시작 플래그 검색 및 제거부(822)로부터 제공되는 데이터들을 바이트 스터핑 검색부(824)로 전달한다. 한편, 상기 종료 플래그 검색 및 제거부(823)는 상기 바이트 스터핑 검색부(824)와 바이트 디스터핑부(825)에 의한 디-스터핑 처리 후에 상기 종료 플래그가 검출되면 이를 제거한다. 그리고, 상기 제어 데이터 레지스터(821)에 이를 알린다. 상기 제어 데이터 레지스터(821)에서는 상기 종료 플래그 검출신호를 받지 않은 상태에서, 다음에 입력되는 새로운 PPP 프레임 데이터 처리를 위한 세션이 입력될 경우 이전 세션번호와 현재 수신한 세션번호가 서로 같은지를 비교한다. 상기 세션번호가 다르면, 조각 플래그(fragment flag)를 해당 세션번호의 조각 플래그(fragment flag) 레지스터에 세트(set)해 둔다. 그 후에 상기 제어데이터 레지스터는 버퍼에 남아있는 PPP 데이터를 PPP 세션번호와 순차적 변위에 의한 어드레스 생성부(646)의 제어 하에 메모리(648)로 출력시킨다. 만약, 상기내용에서 상기 종료 플래그가 수신되지 않았는데, 새로운 PPP 프레임 데이터 처리를 위한 이전과 동일한 PPP 세션번호가 입력될 경우, 1개의 GRE 터널(tunnel)내에 종료 플래그가 포함되지 않은 GRE 터널 길이 보다 큰 PPP 프레임 데이터를 나타낸다. 따라서, 조각(fragment)된 데이터이지만, 상기 제어 데이터 레지스터에서는 상기 조각 플래그 레지스터를 세트하지 않고, 상기 디-스터핑 처리부(825)에서 서로 다른 PPP 세션의 처리가 이어질 때만 상기 조각 플래그 레지스터를 세트한다. 그리고, 상기 종료 플래그 검색 및 제거부에서 종료 플래그가 검출되면 2 바이트의 출력 버퍼(828)로 종료 플래그의 수신을 알려서 PPP 프레임 데이터들 중에서 종료 플래그 바로 직전의 2 바이트의 CRC 값이 저장된 출력버퍼의 값이 CRC 검사 및 비교부(826)로 전송되도록 한다. 또한, 상기 종료 플래그 검색 및 제거부(823)에서는 종료 플래그가 검출되었지만 상기 제어 데이터 레지스터로부터 새로운 PPP 세션의 처리가 이루어지지 않을 때는 동일 세션의 처리 데이터에서 한 쌍 이상의 시작과 종료 플래그가 존재하는 것이므로 상기 시작 플래그 검색 및 제거부(822)로 다시 동작 인-에이블 신호를 보낸다.
상기 바이트 스터핑 검색부(824)에서는 바이트 단위로 입력되는 데이터들에 대해 RFC-1662에 의거해 바이트 디-스터핑을 수행하는 부분으로서, 상기 제어 데이터 레지스터(821)에 저장되어 있는 ACCM 값에 의거해 해당 세션이 바이트 스터핑을 요구하는지를 분석한다. 상기 분석에 의해 상기 바이트 스터핑이 필요 없으면, 해당 세션의 PPP 프레임 데이터에 대해서는 상기 바이트 디스터핑부(825)로 보내지 않고 곧바로 상기 출력버퍼(647)로만 보낸다. 그리고, ACCM 플래그 값이 0x0(바이트 스터핑 없음)이 아니면 RFC 1662에 의거해 Control Escape Character인 '0x7D'를 찾아 제거하고, 그 다음에 오는 바이트 데이터를 상기 바이트 디스터핑부(825)로 보낸다. 하지만, 상기 '0x7D'가 발견되지 않으면 상기 출력버퍼(647)로 보낸다. 그리고, 상기 종료 플래그 검색 및 제거부(823)에서는 데이지 채인(daisy-chain) 방식의 연결 부분의 마지막 부분으로서 디-스터핑 처리 후 상기 시작 플래그 검색 및 제거부(822)로 동작 인-에이블 신호를 보낸다.
상기 바이트 디스터핑부(825)에서는 상기 바이트 스터핑 검색부(824)에서 수신한 바이트 데이터에 대해 RFC-1662에 의거해 실제 바이트 디-스터핑을 수행하여 Control Escape Chracter인 '0x7D'를 제거하고, 상기 스터핑된 바이트를 원래의 바이트 데이터로 복원하는 부분이다.
상기 CRC 검사 및 비교부(826)에서는 상기 바이트 스터핑 검색부(824)로부터 수신한 바이트 데이터들을 내부적으로 비트화 하여 CRC 검출로직으로 입력시켜 CRC 검사를 한다. 항상 중간 CRC 계산 값을 별도의 CRC 중간 계산값 레지스터(832)에 저장하여 상기 제어 데이터 레지스터(821)에서 새로운 PPP 세션 처리를 위한 데이터 입력을 알리는 신호를 상기 CRC 검사 및 비교부(826)로 보낸다. 이 때 상기 CRC 중간 계산값 레지스터(832)에 저장되어 있는 현재까지의 미완성 CRC 계산 값을 상기 출력버퍼(647)로 보낸다. 이 후 상기 출력버퍼(647)는 8비트의 데이터 버스를 통해 데이터 길이 변환용 버퍼(647)에 전송한다.
그리고, 1 개의 PPP 세션처리에서 종료플래그가 검출되면 상기 출력버퍼(647)에 있던 2 바이트의 CRC 필드 값의 CRC값이 상기 CRC 검사 및 비교부(826)로 입력된다. 따라서, 상기 바이트 스터핑 검색부(824)와 상기 바이트 디스터핑부(825)로부터 수신된 PPP 프레임 데이터에 대한 CRC 계산 결과 값과 비교하여 CRC 정상유무를 판별한다. 그리

고, 상기 판별 결과를 다시 상기 출력버퍼(647)를 통해 어드레스 생성부(646)와 메모리 제어부(649)에 의거해 메모리 내 제어 데이터영역의 특정 어드레스로 입력된다.
2 바이트의 출력버퍼(828)는 디-스터핑 처리되거나 그대로 통과한 바이트 데이터들에 대해 임시 저장용으로 사용되나 별 의미가 없으며, 실제 목적은 종료 플래그 검출 후에 그 바로 앞의 2 바이트의 CRC 필드 값을 추출해 상기 CRC 검사 및 비교부(826)로 보내기 위해서이다. 상기 출력버퍼(828)는 순수 PPP 디-프레이밍(0x7E,0xFF,0x03 제거 및 바이트 디-스터핑)을 수행한 값들을 상기 제 어 데이터 레지스터(821)의 PPP 세션번호, ACCM 플래그 값과 함께 데이터 길이 변환용 버퍼로 입력시킨다. 이 때, 상기 어드레스 생성부(646)와 상기 메모리 제어부(649)에 의해 각 PPP 세션의 해당하는 메모리의 특정주소에 어드레싱된다. 이때, 상기 데이터는 상기 어드레스 생성부(646)와 상기 출력버퍼(828)의 데이터 출력 카운트 수를 입력으로 하는 버퍼 제어부(650)에 의해 제어를 받아 메모리(649)로 입력시킨다.
상기 제어데이터 임시 레지스터는 상기 제어 데이터 레지스터(812)의 조각 플래그(fragment flag) 레지스터에 세트된 상태에서 동일한 새로운 PPP 세션 처리 데이터가 입력되면, 메모리 내의 해당 조각된 PPP 세션의 제어 데이터가 저장된 곳에서 좀 전에 저장된 미완성의 CRC 값을 읽어 들인 후에 상기 CRC 검사 및 비교부(826)로 보내어 1개의 전체 PPP 프레임에 대한 CRC 검사를 완료한 후에 그 정상 유무를 메모리내의 특정한 제어 데이터 영역에 저장한다.
그리고 메모리에서 제2송신 버퍼(643)로 데이터를 전송하기 위해, 상기 종료 플래그 검색 및 제거부(823)에서 종료 플래그가 검출되면 곧바로 상기 제어 데이터 레지스터(821)와 상기 어드레스 생성부(646)로 신호를 준다. 상기 어드레스 생성부(646)에서는 해당 PPP 세션의 베이스(base) 어드레스에서 순차적으로 카운트한 어드레스에 따라 메모리 내의 순수 PPP 데이터를 내 보낸다.
전술한 바이트 디스터핑 처리부(645)의 블록들 중 입력 데이터 버스를 공유하는 제어 데이터 레지스터(821), 시작 플래그 검색 및 제거부(822) 및 종료 플래그 검색 및 제거부(823)는 현재 진행 중인 블록의 처리가 끝나야만 다음 순위의 블 록이 진행할 수 있는 데이지 체인 방식을 가진다.
이하 본 발명의 실시 예에 따른 패킷 데이터의 송/수신 동작을 첨부된 도면을 참조하여 상세히 설명하면 다음과 같다.

2. 본 발명의 실시 예에 따른 동작

2.1 초기화 동작

전술한 바와 같이 상기 MS(101)와 상기 인터넷망(113)간에 패킷 데이터를 전송하기 위해서는 소정의 프로토콜 및 라우팅을 위한 정보들이 사용되고 있으며, 이에 대한 정의가 패킷 데이터의 실질적인 전송에 앞서 이루어져야 할 것이다.
상기 도 1에서 보이고 있는 구성을 통해 패킷 데이터를 전송하기 위해서는 상기 구성들 각각에 대응한 초기화 과정에 따른 각종 절차들이 요구된다. 즉, 패킷 통신을 수행하기 위해 요구되는 프로토콜 및 통신 경로 등이 패킷 데이터를 실제로 전송하기에 앞서 설정되어야 하는 것이다. 즉, 초기화 과정에 따른 절차들은 진행된 호의 종류를 파악하고, 상기 파악된 호의 종류에 따라 시스템 내에서 연결을 수락할 것인가에 따른 절차 등으로 이루어져 있다. 이러한 절차는 가입자를 구비하는 각 통신시스템에서 수행되는 것이며, 통신시스템의 접속방법에 따라 그 절차가 달라진다. 이는 각 시스템이 서로 다른 구성을 가지며, 서로 다른 규약을 사용하기 때문이다.
이를 보다 구체적으로 살펴보면, BSC/PCF(105)와 PDSN(109)간에는 알-피(R-P: RN(Radio network)-PDSN(Packet Data Serving Node)) 세션 계층(Session Layer)이 존재한다. 상기 R-P 세션 계층에 따른 R-P 인터페이스는 이동 패킷 데이터 통신 시스템에서도 패킷 데이터를 전송하기 위해 상기 PDSN(109)과 BSC/PCF(105)간에 사용하고 있다. 즉, 상기 BSC/PCF(105)와 상기 PDSN(109)간은 R-P 인터페이스를 이용하여 패킷(Packet) 데이터를 송수신하도록 연결되어 있다. 또한 상기 PDSN(109)과 상기 IP 망(107)사이에 패킷 데이터 등을 전송할 수 있도록 구성하고 있다. 이는 양단간의 연결 설정을 위한 시스날링(signaling)으로서, A11 등록 메시지가 MAC/IP/UDP/Mobile IP(A11 Registration-Request, Reply) 형태로 교환된다. 상기 형태의 메시지는 상기 PDSN(109)의 인터페이스 라인카드(Interface Line card)의 망 제어부(Network Processor, 이하 'NP'라 칭함)를 통해 시스템 프로세서(System Processor)로 입력되어 양단간의 R-P 세션을 열기 위해 처리된다.
전술한 과정에 의해 상기 BSC/PCF(105)와 상기 PDSN(109)간의 R-P 세션(session)이 열리고 나면 상기 MS(101)와 상기 PDSN(109)간의 PPP 세션이 열리게 된다. 한편, 상기 양단간의 PPP 링크(link) 구성을 협상(negotiation)하기 위해 PPP의 LCP 단계를 통해 구성 옵션(configuration option)을 설정한다. 즉, 상기 PDSN(109)이 새로운 PPP 세션을 위한 메시지인 'LCP Configure-Request'를 상기 MS(101)로 보낸다. 이 때, LCP 옵션을 통해 상기 MS(101)와 상기 PDSN(109)간에 약속된 PPP 링크의 최대 전송 유닛(Maximum Transmit Unit, 이하 'MTU'라 칭함), ACCM(Asynchronous-Control-Character-Map), PAP(Password Authentication Protocol)/CHAP(Challenge Handshake Authentication Protocol), PPP protocol 압축, ACFC(Address/Control Field Compression), 셀프 패딩(self padding) 등을 협상(negotiation)할 수 있다. 또한, 상기 MS(101)와 상기 PDSN(109)은 상호 PPP에 의한 패킷 데이터를 전송하기 위해 RFC 1662의 HDLC-like PPP 프레이밍(framing) 방식을 사용한다.
전술한 과정에 의해 상기 MS(101)와 상기 PDSN(109)간의 PPP 세션의 셋업(setup)이 완료되면, PPP 링크 인증 단계와 NCP(IPCP) 단계를 거친 후에 상기 MS(101)와 상기 PDSN(109)은 서로의 IP를 가지고 통신하는 완전한 전송 상태에 도달하게 된다. 상기 완전한 전송 상태에서는 PPP 데이터 링크의 프로토콜 필드(protocol field)에 IP(0x21)가 들어가며, PPP의 정보 필드(information field)에 IP 데이터그램(Datagram)을 보내게 된다. 따라서, 상기 MS(101)와 상기 PDSN(109)간의 PPP 링크는 IP over PPP를 보내기 위해 완전한 설정 상태가 된다.
아래에서 본 발명의 실시 예에 따른 인터넷 망으로의 패킷 데이터를 전송하기 위한 일련의 동작을 설명함에 있어 이를 위한 소정의 초기화 과정은 이미 선행되었다고 가정한다. 상기 초기화 과정은 상기 MS와 상기 PDSN간에 있어 패킷 데이터의 전송을 위한 PPP 접속, IP 접속, GRE 터널링 등의 설정을 의미한다.

2.2 단말로부터의 패킷 데이터 송신동작

전술한 소정의 초기화 과정에 의해 패킷 데이터의 전송이 가능한 상태가 되면 상기 MS(101)로부터 무선 링크(Air Link)를 통해 전송된 데이터는 BTS(103)와 BSC/PCF(105)를 거치면서 MAC/IP/GRE/PPP/IP/Higher Layer 구조를 가지는 데이터로서 상기 PDSN(109)으로 입력된다. 상기 PDSN(109)로 입력되는 데이터의 프레임 구조는 도 4에서 보이고 있는 바와 같다.

상기 입력되는 데이터는 MAC(211)을 거치면서 상기 MAC 헤더가 제거된다. 상 기 MAC 헤더가 제거된 IP 패킷 데이터는 망 제어부(212)로 입력된다. 상기 망 제어부(212)는 상기 IP 패킷 데이터의 IP 헤더에 의해 상기 IP 패킷 데이터가 자신의 IP 주소인지를 확인한다. 만약, 상기 IP 패킷 데이터가 자신의 IP 주소를 가진다면 상기 망 제어부(212)는 상기 IP 헤더를 제거한 후 GRE 헤더를 분석한다. 상기 GRE 헤더의 분석에 의해 키 값과 시퀀스 번호를 찾는다. 상기 망 제어부(212)는 상기 시퀀스 번호를 관리하고, 상기 키 값에 의해 활성화된 PPP 세션 번호를 찾아낸다. 상기 PPP 세션 번호를 찾은 상기 망 제어부(212)는 상기 GRE 헤더가 제거된 PPP 프레임을 디-프레임화 및 디스터핑 처리를 위해 상기 메모리(213)의 특정 영역에 저장한다. 상기 디-프레임화는 상기 PPP 프레임이 분해되어 있는 경우에 수행될 것이며, 상기 디스터핑은 상기 PPP 프레임에서 헤더를 제외한 나머지 정보필드에 기록된 데이터가 스터핑된 경우에 수행될 것이다. 상기 PPP 프레임이 저장되는 상기 메모리(213)의 특정 영역은 상기 도 6에서 보이고 있는 TX PPP 디스터핑 큐(618)이다. 이 때, 상기 망 제어부(212)는 PPP 링크를 설정할 때 협상된 옵션들을 상기 디-프레임화 및 디스터핑을 수행할 PPP 프레임 데이터와 함께 앞에서 찾은 상기 PPP 세션 번호 별로 저장한다. 제2DMA 제어부(642)는 상기 TX PPP 디스터핑 큐(618)를 억세스 하여 원하는 PPP 프레임 데이터와 상기 PPP 프레임 데이터에 대응하는 옵션들을 읽는다. 상기 제2DMA 제어부(642)에 의해 읽혀진 상기 PPP 프레임 데이터는 버스(일 예로 PCI 버스)로 전송되어 제2인터페이스부(641)를 통해 상기 제2DMA 제어부(642)로 전달된다. 이때, 상기 제2DMA 제어부(642)는 상기 TX PPP 디스터핑 큐(618)로부터 원하는 PPP 프레임 데이터를 읽어오기 위해 TX 링 디스크립 터(614)를 참조하게 된다. 상기 TX 링 디스크립터(614)는 상기 Tx PPP 디스터핑 큐(618)와 바이트 디스터핑 처리부(645)사이의 DMA 데이터 전송을 하기 위해 필요한 모든 정보를 가진다. 상기 제2DMA 제어부(642)는 상기 Tx PPP 디스터핑 큐(618)로부터 읽어온 PPP 프레임 데이터를 제2수신버퍼(644)에 기록한다. 예컨대, 상기 제2DMA 제어부(642)는 32 비트 66 MHz를 이용하는 PCI 버스를 통해 상기 PPP 프레임 데이터를 한번에 64 바이트씩 상기 제2수신버퍼(644)로 버스트 리드(burst read)한다. 상기 제2수신 버퍼(644)는 32 비트를 입력하고, 8 비트를 출력하는 방식의 데이터 폭 변환(data width conversion) FIFO를 사용한다.

전술한 바와 같이 상기 제2DMA 제어부(642)는 일정한 크기 단위로 상기 PPP 프레임 데이터를 상기 제2수신버퍼(644)에 기록할 때 새로운 프레임 데이터를 나타내는 PPP 세션의 시작점을 상기 바이트 디-스터핑 처리부(645)에 알려 줄 수 있다. 또한, 상기 제2DMA 제어부(642)는 상기 TX PPP 디스터핑 큐(618)에서 데이터를 가져올 때 디스크립터(614)를 참조하므로 전체 데이터 크기 중에서 제어데이터를 제외한 순수 PPP 데이터의 크기를 알면 그 시작점과 끝점을 알 수 있다. 상기 Tx PPP 디스터핑 큐(618)에 포함된 제어 데이터의 크기는 소프트웨어와 디스터핑 처리부(240)사이에 이미 약속된 크기로 제한한다.

상기 바이트 디스터핑 처리부(645)는 디프레이밍 및 디스터핑을 수행하기 위해서는 소정의 옵션 정보들이 요구된다. 이를 위해 상기 TX PPP 디스터핑 큐(618)에는 디프레이밍을 수행할 프레임 데이터를 저장할 때, 1개의 GRE 터널내의 PPP 프레임 데이터 단위별로 제어 데이터를 포함하게 된다. 이는 MS와 PDSN간의 PPP 링크 설정단계에서의 협상된 옵션들이다. 만약 상기 GRE 터널내에 PPP 프레임이 분해(fragmented)되지 않았다면 그 안의 PPP 프레임의 시작 플래그와 종료 플래그는 1 개씩 각각 존재한다. 하지만, 분해되어 있을 경우에는 시작 플래그 또는 종료 플래그가 1개씩 존재하거나 시작 및 종료 플래그와 다시 새로운 시작 및 종료 플래그의 PPP 프레임이 혼재할 수도 있다. 이럴 경우 완전한 1개의 PPP 프레임을 만들어 디프레이밍과 디스터핑을 처리하기 위해서는 나중에 온 동일한 GRE 키 번호를 가지는 PPP 프레임을 디프레이밍하여 이전에 디프레이밍 처리된 PPP 데이터에 덧붙여야 한다. 상기의 분해된 PPP 프레임들을 디스터핑 처리하기 위해서는 이전의 디프레이밍 및 디스터핑 처리한 PPP 데이터를 임시로 저장을 하여야 한다. 그리고, 다시 다음의 동일한 GRE 키 번호를 가지는 PPP 프레임이 입력되면 임시 저장용 메모리(648)에 저장된 제어 데이터를 상기 바이트 디스터핑 처리부(645)로 가져와서 이전에 협상된 ACCM 플래그 값과 이전에 미확인된 CRC 값에 의거하여 디스터핑 처리한 다음 다시 이전에 메모리에 저장된 PPP 데이터에 덧붙여 저장한다. 그리고 나서 상기 임시 저장용 메모리(648)의 PPP 데이터는 상기 바이트 디스터핑 처리부(645)에서 종료 플래그까지 처리되면 1개의 PPP 데이터를 제2송신버퍼(643)에 저장한다.

만약, 상기 제2DMA 제어부(642)가 일정한 크기로 상기 PPP 프레임 데이터를 상기 제2수신버퍼(644)에 기록해서 디-스터핑 처리 중에 새로운 PPP 세션이 입력되지 않은 상태에서, 종료 플래그가 검출되면 상기 도 8의 제어 데이터 레지스터(821)를 다시 인에이블 시켜서 새로운 시작 플래그가 들어오는지를 검색한 다. 즉, 일정한 처리단위로 상기 제2수신버퍼(644)에 전송된 PPP 프레임 데이터가 1개 이상의 시작 플래그를 가질 때의 처리 상황이다.

그리고, 상기 내용에서 프레임의 시작과 종료 플래그가 서로 쌍으로 존재하지 않고 종료 플래그 없이 새로운 PPP 세션의 바이트 디 스터핑 작업을 알리는 신호를 상기 제2DMA 제어부(642)로부터 수신할 경우(종료 플래그가 다음 의 GRE 터널속의 분해된 PPP 프레임 데이터속에 존재할 때) 상기 제어 데이터 레지스터(821)에서 이전의 PPP 세션과 지금 받은 PPP 세션이 서로 동일한 것인지를 판단한다. 만약 서로 다른 PPP 세션이 입력되었으면 CRC 검사 및 비교부(826)에서 계산된 현재까지의 CRC 중간 계산 값을 버퍼를 통해 메모리에 입력한다. 이때 상기 제어 데이터 레지스터(821)의 PPP 세션에 근거한 어드레스 내의 고정된 CRC 저장위치에 저장된다.

하지만, 상기에서 다시 나머지 PPP 프레임 데이터 처리를 위해 새로운 PPP 세션 처리 데이터가 입력되면 상기 제어 데이터 레지스터(821)는 PPP 세션별 프레그먼트(fragment) 정보를 나타내는 별도의 레지스터에 플래그를 세트한다. 그리고 메모리 내에 저장된 이전의 디스터핑시에 계산했던 CRC 중간 계산 값을 별도의 중간 CRC 레지스터에 로드(load)해서 상기 CRC 검사 및 비교부(826)로 가져와 계속해서 CRC 검사를 한다. 이 후 종료 플래그 검색 및 제거부(82

3)에서 종료 플래그를 검출하면 상기 CRC 검사 및 비교부(826)의 CRC 결과 값과 PPP 프레임의 종료 플래그 앞의 CRC 2 바이트를 버퍼에서 상기 CRC 검사 및 비교부(826)로 가져온 값과 비교해서 CRC 값의 정상유무 판정한다. 이때, 정상 또는 비정상을 나타내는 정보를 메모리내의 제어 데이터 속에 포함시켜 저장한다.

상기 내용에서, 제어데이터 레지스터(821) 내에는 각 세션별 분해된 플래그 정보를 모두 가지는 별도의 플래그 레지스터가 존재하며, 분해된 플래그는 상기 제어 데이터 레지스터(821) 내에 별도로 존재한다.

전술한 바와 같이 본 발명에서는 분해된 PPP 프레임 데이터로 인해 불완전하게 처리한 PPP 데이터를 임시로 저장하기 위해 메모리(648)로서 DDR SDRAM이 사용된다. 한편, 상기 TX 링 디스크립터(614)로부터 수신하는 PPP 제어 데이터 속에 포함되는 PPP 세션 번호에 따라 상기 바이트 디스터핑 처리부(645)에서 처리한 PPP 데이터를 상기 메모리(648)에 저장하게 되는데, 상기 PPP 세션 번호는 MS와 PDSN간의 현재 통신연결이 이루어진 상태이므로 많은 수의 PPP 세션 번호들이 존재하기 때문에 상기 메모리(648)로는 PPP 세션 수만큼의 PPP 프레임 데이터를 처리할 수 있는 만큼의 큰 메모리를 사용한다.

또한, 상기 분해된 PPP 프레임 데이터를 상기 메모리(648)에 저장하므로 어드레스 생성부(646)는 상기 바이트 디스터핑 처리부(645)로부터 PPP 제어 데이터를 분석하여 PPP 세션 번호를 얻으면 이를 바탕으로 해서 상기 메모리(648)에 저장할 어드레스를 하드웨어 로직으로서 계산한다. 이는 바로 메모리 제어부(649)에게 연결된다. 그리고 상기 메모리(648)로서 DDR SDRAM울 사용하는 경우 입/출력이 32 bit인데 반해 상기 바이트 디스터핑 처리부(645)에서는 8 비트 단위로 처리하므로 이를 상기 SDRAM에 저장하기 위해서는 중간에 데이터 폭을 변환하는 버퍼(647)가 요구된다. 이때, 상기 버퍼(647)는 8비트를 입력으로 하고, 32 비트를 출력하는 구조를 가져야 할 것이다.

상기 제2DMA 제어부(642)는 상기 제2송신버퍼(643)에 저장된 디프레이밍 및 디스터핑이 이루어진 데이터를 읽어 이를 상기 제2인터페이스부(6410)로 전달하며, 상기 제2인터페이스부(641)는 상기 데이터를 상기 버스를 통해 Rx PPP 디스터핑 큐(617)에 기록한다. 이때, 상기 제2DMA 제어부(642)는 상기 데이터를 상기 Rx PPP 디스터핑 큐(617)에 기록함에 할 때에는 RX 링 디스크립터(613)에 전송에 필요한 관련정보를 기록한다.

전술한 동작 설명에 있어 PPP 프레임 데이터에 대해 디프레이밍 및 디스터핑을 수행하는 동작을 도 8을 참조하여 상세히 설명하면 다음과 같다.

제2수신버퍼(644)에는 DMA 전송을 통해 디프레이밍 및 디스터핑을 수행할 32 비트의 분해된 PPP 프레임 데이터가 입력된다. 이때, 상기 PPP 프레임에 대한 PPP 링크의 옵션과 PPP 세션 번호를 포함하는 제어 데이터도 함께 입력되어 별도의 제어 데이터 레지스터에 저장된다. FPGA를 이용한 바이트 디스터핑 처리부(645)는 상기 디프레이밍과 디스터핑을 처리하기 위한 각 단계별로의 구성들로 구분되어 진다. 상기 각 단계별로의 구성들은 데이지 체인(daisy chain)방식으로 앞선 구성들에 의한 처리 절차가 완료되어야만 그 다음 구성에 의한 처리 절차가 이루어진다. 그리고 각 구성들의 인에이블(enable) 상태를 인지한 후에 상기 제2수신버퍼(644)O에서 PPP 프레임 데이터가 출력되도록 상기 제2수신버퍼(644)는 제어된다. 그리고 CRC 체크를 위한 별도의 구성이 존재하며, 시작 플래그가 발견되면 종료 플래그가 발견 될 때까지 모든 프레임 데이터들을 CRC 체크를 위한 구성으로 입력시켜 CRC가 정상인지를 판별한 후 PPP 제어 데이터에 포함시켜 상기 망 제어부(212)에게 통보 한다.

상기 도 8에서 제어 데이터 레지스터(821)에서는 종료 플래그 검색 및 제거부(825)로부터 종료 플래그를 입력받고 나서, 이후 입력되는 PPP 세션 번호를 현재 PPP 세션 번호와 비교하여 다른 값이면 제어 데이터에 분해된 PPP 데이터임을 알리는 비트를 셋(set)하는 기능을 수행한다. 이때, 버퍼(647)에 쌓여 있던 PPP 데이터를 모두 임시 저장용 메모리(648)에 저장되도록 상기 버퍼(647)를 제어한다.

상기 제어 데이터 레지스터(821)에 의한 처리 절차가 완료되면 시작 플래그 검색 및 헤더 검색부(822)에서는 상기 제2수신버퍼(644)에서 입력되는 8 비트의 PPP 프레임 데이터로부터 시작 플래그 '0x7E'를 찾아 제거한다. 그리고, 다음 구성인 바이트 스터핑 검색부(823)를 인에이블 시키기 위한 인에이블 신호를 출력한다.

상기 바이트 스터핑 검색부(823)는 상기 인에이블 신호에 의해 인에이블되고, 상기 PPP 프레임 데이터의 PPP 헤더에서 고정된 어드레스 필드 값인 '0xFF'와 제어 필드 값인 '0x03'을 찾아 제거한다. 하지만 상기 제거된 값들은 CRC 체크를 위해 필요함에 따라 CRC 검사부(826)로 제공한다. 또한, 상기 바이트 스터핑 검색부(823)는 상기 PPP 헤더를 제외한 PPP 정보 필드 내에 바이트 스터핑된 값이 존재하는 지를 검사한다. 상기 PPP 정보 필드에 제어도피부호(Control Escape Character)인 '0x7D'가 포함되어 있을 시 바이트 스터핑된 값이 존재하는 것으로 검사한다. 만약, 상기 제어도피부호가 상기 PPP 정보 필드에서 발견되지 않으면 종료 플래그까지의 모든 PPP 데이터들은 8 비트의 출력버스를 통해 CRC 제거부(828)로 전달된다. 그리고 종료 플래그 검색 및 제거부(825)에서 종료 플래그가 발견되면 각 PPP 세션 번호별로 정해진 시작주소에서의 얼마만큼의 변위 번지에 존재하는 PPP 제어 데이터에 CRC 값이 정상을 알리는 비트로 설정함으로서 해당 PPP 프레임 데이터가 정상임을 알린다.

바이트 디스터핑부(824)에서는 상기 바이트 스터핑 검색부(823)에 의해 '0x7D'가 발견되면 이를 제거하고, RFC 1662에 의거하여 디스터핑 처리를 수행한다. 만약, 상기 종료 플래그 검색 및 제거부(825)에 의해 종료 플래그가 발견되지 않으면 상기 CRC 제거부(828)를 거쳐 내부의 출력 8 비트 버스로 전송된다. 또한, 상기 CRC 제거부(828)에 의해 제거된 CRC는 CRC 검사를 위해 상기 CRC 검사부(826)로 입력된다. 상기 종료 플래그 검색 및 제거부(825)는 상기 바이트 디스터핑부(824)에 의해 디스터핑이 이루어진 데이터가 상기 종료 플래그를 가지는 지를 검사한다. 만약, 상기 종료 플래그를 포함하는 경우에는 상기 종료 플래그를 제거한다. 한편, 상기 종료 플래그 검색 및 제거부(825)는 상기 종료 플래그가 검사될 시 이를 상기 CRC 검사부(826)에 보고한다.

상기 CRC 검사부(826)는 CRC 검사를 위한 구성으로서, 상기 시작 플래그가 검사된 후 항상 인에이블(enable) 상태로 존재하게 된다. 이때, 상기 종료 플래그 검색 및 제거부(825)로부터 종료 플래그가 검사되었음이 보고될 시 현재까지의 CRC 검사 값을 확인한다. 상기 확인 결과 정상이면 상기 CRC 제거부(828)에 있는 프레임의 마지막 데이터인 CRC 필드 값을 제거하도록 한 후 입력상태를 디세이블 상태로 둔다. 그리고, 분해된 PPP 프레이밍 데이터가 입력되면

디-프레이밍 처리된 후 임시 저장 메모리(648)에 해당 PPP 세션 번호에 대응하여 저장된다. 그 후 동일한 PPP 세션 번호의 PPP 프레이밍 데이터가 입력되면, 디-프레이밍 처리 후 상기 PPP 세션 번호에 대응하여 상기 임시 저장 메모리(648)에 이전의 저장된 PPP 데이터에 덧붙여진다. 또한, 상기 분해된 PPP 프레이밍 데이터가 입력되면 이전에 미완성된 CRC 검사를 완성하기 위해 제어 데이터를 가지고 있는 상기 메모리(648)로부터 이전에 계산된 CRC 값을 상기 CRC 검사부(826)로 전달한다.

상기 각 구성들에 의한 상기 디프레이밍 처리 단계에서 8 비트의 출력 데이터를 메모리(648)에 저장하기 위해 8 비트를 32비트의 데이터로 변환하기 위한 버퍼(647)를 사용한다. 즉, 8비트로 제공되는 상기 디프레이밍된 데이터는 상기 버퍼(647)에 채워지며, 32비트가 채워지면 한꺼번에 상기 메모리(648)에 저장된다. 이때, 상기 메모리(648)로의 저장은 메모리 제어부(648)의 제어에 의해 이루어진다. 즉, 어드레스 생성부(646)는 상기 제어 데이터 레지스터(821)로부터 제공되는 해당 데이터에 대응한 PPP 세션 번호를 입력으로 하여 이에 대응하는 어드레스를 생성한다. 상기 생성된 어드레스는 상기 메모리 제어부(648)에 제공되고, 상기 메모리 제어부(648)는 상기 생성된 어드레스에 의해 상기 버퍼(647)로부터 출력되는 32비트의 데이터가 상기 메모리(648)에 저장될 수 있도록 제어를 수행한다. 따라서, 상기 버퍼(647)로부터 출력되는 데이터들은 각 PPP 세션 번호 별로 미리 정해진 어드레스에 입력된다.

상술한 바와 같이 상기 어드레스 생성부(646)는 PPP 세션 번호별로 고유의 어드레스를 생성함으로서 동일 PPP 세션 번호를 가지는 분해된 PPP 프레임 데이터들은 상기 메모리(648)의 동일한 영역에 저장될 수 있다.

만약, 상기 디프레이밍을 수행함에 있어 1개의 GRE 내의 키 값에서 종료 플래그가 검출되지 않거나 상기 제2수신버퍼(644)로부터 다른 PPP 세션 번호가 제공될 시 이전에 상기 메모리(648)에 저장된 데이터는 분해된 PPP 프레임 데이터임을 의미한다. 또한, 상기 PPP 제어 데이터가 입력된 후에 시작 플래그인 '0x7E'가 나오지 않는 경우에도 이전에 상기 메모리(648)에 저장된 데이터는 분해된 PPP 프레임 데이터임을 의미한다. 이럴 경우 상기 메모리(648)로부터 이전에 협상되었던 ACCM 플래그 값과 이전의 CRC 검사된 결과 값을 레지스터(830)를 통해 상기 제어 데이터 레지스터(821)와 상기 CRC 검사부(826)로 제공한다. 따라서, 이후 현재 수신한 PPP 세션 번호와 동일한 PPP 세션 번호의 PPP 제어 데이터가 완전히 디프레이밍 및 디스터핑 처리되도록 한다.

2.3 단말로의 패킷 데이터 수신동작

전술한 소정의 초기화 과정에 의해 패킷 데이터의 전송이 가능한 상태가 되면 상기 MS(101)로부터의 요청에 의해 종단 호스트(115)로부터의 IP 프레임은 인터넷 망(113)을 통해 라우터(111)로 제공되며, 상기 라우터(111)는 상기 IP 프레임을 PDSN(109)으로 전달한다. 상기 PDSN(109)에서는 상기 IP 프레임에 대응하여 프레이밍 및 스터핑을 수행하여 MS(101)로부터 요구되는 PPP 프레임을 생성하여 BSC(105)로 전달한다.

상기 라우터(111)로부터 입력되는 데이터는 망 제어부(212)에 의해 Tx PPP 스터핑 큐(616)에 저장된다. PPP 프레임 생성부(230)를 구성하는 제1DMA 제어부(632)는 상기 TX PPP 스터핑 큐(616)를 억세스 하여 원하는 데이터와 상기 데이터에 대해 프레이밍 및 스터핑을 수행하기 위해 요구되는 정보들을 읽는다. 상기 제1DMA 제어부(632)에 의해 읽혀진 상기 데이터는 버스(일 예로 PCI 버스)로 전송되어 제1인터페이스부(631)를 통해 상기 제1DMA 제어부(632)로 전달된다. 이때, 상기 제1DMA 제어부(632)는 상기 TX PPP 스터핑 큐(616)로부터 원하는 데이터를 읽어오기 위해 TX 링 디스크립터(612)를 참조하게 된다. 상기 TX 링 디스크립터(612)는 상기 Tx PPP 스터핑 큐(616)와 바이트 스터핑 처리부(635)사이의 DMA 데이터 전송을 하기 위해 필요한 모든 정보를 가진다. 상기 제1DMA 제어부(632)는 상기 Tx PPP 스터핑 큐(616)로부터 읽어온 데이터를 제1수신버퍼(633)에 기록한다. 예컨대, 상기 제1DMA 제어부(632)는 32 비트 66 MHz를 이용하는 PCI 버스를 통해 상기 데이터를 한번에 64 바이트씩 상기 제1수신버퍼(633)로 버스트 리드(burst read)해오며, 상기 제1수신버퍼(633)는 32 비트를 입력하고, 8 비트를 출력하는 방식의 데이터 폭 변환(data width conversion) FIFO를 사용한다.

상기 바이트 스터핑 처리부(635)는 프레이밍 및 스터핑을 수행하기 위해서는 소정의 옵션 정보들이 요구된다. 이를 위해 상기 TX PPP 스터핑 큐(616)에는 프레이밍을 수행할 프레임 데이터를 저장할 때, 이에 대응하는 제어 데이터를 포함하게 된다. 이는 MS와 PDSN간의 PPP 링크 설정단계에서의 협상된 옵션들이다. 만약 상기 협상된 옵션에서 디프레이밍의 사용이 약속되었다면 상기 바이트 스터핑 처리부(635)는 전송하고자 하는 데이터를 분해하여 복수의 PPP 프레임 데이터로 생성할 것이다. 또한, 상기 협상된 옵션에서 디스터핑의 사용이 약속되었다면 상기 바이트 스터핑 처리부(635)는 전송하고자 하는 PPP 프레임 데이터에 있어 PPP 헤더 를 제외한 정보필드의 소정 영역에 기록된 데이터에 대해 스터핑을 수행한다. 한편, 상기 바이트 스터핑 처리부(635)로부터 PPP 프레임 데이터를 프레이밍 및 스터핑 처리한 다음 별도의 메모리에 저장하지 않고 곧바로 제1송신버퍼(634)에 쌓아 둔다. 상기 제1송신버퍼(634)에 쌓여진 PPP 프레임 데이터는 상기 제1DMA 제어부(632)에 의해 읽혀 상기 제1인터페이스부(631)로 제공된다. 상기 제1인터페이스부(631)로 제공된 상기 PPP 프레임 데이터는 소정 버스를 통해 RX PPP 스터핑 큐(615)로 전달된다. 상기 망 제어부(212)는 상기 Rx PPP 스터핑 큐(615)에 저장된 PPP 프레임 데이터에 대해 미리 설정된 GRE 헤더와 IP 헤더를 추가하여 MAC(211)으로 제공한다. 상기 MAC(211)은 상기 망 제어부(212)로부터의 데이터에 MAC 헤더를 추가하여 상기 BSC(105)로 전달한다.

전술한 동작 설명에 있어 PPP 프레임 데이터에 대해 프레이밍 및 스터핑을 수행하는 동작을 도 7을 참조하여 상세히 설명하면 다음과 같다. 상기 도 7에서 보이고 있는 프레이밍 및 스터핑을 수행하기 위한 구성들 또한 데이지 체인 방식으로 하나의 구성에 의한 처리가 끝나야만 그 다음 구성에 의한 처리가 이루어질 수 있도록 되어 있다. 그리고 상기 각 구성들의 인에이블 상태를 인지한 후에 제1수신버퍼(633)로부터 데이터가 출력되도록 상기 제1송신버퍼(633)에 대한 제어가 이루어져야 한다.

상기 망 제어부(212)가 프레이밍 및 스터핑 처리할 PPP 데이터를 제어 데이터와 함께 TX PPP 스터핑 큐(616)에 저장해두면 제1DMA 제어부(632)는 이를 가져와 제1수신버퍼(633)에 저장한다. 상기 프레이밍 및 스터핑을 위한 PPP 제어 데이터에 포함된 정보에는 생성하고자 하는 PPP 프레임 데이터의 크기(size)에 대한 정보가 포함되어 있으므로

시작 플래그와 종료 플래그를 쉽게 삽입할 수 있다. 따라서, 시작 플래그와 종료 플래그를 쉽게 삽입할 수 있다. 한편, 상기 제1수신버퍼(633)는 상기 스터핑 및 프레이밍을 위한 각 구성들의 인에이블 상태를 인지한 후 저장하고 있는 PPP 데이터를 출력하도록 제어가 이루어져야 한다.
제어 데이터 레지스터(721)에서는 상기 제1수신버퍼(633)로부터의 PPP 제어 데이터를 입력하고, 상기 PPP 제어 데이터에 의해 PPP 링크 옵션들 중에서 협상된 ACCM 플래그 값을 바이트 비교기(723)로 제공하며, 출력 8 비트 버스를 통해 이를 제1송신버퍼(634)로 전달한다. 한편, 상기 제1수신버퍼(633)로부터의 고정된 크기를 가지는 상기 PPP 제어 데이터는 헤더 삽입부(722)로 입력되고, 상기 헤더 삽입부(722)에 의해 상기 PPP 제어 데이터의 소정 위치에는 시작 플래그가 삽입된 후 상기 제1송신버퍼(634)로 전달된다. 상기 제어 데이터 레지스터(721)로부터 제공되는 ACCM 플래그 값은 상기 바이트 비교부(723)에 의해 해당하는 ASCII Control Character의 1바이트 값으로 바뀌고, 상기 바뀌어진 1바이트 값은 내부 레지스터에 세팅된다. 한편, 상기 바이트 비교부(723)는 종료 플래그가 발생할 때까지 상기 제1수신버퍼(633)로부터 제공되는 PPP 데이터에 대하여 상기 세팅된 ASCII 값과 비교하는 동작을 수행한다. 따라서, 상기 바이트 비교부(723)는 상기 비교 동작에 의해 상기 세팅된 ASCII 값과 동일한 값을 가지는 PPP 데이터에 대해서는 바이트 스터핑을 위해 바이트 스터핑부(724)로 전달한다. 하지만, 상기 비교 동작에 의해 상 기 세팅된 ASCII 값과 동일한 값을 가지지 않는 PPP 데이터에 대해서는 상기 제1송신버퍼(634)와 함께 CRC 계산을 위해 CRC 삽입부(725)로 전달한다. 한편, 상기 바이트 비교부(723)는 종료 플래그 삽입부(726)를 통해 PPP 데이터의 프레이밍 및 스터핑이 완료되었음을 인지하고, 상기 CRC 삽입부(725)에 MDLGO 계산된 CRC 값을 PPP 프레임의 프레임 검사 시퀀스(Frame check Sequence, 이하 'FCS'라 칭함) 필드에 삽입하기 전에 스터핑을 적용할 것인지에 대한 확인 동작을 수행한다. 즉, 상기 계산된 CRC 값을 상기 ACCM 플래그 값과 비교하고, 상기 두 값이 동일하지 않으면 스터핑을 적용할 데이터가 아니라고 판단하여 상기 PPP 데이터를 상기 제1송신버퍼(634)로 전달한다. 하지만, 상기 두 값이 동일하면 스터핑을 적용할 데이터라고 판단하여 상기 바이트 스터핑부(724)로 전달한다. 상기 바이트 스터핑부(724)는 RFC 1662에 명시된 방법에 의해 상기 PPP 프레임에 대한 스터핑을 수행한다. 즉, 상기 PPP 프레임을 구성하는 데이터들 중 ACCM에 플래그된 바이트를 스터핑 처리하여 상기 제1송신버퍼(634)와 상기 CRC 계산을 위해 상기 CRC 삽입부(725)로 전달한다. 상기 CRC 삽입부(725)는 PPP 데이터에 대한 CRC 계산 결과 값을 별도의 레지스터에 저장하고, 상기 제1수신버퍼(633)로부터의 PPP 제어 데이터에 포함된 PPP 데이터 수를 참조하여 PPP 데이터가 종료하면 그때까지의 최종 CRC 계산 값을 바이트 스터핑의 수행 여부를 판단하기 위해 상기 바이트 비교부(723)로 전달한다. 종료 플래그 삽입부(726)에서는 CRC 레지스터에 최종 값을 저장하고, 상기 바이트 비교부(723), 상기 바이트 스터핑부(724)로부터 CRC 값이 출력됨과 동시에 종료 플래그를 상기 제1송신버퍼(634)로 전달한다.
전술한 바와 같은 구성들 각각에 의한 스터핑 처리에 의해 상기 제1송신버퍼(634)에 전송 가능한 크기의 PPP 프레이밍 데이터가 쌓이면 제1DMA 제어부(632)에게 DMA 요청 신호를 전송한다. 이로 인해 상기 제1DMA 제어부(632)는 상기 제1송신버퍼(634)에 쌓여 있는 PPP 프레이밍 데이터를 읽어 Rx PPP 스터핑 큐(615)로 전달함으로서 상기 Rx PPP 스터핑 큐(615)에 상기 PPP 프레이밍 데이터가 저장되도록 한다. 상기 Rx PPP 스터핑 큐(615)에 저장된 상기 PPP 프레이밍 데이터는 망 제어부(212)의 소프트웨어적인 처리에 의해 GRE 캡슐화(encapsulation)가 수행되어 BSC(105)로 전달된다.

발명의 효과

상술한 바와 같이 본 발명은 패킷 데이터 서빙 노드(PDSN)에서의 PPP 프레이밍/스터핑 및 디프레이밍/디스터핑을 하드웨어로 구현함으로서 기지국과의 인터페이스를 수행하는 라인카드의 처리속도를 향상시킬 수 있다. 이로 인해 전체적인 패킷 데이터 서빙 노드(PDSN)의 시스템 성능이 향상될 뿐만 아니라 향후 기지국과의 전송속도가 고속화되더라도 PPP 관련한 많은 기능들이 하드웨어로 구현되어 있어 데이터 처리로 인한 문제 발생을 미연에 방지할 수 있다.

(57) 청구의 범위

청구항 1.

기지국을 통해 수신되는 사용자 데이터를 라우터를 통해 인터넷 망으로 전달하기 위한 패킷 데이터 서빙 노드에서의 IP 프레임을 생성하는 장치에 있어서,
상기 기지국으로부터 수신되는 PPP 프레임과 상기 PPP 프레임에 의해 생성된 IP 프레임을 저장하는 메모리 큐와,
상기 메모리 큐와의 소정 버스를 통해 상기 PPP 프레임 및 상기 IP 프레임을 인터페이싱 하는 인터페이스부와,
상기 메모리 큐와 상기 인터페이스부간에 있어 상기 PPP 프레임 및 상기 IP 프레임의 전송을 제어하는 DMA 제어부와,
상기 PPP 프레임 및 상기 IP 프레임을 전송하기 위해 상기 DMA 제어부에서 참조할 정보를 가지는 링 디스크립터와,
상기 DMA 제어부에 의해 상기 메모리 큐로부터 소정 비트단위로 읽어 들인 상기 PPP 프레임을 임시 저장하고, 상기 저장된 PPP 프레임을 다른 비트단위로 출력하는 수신버퍼와,
상기 수신버퍼로부터의 PPP 프레임을 읽어 상기 PPP 프레임이 분해된 PPP 프레임인지를 판별하고, 상기 PPP 프레임의 정보필드에 바이트 스터핑되어 기록된 데이터에 대응하여 바이트 디스터핑을 수행하는 바이트 디스터핑 처리부와,
상기 PPP 프레임에 대응하여 상기 바이트 디스터핑 처리부로부터 제공되는 PPP 세션 번호를 입력하여 상기 PPP 세션 번호에 대응하는 메모리 어드레스를 생성 하는 어드레스 생성부와,

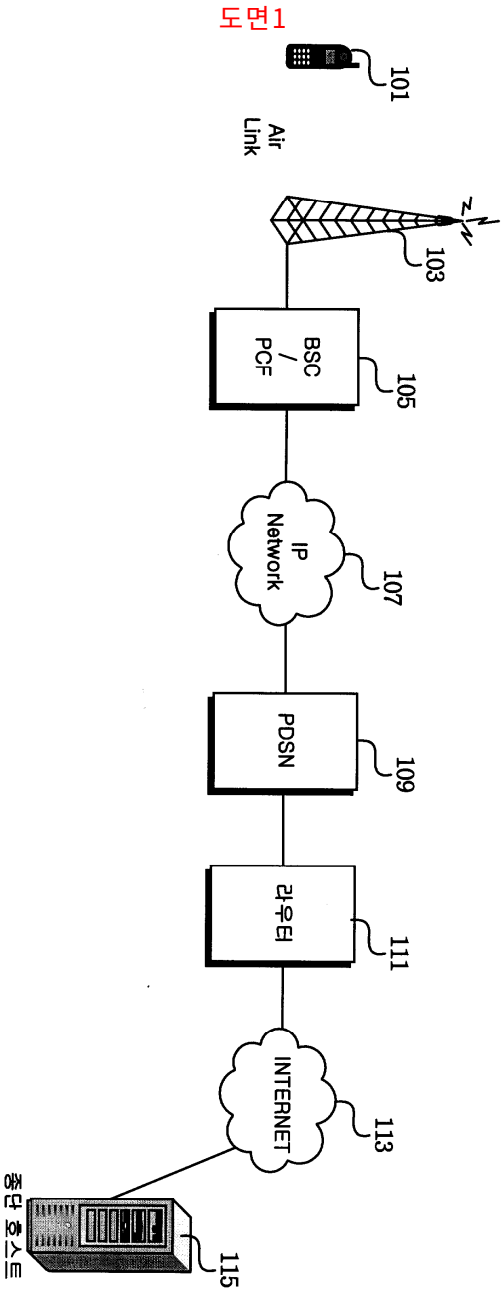
상기 메모리 어드레스에 의해 상기 바이트 디스터핑 처리부로부터의 PPP 프레임이 임시 저장되는 것을 제어하는 메모리 제어부와,
상기 바이트 디스터핑 처리부로부터의 PPP 프레임을 상기 메모리 제어부의 제어에 의해 상기 생성된 메모리 어드레스에 대응하여 저장함으로서 상기 분해된 PPP 프레임들에 대해서는 동일한 메모리 어드레스에 임시 저장되도록 하는 메모리와,
상기 메모리로부터 상기 메모리 어드레스 별로 저장된 데이터를 입력하여 상기 DMA 제어부가 읽을 수 있도록 저장하는 송신버퍼를 포함함을 특징으로 하는 상기 장치.

청구항 2.

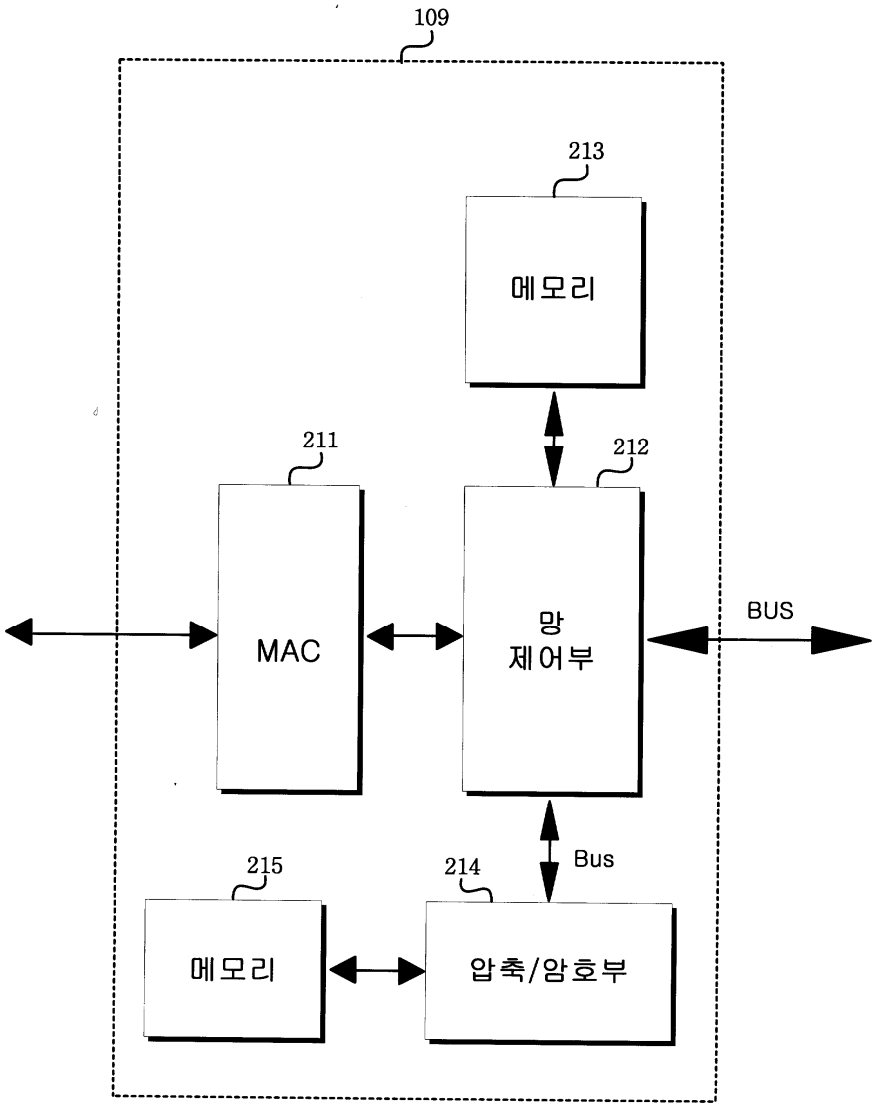
라우터를 통해 인터넷 망으로부터 수신되는 IP 프레임을 기지국을 통해 해당 이동단말로 전달하기 위한 패킷 데이터 서빙 노드에서의 PPP 프레임을 생성하는 장치에 있어서,
상기 라우터를 통해 상기 인터넷 망으로부터 수신되는 IP 프레임과 상기 IP 프레임에 의해 생성된 PPP 프레임을 저장하는 메모리 큐와,
상기 메모리 큐와의 소정 버스를 통해 상기 IP 프레임 및 상기 PPP 프레임을 인터페이싱 하는 인터페이스부와,
상기 메모리 큐와 상기 인터페이스부간에 있어 상기 IP 프레임 및 상기 PPP 프레임의 전송을 제어하는 DMA 제어부와,
상기 IP 프레임 및 상기 PPP 프레임을 전송하기 위해 상기 DMA 제어부에서 참조할 정보를 가지는 링 디스크립터와,
상기 DMA 제어부에 의해 상기 메모리 큐로부터 소정 비트단위로 읽어 들인 상기 IP 프레임을 임시 저장하고, 상기 저장된 IP 프레임을 다른 비트단위로 출력하는 수신버퍼와,
상기 수신버퍼로부터의 IP 프레임을 읽어 상기 이동단말로 분할된 형태의 PPP 프레임을 전달하여야 하는 지를 판별하고, 상기 IP 프레임의 정보필드의 데이터들 중 스터핑이 요구되는 데이터에 대해 스터핑을 수행하는 바이트 스터핑 처리부와,
상기 바이트 스터핑 처리부로부터의 데이터를 입력하여 상기 DMA 제어부가 읽을 수 있도록 저장하는 송신버퍼를 포함함을 특징으로 하는 상기 장치.

도면

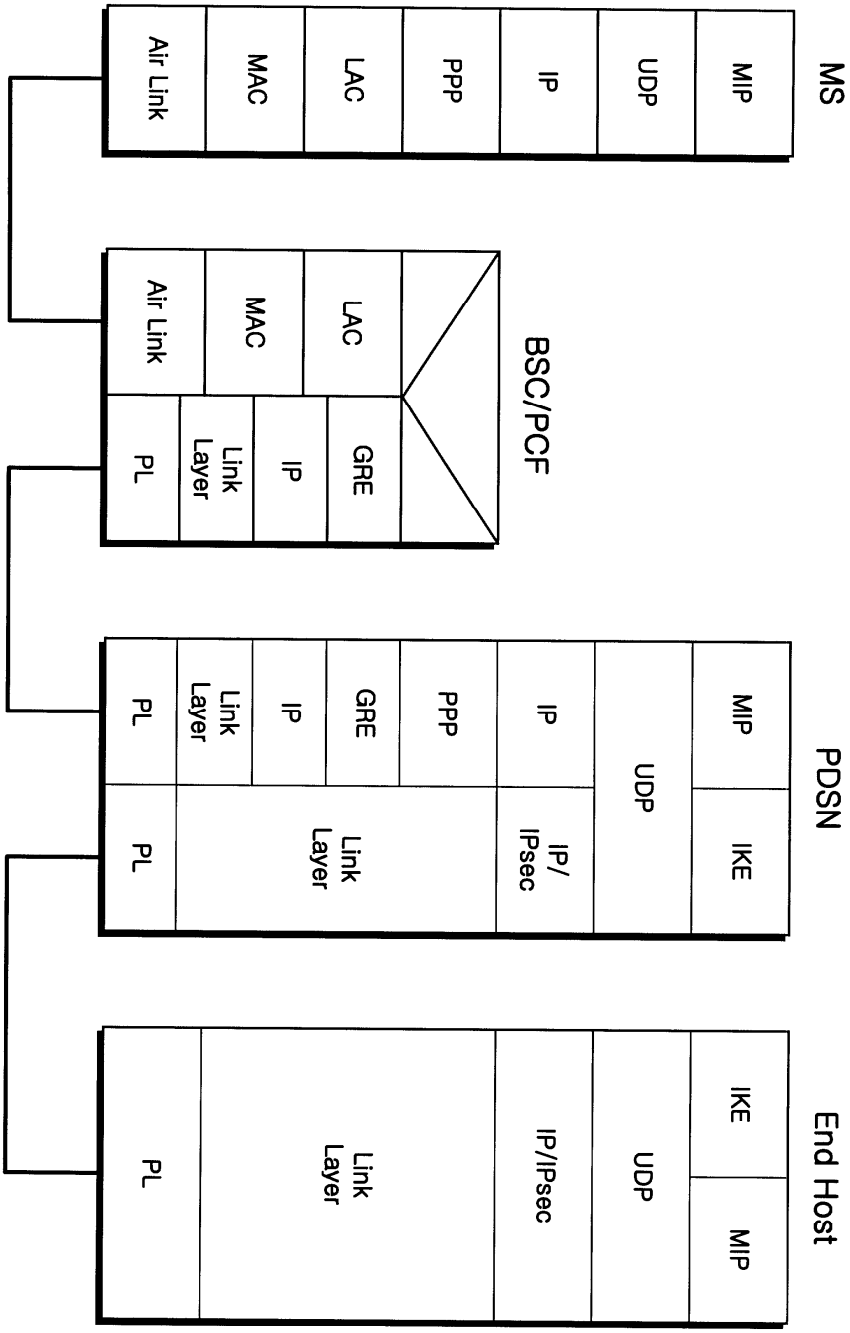
도면1


101
Air Link
103
BSC / PCF
105
IP Network
107
PDSN
109
라우터
111
INTERNET
113
종단 호스트
115

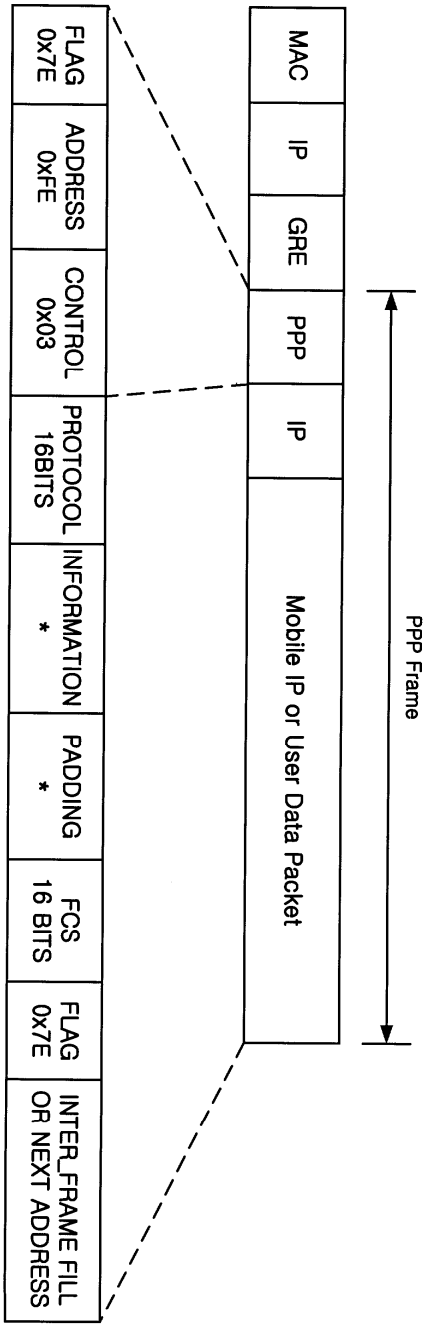
도면2



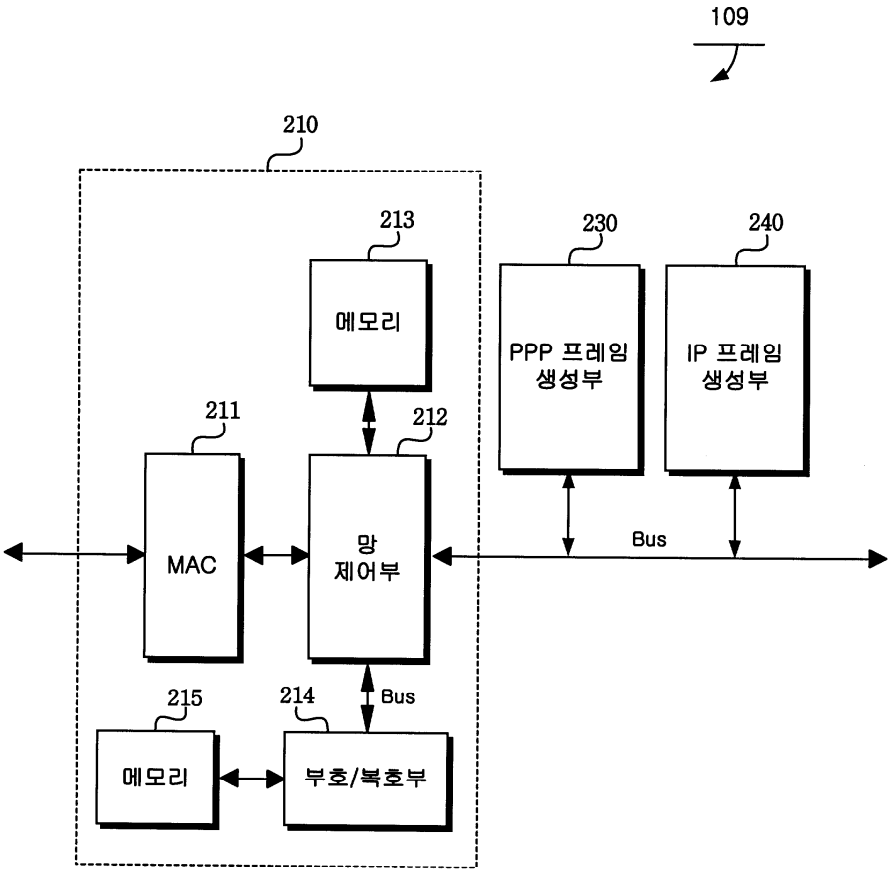
도면3


MS
MIP
UDP
IP
PPP
LAC
MAC
Air Link
BSC/PCF
LAC
MAC
Air Link
GRE
IP
Link Layer
PL
PDSN
MIP
IKE
UDP
IP
IP/ IPsec
PPP
GRE
IP
Link Layer
PL
Link Layer
PL
End Host
IKE
MIP
UDP
IP/IPsec
Link Layer
PL

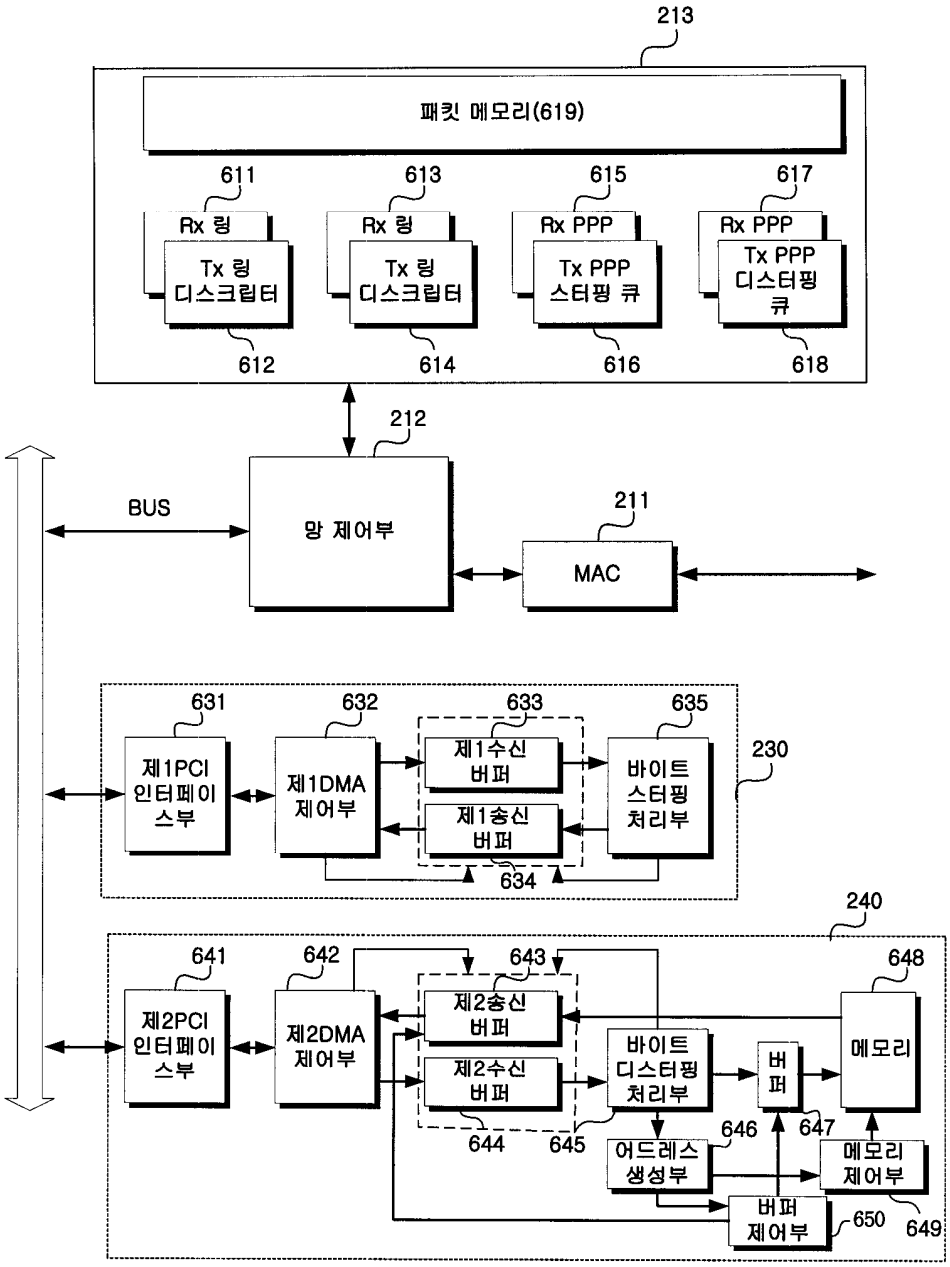
도면4


MAC
IP
GRE
PPP
IP
Mobile IP or User Data Packet
PPP Frame
FLAG 0x7E
ADDRESS 0xFE
CONTROL 0x03
PROTOCOL 16BITS
INFORMATION *
PADDING *
FCS 16 BITS
FLAG 0x7E
INTER_FRAME FILL OR NEXT ADDRESS

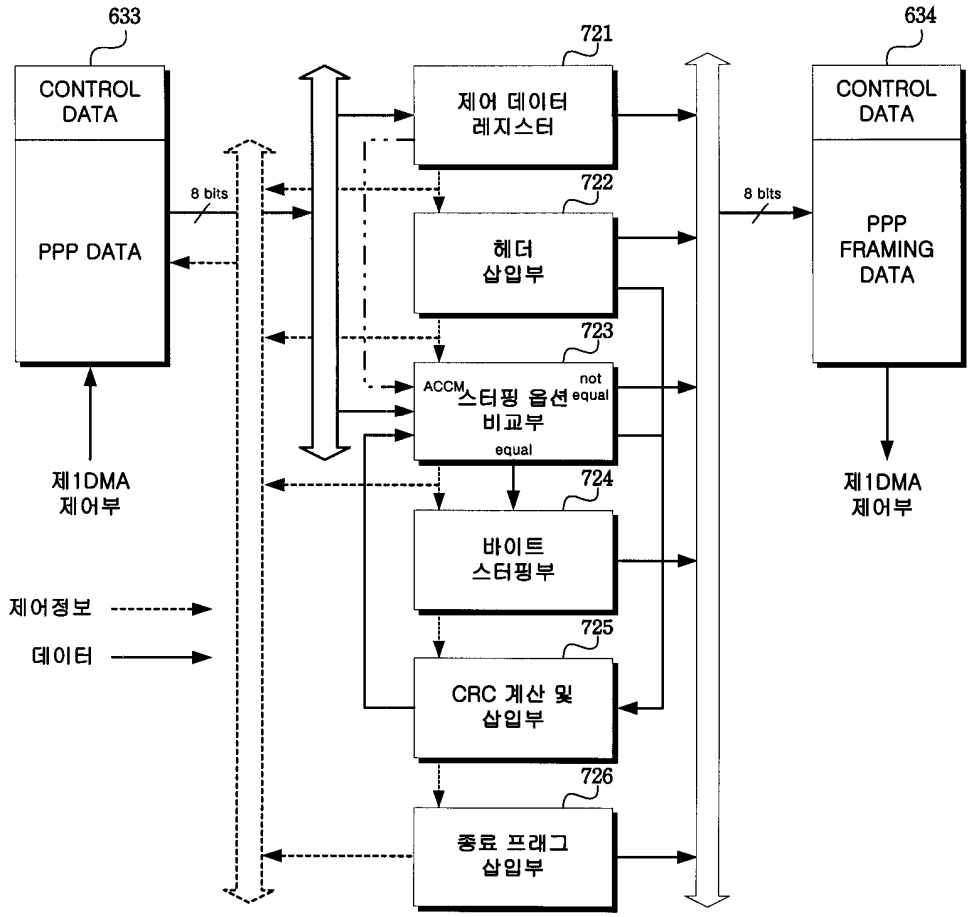
도면5


109
210
213
메모리
230
PPP 프레임
생성부
240
IP 프레임
생성부
211
212
MAC
망
제어부
Bus
215
214
Bus
메모리
부호/복호부

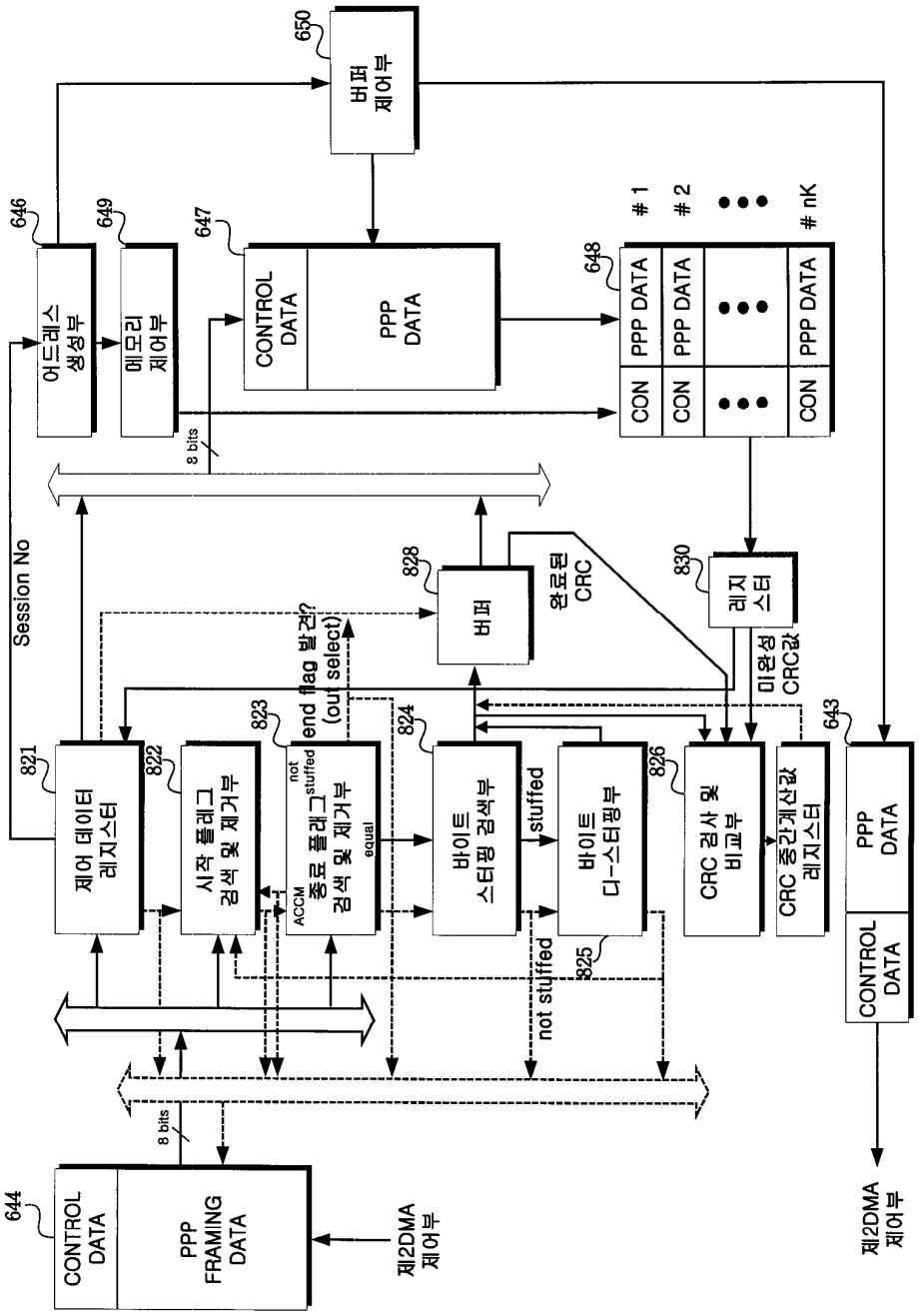
도면6


213
패킷 메모리(619)
611
Rx 링
Tx 링 디스크립터
612
613
Rx 링
Tx 링 디스크립터
614
615
Rx PPP
Tx PPP 스터핑 큐
616
617
Rx PPP
Tx PPP 디스터핑 큐
618
212
BUS
망 제어부
211
MAC
631
제1PCI 인터페이스부
632
제1DMA 제어부
633
제1수신 버퍼
제1송신 버퍼
634
635
바이트 스터핑 처리부
230
240
641
제2PCI 인터페이스부
642
제2DMA 제어부
643
제2송신 버퍼
제2수신 버퍼
644
645
바이트 디스터핑 처리부
646
어드레스 생성부
647
버퍼
648
메모리
메모리 제어부
649
버퍼 제어부
650

도면7


633
CONTROL DATA
PPP DATA
8 bits
제1DMA 제어부
721
제어 데이터 레지스터
722
헤더 삽입부
723
ACCM
not equal
스터핑 옵션 비교부
equal
724
바이트 스터핑부
725
CRC 계산 및 삽입부
726
종료 프래그 삽입부
634
CONTROL DATA
PPP FRAMING DATA
8 bits
제1DMA 제어부
제어정보
데이터

도면8


650
버퍼 제어부
646
어드레스 생성부
649
메모리 제어부
647
CONTROL DATA
PPP DATA
648
1
2
nK
PPP DATA
CON
8 bits
Session No
828
버퍼
완료된 CRC
830
레지스터
미완성 CRC값
end flag 발견? (out select)
821
제어 데이터 레지스터
822
시작 플레그 검색 및 제거부
823
not stuffed
ACCM
종료 플래그 검색 및 제거부
equal
824
바이트 스터핑 검색부
stuffed
바이트 디-스터핑부
826
CRC 검사 및 비교부
CRC 중간계산값 레지스터
643
PPP DATA
CONTROL DATA
not stuffed
825
8 bits
644
CONTROL DATA
PPP FRAMING DATA
제2DMA 제어부
제2DMA 제어부