



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0012602  
(43) 공개일자 2012년02월10일

(51) Int. Cl.

H01L 21/768 (2006.01) H01L 23/12 (2006.01)

(21) 출원번호 10-2010-0074662

(22) 출원일자 2010년08월02일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

정세영

경기도 수원시 권선구 덕영대로1217번길 24, 110동 102호 (권선동, 두산동아아파트)

이호진

서울특별시 영등포구 양산로 177, 102동 1202호 (영등포동7가, 경남아너스빌)

(뒷면에 계속)

(74) 대리인

리엔목특허법인

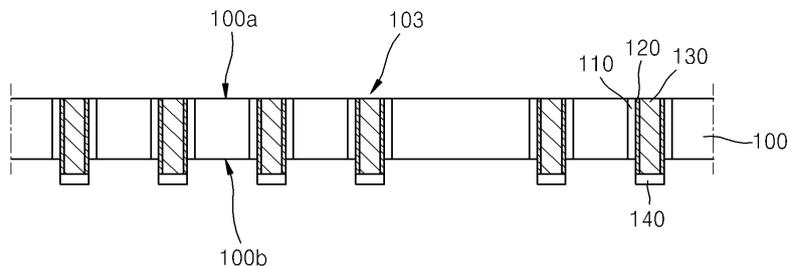
전체 청구항 수 : 총 10 항

(54) 반도체 장치, 그 제조 방법 및 반도체 패키지의 제조 방법

(57) 요약

관통 전극을 구비하는 반도체 장치, 반도체 패키지 및 그의 제조 방법이 제공된다. 본 발명의 일 실시예에 따른 반도체 장치의 제조 방법은, 매립 전극이 제1 면에 형성된 기판을 준비하는 단계; 매립 전극의 하면이 노출되어 관통 전극이 형성되도록 기판의 제1 면에 대항하는 제2 면을 연마하는 단계; 관통 전극의 노출된 하면 상에 도전성의 캡핑층을 형성하는 단계; 및 관통 전극이 돌출되도록 기판의 제2 면을 리세스하는 단계를 포함한다.

대표도 - 도1



(72) 발명자

**송호건**

경기도 수원시 팔달구 권광로 246, 인계래미안  
106-701 (인계동)

**피재현**

인천광역시 계양구 효서로 417, 107동 802호 (서운  
동, 계양 임광 그대家)

---

## 특허청구의 범위

### 청구항 1

매립 전극이 제1 면에 형성된 기관을 준비하는 단계;

상기 매립 전극의 하면이 노출되어 관통 전극이 형성되도록 상기 기관의 상기 제1 면에 대향하는 제2 면을 연마하는 단계;

상기 관통 전극의 노출된 하면 상에 도전성의 캡핑층을 형성하는 단계; 및

상기 관통 전극이 돌출되도록 상기 기관의 제2 면을 리세스하는 단계를 포함하는 관통 전극을 구비하는 반도체 장치의 제조 방법.

### 청구항 2

제1 항에 있어서,

상기 캡핑층을 형성하는 단계는, 도전성 물질을 무전해 도금하는 단계를 포함하는 것을 특징으로 하는 관통 전극을 구비하는 반도체 장치의 제조 방법.

### 청구항 3

제1 항에 있어서,

상기 연마하는 단계 이전에,

상기 기관의 상기 제1 면 상에 캐리어 기관을 부착하는 단계; 및

상기 캐리어 기관이 부착된 상기 기관을 뒤집는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

### 청구항 4

제1 항에 있어서,

상기 연마하는 단계 이후에, 상기 기관의 상기 제2 면을 세정하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

### 청구항 5

매립 전극이 제1 면에 형성된 복수의 기관을 준비하는 단계;

상기 매립 전극의 하면이 노출되어 관통 전극을 형성하도록 상기 기관의 상기 제1 면에 대향하는 제2 면을 평탄화하는 단계;

상기 관통 전극의 노출된 하면 상에 도전성의 캡핑층을 형성하는 단계;

상기 관통 전극이 돌출되도록 상기 기관의 제2 면을 리세스하는 단계;

상기 캡핑층 하부에 도전성의 제1 범프를 형성하는 단계; 및

상기 복수의 기관들을 적층하는 단계;

를 포함하는 관통 전극을 구비하는 반도체 패키지의 제조 방법.

### 청구항 6

제5 항에 있어서,

상기 적층하는 단계는, 상기 복수의 기관들 사이의 상기 제1 범프와 상기 관통 전극의 상면을 전기적으로 연결하는 단계를 포함하는 것을 특징으로 하는 관통 전극을 구비하는 반도체 패키지의 제조 방법.

**청구항 7**

제5 항에 있어서,

최하단에 적층되는 상기 기관의 상기 캡핑층 하부에 상기 제1 범프보다 직경이 큰 도전성의 제2 범프를 형성하는 단계; 및

인쇄 회로 기관에 상기 제2 범프를 전기적으로 연결하는 단계를 더 포함하는 것을 특징으로 하는 반도체 패키지의 제조 방법.

**청구항 8**

반도체 칩을 포함하는 기관;

상기 기관의 상하를 관통하고, 하면이 상기 기관으로부터 일정 부분 돌출되며, 내부에 도전층을 포함하는 관통 전극; 및

상기 관통 전극의 돌출된 상기 하면에 위치하는 도전성의 캡핑층을 포함하는 관통 전극을 구비하는 반도체 장치.

**청구항 9**

제8 항에 있어서,

상기 관통 전극 및 상기 기관 사이의 적어도 일부분에 절연층이 위치하는 것을 특징으로 하는 관통 전극을 구비하는 반도체 장치.

**청구항 10**

제8 항에 있어서,

상기 관통 전극은 상기 도전층의 외측에 위치하는 확산 방지층을 포함하는 것을 특징으로 하는 관통 전극을 구비하는 반도체 장치.

**명세서**

**기술분야**

[0001] 본 발명은 반도체 장치, 그 제조 방법 및 반도체 패키지의 제조 방법에 관한 것으로서, 더욱 상세하게는, 관통 전극을 형성된 반도체 장치와 이의 제조 방법 및 이를 이용한 반도체 패키지의 제조 방법에 관한 것이다.

**배경기술**

[0002] 최근 전자 제품의 소형화 및 경량화 추세에 따라 반도체 소자 및 반도체 패키지 또한 소형화 및 경량화되고 있다. 반도체 소자의 미세화는 배선 길이의 증가로 인한 신호 지연과 같은 반도체 칩의 성능 향상의 한계를 수반하게 되며, 이를 해결하기 위한 대안의 하나로 관통 실리콘 비아(Through Si Via, TSV) 기술을 이용한 반도체 층의 적층 기술이 널리 사용되고 있다. TSV 기술은, 실리콘(Si) 기관을 관통하는 홀을 형성하고, 반도체 칩의 적층 시 Si 기관의 위와 아래를 연결하여 반도체 칩 간 신호 및 파워를 전달할 수 있도록 하는 기술이다. 이를 적용하면 반도체 칩을 3차원으로 적층하여 전기적으로 연결한 3D 패키지의 구현이 가능하며, 고성능 시스템 인 패키지(System In Package, SIP)의 구현도 가능할 것으로 기대된다.

**발명의 내용**

**해결하려는 과제**

[0003] 본 발명이 이루고자 하는 기술적 과제는, 균일도가 향상된 관통 전극을 구비하는 반도체 장치 및 이의 제조 방법을 제공하는 것이다.

[0004] 또한, 본 발명이 이루고자 하는 다른 기술적 과제는, 접속 성능이 향상된 관통 전극을 구비하는 반도체 패키지의 제조 방법을 제공하는 것이다.

**과제의 해결 수단**

- [0005] 본 발명의 일 실시예에 따른 관통 전극을 구비하는 반도체 장치의 제조 방법이 제공된다. 상기 반도체 장치의 제조 방법은, 매립 전극이 제1 면에 형성된 기판을 준비하는 단계; 상기 매립 전극의 하면이 노출되어 관통 전극이 형성되도록 상기 기판의 상기 제1 면에 대향하는 제2 면을 연마하는 단계; 상기 관통 전극의 노출된 하면 상에 도전성의 캡핑층을 형성하는 단계; 및 상기 관통 전극이 돌출되도록 상기 기판의 제2 면을 리세스하는 단계를 포함한다.
- [0006] 본 발명의 일부 실시예들에 있어서, 상기 캡핑층을 형성하는 단계는, 도전성 물질을 무전해 도금하는 단계를 포함한다.
- [0007] 본 발명의 일부 실시예들에 있어서, 상기 연마하는 단계 이전에, 상기 기판의 상기 제1 면 상에 캐리어 기판을 부착하는 단계; 및 상기 캐리어 기판이 부착된 상기 기판을 뒤집는 단계를 더 포함한다.
- [0008] 본 발명의 일부 실시예들에 있어서, 상기 연마하는 단계 이후에, 상기 기판의 상기 제2 면을 세정하는 단계를 더 포함한다.
- [0009] 본 발명의 일부 실시예들에 있어서, 상기 캡핑층을 형성하는 단계는, 상기 캡핑층이 상기 관통 전극의 하면을 포함하며 상기 관통 전극의 하면보다 넓은 영역 상에 형성된다.
- [0010] 본 발명의 일부 실시예들에 있어서, 상기 캡핑층은 상기 도전층과 이종의 물질을 포함한다.
- [0011] 본 발명의 일부 실시예들에 있어서, 상기 기판을 준비하는 단계는, 상기 기판의 제1 면 상에 수직 홀을 형성하는 단계; 상기 수직 홀을 도전성 물질로 충전하여 매립 전극을 형성하는 단계; 및 상기 기판 상에서 상기 매립 전극 이외의 도전성 물질을 제거하는 단계를 포함한다.
- [0012] 본 발명의 일부 실시예들에 있어서, 상기 매립 전극을 형성하는 단계는, 상기 수직 홀 내에 절연층 및 확산 방지층을 순서대로 적층하고, 중앙에 도전성 물질을 충전하여 도전층을 형성하는 단계를 포함한다.
- [0013] 본 발명의 일부 실시예들에 있어서, 상기 연마하는 단계는, 상기 매립 전극 하면의 상기 절연층 및 상기 확산 방지층을 제거하여 상기 도전층이 노출되도록 한다.
- [0014] 본 발명의 일부 실시예들에 있어서, 상기 관통 전극은 구리(Cu)를 포함한다.
- [0015] 본 발명의 일 실시예에 따른 관통 전극을 구비하는 반도체 패키지의 제조 방법이 제공된다. 상기 반도체 패키지의 제조 방법은, 매립 전극이 제1 면에 형성된 복수의 기판을 준비하는 단계; 상기 매립 전극의 하면이 노출되어 관통 전극을 형성하도록 상기 기판의 상기 제1 면에 대향하는 제2 면을 평탄화하는 단계; 상기 관통 전극의 노출된 하면 상에 도전성의 캡핑층을 형성하는 단계; 상기 관통 전극이 돌출되도록 상기 기판의 제2 면을 리세스하는 단계; 상기 캡핑층 하부에 도전성의 제1 범프를 형성하는 단계; 및 상기 복수의 기판들을 적층하는 단계; 를 포함한다.
- [0016] 본 발명의 일부 실시예들에 있어서, 상기 캡핑층을 형성하는 단계는, 도전성 물질을 무전해 도금하는 단계를 포함한다.
- [0017] 본 발명의 일부 실시예들에 있어서, 상기 적층하는 단계는, 상기 복수의 기판들 사이의 상기 제1 범프와 상기 관통 전극의 상면을 전기적으로 연결하는 단계를 포함한다.
- [0018] 본 발명의 일부 실시예들에 있어서, 상기 기판들 사이에 언더필층을 형성하는 단계를 더 포함한다.
- [0019] 본 발명의 일부 실시예들에 있어서, 최하단에 적층되는 상기 기판의 상기 캡핑층 하부에 상기 제1 범프보다 직경이 큰 도전성의 제2 범프를 형성하는 단계; 및 인쇄 회로 기판에 상기 제2 범프를 전기적으로 연결하는 단계를 더 포함한다.
- [0020] 본 발명의 일 실시예에 따른 관통 전극을 구비하는 반도체 장치가 제공된다. 상기 반도체 장치는, 반도체 칩을 포함하는 기판; 상기 기판의 상하를 관통하고, 하면이 상기 기판으로부터 일정 부분 돌출되며, 내부에 도전층을 포함하는 관통 전극; 및 상기 관통 전극의 돌출된 상기 하면에 위치하는 도전성의 캡핑층을 포함한다.
- [0021] 본 발명의 일부 실시예들에 있어서, 상기 관통 전극 및 상기 기판 사이의 적어도 일부분에 절연층이 위치한다.
- [0022] 본 발명의 일부 실시예들에 있어서, 상기 관통 전극은 상기 도전층의 외측에 위치하는 확산 방지층을 포함한다.

[0023] 본 발명의 일부 실시예들에 있어서, 상기 기관 내부에 위치하고, 상기 관통 전극과 전기적으로 연결되는 도전 패드를 더 포함한다.

[0024] 본 발명의 일부 실시예들에 있어서, 상기 캡핑층은 두께가 1  $\mu\text{m}$ 에서 2  $\mu\text{m}$ 의 사이이다.

**발명의 효과**

[0025] 본 발명의 관통 전극을 구비하는 반도체 장치 및 이의 제조 방법에 따르면, 기관의 백 그라인딩 시에 전극의 일부를 연마하므로, 관통 전극의 길이의 균일도를 향상할 수 있다. 또한, 관통 전극 상에 도전성의 캡핑층을 형성함으로써, 기관 리세스 시에 발생할 수 있는 관통 전극의 표면 및 장비의 오염을 예방할 수 있다.

[0026] 또한, 본 발명의 관통 전극을 구비하는 반도체 패키지의 제조 방법에 따르면, 캡핑층을 형성함으로써 관통 전극과 도전성 범프와 같은 접속 단자의 웨팅이 향상된다.

**도면의 간단한 설명**

[0027] 도 1은 본 발명의 일 실시예에 따른 관통 전극을 구비하는 반도체 장치를 도시하는 단면도이다.

도 2 내지 도 9는 본 발명의 일 실시예에 따른 관통 전극을 구비하는 반도체 장치의 예시적인 제조 방법을 나타내기 위한 단면도들이다.

도 10a 및 도 10b는 본 발명의 일 실시예에 따른 캡핑층의 구조들을 도시하는 단면도들이다.

도 11a 및 도 11b는 본 발명의 다른 실시예에 따른 관통 전극을 구비하는 반도체 장치를 도시하는 단면도들이다.

도 12 내지 도 15는 본 발명의 일 실시예에 따른 관통 전극을 구비하는 반도체 패키지의 예시적인 제조 방법을 나타내기 위한 단면도들이다.

도 16은 본 발명의 일 실시예에 따른 반도체 패키지를 포함하는 메모리 카드를 보여주는 개략도이다.

도 17은 본 발명의 일 실시예에 따른 반도체 패키지를 포함하는 전자 시스템을 보여주는 블록도이다.

**발명을 실시하기 위한 구체적인 내용**

[0028] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다.

[0029] 본 발명의 실시예들은 당해 기술 분야에서 통상의 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위하여 제공되는 것이며, 하기 실시예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 하기 실시예에 한정되는 것은 아니다. 오히려, 이들 실시예는 본 개시를 더욱 충실하고 완전하게 하고, 당업자에게 본 발명의 사상을 완전하게 전달하기 위하여 제공되는 것이다.

[0030] 이하의 설명에서 어떤 층이 다른 층의 위에 존재한다고 기술될 때, 이는 다른 층의 바로 위에 존재할 수도 있고, 그 사이에 제3의 층이 개재될 수도 있다. 또한, 도면에서 각 층의 두께나 크기는 설명의 편의 및 명확성을 위하여 과장된 것이며, 도면상에서 동일 부호는 동일한 요소를 지칭한다.

[0031] 본 명세서에서 제1, 제2 등의 용어가 다양한 부재, 부품, 영역, 층들 및/또는 부분들을 설명하기 위하여 사용되지만, 이들 부재, 부품, 영역, 층들 및/또는 부분들은 이들 용어에 의해 한정되어서는 안됨은 자명하다. 이들 용어는 하나의 부재, 부품, 영역, 층 또는 부분을 다른 영역, 층 또는 부분과 구별하기 위하여만 사용된다. 따라서, 이하 상술할 제1 부재, 부품, 영역, 층 또는 부분은 본 발명의 가르침으로부터 벗어나지 않고서도 제2 부재, 부품, 영역, 층 또는 부분을 지칭할 수 있다.

[0032] 이하, 본 발명의 실시예들은 본 발명의 이상적인 실시예들을 개략적으로 도시하는 도면들을 참조하여 설명한다. 도면들에 있어서, 예를 들면, 제조 기술 및/또는 공차(tolerance)에 따라, 도시된 형상의 변형들이 예상될 수 있다. 따라서, 본 발명의 실시예는 본 명세서에 도시된 영역의 특정 형상에 제한된 것으로 해석되어서는 아니 되며, 예를 들면 제조상 초래되는 형상의 변화를 포함하여야 한다.

[0033] 도 1은 본 발명의 기술적 사상에 따른 관통 전극을 구비하는 반도체 장치의 일 실시예를 도시하는 단면도이다.

[0034] 도 1을 참조하면, 기관(100)은 반도체 소자가 형성된 활성면인 제1 면(100a)과 이에 대향하는 제2 면(100b)을 포함한다. 상기 기관(100)은 하나 이상의 반도체 칩을 포함할 수 있으며, 반도체 칩의 기능을 외부로 연결하는

연결통로가 되는 관통 전극(103)이 상기 기판(100)의 제1 면(100a) 및 제2 면(100b)을 관통하여 일정한 형태로 형성되어 있다. 상기 관통 전극(103)은 상기 기판(100)의 하부로 일정 부분 돌출되어 있으며, 캡핑층(140)이 형성되어 있다.

- [0035] 상기 관통 전극(103)은, 상기 기판(100)에 매립 전극을 형성한 후, 상기 기판(100) 제2 면(100b)의 그라인딩(back grinding)을 통해 상기 기판(100)의 상하를 관통하도록 함으로써 형성된다. 상기 관통 전극(103)은 반도체 칩을 수직으로 관통할 수 있으며, 반도체 칩들간 또는 반도체 칩과 패키지 기판 사이의 물리적 및 전기적 연결이 이루어지도록 할 수 있다. 상기 관통 전극(103)의 제조 방법은 도 2 내지 도 9를 참조하여 하기에 상세히 설명한다.
- [0036] 상기 관통 전극(103)과 상기 기판(100) 사이의 측면에는 절연층(110)이 형성될 수 있다. 상기 절연층(110)은 기판(100)과 관통 전극(103)을 서로 절연시킬 수 있다. 실시예에 따라서, 상기 절연층(110)은 상기 관통 전극(103)의 측면 중 일부만을 감싸도록 형성될 수 있다. 상기 절연층(110)은 실리콘산화막, 폴리이미드, 실리콘질화막, 실리콘 금속산화막, 감광성 절연막, 또는 폴리머막 중에서 선택된 어느 하나를 포함할 수 있다.
- [0037] 상기 관통 전극(103)은 기판(100) 또는 상기 절연층(110)과 접하는 측면에 확산 방지층(120)을 포함할 수 있다. 상기 확산 방지층(120)은 티타늄(Ti), 티타늄질화물(TiN), 탄탈륨(Ta), 탄탈륨질화물(TaN) 및 루테튬(Ru) 중 어느 하나 또는 그 이상을 포함할 수 있다.
- [0038] 상기 관통 전극(103)은 중심의 도전층(130)을 포함할 수 있다. 상기 도전층(130)은 금(Au), 은(Ag), 구리(Cu), 알루미늄(Al), 니켈(Ni), 크롬(Cr) 및 텅스텐(W) 중 어느 하나를 포함할 수 있다.
- [0039] 상기 캡핑층(140)은 일정 두께로 상기 관통 전극(103)의 하부면에 형성될 수 있다. 상기 캡핑층(140)은 무전해 도금법에 의해 형성될 수 있다. 상기 캡핑층(140)은 알루미늄(Al), 금(Au), 베릴륨(Be), 비스무트(Bi), 코발트(Co), hafnium(Hf), 인듐(In), 망간(Mn), 몰리브덴(Mo), 니켈(Ni), 납(Pb), 팔라듐(Pd), 백금(Pt), 로듐(Rh), 레늄(Re), 루테튬(Ru), 탄탈(Ta), 텔루륨(Te), 티타늄(Ti), 텅스텐(W), 아연(Zn), 지르코늄(Zr), 이들의 질화물, 및 이들의 실리사이드 중 어느 하나 또는 그 이상을 포함할 수 있다.
- [0040] 상기 기판(100)은 반도체 물질, 예컨대 IV족 반도체, III-V족 화합물 반도체, 또는 II-VI족 산화물 반도체를 포함할 수 있다. 예를 들어, IV족 반도체는 실리콘(Si), 게르마늄(Ge) 또는 실리콘-게르마늄(SiGe)을 포함할 수 있다. 상기 기판(100)은 벌크 웨이퍼(bulk wafer) 또는 에피택셜(epitaxial)층으로 제공될 수도 있다. 또한, 상기 기판(100)은 SOI(Silicon On Insulator) 기판일 수 있다. 상기 기판(100)은 하나 이상의 반도체 칩을 포함할 수 있다. 상기 기판(100)은 상부에 일정 높이의 반도체 소자층(미도시)을 포함할 수 있다.
- [0041] 상기 반도체 칩(미도시)은 반도체 소자(미도시)를 포함할 수 있다. 상기 반도체 소자(미도시)는 DRAM(dynamic random access memory) 소자, SRAM(static random access memory) 소자, 상전이 메모리(phase-change random access memory, PRAM) 소자, 및 플래시(flash) 메모리 소자와 같은 메모리 소자 또는 로직(logic) 소자와 같은 비메모리 소자일 수 있다. 더욱 상세하게는, 상기 반도체 소자(미도시)는 트랜지스터, 저항 및 배선을 포함할 수 있으며, 상기 반도체 칩(101)은 외부와 전기적으로 연결되도록 외부에 노출된 도전성 패드(미도시)들을 포함할 수 있다. 또한, 패시베이션(passivation) 층을 비롯한 패키지 또는 반도체 소자의 보호를 위한 요소들이 형성되어 있을 수 있다.
- [0042] 도 2 내지 도 9는 본 발명의 기술적 사상에 따른 관통 전극을 구비하는 반도체 장치의 예시적인 제조 방법을 나타내기 위한 단면도들이다.
- [0043] 도 2를 참조하면, 기판(100)의 제1 면(100a) 상에 제2 면(100b)을 향하는 수직 홈(105)을 형성한다. 상기 수직 홈(105)은 관통 전극을 형성하기 위한 홈을 지칭하며, 심도 반응성 이온 식각법(Deep Reactive Ion Etch, DRIE)을 사용하여 형성할 수 있다. 상기 기판(100) 상에 포토레지스트층(미도시)을 형성한 후 식각 공정을 수행할 수 있다. 또는, 레이저 가공법 또는 화학적 식각법 등을 사용할 수 있다. 상기 수직홈(105)의 깊이는 수 내지 수십 마이크로 미터일 수 있으며, 예를 들어 30  $\mu\text{m}$  내지 80  $\mu\text{m}$  사이일 수 있다. 상기 수직홈(105)의 직경은 수 내지 수십 마이크로 미터일 수 있으며, 예를 들어 5  $\mu\text{m}$  내지 10  $\mu\text{m}$  사이일 수 있다.
- [0044] 관통 전극은 형성되는 시기에 따라 비아 퍼스트(via first)와 비아 라스트(via last)로 구분할 수 있다. 비아 퍼스트(via first)의 경우, 기판 공정인 전공정(Front End Of Line, FEOL) 이전에 관통 전극의 형성이 이루어지며, 비아 라스트(via last)의 경우, 웨이퍼와 같은 기판의 공정이 완료된 후 관통 전극의 형성이 이루어진다. 본 발명의 관통 전극을 구비하는 반도체 장치의 제조 방법은 상기 어느 하나의 경우에 한정되지 않고 적용할 수

있다.

- [0045] 도 3을 참조하면, 상기 수직 홀(105)을 포함하는 상기 기판(100)의 제1 면(100a)에 절연층(110) 및 확산 방지층(120)을 순서대로 적층한다.
- [0046] 상기 절연층(110)은 상기 기판(100)이 전기적 절연이 필요한 도전성의 기판(100)인 경우, 상기 기판(100)과 하기의 공정을 통해 형성되는 관통 전극과의 절연을 위해 형성될 수 있다. 상기 절연층(110)은 실리콘산화막, 폴리이미드, 실리콘질화막, 실리콘 금속산화막, 감광성 절연막, 또는 폴리머막 중에서 선택된 어느 하나를 포함할 수 있다. 상기 기판(100)이 실리콘 웨이퍼인 경우, 상기 절연층(110)은 산화 공정 또는 질화 공정을 통해 형성될 수 있다. 상기 절연층(110)은 저온에서 형성될 수 있으며, 예컨대, 섭씨 400도 이하에서 플라즈마를 이용한 화학 기상 증착법(Plasma Enhanced Chemical Vapor Deposition, PECVD)을 이용하여 형성될 수 있다.
- [0047] 상기 절연층(110)은, 관통 전극이 형성된 후에, 상기 기판(100)과 관통 전극(103, 도 1 참조)을 서로 절연시킬 수 있다. 따라서, 후에 관통 전극(103)에 인가되는 전압이 상기 기판(100)에 인가되지 않을 수 있다. 또한, 상기 확산 방지층(120)과 함께 관통 전극(103)의 물질이 기판(100) 내로 침투하지 못하도록 할 수 있다. 또한, 관통 전극에서 발생하는 열을 기판(100)으로 전달하여, 관통 전극의 열화 또는 일렉트로 마이그레이션(electro migration) 현상을 감소시킬 수 있다.
- [0048] 상기 확산 방지층(120)은 티타늄(Ti), 티타늄질화물(TiN), 탄탈륨(Ta), 탄탈륨질화물(TaN) 및 루테튬(Ru) 중 어느 하나 또는 그 이상을 포함할 수 있다. 상기 확산 방지층(120)은 단일층이거나 복합층일 수 있으며, 예컨대, Ti/TiN 또는 Ta/TaN일 수 있다. 상기 확산 방지층(120)은 화학 기상 증착법(Chemical Vapor Deposition, CVD) 또는 전기 도금법을 사용하여 증착할 수 있다.
- [0049] 상기 확산 방지층(120)은, 후속 공정에 의해 형성되는 관통 전극(103, 도 1 참조)의 물질이 상기 기판(100) 내로 침투하지 못하도록 할 수 있다. 예를 들어, 관통 전극(103)의 도전층(130, 도 1 참조) 물질로 구리(Cu)를 사용하는 경우, 상기 기판(100)으로의 구리(Cu)의 확산을 방지할 수 있다. 또한, 반도체 소자의 구동 시 발생하는 열에 의한 크랙(crack)의 발생을 방지하여 반도체 칩의 신뢰성을 확보하는 역할을 할 수 있다. 도 4를 참조하여 아래에 설명할 도전층의 증착 공정에서, 증착 방법으로 전기 도금법을 사용하는 경우, 상기 확산 방지층(120) 외에 전기 도금 시 전류를 전달하기 위한 시드(seed)층(미도시)을 상기 확산 방지층(120) 상에 추가로 적층할 수 있다.
- [0050] 도 4를 참조하면, 기판(100) 상에 적층된 절연층(110) 및 확산 방지층(120)의 적층 구조 상에 도전성 물질을 증착하여 도전층(130)을 형성한다. 상기 도전층(130)은 금(Au), 은(Ag), 구리(Cu), 알루미늄(Al), 니켈(Ni), 크롬(Cr) 및 텅스텐(W) 중 어느 하나를 포함할 수 있다. 상기 도전층(130)은 단일층이거나 복합층일 수 있으며, 2 이상의 금속의 합금일 수 있다. 예를 들어, 비아 퍼스트(via first)의 경우, CVD로 증착된 폴리 실리콘이 도전층(130)의 물질로 사용될 수 있고, 비아 라스트(via last)의 경우, 전기 도금법으로 증착된 구리(Cu)가 사용될 수 있다.
- [0051] 상기 도전층(130)은 전기 도금법, 진공 증발법(vacuum evaporation), 스퍼터링(sputtering), 화학 기상 증착법 및 도전성 페이스트(paste)를 매립한 후 소성하는 방법 등으로 형성할 수 있다. 증착 방법으로 전기 도금법을 사용하는 경우, 상기 확산 방지층(120)이 전기 도금 시 전류를 전달하기 위한 시드(seed)의 역할을 수행하거나, 또는 상기 확산 방지층(120) 상에 추가로 적층된 시드층(미도시)을 이용하여 증착할 수 있다.
- [0052] 도 5를 참조하면, 기판(100)의 제1 면(100a)에 대하여 평탄화 공정이 수행된다. 상기 평탄화 공정을 통해 상기 기판(100)의 제1 면(100a) 상에 존재하는 절연층(110), 확산 방지층(120) 및 도전층(130)의 증착 물질들이 제거될 수 있다. 상기 평탄화 공정은 화학적 기계적 연마(Chemical Mechanical Polishing, CMP)를 이용할 수 있다. 본 공정을 통해, 기판(100)의 제1 면(100a)과 동일한 높이에 상면을 가지며 기판(100)의 제2 면(100b)을 향하도록 위치하는 전극이 형성되며, 본 명세서에서는 이를 매립 전극(107)으로 지칭한다. 상기 매립 전극(107)은 원기둥 형상일 수 있다.
- [0053] 도 6은 기판(100)의 하면에 캐리어 기판(180)을 부착하고 상기 기판(100)을 뒤집는 단계를 도시한다.
- [0054] 매립 전극(107)이 형성된 상기 기판(100)의 두께는 수 백 마이크로 미터일 수 있으며, 예를 들어 약 700  $\mu\text{m}$  내지 800  $\mu\text{m}$ 일 수 있다. 상기 매립 전극(107)의 길이는 수 십 마이크로 미터일 수 있으며, 예를 들어 약 30  $\mu\text{m}$  내지 약 80  $\mu\text{m}$ 일 수 있다. 후속에서의 반도체 패키지 제조 시, 기판(100)의 두께로 인하여 반도체 패키지의 소형화가 어려울 수 있으므로, 상기 기판(100) 하부의 반도체 소자를 포함하지 않는 부분을 제거하는 공정이 요구된다. 이를 기판(100)의 박층화(thinning)라고 한다. 박층화가 완료되면 기판(100)의 두께는 수십  $\mu\text{m}$  이하가

되므로, 얇은 기판(100)을 다루기 위해서 웨이퍼 지지용 시스템(Wafer Supporting System, WSS)과 같은 지지부를 필요로 한다.

- [0055] 도 6을 참조하면, 캐리어 기판(180)이 접착층(185)에 의해 부착되고, 기판(100)의 제1 면(100a) 및 제2 면(100b)이 뒤집힌 모습을 도시한다. 상기 캐리어 기판(180)은 WSS의 역할을 수행하며, 유리 기판의 글래스 웨이퍼 지지 시스템(Glass Wafer Support System, GWSS)이 사용될 수 있다. 상기 접착층(185)은 후속 단계에서 캐리어 기판(180)의 탈착을 가능하게 하는 소재를 사용할 수 있으며, 필름 타입 또는 액상 타입을 사용할 수 있다.
- [0056] 도 7은 기판(100)의 박층화 및 세정 단계를 도시한다. 도 6과 함께 도 7을 참조하면, 도 6에 도시된 점선(A)에 해당하는 높이만큼 제2 면(100b) 박층화(backside thinning) 공정이 진행된다. 상기 제2 면(100b) 박층화는 그라인딩, CMP, 건식 식각 및 습식 식각 중 어느 하나를 이용하여 수행할 수 있으며, 두 개 이상의 공정을 조합하여 수행할 수 있다. 예를 들어, 그라인딩 후에 CMP를 수행하거나, 그라인딩 후에 식각을 추가하여 수행할 수 있다.
- [0057] 본 박층화 공정은 상기 매립 전극(107)이 상기 기판(100)의 제2 면(100b) 상으로 노출된 이후에도 계속 수행될 수 있다. 즉, 상기 매립 전극(107)이 노출된 이후에, 상기 기판(100)의 제2 면(100b)과 함께 상기 매립 전극(107)도 그라인딩할 수 있다. 박층화 공정에 의해 제거되는 매립 전극(107)의 높이(D2)는 상기 매립 전극(107) 하부에 적층된 절연층(110) 및 확산 방지층(120)의 두께(D1)보다 클 수 있다. 상기 박층화 공정에 의해 상기 기판(100)은, 예컨대 박형 웨이퍼(thin wafer)와 같은 얇은 기판(100)이 된다. 상기 매립 전극(107)은 본 공정을 통해, 상기 기판(100)의 제1 면(100a)과 제2 면(100b)을 관통하는 관통 전극(103)이 된다.
- [0058] 통상적인 TSV와 같은 관통 전극(103)의 형성 공정에서, 최종적으로 형성된 TSV들의 길이는 소정의 편차를 갖는다. 이는, 매립 전극(107) 형성 시의 편차, 접착층(185)의 두께의 편차로 인한 박층화 두께의 영향 및 박층화 공정 자체에 의해 발생하는 편차가 합해져서 발생할 수 있다. 본 발명의 관통 전극(103)의 제조 방법에 따르면, 박층화 공정 시 일정 높이의 매립 전극(107)에 대해서도 연마가 진행되므로, 상기와 같은 관통 전극(103) 길이의 편차가 최소화될 수 있다.
- [0059] 상기 박층화 공정이 수행된 후, 상기 기판(100)의 제2 면(100b) 상에 존재할 수 있는 불순물을 처리하는 세정 단계가 진행될 수 있다. 본 공정을 통해 상기 전도층(103) 물질의 오염을 방지할 수 있다. 예를 들어, 상기 전도층(103) 물질이 구리(Cu)인 경우, 구리(Cu)는 평탄화 과정에서 표면이 스크래치되는 경향이 크고, 표면 부식이 쉽다. 따라서, 표면의 결함을 제거하고 부식을 방지하기 위해서 질산, 산화 규소, 불산 또는 킬레이트제(chelating agent)를 포함하는 세정제를 이용하여 상기 세정 단계를 진행할 수 있다.
- [0060] 도 8을 참조하면, 상기 관통 전극(103)의 제 2면(100b)으로의 노출면 상에 캡핑층(capping layer)(140)을 형성하는 단계가 진행된다. 상기 캡핑층(140)은 알루미늄(Al), 금(Au), 베릴륨(Be), 비스무트(Bi), 코발트(Co), hafnium(Hf), 인듐(In), 망간(Mn), 몰리브덴(Mo), 니켈(Ni), 납(Pb), 팔라듐(Pd), 백금(Pt), 로듐(Rh), 레늄(Re), 루테튬(Ru), 탄탈(Ta), 텔루륨(Te), 티타늄(Ti), 텅스텐(W), 아연(Zn), 지르코늄(Zr), 이들의 질화물, 및 이들의 실리사이드 중 어느 하나 또는 그 이상을 포함할 수 있다. 상기 캡핑층(140)은 단일층 또는 복합층일 수 있다. 상기 캡핑층(140)은 상기 도전층(130)과 상이한 물질로 증착될 수 있다.
- [0061] 상기 캡핑층(140)은 무전해 도금에 의하여 전도성 시드층없이 형성될 수 있다. 무전해 도금 공정에서, 전해질 용액을 함유하는 수조(bath) 내에서 화학적 환원제를 통해 상기 캡핑층(140)의 증착이 유도될 수 있다. 무전해 도금 공정에 의해 형성된 캡핑층(140)은 균일한 두께와 낮은 공극률을 가질 수 있다. 상기 무전해 도금 공정은, 예를 들어, 3층 구조의 무전해 니켈(Ni), 무전해 팔라듐(Pd), 치환 금(Au)의 구조를 형성하는 ENEPIG(Electroless Nickel-Electroless Palladium-Immersion Gold)일 수 있다. 또는, 무전해 니켈(Ni) 및 치환 금(Au)의 구조를 형성하는 ENIG(Electroless Nickel-Immersion Gold) 또는 금(Au) 치환 도금인 DIG(Direct Immersion Gold) 공정일 수 있다. 상기 캡핑층(140)은 무전해 도금 방법을 포함한 전기 도금 방법 외에, CVD 또는 물리 기상 증착법(Physical Vapor Deposition, PVD)에 의한 증착과 포토 레지스트층의 패터닝을 통한 식각에 의해 형성될 수 있다.
- [0062] 상기 캡핑층(140)은 도 8에 도시된 바와 같이, 상기 확산 방지층(120) 및 상기 도전층(130) 상에 증착될 수 있다. 또는, 상기 확산 방지층(120) 및 상기 도전층(130) 상면의 면적을 포함하며 확장된 면적 상으로 증착될 수 있다. 상기 캡핑층(140)의 두께는 수 마이크로 미터일 수 있으며, 예를 들어 1 μm 내지 3 μm일 수 있다.

- [0063] 도 9를 참조하면, 상기 기판(100)의 제2 면(100b) 상으로 관통 전극(103)의 측면이 일부 돌출되도록 상기 기판(100)을 리세스(recess)하는 단계가 수행된다. 상기 기판(100)의 리세스는 반응성 이온 식각법((Reactive Ion Etch, RIE), 건식 식각 또는 습식 식각을 이용하여 수행할 수 있다. 상기 관통 전극(103)의 돌출 높이는 수 마이크로 미터일 수 있다. 본 공정은, 후속의 공정들에서 상기 기판(100)들을 적층하는 경우, 상기 관통 전극(103)과 접촉되는 부분의 본딩을 용이하게 할 수 있다.
- [0064] 본 발명의 관통 전극(103)의 제조 방법에 따르면, 캡핑층(140)이 형성된 후, 기판(100)의 리세스가 진행된다. 따라서, 도전층(130) 물질이 상기 리세스 중에 식각체에 노출되지 않기 때문에, 상기 도전층(130)의 표면이 산화되거나, 상기 도전층(130)과 식각 물질의 화합물이 상기 관통 전극(103)의 표면에 형성되는 등의 표면 오염이 일어나지 않을 수 있다. 또한, 상기 도전층(130) 물질로 인해 설비가 오염되는 문제도 예방할 수 있다. 예를 들어, 상기 도전층(130) 물질이 구리(Cu)인 경우, 기판(100)의 리세스 시에 구리(Cu)로 인해 식각 설비가 오염되는 것을 예방할 수 있다.
- [0065] 다음으로, 캐리어 기판(180)이 제거되는 단계가 진행된다. 접착층(185)을 제거하여 상기 캐리어 기판(180)을 탈착하며, 상기 접착층(185)에 UV를 조사하거나 또는 가열하는 방식에 의할 수 있다. 필요에 따라서는, 상기 캐리어 기판(180)은 다른 기판(미도시)과의 본딩 후에 탈착될 수도 있다. 최종적으로, 상기 캐리어 기판(180)이 제거된 후에, 상기 기판(100)의 상하를 뒤집어 제1 면(100a)이 위를 향하도록 하여 도 1의 반도체 장치를 형성할 수 있다.
- [0066] 도 10a 및 도 10b는 본 발명의 기술적 사상에 따른 캡핑층의 구조의 실시예들을 도시하는 단면도들이다.
- [0067] 도 10a를 참조하면, 캡핑층(140)은 관통 전극(103)의 확산 방지층(120) 및 도전층(130)의 상면에 형성될 수 있다. 상기 캡핑층(140)의 구조는, 예를 들어 무전해 도금으로 상기 캡핑층(140)을 형성하는 경우, 상기 확산 방지층(120) 상에는 무전해 도금이 이루어지지 않고, 상기 도전층(130)에 도금이 이루어지면서 도금 물질이 일정 범위를 가지고 분포되어 상기 확산 방지층(120) 상으로 확장되면서 형성될 수 있다.
- [0068] 도 10b를 참조하면, 캡핑층(140)은 관통 전극(103)의 확산 방지층(120) 및 도전층(130)의 상면을 포함하며 측면으로 확장되어 형성될 수 있다. 상기 캡핑층(140)의 구조는, 예를 들어 무전해 도금으로 상기 캡핑층(140)을 형성할 때, 상기 확산 방지층(120) 상에도 무전해 도금이 이루어는 경우, 도금 물질의 분포에 의해 상기 확산 방지층(120)보다 측면으로 확장된 영역 상에 형성될 수 있다.
- [0069] 도 11a 및 도 11b는 본 발명의 기술적 사상에 따른 관통 전극을 구비하는 반도체 장치의 다른 실시예들을 도시하는 단면도들이다. 도 11a 및 도 11b에서, 도 1에서와 동일한 참조 부호는 동일 부재를 나타내며, 따라서 여기서는 이들에 대한 상세한 설명은 생략한다.
- [0070] 도 11a를 참조하면, 절연층(110)이 관통 전극(103)의 하부에만 적층된 구조를 갖는다. 상기 구조는 도 2를 참조하여 상술한 절연층(110)의 적층 공정 중, 절연층(110)을 관통 전극(103)의 하부에만 증착되도록 한 후, 확산 방지층(120)을 적층함으로써 형성할 수 있다. 상기 구조는 기판(100)이 포함하고 있는 반도체 소자층(미도시) 및 반도체 칩(미도시)에 따라, 상기 기판(100)의 일정 부분이 상기 관통 전극(103)과 전기적으로 연결될 필요가 있을 경우 사용할 수 있다.
- [0071] 도 11b를 참조하면, 절연층(110)이 적층되지 않은 관통 전극(103)의 상부가 도전 패드(135)에 의해 기판(100)과 연결된 구조를 도시한다. 상기 도전 패드(135)는 상기 기판(100)과 상기 관통 전극(103)을 전기적으로 연결한다. 상기 도전 패드(135)는 상기 기판(100)이 포함하는 반도체 칩(미도시) 또는 반도체 소자(미도시)와 외부 회로를 전기적으로 연결하기 위한 수단일 수 있다. 상기 도전 패드(135)는 상기 기판(100) 상부의 반도체 소자층(미도시) 상에 형성된 것으로, 반도체 소자층(미도시)의 형성 공정인 기판(100) 공정 단계에서 형성된 것일 수 있다.
- [0072] 도 12 내지 도 15는 본 발명의 기술적 사상에 따른 관통 전극을 구비하는 반도체 패키지의 예시적인 제조 방법을 나타내기 위한 단면도들이다.
- [0073] 도 12를 참조하면, 캡핑층(140)의 하부에 도전성의 제1 범프(150)를 형성한다. 상기 제1 범프(150)는 다른 기판 또는 반도체 칩과의 본딩을 위한 접속 단자로, 전기적 연결을 가능하게 할 수 있다. 본 발명에 따른 관통 전극(103)이 구비된 반도체 패키지의 제조를 위해서, 관통 전극(103)이 형성된 제1 기판(100)은 다이싱(dicing) 공정을 통해 반도체 칩 별로 분리하여 패키지 공정이 진행될 수 있다. 또는, 웨이퍼 레벨 패키지(Wafer Level Package, WLP)의 제조를 위해서 기판들의 본딩 후에 다이싱 공정이 이루어질 수 있다.

- [0074] 상기 제1 범프(150)는 구리(Cu), 알루미늄(Al), 니켈(Ni), 은(Ag), 금(Au), 백금(Pt), 주석(Sn), 납(Pb), 티타늄(Ti), 크롬(Cr), 팔라듐(Pd), 인듐(In), 아연(Zn) 및 탄소(C)로 구성된 그룹으로부터 선택된 적어도 하나의 금속, 금속 합금, 전도성 금속 산화물, 전도성 고분자 재료, 전도성 복합 재료 중 어느 하나로 이루어질 수 있다. 상기 제1 범프(150)는 수직에서 수백 마이크로의 직경을 가질 수 있으며, 예를 들어 10  $\mu\text{m}$  내지 30  $\mu\text{m}$ 일 수 있다.
- [0075] 본 발명의 캡핑층(140)을 구비하는 관통 전극(103)을 사용하는 경우, 상기 캡핑층(140)이 상기 관통 전극(103)과 상기 제1 범프(150)와의 사이에서 웨팅(wetting)층으로서 역할을 수행할 수 있다. 따라서, 상기 관통 전극(103)과 상기 제1 범프(150) 사이의 간극이 발생하는 등의 웨팅 불량을 예방할 수 있다.
- [0076] 도 13을 참조하면, 상기 제1 기판(100)의 하부에 관통 전극(203)이 구비된 제2 기판(200)을 본딩한다. 상기 제1 기판(100)의 제1 범프(150)와 상기 제2 기판(200)의 관통 전극(203)의 상부를 연결하는 방식으로 본딩이 이루어질 수 있다. 또는, 상기 제2 기판(200)의 관통 전극(203)의 상부에 별도의 도전성 패드(미도시)를 형성하고 상기 도전성 패드(미도시)와 상기 제1 기판(100)의 제1 범프(150)를 연결하는 방식을 사용할 수 있다.
- [0077] 도 14를 참조하면, 제3 기판(300)을 상기 제2 기판(200)의 하부에 추가로 본딩하여 적층 구조를 형성한다. 제1 기판(100)과 제2 기판(200)의 사이 및 제2 기판(200)과 제3 기판(300)의 사이의 갭(gap)에 언더필(fill)층들(400a, 400b)을 형성할 수 있다. 상기 언더필층들(400a, 400b)은 액상 수지 물질의 언더필 물질을 주입하고 경화시켜 형성할 수 있다. 또는, 비도전성 필름(nonconducting film, NCF)과 같은 언더필 필름을 이용하여 형성할 수 있다. 상기 언더필 필름은, 예를 들면, 에폭시(epoxy) 계열 또는 실리콘(Si) 계열의 물질로 형성될 수 있다. 또한 언더필 필름은 페놀(phenol) 타입, 산무수물(acid anhydride) 타입 또는 아민(amine) 타입의 경화제를 포함할 수 있다. 상기 언더필 필름은 아크릴 폴리머(acrylic polymer)를 포함하는 감열성(heat sensitive) 물질, 열가소성 물질 또는 UV 경화성 물질을 포함할 수 있다.
- [0078] 도 15를 참조하면, 상기 적층된 기판 구조를 인쇄 회로 기판(Printed Circuit Board, PCB)(500) 상에 본딩하는 단계가 진행된다. 상기 제3 기판(300) 하단의 도전성의 제2 범프(450)를 통해 인쇄 회로 기판(500)과 전기적으로 연결될 수 있다. 또는, 상기 관통 전극(103)의 상단에서 도전성 와이어(미도시)를 통해 상기 인쇄 회로 기판(500)의 도전성 패드(미도시)와 전기적으로 연결될 수 있다. 상기 인쇄 회로 기판(500)은 반도체 칩, 트랜지스터, 다이오드(diode) 또는 인덕터(inductor) 등과 같은 전자 소자들이 배치되어 있을 수 있다.
- [0079] 상기 제2 범프(450)는 솔더 볼 또는 솔더 범프일 수 있다. 상기 제2 범프(450)는 구리(Cu), 알루미늄(Al), 니켈(Ni), 은(Ag), 금(Au), 백금(Pt), 주석(Sn), 납(Pb), 티타늄(Ti), 크롬(Cr), 팔라듐(Pd), 인듐(In), 아연(Zn) 및 탄소(C)로 구성된 그룹으로부터 선택된 적어도 하나의 금속, 금속 합금, 전도성 금속 산화물, 전도성 고분자 재료, 전도성 복합 재료 중 어느 하나로 이루어질 수 있다. 예를 들어, 상기 제2 범프(450)는 구리-니켈-납(Cu-Ni-Pb), 구리-니켈(Cu-Ni), 니켈-금(Ni-Au) 또는 니켈-은(Ni-Ag)일 수 있다. 도전성 패드(미도시)가 상기 제2 범프(450)와 상기 인쇄 회로 기판(500)의 사이에 개재될 수 있다. 상기 제2 범프(450)는 수직에서 수백 마이크로의 직경을 가질 수 있으며, 예를 들어 60  $\mu\text{m}$  내지 100  $\mu\text{m}$ 일 수 있다.
- [0080] 본 실시예에서, 웨이퍼 레벨 패키지에 적용된 실시예들에 대하여 설명하였으나, 본 발명은 다양한 종류의 볼 그리드 어레이(Ball Grid Array, BGA) 패키지, 플립칩(flip chip) 패키지, 칩 스케일 패키지, 반도체 칩의 스택(stack), 웨이퍼 스택 등에 대하여 적용될 수 있다.
- [0081] 도 16은 본 발명의 일 실시예에 따른 반도체 패키지를 포함하는 메모리 카드를 보여주는 개략도이다.
- [0082] 도 16을 참조하면, 메모리 카드(800)는 하우징(830)에 내장된 제어기(810) 및 메모리(820)를 포함할 수 있다. 상기 제어기(810) 및 메모리(820)는 전기적인 신호를 교환할 수 있다. 예를 들면, 제어기(810)의 명령에 따라서 메모리(820) 및 제어기(810)는 데이터를 주고 받을 수 있다. 이에 따라, 메모리 카드(800)는 메모리(820)에 데이터를 저장하거나 또는 메모리(820)로부터 데이터를 외부로 출력할 수 있다.
- [0083] 이러한 메모리 카드(800)는 다양한 휴대용 기기의 데이터 저장 매체로 이용될 수 있다. 예를 들면, 메모리 카드(800)는 멀티미디어 카드(multi media card: MMC) 또는 보안 디지털 카드(secure digital card: SD)를 포함할 수 있다.
- [0084] 도 17은 본 발명의 일 실시예에 따른 반도체 패키지를 포함하는 전자 시스템을 보여주는 블록도이다.
- [0085] 도 17을 참조하면, 전자 시스템(900)은 프로세서(910), 입/출력 장치(930) 및 메모리 칩(920)을 포함할 수 있고, 이들은 버스(940)를 이용하여 서로 데이터 통신을 할 수 있다. 프로세서(910)는 프로그램을 실행하고,

전자 시스템(900)을 제어하는 역할을 할 수 있다. 입/출력 장치(930)는 전자 시스템(900)의 데이터를 입력 또는 출력하는데 이용될 수 있다. 전자 시스템(900)은 입/출력 장치(930)를 이용하여 외부 장치, 예를 들면 개인용 컴퓨터 또는 네트워크에 연결되어, 외부 장치와 서로 데이터를 교환할 수 있다. 메모리 칩(920)은 프로세서(910)의 동작을 위한 코드 및 데이터를 저장할 수 있다.

[0086] 상기 전자 시스템(900)은 메모리 칩(920)을 필요로 하는 다양한 전자 제어 장치를 구성할 수 있으며, 예를 들면 모바일 폰(mobile phone), MP3 플레이어, 네비게이션(navigation), 고상 디스크(solid state disk: SSD), 가전 제품(household appliances) 등에 이용될 수 있다.

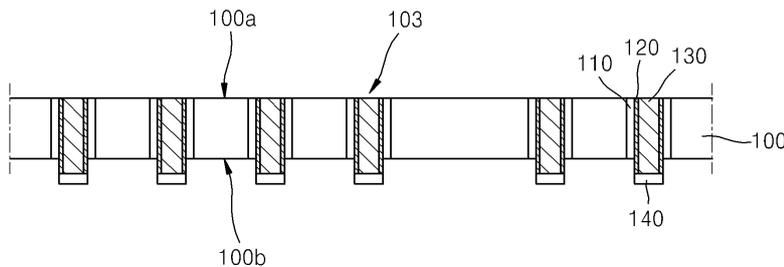
[0087] 이상에서 설명한 본 발명이 전술한 실시예 및 첨부된 도면에 한정되지 않으며, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것은, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

**부호의 설명**

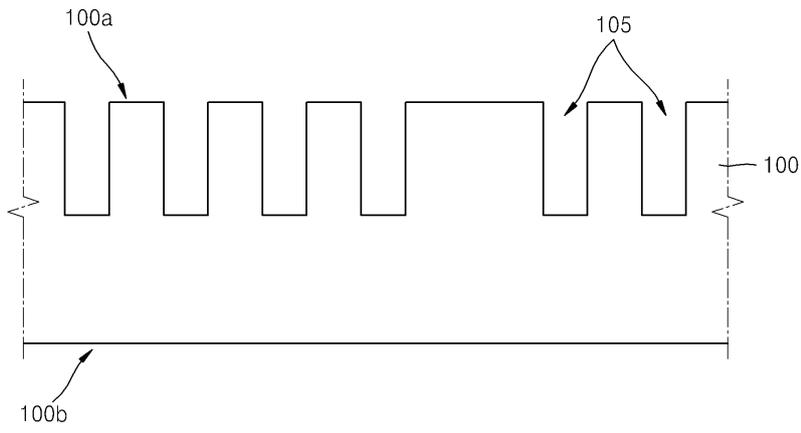
- |        |                     |                        |
|--------|---------------------|------------------------|
| [0088] | 100, 200, 300 : 기판  | 103, 203, 303 : 관통 전극  |
|        | 105 : 수직 홈          | 107 : 매립 전극            |
|        | 110, 210, 310 : 절연층 | 120, 220, 320 : 확산 방지층 |
|        | 130, 230, 330 : 도전층 | 135 : 도전 패드            |
|        | 140, 240, 340 : 캡핑층 | 150, 250 : 제1 범프       |
|        | 180 : 캐리어 기판        | 185 : 접착층              |
|        | 400a, 400b : 언더필층   | 450 : 제2 범프            |
|        | 500 : 인쇄 회로 기판      |                        |

**도면**

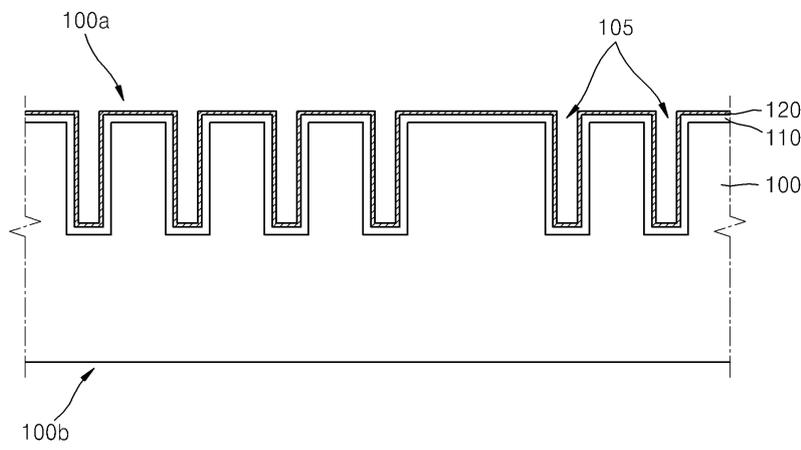
**도면1**



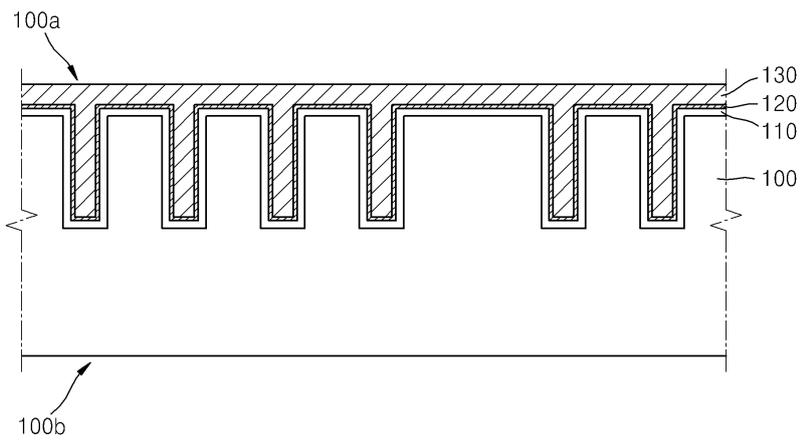
도면2



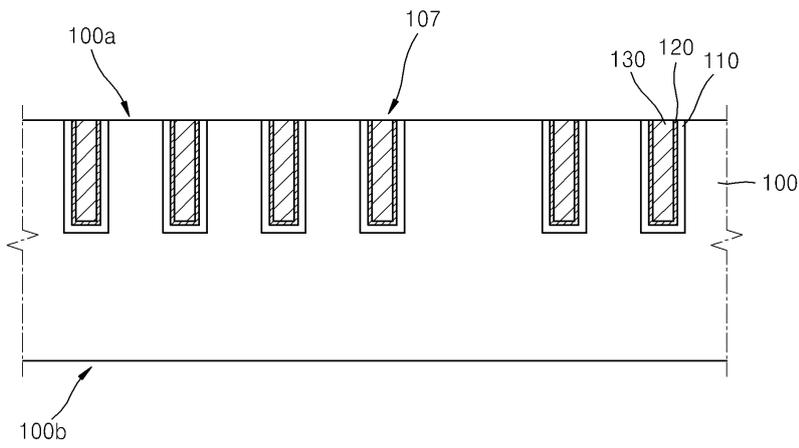
도면3



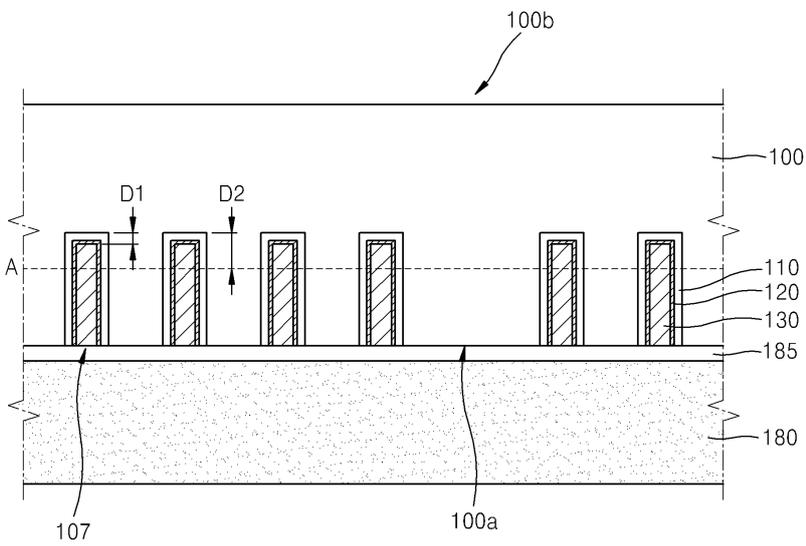
도면4



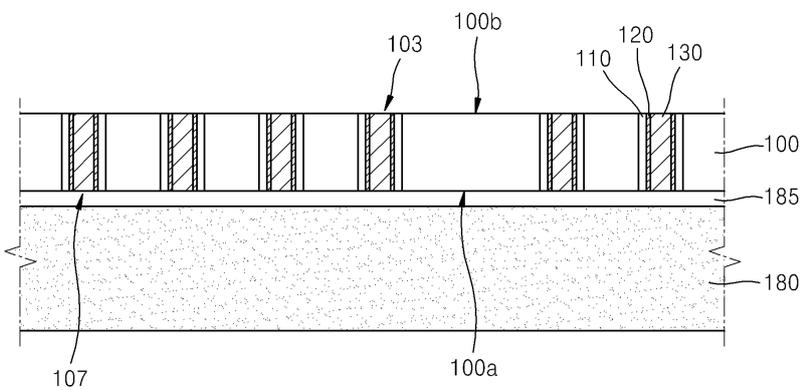
도면5



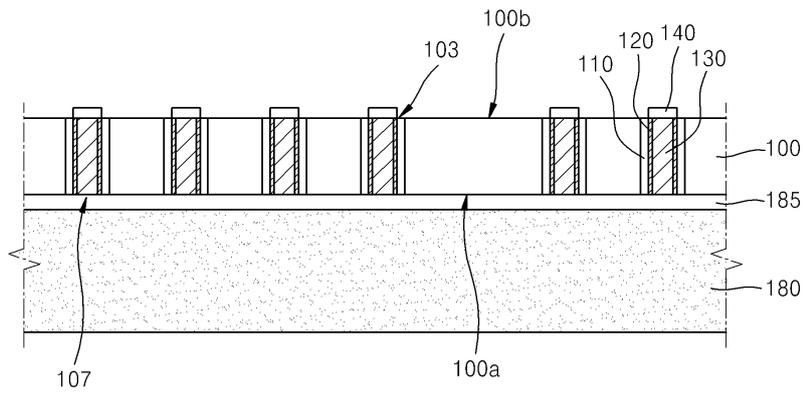
도면6



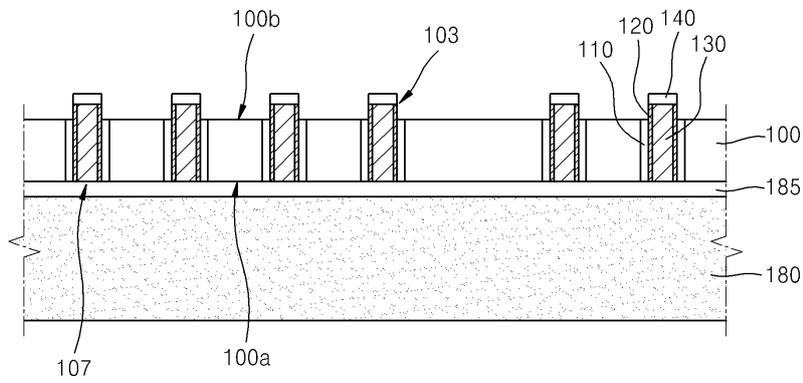
도면7



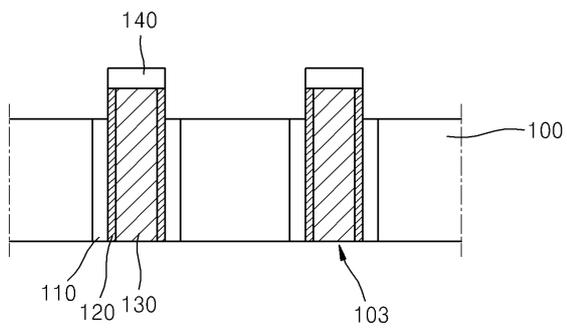
도면8



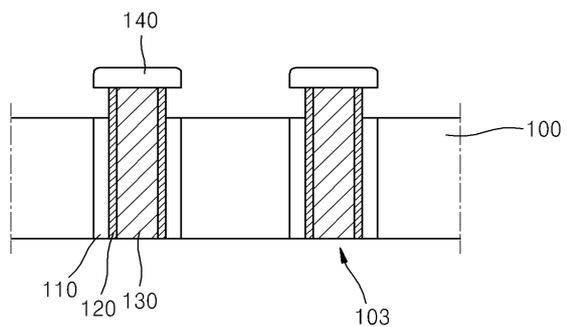
도면9



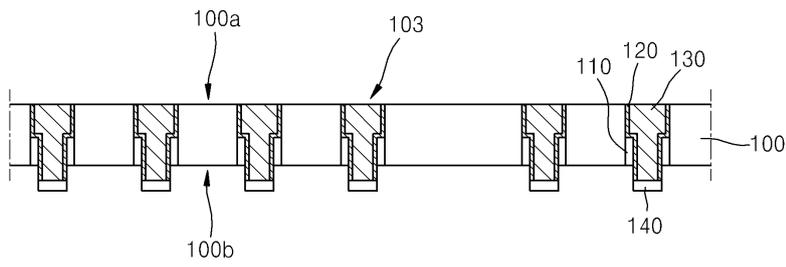
도면10a



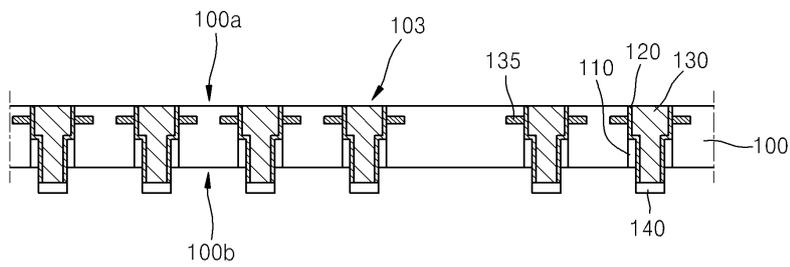
도면10b



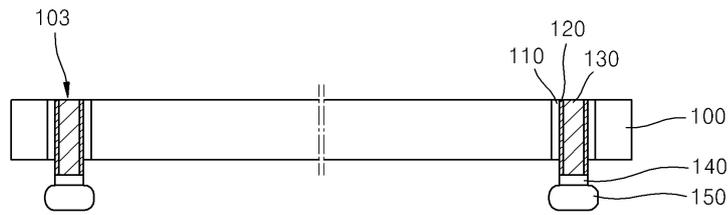
도면11a



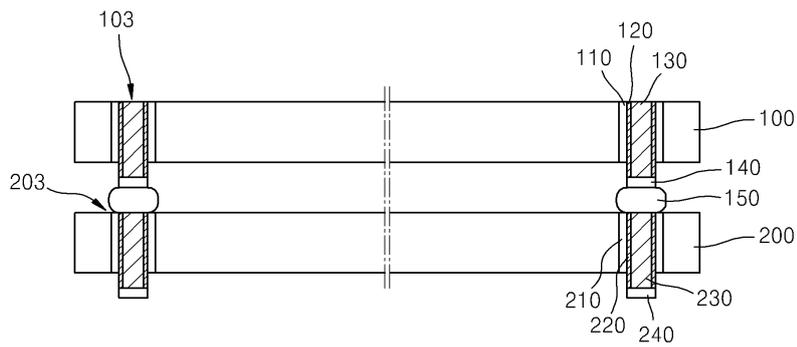
도면11b



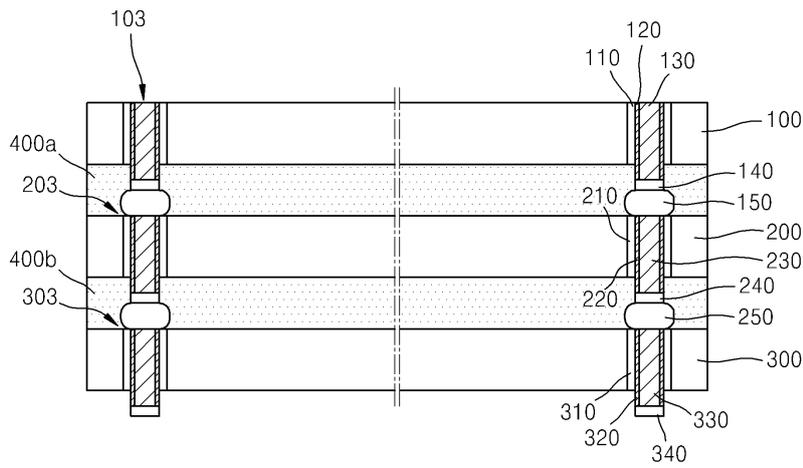
도면12



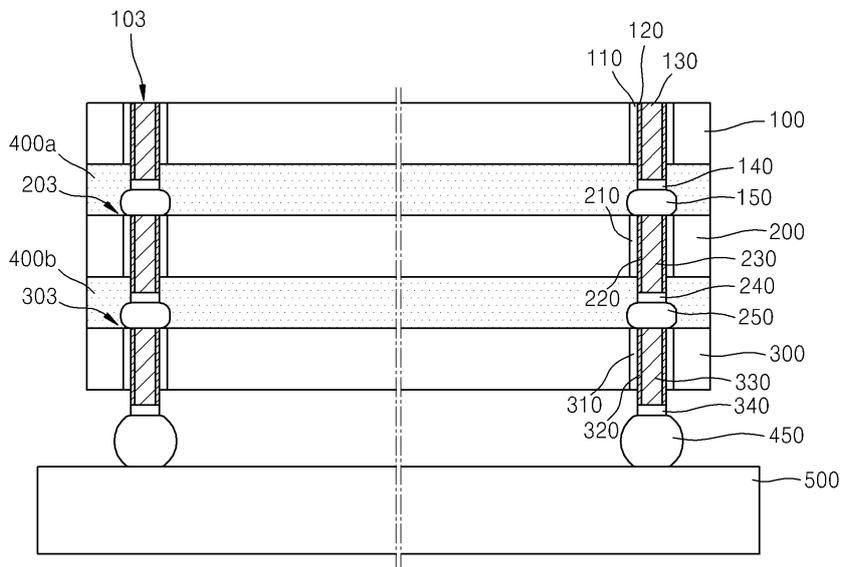
도면13



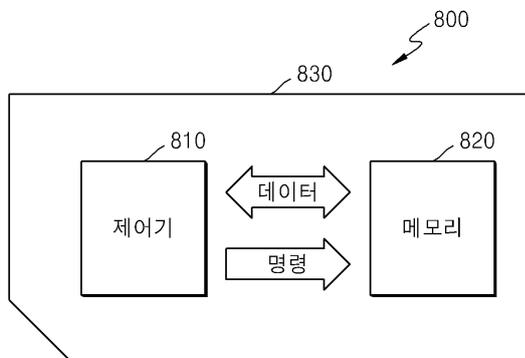
도면14



도면15



도면16



도면17

