

## 公告本

388068

申請日期：87.0.28

案號：87116058

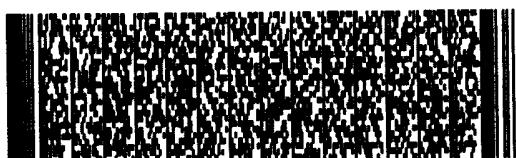
類別：

1H01L21/007

(以上各欄由本局填註)

## 發明專利說明書 388068

|                    |                     |   |
|--------------------|---------------------|---|
| 一、<br>發明名稱         | 中 文                 | 防止複晶矽閘極側壁及主動區表面受蝕刻損傷之製程   |
|                    | 英 文                 |   |
| 二、<br>發明人          | 姓 名<br>(中文)         | 1. 胡楚威<br>2. 林仲德<br>3. 侯錦珊<br>4. 潘國華  |
|                    | 姓 名<br>(英文)         | 1.<br>2.<br>3.<br>4.  |
|                    | 國 籍                 | 1. 中華民國 2. 中華民國 3. 中華民國 4. 中華民國   |
|                    | 住、居 所               | 1. 台中市東山路一段207巷26弄11號<br>2. 台南市裕農路350巷3號4樓之2<br>3. 新竹市東區軍功里23鄰建功一路86巷2號1樓<br>4. 台中市南屯區台貿五村5巷24號 |
| 三、<br>申請人          | 姓 名<br>(名稱)<br>(中文) | 1. 台灣積體電路製造股份有限公司   |
|                    | 姓 名<br>(名稱)<br>(英文) | 1.  |
|                    | 國 籍                 | 1. 中華民國   |
|                    | 住、居 所<br>(事務所)      | 1. 新竹科學工業園區園區三路121號   |
|                    | 代表人<br>姓 名<br>(中文)  | 1. 張忠謀  |
| 代表人<br>姓 名<br>(英文) | 1.                  |   |

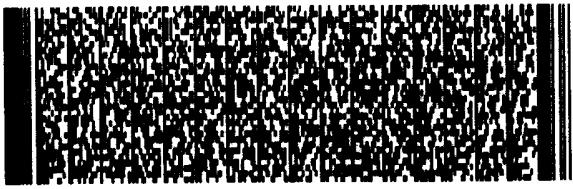
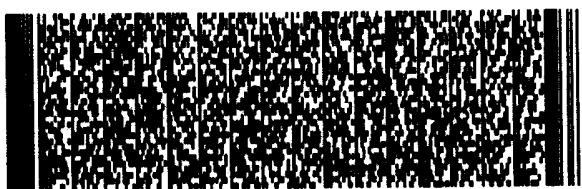


## 五、發明說明 (1)

本發明係有關於半導體積體電路的製造，且特別是有關於一種使用氮氧化矽(SiON)層當作底部抗反射層的互補式金氧半元件改良製程，其生成一薄的保護層以防止複晶矽開極側壁及主動區表面受到蝕刻損傷。

半導體積體電路(IC)的製作是極其複雜的過程，目的在於將特定電路所需的各種電子元件和線路，縮小製作在一小面積基底上。在現今半導體積體電路製程中，光學微影程序(photolithography)是極為關鍵性的步驟，其能否將所設計的線路圖案精確地轉移到半導體基底上，是決定產品性質良窳的重要因素。一般而言，微影程序係包括：塗佈(coating)光阻、曝光(exposure)、顯影(development)、和去除光阻等幾個主要步驟。其中，元件所需的圖案先製作在一光罩(photomask)上，然後利用一曝光程序使光阻中未被光罩圖案遮蔽的區域產生光化學反應，改變此部份光阻的性質；接著即進行顯影程序，以正型光阻為例，其利用一適當溶液溶去經曝光部分的光阻，留下與光罩圖案相同的光阻圖案，至於負型光阻的情況，則是留下與光罩圖案互補的光阻圖案。

隨著積體電路元件不斷密集化和縮小化的發展，以往在較大尺寸元件曝光程序中易被忽略的光學折射和反射等效應，也逐漸成為影響產品良率的重要因素，因此有許多的改良技術被提出以克服這些問題。其中，一種在光阻層底部或/及頂部形成一抗反射層(anti-reflection coating, ARC)的方法已廣泛地應用於實際生產線上，例

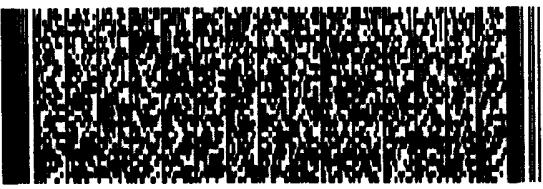
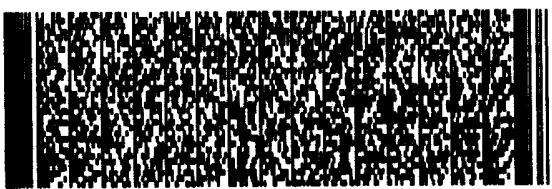


## 五、發明說明 (2)

如當互補式金氧半(CMOS)元件的閘極線寬進入 $0.18 \mu m$ 甚或更細微尺寸時，常會使用一氮氧化矽(SiON)層來當作底部抗反射層(BARC)，以提昇定義複晶矽閘極圖案之微影成像程序的操作容許度(process window)。

然而，當後續蝕刻去除此一氮氧化矽層時，卻容易連帶傷及複晶矽閘極下方的閘氧化層；若改用熱磷酸(H<sub>3</sub>PO<sub>4</sub>)溶液去除之，則又會造成複晶矽閘極側壁和主動區表面的損傷，形成崎嶇不平的表面構造而影響產品元件的性質。為了進一步了解起見，以下即參照第1A至1C圖說明其製造流程。首先，如第1A圖所示者，提供一半導體基底10，例如一矽晶圓。在基底10上形成有一場氧化層(field oxide)12以界定出主動區(active area)，而由於是要製作互補式金氧半元件，因此在主動區摻植特定電性之雜質，而分別形成P型井區(P-well)11A和N型井區(N-well)11B。

其次，在基底10表面上依序形成一閘氧化層13、一複晶矽閘極層14、和一氮氧化矽層15，例如，先以熱氧化程序或化學氣相沈積程序，形成一閘氧化層13覆蓋在基底10表面上，然後以化學氣相沈積(CVD)程序形成一複晶矽閘極層14於閘氧化層13上，接著再沈積一氮化矽層15覆於複晶矽閘極層14表面上。接下來，塗佈一光阻層16於氮化矽層15表面上，並利用此氮化矽層15當作底部抗反射層，施行一微影成像程序而定義出光阻層16的圖案，蓋住欲形成閘極構造的區域。

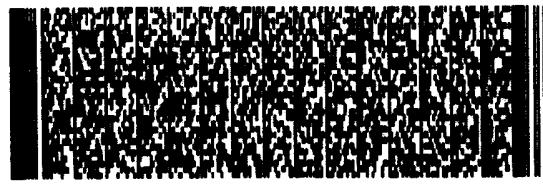
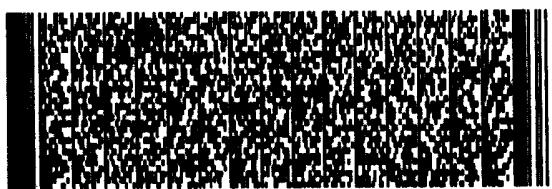


五、發明說明 (3)

請參見第1B圖，依序蝕刻氮氧化矽層15、複晶矽閘極層14、和閘氧化層13未被光阻層16覆蓋的部分，藉以形成閘極構造於基底10的主動區上。然後以適當溶液或是氧電漿蝕刻程序去除光阻層16，即留下如圖中所示之閘極構造。接下來，必須先行去除上述當作底部抗反射層的氮氧化矽層15，方可繼續進行後續的製程，像是形成接觸窗等。一般而言係施行一濕式蝕刻程序，然而為了確保能完全去除氮氧化矽層16，蝕刻處理的時間常較實際所需略長，往往卻使暴露在蝕刻液中的複晶矽閘極14、閘氧化層13、以及基底10的主動區表面也受到蝕刻侵蝕。

其中，蝕刻去除氮氧化矽層16時，雖不致於損傷複晶矽閘極14的側壁，卻會侵蝕其下方的閘氧化層13，形成如第1C圖中標號I所示之凹陷。若改用熱磷酸溶液以去除氮氧化矽層16，雖可改善閘氧化層13被侵蝕的問題，然而根據發明人實驗的結果發現，暴露在熱磷酸溶液中的複晶矽閘極14的側壁，甚或基底10的主動區域表面，均會受到蝕刻損傷而形成崎嶇不平的表面構造，如第1C圖中標號II所示者，不僅影響了產品元件的性質，也不利於後續製程的施行。由於利用氮氧化矽作為底部抗反射層之技術，是元件線寬在四分之一微米以下的製程所必需者，因此為了能持續應用此一技術，確有必要針對上述問題謀求改善之道。

有鑑於此，本發明之一個目的，在於提供一種半導體積體電路的改良製程，其利用一氮氧化矽層當作底部抗反



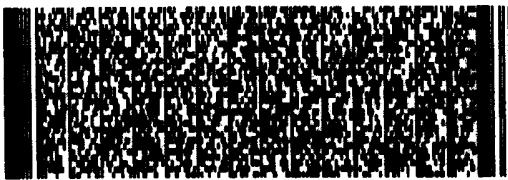
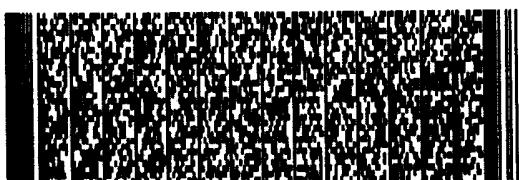
## 五、發明說明 (4)

射層，以提昇定義複晶矽閘極圖案之微影成像程序的操作容許度(process window)。

本發明另一個目的，在於提供一種半導體積體電路的改良製程，其使用熱磷酸溶液蝕刻去除當作底部抗反射層的氮氧化矽層，並可防止複晶矽閘極的側壁和基底主動區的表面於此一蝕刻過程中受到蝕刻損害。

為達成上述目的，本發明提出一種使用氮氧化矽(SiON)層當作底部抗反射層的互補式金氧半(CMOS)元件改良製程，其於蝕刻定義複晶矽閘極層和閘氧化層之圖案後，增加施行一濕式化學氧化反應(wet chemical oxidation)程序，用以在其側壁和基底的表面上形成一薄的保護層，藉此當後續使用熱磷酸溶液蝕刻去除氮氧化矽層時可有效隔絕蝕刻液，從而防止複晶矽閘極側壁和主動區表面受到蝕刻損傷。

詳言之，本發明一種防止複晶矽閘極側壁及主動區表面受蝕刻損傷之製程，包括下列步驟：提供一半導體基底，其上方形成有場氧化層以界定出主動區，並藉摻植雜質而形成N型與P型井區；依序形成一閘氧化層、一複晶矽閘極層、和一氮氧化矽(SiON)層覆於半導體基底表面上；塗佈一光阻層於氮氧化矽層表面上，並利用此一氮氧化矽層當作底部抗反射層(BARC)而施行一微影成像程序，用以定義出光阻層圖案；依序蝕刻上述氮氧化矽層、複晶矽閘極層、和閘氧化層未被光阻層圖案蓋住的部分，以形成一閘極構造於半導體基底的主動區上；於去除光阻層後，在



## 五、發明說明 (5)

複晶矽閘極層的側壁上和半導體基底的表面上形成一保護層；以及蝕刻去除氮氧化矽層，其中藉由保護層以防止複晶矽閘極的側壁和主動區表面受到蝕刻損傷。

根據本發明的一個較佳實施例，上述閘氧化層的厚度係介於50和200埃之間，上述複晶矽閘極層的厚度約為2000埃，而上述氮氧化矽層的厚度則約為300埃。於蝕刻定義出閘極構造後，係施行一濕式化學氧化成長程序，例如是將半導體基底浸泡於溫度約為70 °C 的 $H_2SO_4/H_2O_2/H_2O$  (SPM) 溶液中約5至10分鐘，以形成一薄氧化層來當作保護層，其厚度介於15和20埃之間。之後，再利用一熱磷酸( $H_3PO_4$ )溶液蝕刻去除上述氮氧化矽層，其蝕刻處理的時間約為10分鐘。

為了讓本發明之上述和其他目的、特徵、及優點能更明顯易懂，下文特舉出一個較佳實施例，並配合所附圖式，作詳細說明如下：

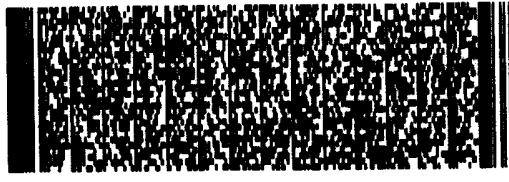
### 圖式之簡單說明

第1A至1C圖之剖面圖，係用以顯示一般使用氮化矽層當作底部抗反射層(BARC)的製造流程；以及

第2A至2C圖之剖面圖，係用以顯示依據本發明改良方法一較佳實施例的製造流程。

### 實施例

以下將參照第2A至2C圖，說明根據本發明改良方法的一個較佳實施例。首先，如第2A圖所示者，提供一半導體基底20，例如一矽晶圓。在基底20上形成有一場氧化層



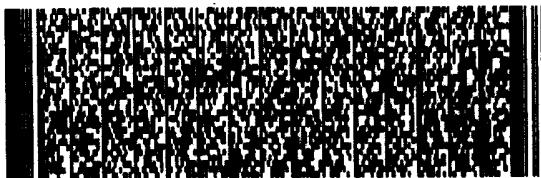
## 五、發明說明 (6)

(field oxide) 22 以界定出主動區 (active area)，而由於是要製作互補式金氧半 (CMOS) 元件，因此在主動區摻植特定電性之雜質，而分別形成 P 型 井 區 (P-well) 21A 和 N 型 井 區 (N-Well) 21B。

其次，在基底 20 表面上依序形成一閘氧化層 23、一複晶矽閘極層 24、和一氮氧化矽層 25，例如，先以熱氧化程序或化學氣相沈積程序，形成一閘氧化層 23 覆蓋在基底 20 表面上，其厚度係介於 50 和 200 埃之間；然後以化學氣相沈積 (CVD) 程序形成一複晶矽閘極層 24 於閘氧化層 23 上，其厚度約為 2000 埃；接著再沈積一氮化矽層 25 覆於複晶矽閘極層 24 表面上，其厚度約為 300 埃。

接下來，與習知製程相同者，塗佈一光阻層 (未顯示) 於氮化矽層 25 表面上，並利用此氮化矽層 25 當作底部抗反射層，施行一微影成像程序而定義出光阻層 26 的圖案，蓋住欲形成閘極構造的區域。然後，依序蝕刻氮氧化矽層 25、複晶矽閘極層 24、和閘氧化層 23 未被上述光阻層 覆蓋的部分，藉以形成閘極構造於基底 20 的主動區上。然後以適當溶液或是氧電漿蝕刻程序去除光阻層，即留下如圖中所示之閘極構造。

請參見第 2B 圖，不同於習知製程之直接蝕刻去除氮氧化矽層 25，本發明係先形成一薄的保護層 26，覆蓋在複晶矽閘極層 25 和閘氧化層 24 的側壁上，以及基底 20 主動區的表面上。於本實施例中，係施行一濕式化學氧化成長程序，例如是將半導體基底浸泡於溫度約為 70 °C 的  $H_2SO_4/H_2O$



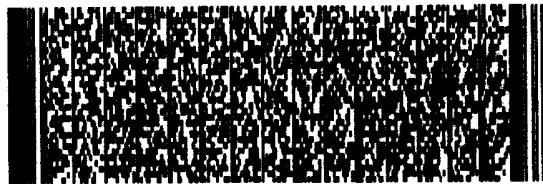
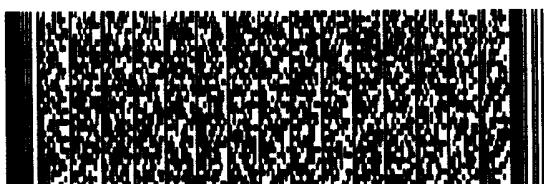
## 五、發明說明 (7)

$H_2O$  (SPM) 溶液中約5至10分鐘，以形成一薄氧化層來當作保護層26，其厚度介於15和20埃之間。

請注意，本發明改良製程所以特意選用濕式化學氧化成長程序來形成此一保護層26，而非一般的熱氧化成長程序或是化學氣相沈積程序，係考量了其低溫操作條件的特性。熟悉此技藝人士均知，無論是熱氧化成長程序或是化學氣相沈積程序均係高溫處理程序，在形成氧化層同時也造成氮氧化矽層25之結構進一步地密化，如此將使得後續蝕刻去除氮氧化矽層時更加困難。相反的，濕式化學氧化成長程序係在約70 °C 的低溫下進行的，因此並不會造成上述的問題。

接下來，施行濕式蝕刻程序，例如是使用一熱磷酸溶液蝕刻約10分鐘，以去除氮氧化矽層25而露出其下方的複晶矽閘極層24，如第2C圖所示者。很明顯地，藉由上述保護層26的隔離作用，可避免複晶矽閘極24的側壁和基底20的主動區表面暴露於熱磷酸溶液中，因此即使為了確保能完全去除氮氧化矽層25而延長蝕刻處理的時間，仍可有效防止複晶矽閘極層25的側壁和基底20的主動區表面於蝕刻過程中受到蝕刻損害。是以，本發明之改良製程在蝕刻去除氮氧化矽層25後，仍可保有平滑的表面性質，而不會形成如第1C圖中標號II所示崎嶇不平的表面構造。如此，不僅可提昇產品元件的性質，也有利於後續製程的施行。

本發明雖然已以一較佳實施例揭露如上，然並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神



五、發明說明 (8)

和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍應視後附之申請專利範圍所界定者為準。



## 六、申請專利範圍

1. 一種防止複晶矽閘極側壁及主動區表面受蝕刻損傷之製程，包括下列步驟：

提供一半導體基底，其上方形成有場氧化層以界定出主動區，並藉摻植雜質而形成N型與P型井區；

依序形成一閘氧化層、一複晶矽閘極層、和一氮氧化矽(SiON)層覆於該半導體基底表面上；

塗佈一光阻層於該氮氧化矽層表面上，並利用該氮氧化矽層當作底部抗反射層(BARC)而施行一微影成像程序，用以定義出光阻層圖案；

依序蝕刻該氮氧化矽層、該複晶矽閘極層、和該閘氧化層未被該光阻層圖案蓋住的部分，以形成一閘極構造於該半導體基底的主動區上；

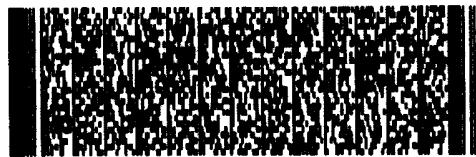
於去除該光阻層後，在該複晶矽閘極層的側壁上和該半導體基底的表面上形成一保護層；以及

蝕刻去除該氮氧化矽層，其中藉由該保護層以防止複晶矽閘極的側壁和主動區表面受到蝕刻損傷。

2. 如申請專利範圍第1項所述一種防止複晶矽閘極側壁及主動區表面受蝕刻損傷之製程，其中該閘氧化層的厚度係介於50和200埃之間。

3. 如申請專利範圍第1項所述一種防止複晶矽閘極側壁及主動區表面受蝕刻損傷之製程，其中該複晶矽閘極層的厚度約為2000埃。

4. 如申請專利範圍第1項所述一種防止複晶矽閘極側壁及主動區表面受蝕刻損傷之製程，其中該氮氧化矽層的



六、申請專利範圍

厚度約為300 埃。

5. 如申請專利範圍第1項所述一種防止複晶矽閘極側壁及主動區表面受蝕刻損傷之製程，其中該閘極構造的尺寸約為0.18mm。

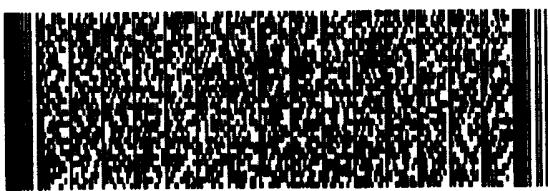
6. 如申請專利範圍第1項所述一種防止複晶矽閘極側壁及主動區表面受蝕刻損傷之製程，其中係施行一濕式化學氧化成長程序以形成一薄氧化層來當作該保護層。

7. 如申請專利範圍第6項所述一種防止複晶矽閘極側壁及主動區表面受蝕刻損傷之製程，其中係將該半導體基底浸泡於溫度約為70 °C 的 $H_2SO_4/H_2O_2/H_2O$ (SPM) 溶液中約5至10分鐘以施行該濕式化學氧化程序。

8. 如申請專利範圍第6項所述一種防止複晶矽閘極側壁及主動區表面受蝕刻損傷之製程，其中該濕式化學氧化程序所形成之薄氧化層的厚度係介於15和20 埃之間。

9. 如申請專利範圍第1項所述一種防止複晶矽閘極側壁及主動區表面受蝕刻損傷之製程，其中係利用熱磷酸( $H_3PO_4$ )溶液蝕刻去除該氮氧化矽層。

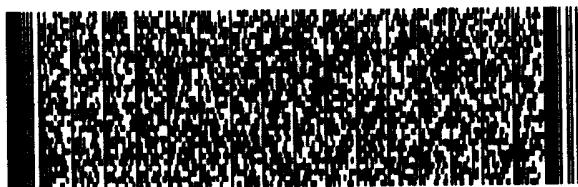
10. 如申請專利範圍第9項所述一種防止複晶矽閘極側壁及主動區表面受蝕刻損傷之製程，其中該熱磷酸溶液蝕刻的時間約為10 分鐘。



## 四、中文發明摘要 (發明之名稱：防止複晶矽閘極側壁及主動區表面受蝕刻損傷之製程)

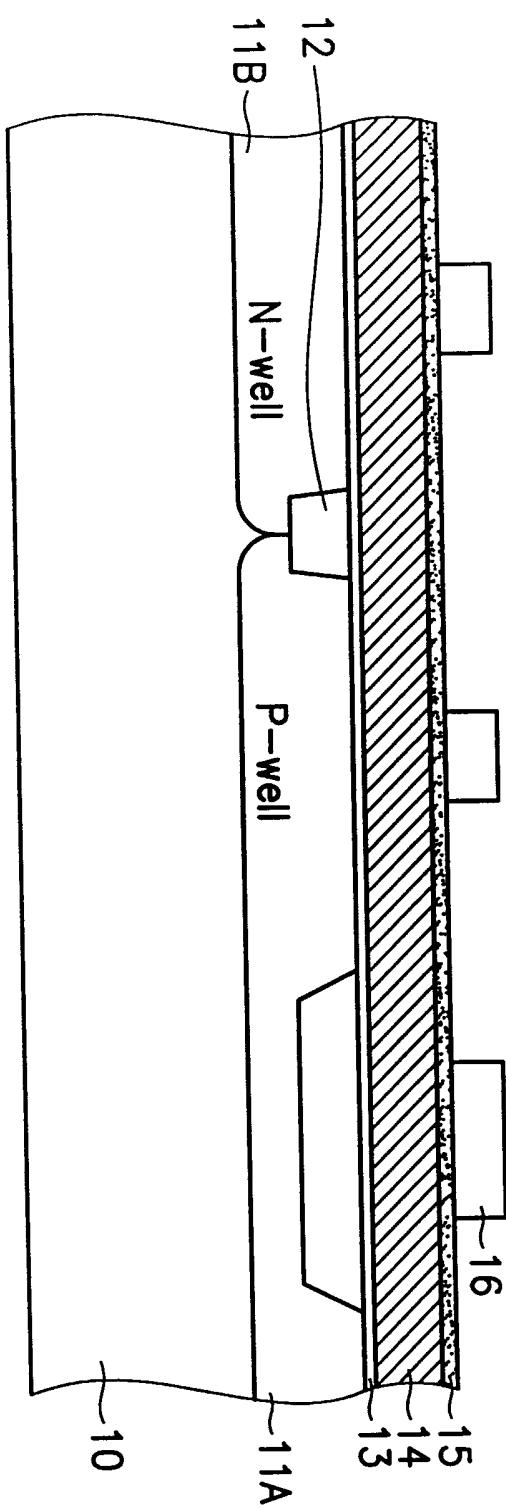
當互補式金氧半元件的閘極線寬進入 $0.18 \mu m$ 甚或更細微尺寸時，常使用一氮氧化矽層來當作底部抗反射層，以提昇定義複晶矽閘極圖案之微影成像程序的操作容許度。然而，後續蝕刻去除此一氮氧化矽層時，卻容易傷及閘氧化層，若改用熱磷酸溶液去除之，則又會造成複晶矽閘極側壁和主動區表面的損傷，影響產品元件的性質。因此，本發明提出一種改良製程，其於蝕刻定義複晶矽閘極層和閘氧化層之圖案後，增加施行一濕式化學氧化反應程序，用以在其側壁和基底的表面上形成一薄的保護層，藉此當後續使用熱磷酸溶液蝕刻去除氮氧化矽層時可有效隔絕蝕刻液，從而防止複晶矽閘極側壁和主動區表面受到蝕刻損傷。

## 英文發明摘要 (發明之名稱：)

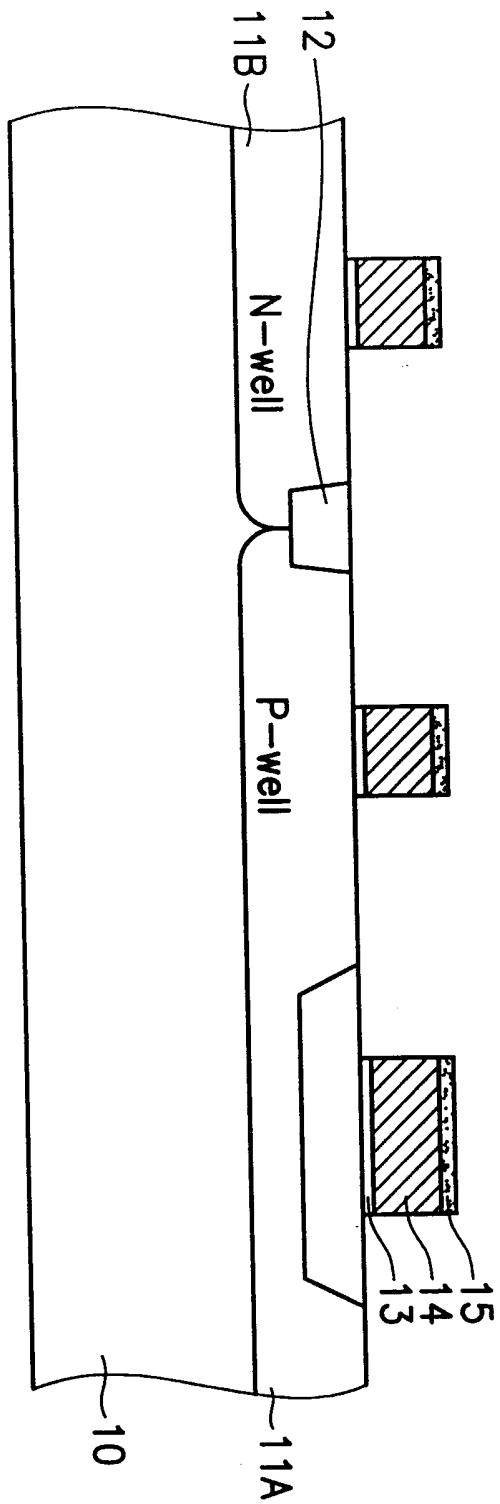


圖式

第1A圖

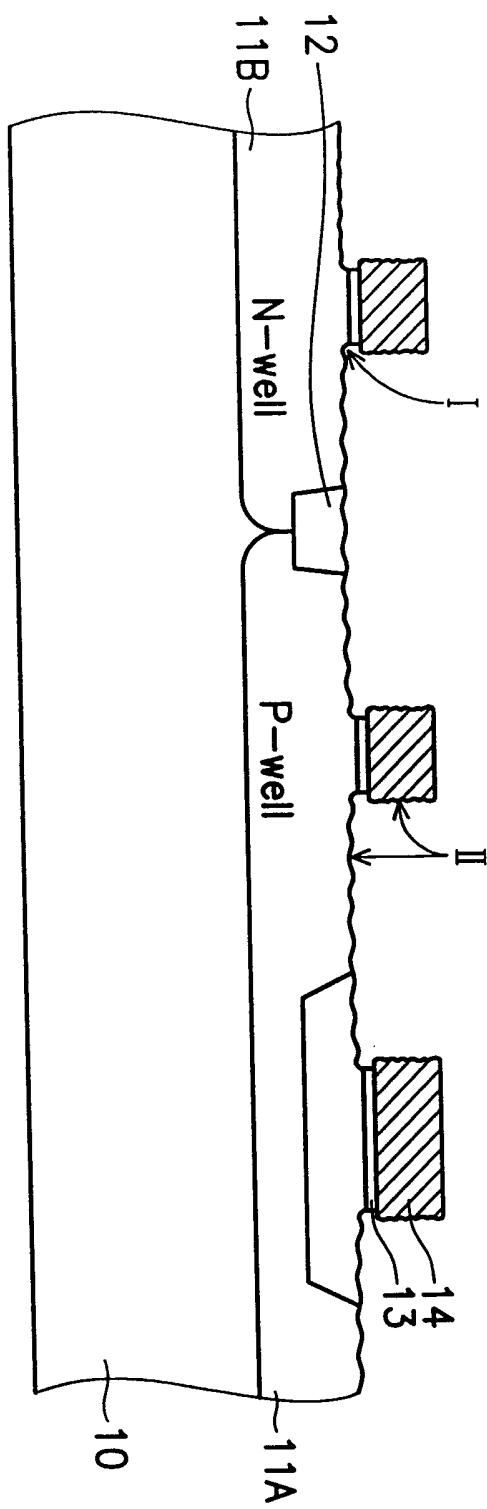


第 1B 圖



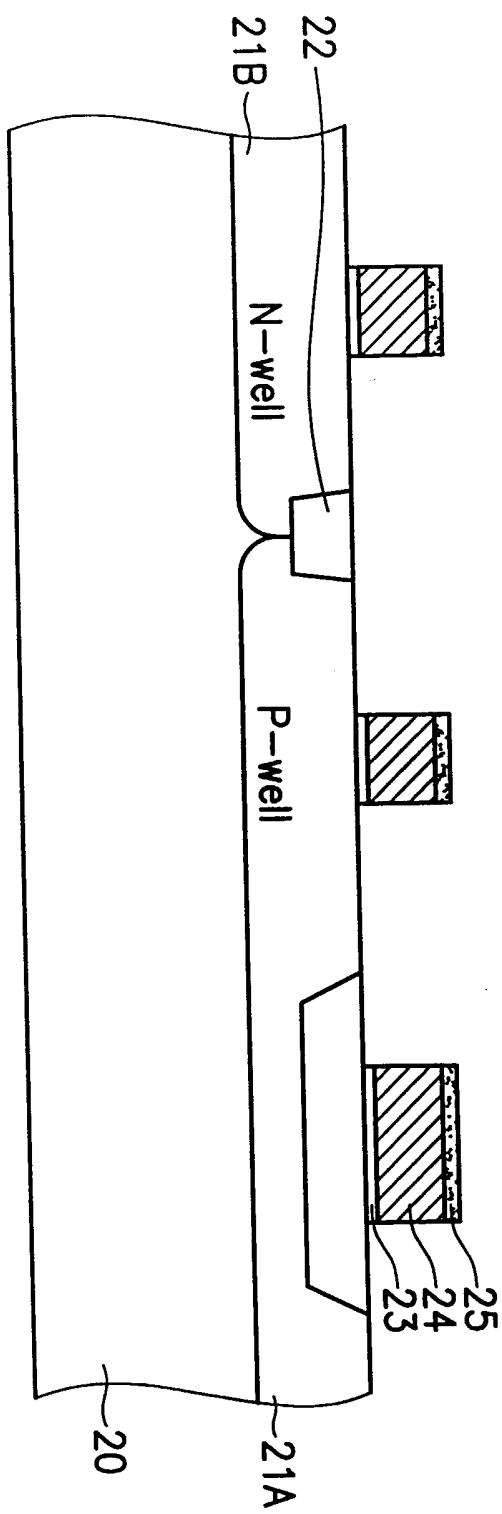
圖式

第 1C 圖



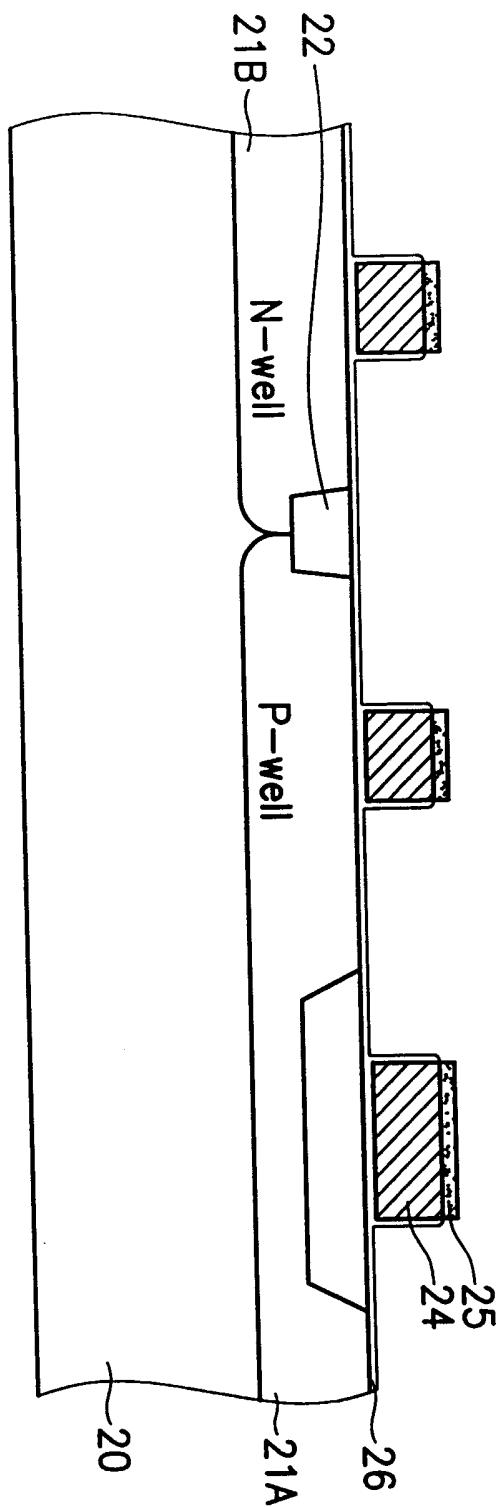
圖式

第2A圖



圖式

第 2B 圖



圖式

第2C圖

