



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년12월02일
(11) 등록번호 10-2331621
(24) 등록일자 2021년11월23일

- (51) 국제특허분류(Int. Cl.)
H01L 33/38 (2010.01) H01L 33/00 (2010.01)
H01L 33/42 (2010.01)
- (52) CPC특허분류
H01L 33/38 (2013.01)
H01L 33/005 (2013.01)
- (21) 출원번호 10-2020-0102560(분할)
- (22) 출원일자 2020년08월14일
심사청구일자 2020년08월14일
- (65) 공개번호 10-2020-0099122
- (43) 공개일자 2020년08월21일
- (62) 원출원 특허 10-2019-0171647
원출원일자 2019년12월20일
심사청구일자 2019년12월20일
- (56) 선행기술조사문헌
KR100814464 B1*
KR101368720 B1*
*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
에피스타 코퍼레이션
대만 신쑤 시티 사이언스-베이스드 인터스트리얼
파크 리-신 로드 21
- (72) 발명자
천 자오싱
대만 300 신쑤 사이언스-베이스드 인터스트리얼
파크 리-신 피프쓰 로드 5
왕 지아취안
대만 300 신쑤 사이언스-베이스드 인터스트리얼
파크 리-신 피프쓰 로드 5
(뒷면에 계속)
- (74) 대리인
유미특허법인

전체 청구항 수 : 총 9 항

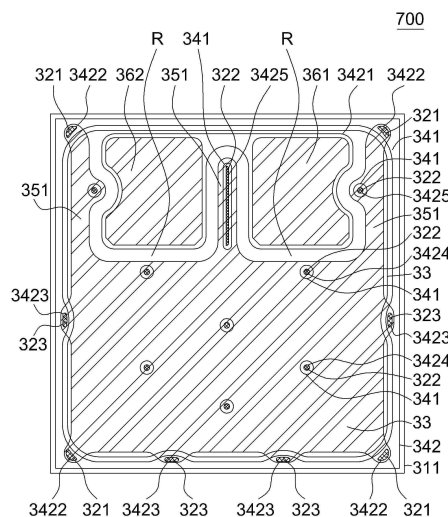
심사관 : 배성주

(54) 발명의 명칭 광전소자

(57) 요약

본 발명의 광전소자는 적어도 4개의 경계, 제1 표면, 제1 표면과 대응되는 제2 표면을 구비하고, 임의의 두 개의 서로 인접한 경계는 코너를 구성할 수 있는 제1 반도체층; 제1 반도체층의 제1 표면 상에 형성되는 제2 반도체층; 제2 반도체층 상에 형성되는 제2 전기적 전극; 및 제1 반도체층의 제1 표면 상에 형성되는 적어도 두 개의 제1 전기적 전극을 포함하고, 제1 전기적 전극들은 서로 분리되어 설계 형태를 형성한다.

대표도 - 도4c



(52) CPC특허분류

H01L 33/42 (2013.01)

(72) 발명자

라오 첸츠

대만 300 신쥬 사이언스-베이스드 인더스트리얼 파
크 리-신 피프쓰 로드 5

칭 츠야오

대만 300 신쥬 사이언스-베이스드 인더스트리얼 파
크 리-신 피프쓰 로드 5

코 춘가이

대만 300 신쥬 사이언스-베이스드 인더스트리얼 파
크 리-신 피프쓰 로드 5

선 첸푸

대만 300 신쥬 사이언스-베이스드 인더스트리얼 파
크 리-신 피프쓰 로드 5

명세서

청구범위

청구항 1

광전소자에 있어서,

에피택셜적층, 제1 절연층, 제3 전극, 제2 절연층 및 복수의 제4 전극을 포함하고,

상기 에피택셜적층은 제1 반도체층, 상기 제1 반도체층 상에 형성된 활성층, 및 상기 활성층 상에 형성된 제2 반도체층을 포함하고;

상기 제1 반도체층은 복수의 경계를 포함하고,

상기 복수의 경계의 서로 인접한 두 개의 경계는 상기 제1 반도체층의 코너를 구성하며;

상기 제1 반도체층은 노출된 영역을 포함하여, 상기 활성층 및 상기 제2 반도체층에 의해 커버되지 않으며, 상기 노출된 영역은 주변 영역 및 내부 영역을 포함하고, 상기 주변 영역은 상기 복수의 경계 및 상기 코너에 인접하고;

상기 제1 절연층은 상기 에피택셜적층 상에 형성되며,

상기 제2 절연층은 상기 에피택셜적층 상에 형성되며, 상기 노출된 영역에 위치하고 상호중첩되지 않는 복수의 제1 개구를 포함하고, 복수의 제2 개구가 상기 제2 반도체 상에 형성되고;

상기 복수의 제1 개구는 제1조 개구 및 제2조 개구를 포함하고, 상기 제1조 개구는 상기 내부 영역에 위치하고, 상기 제2 개구는 상기 주변 영역에 위치하고,

상기 제3 전극은 상기 에피택셜적층 상에 형성되며, 상기 제2 절연층 상에 위치하고, 상기 복수의 제1 개구를 통해 상기 제1 반도체층에 전기적으로 연결되고, 상기 제3 전극은 복수의 연장부를 포함하며, 상기 복수의 연장부의 한 부분은 상기 제1조 개구를 커버하고 상기 제1조 개구를 통해 상기 제1 반도체층에 전기적으로 연결되고, 상기 복수의 연장부의 다른 한 부분은 상기 제2조 개구를 커버하고 상기 제2조 개구를 통해 상기 제1 반도체층에 전기적으로 연결되고,

상기 복수의 제4 전극은 공간적으로 서로 분리되고 상기 제2 반도체층 상에 형성되며, 각각 상기 복수의 제2 개구 상에 위치하고, 상기 복수의 제2 개구를 통해 상기 제2 반도체층에 전기적으로 연결되고;

상기 복수의 연장부의 상기 한 부분은 상기 복수의 제4 전극 사이에 위치하는,

광전소자.

청구항 2

제1항에 있어서,

상기 복수의 연장부는 노치가 형성되는, 광전소자.

청구항 3

제1항에 있어서,

상기 제1 반도체층 상에 형성되어 상기 제2 반도체층에 의해 둘러싸이는 복수의 트렌치를 더 포함하는, 광전소자.

청구항 4

제3항에 있어서,

상기 복수의 연장부는 상기 복수의 트렌치 상에 위치하여 상기 복수의 트렌치를 통해 상기 제1 반도체층에 전기적으로 연결되는, 광전소자.

청구항 5

제3항에 있어서,

상기 에피택셜적층은 표면을 포함하며, 상기 복수의 트렌치는 복수의 측벽을 포함하며 상기 제1 절연층은 상기 표면 및 복수의 측벽 상에 형성되는, 광전소자.

청구항 6

제1항에 있어서,

상기 제3 전극은 은(Ag), 동(Cu), 크롬(Cr), 알루미늄(Al), 티타늄(Ti), 백금(Pt), 니켈(Ni), 주석(Sn), 이들의 합금 또는 적층 조합을 포함하는, 광전소자.

청구항 7

제1항에 있어서,

상기 제4 전극은 금 (Au), 구리 (Cu), 니켈 (Ni), 주석 (Sn) 등, 이들의 합금 또는 적층 조합을 포함하는, 광전소자.

청구항 8

제1항에 있어서,

위에서 보면, 상기 제4 전극의 위에서 본 면적은 상기 제3 전극의 위에서 본 면적보다 작은, 광전소자.

청구항 9

제1항에 있어서,

상기 제3 전극의 한 경계와 상기 제4 전극의 한 경계 사이의 최소거리는 50 μ m보다 큰, 광전소자.

청구항 10

삭제

발명의 설명

기술 분야

[0001] 본 발명은 광전소자에 관한 것으로, 특히 광전소자의 전극 설계에 관한 것이다.

배경 기술

[0002] 발광다이오드(light-emitting diode, LED)의 발광 원리는 전자가 n형 반도체와 p형 반도체 사이에 이동하는 에너지 차이를 이용하여 빛의 형태로 에너지를 방출하는 것이다. 이런 발광 원리는 발열에 의한 백열등의 원리와 다르므로, 발광 다이오드는 냉광원이라 불린다. 그 밖에, 발광다이오드는 내구성이 높고, 수명이 길며, 가볍고, 전기 소모량이 낮은 장점을 가지므로, 오늘날 조명 시장은 발광다이오드는 큰 기대를 모으고 있으며, 차세대 조명수단으로서 종래의 광원을 점차적으로 대체하여 교통신호, 백라이트 모듈, 가로등 조명, 의료 설비 등 각종 분야에서 응용되고 있다.

[0003] 도 1은 종래의 발광소자 구조 개략도이다. 도 1에서 도시한 바와 같이, 종래 발광소자(100)는 투명기관(10), 투명기관(10) 상에 위치하는 반도체 적층(12) 및 상기 반도체적층(12) 상에 위치하는 적어도 하나의 전극(14)을 포함하며, 상기 반도체 적층(12)은 위에서부터 아래로 제1 도전형 반도체층(120), 활성층(122) 및 제2 도전형 반도체층(124)을 포함한다.

[0004] 또한, 상기 발광소자(100)는 추가적으로 기타 소자와 결합하여 발광장치(light-emitting apparatus)를 형성할 수도 있다. 도 2는 종래의 발광장치 구조 개략도이다. 도 2에 도시한 바와 같이, 발광장치(200)는 하나 이상의 회로(202)의 서브마운트(20); 상기 서브마운트(20) 상에 위치하고, 상기 발광소자(100)를 서브마운트(20) 상에 본딩 고정하며, 발광소자(100)의 기관(10)으로 하여금 서브 마운트(20) 상의 회로(202)와 전기적으로 연결하도록

록 하는 하나 이상의 솔더(solder, 22); 및 발광소자(100)의 전극(14)과 서브마운트(20) 상의 회로(202)를 전기적으로 연결하는 전기 연결구조(24)를 구비하고, 상기 서브마운트(20)는 발광장치(200)의 회로 배치를 간편하게 하고, 방열 효과를 향상시키는 리드 프레임(lead frame) 또는 큰 사이즈 마운팅 기판(mounting substrate)일 수 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명은 광전소자의 전극 설계 형태를 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0006] 본 발명의 광전소자는, 적어도 4개의 경계(境界), 제1 표면, 상기 제1 표면과 대응되는 제2 표면을 구비하고, 임의의 두 개의 서로 인접한 상기 경계는 코너를 구성할 수 있는 제1 반도체층; 제1 반도체층의 제1 표면 상에 형성된 제2 반도체층; 제2 반도체층 상에 형성된 제2 전기적 전극; 및 제1 반도체층의 제1 표면 상에 형성된 적어도 2개의 제1 전기적 전극을 포함하고, 상기 제1 전기적 전극들은 서로 분리되어 설계 형태를 형성한다.

도면의 간단한 설명

- [0007] 도 1은 종래의 어레이 광전소자의 측면 구조도이다.
- 도 2는 종래의 발광장치 구조 개략도이다.
- 도 3a는 본 발명의 일 실시예에 따른 광전소자 유닛의 평면 구조도이다.
- 도 3b는 본 발명의 일 실시예에 따른 광전소자 유닛의 측면 구조도이다.
- 도 3c는 본 발명의 다른 실시예에 따른 광전소자 유닛의 평면 구조도이다.
- 도 4a~도 4d는 본 발명의 다른 실시예에 따른 광전소자 유닛의 평면 구조도이다.
- 도 5a~도 5c는 발광모듈의 개략도이다.
- 도 6a~도 6b는 광원 발생 장치를 나타낸 개략도이다.
- 도 7은 전구를 나타낸 개략도이다.

발명을 실시하기 위한 구체적인 내용

- [0008] 본 발명은 발광소자 및 그 제조방법을 개시하였으며, 본 발명을 더욱 자세하고 완전하게 이해하기 위해서는, 도 3a 내지 도 7을 결합하여 다음의 설명을 참고하기 바란다.
- [0009] 도 3a와 도 3b는 본 발명의 제1 실시예에 따른 광전소자(300)의 평면도와 측면도이다. 도 3b는 도 3a의 A-B-C 방향의 측면 구조도이다. 광전소자(300)는 기판(30)을 구비한다. 기판(30)은 단일 재료에 한정되지 않으며, 복수의 서로 다른 재료로 구성된 복합식 기판일 수도 있다. 예를 들면, 기판(30)은 2개의 서로 접합된 제1 기판(미도시)과 제2 기판(미도시)을 포함할 수 있다.
- [0010] 종래의 에피택시 성장 공정을 통해, 기판(30) 상에 제1 표면(3111) 및 제1 표면과 대응되는 제2 표면(3112)을 구비하는 제1 반도체층(311), 제1 반도체층(311)의 제1 표면(3111) 상에 형성되는 활성층(312), 및 활성층(312) 상에 형성되는 제2 반도체층(313)을 포함하는 에피택셜적층을 형성한다. 이어, 포토리소그래피 기술을 이용하여 일부 에피택셜층을 선택적으로 제거하여 광전소자(300)의 경계에 일부 제1 반도체층(311)을 노출시키고, 광전소자(300) 내에 트렌치(S)를 형성한다. 일 실시예에서 이 트렌치(S)는 일부 제1 반도체층(311)을 노출시키고 제2 반도체층(313)에 의해 둘러싸인다. 일 실시예에서, 트렌치(S)는 평면도에서 가늘고 긴 형상이다.
- [0011] 그리고, 광전소자(300)의 에피택셜적층(31)의 표면 및 상기 트렌치(S)의 측벽 상에 화학기상증착(CVD) 또는 물리기상증착(PVD) 등의 기술로 제1 절연층(341)을 증착 형성한다.
- [0012] 그리고 상기 광전소자(300)의 경계 옆에 노출된 제1 반도체층(311) 상에 적어도 하나의 제1의 제1 전기적 전극(321)을 형성한다. 일 실시예에서 제1의 제1 전기적 전극(321)은 제2 반도체층(313)에 의해 둘러싸이지 않고, 제2의 제1 전기적 전극(322)이 상기 트렌치(S) 내에 형성된다. 이 실시예에서 분리되어 있는 제1의 제1 전기적

전극(321) 및 제2의 제1 전기적 전극(322)은 제1 전기적 전극의 전극 설계 형태를 형성한다.

- [0013] 본 발명의 실시예에서 광전소자의 경계에 가까운 영역의 전류 확산을 향상시키도록 전극 설계 형태는 전극 수량, 전극 형상 및 전극 위치의 선택을 포함할 수 있다. 예를 들면 제1 전기적 전극의 전극 설계 형태는 하나 또는 복수의 제1 전기적 전극(321) 및 하나 또는 복수의 제2의 제1 전기적 전극(322)을 포함할 수 있고, 제2의 제1 전기적 전극(322)은 위에서 보면 제2 반도체층(313)에 의해 둘러싸이고, 연장된 형상이다.
- [0014] 일 실시예에서 광전소자(300)의 제1 반도체층(311)은 적어도 4개의 경계를 가지고, 서로 인접한 두 경계는 코너를 구성할 수 있고, 경계를 넘는 도전구조가 없다. 본 실시예에서 제1의 제1 전기적 전극(321)은 광전소자(300)의 동일한 경계 상의 두 코너에 형성되고, 서로 분리되어 있으며 광전소자(300)의 경계를 넘지 않는다.
- [0015] 일 실시예에서 제1의 제1 전기적 전극(321)의 제1 반도체층(311) 상에서의 투영은 도형을 이룰 수 있고, 이 도형은 다각형, 원형, 타원형, 반원형이거나 또는 원호면(圓弧面)을 가진다. 제2의 제1 전기적 전극(322)은 선형, 호형, 선형과 호형의 혼합형이거나 적어도 하나의 분기부를 가질 수 있다. 일 실시예에서 제2의 제1 전기적 전극(322)은 헤드부와 테일부를 가질 수 있고, 상기 헤드부의 폭은 테일부의 폭보다 크다.
- [0016] 이어서, 제2 반도체층(313) 상에 제2 전기적 전극(33)을 형성한다. 일 실시예에서 제2 전기적 전극(33)의 제1 반도체층(311)에서의 투영 면적과 제2 반도체층(313)의 상표면적의 비는 90~100%이다.
- [0017] 그 다음, 상기 제1의 제1 전기적 전극(321), 제2의 제1 전기적 전극(322), 제2 전기적 전극(33) 및 일부 제1 절연층(341) 상에 제2 절연층(342)을 형성할 수 있다. 제2 절연층(342)은 제2 전기적 전극(33)과 후에 형성되는 제4 전극(36)을 전기적 연결하기 위한 제1 개구(3421)를 구비할 수 있고, 제2 절연층(342)은 제1의 제1 전기적 전극(321)과 후에 형성되는 제3 전극(35)을 전기적 연결하기 위한 제2 개구(3422)를 구비할 수도 있다. 일 실시예에서 제1 절연층(341) 또는 제2 절연층(342)은 상기 노출된 제1 반도체층(311)을 완전히 커버할 수 있다.
- [0018] 일 실시예에서 상기 제1 절연층(341) 또는 제2 절연층(342)은 투명 절연층일 수 있다. 상기 제1 절연층(341) 또는 제2 절연층(342)의 재료는 산화물, 질화물, 또는 폴리머(polymer)일 수 있고, 산화물은 산화알루미늄(Al_2O_3), 산화규소(SiO_2), 이산화티타늄(TiO_2), 탄탈륨 펜트옥사이드(Tantalum Pentoxide, Ta_2O_5), 또는 산화알루미늄(AlO_x)을 포함할 수 있고, 질화물은 질화알루미늄(AlN), 질화규소(SiN_x)를 포함할 수 있고; 폴리머는 폴리이미드(polyimide) 또는 벤조시클로부탄(benzocyclobutane, BCB) 등 재료 또는 이들의 복합 조합을 포함할 수 있다. 일 실시예에서 제1 절연층(341) 또는 제2 절연층(342)은 분산 브래그 반사경(Distributed Bragg Reflector) 구조일 수 있다.
- [0019] 마지막으로, 상기 제2 절연층(342), 제1의 제1 전기적 전극(321), 제2의 제1 전기적 전극(322) 상에 제3 전극(35)을 형성하여 제1의 제1 전기적 전극(321), 제2의 제1 전기적 전극(322)과 전기적으로 연결시키고, 상기 제2 절연층(342), 제2 전기적 전극(33) 상에 제4 전극을 형성하여 제2 전기적 전극(33)과 전기적으로 연결시킨다. 일 실시예에서 위에서 보면, 제3 전극(35)과 제4 전극(36)의 제1 반도체층(311) 상에서의 투영 면적의 비가 80% 이상이고 100% 미만이다.
- [0020] 일 실시예에서 제3 전극(35)은 제1의 제1 전기적 전극(321)의 일부만 커버할 수 있고, 다른 한 실시예에서 제3 전극(35)은 제1의 제1 전기적 전극(321)을 완전히 커버할 수 있다.
- [0021] 일 실시예에서, 제3 전극(35)의 상부 가장자리에서 기판(30)의 상부 가장자리까지의 높이는 H1이고, 제4 전극(36)의 상부 가장자리에서 기판(30)의 상부 가장자리까지의 높이는 H2이고, H1은 실질적으로 H2와 동일하다. 일 실시예에서, H1과 H2의 차이는 5~10%보다 작다. H1과 H2의 차이를 조절하는 것을 통해, 광전소자(300)가 후에 탑재판 또는 회로소자와 플립 칩 구조를 형성할 때의 단선(斷線) 확률을 줄일 수 있어, 제품 수율을 증가시킨다. 일 실시예에서, 제3 전극(35)의 경계와 제4 전극(36)의 경계는 최소거리 D1을 가지고, D1은 $50\mu m$ 보다 크고, 일 실시예에서 D1은 $50\sim 200\mu m$, $100\sim 200\mu m$ 일 수 있다.
- [0022] 일 실시예에서, 제1의 제1 전기적 전극(321), 제2의 제1 전기적 전극(322), 제2 전기적 전극(33), 제3 전극(35) 및 제4 전극(36)은 다층 구조일 수 있고, 및/또는 반사층(미도시)을 포함하고, 활성층(312)에서 출사되는 광선에 대해 80% 이상의 반사율을 가질 수 있다. 일 실시예에서, 제1의 제1 전기적 전극(321), 제2의 제1 전기적 전극(322) 및 제3 전극(35)은 동일 공정에서 형성될 수도 있다. 일 실시예에서, 광전소자(300)에서 출사된 광선은 제1의 제1 전기적 전극(321), 제2의 제1 전기적 전극(322), 제2 전기적 전극(33), 제3 전극(35) 또는 제4 전극(36)을 거쳐 반사되어 기판(30) 방향에서 광전소자(300)를 떠날 수 있다.
- [0023] 일정한 도전성을 이루기 위하여, 제1의 제1 전기적 전극(321), 제2의 제1 전기적 전극(322), 제2 전기적 전극

(33), 제3 전극(35) 및 제4 전극(36)의 재료는 예를 들면 금(Au), 은(Ag), 구리(Cu), 크롬(Cr), 알루미늄(Al), 백금(Pt), 니켈(Ni), 티타늄(Ti), 주석(Sn) 등의 금속, 이들의 합금 또는 적층 조합일 수 있다.

[0024] 일 실시예에서 탐재판 또는 회로 소자(미도시)를 제공하여, 와이어 본딩 또는 납땜 등 방식으로 탐재판 또는 회로 소자 상에 제1 탐재판 전극(미도시) 및 제2 탐재판 전극(미도시)을 형성할 수 있다. 이 제1 탐재판 전극, 및 제2 탐재판 전극은 광전소자(300)의 제3 전극(35), 제4 전극(36)과 플립 칩 구조를 형성할 수 있다.

[0025] 일 실시예에서 제1의 제1 전기적 전극(321), 및/또는 제2의 제1 전기적 전극(322)과 제3 전극(35) 사이에 제1 조절층(미도시)을 형성할 수 있고, 제1 조절층은 제1의 제1 전기적 전극(321) 및/또는 제2 전기적 전극(322)과 제3 전극(35)에 전기적으로 연결된다. 일 실시예에서 제2 전기적 전극(33)과 제4 전극(36) 사이에 제2 조절층(미도시)을 형성할 수 있고, 제2 조절층은 제2 전기적 전극(33)과 제4 전극(36)에 전기적으로 연결된다. 본 실시예에서 제1 조절층 및 제2 조절층은 각각 높이를 가질 수 있고, 제1 조절층 및 제2 조절층의 형성 위치로 인해, 제1 조절층 및 제2 조절층의 높이가 상기 H1과 H2의 높이에 영향을 주게 된다. 따라서 제1 조절층 및/또는 제2 조절층의 형성 높이를 각각 설계하는 것을 통해 상기 H1과 H2의 높이 차이를 줄일 수 있어, 광전소자(300)가 후에 탐재판 또는 회로소자와 플립 칩 구조를 형성할 때의 단선 확률을 줄일 수 있고, 나아가 제품 수율을 증가시킨다. 일 실시예에서 제1 조절층의 제1 반도체층(3111) 상에서의 투영 면적은 제3 전극(35)의 제1 반도체층(311) 상에서의 투영 면적보다 크거나, 또는 제2 조절층의 제1 반도체층(311) 상에서의 투영 면적은 제4 전극(36)의 제1 반도체층(311) 상에서의 투영 면적보다 크다. 일 실시예에서, 제1 조절층 또는 제2 조절층의 바람직한 재료는 예를 들면 금(Au), 은(Ag), 동(Cu), 크롬(Cr), 알루미늄(Al), 백금(Pt), 니켈(Ni), 티타늄(Ti), 주석(Sn) 등의 금속, 이들의 합금 또는 적층 조합일 수 있다. 일 실시예에서 제1 조절층 또는 제2 조절층은 다층 구조일 수 있고, 및/또는 반사층(미도시)을 포함하고, 또한 활성층(312)에서 출사된 광선에 대해 80% 이상의 반사율을 가질 수 있다.

[0026] 도 3c는 본 발명의 제2 실시예에 따른 광전소자(400)의 평면도이다. 본 실시예에서 광전소자의 제조방법, 사용 재료 및 도면 부호 등은 상기 제1 실시예와 동일하므로 더 이상 설명하지 않는다. 본 발명의 실시예에서 광전소자(400)의 경계에 가까운 영역의 전류 확산을 향상시키도록 전극 설계 형태는 전극 수량, 전극 형상 및 전극 위치의 선택을 포함할 수 있다.

[0027] 일 실시예에서 광전소자(400)의 제1 반도체층(311)은 적어도 4개의 경계를 가지고, 서로 인접한 두 경계는 코너를 구성할 수 있고, 경계를 넘는 도전 구조가 없다. 본 실시예에서 제1의 제1 전기적 전극(321)은 제1 반도체층(311)의 임의의 코너에 형성되고, 제2 절연층(342)은 제1의 제1 전기적 전극(321)과 후에 형성되는 제3 전극(35)을 전기적으로 연결하기 위한 제2 개구(3422)를 구비할 수 있다. 제2의 제1 전기적 전극(322)은 제1 반도체층(311) 상에 형성되고, 제2 반도체층(313)에 의해 둘러싸이고, 제2 절연층(342)은 제2의 제1 전기적 전극(322)과 후속 형성되는 제3 전극(35)을 전기적으로 연결하기 위한 제3 개구(3423)를 구비할 수도 있다.

[0028] 본 실시예에서 제1의 제1 전기적 전극(321)의 제1 반도체층(311) 상에서의 투영은 도형을 이룰 수 있고, 이 도형은 다각형, 원형, 타원형, 반원형이거나 또는 원호면을 가진다. 제2의 제1 전기적 전극(322)은 연장된 형상이며, 그 형상은 선형, 호형, 선형과 호형의 혼합형이거나, 또는 적어도 하나의 분기부를 가질 수 있다. 일 실시예에서 제2의 제1 전기적 전극(322)은 헤드부 및 테일부를 가질 수 있고, 상기 헤드부의 폭은 테일부의 폭보다 크다.

[0029] 본 실시예에서 제3의 제1 전기적 전극(323)이 광전소자(400)의 경계 옆에 노출된 제1 반도체층(311) 상에 형성된다. 일 실시예에서 제3의 제1 전기적 전극(323)은 제2 반도체층(313)에 의해 둘러싸이지 않고, 제2 절연층(342)은 제3의 제1 전기적 전극(323)과 후에 형성되는 제3 전극(35)을 전기적으로 연결하기 위한 제4 개구(3424)를 구비한다. 제4의 제1 전기적 전극(324)이 광전소자(400)의 경계 옆 노출된 제1 반도체층(311) 상에 형성된다. 일 실시예에서 제4의 제1 전기적 전극(324)은 제2 반도체층(313)에 의해 둘러싸이지 않고, 제2 절연층(342)은 제4의 제1 전기적 전극(324)과 후에 형성되는 제3 전극(35)을 전기적으로 연결하기 위한 제5 개구(3425)를 구비한다.

[0030] 본 실시예에서 제3의 제1 전기적 전극(323)의 제1 반도체층(311) 상에서의 투영은 도형을 이룰 수 있고, 이 도형은 다각형, 원형, 타원형, 반원형이거나 또는 원호면을 가진다. 제4의 제1 전기적 전극(324)은 선형, 호형, 선형과 호형의 혼합형이거나 또는 적어도 하나의 분기부를 가질 수 있다. 일 실시예에서 제4의 제1 전기적 전극(324)은 헤드부 및 테일부를 가질 수 있으며, 상기 헤드부의 폭은 테일부의 폭보다 클 수 있다. 일 실시예에서 제3의 제1 전기적 전극(323)과 제4의 제1 전기적 전극(324)의 형상은 다르다.

- [0031] 일 실시예에서 제품 설계의 요구에 따라, 제1의 제1 전기적 전극(321)과 제3의 제1 전기적 전극(323)은 광전소자(400)의 동일 경계 옆에 형성될 수 있고, 서로 분리되어 있다. 일 실시예에서 제1의 제1 전기적 전극(321) 및 제4의 제1 전기적 전극(324), 또는 제3의 제1 전기적 전극(323) 및 제4 전기적 전극(324)은 광전소자(400)의 동일한 경계 옆에 형성되지 않는다.
- [0032] 일 실시예에서 제4의 제1 전기적 전극(324)의 헤드부는 제3 전극(35)에 의해 커버될 수 있고, 제4의 제1 전기적 전극(324)의 테일부는 제4 전극(36)에 의해 커버되지 않는다. 본 실시예에서 제3 전극(35)의 제1 반도체층(311) 상에서의 투영 면적은 제4 전극(36)의 제1 반도체층(311) 상에서의 투영 면적보다 크고, 제3 전극(35) 및 제4 전극(36)의 제1 반도체층(311) 상에서의 투영 면적의 비는 110~120% 사이에 있다. 일 실시예에서 상기 제2의 제1 전기적 전극(322) 및 제4의 제1 전기적 전극(324)의 테일부 연장 방향은 실질적으로 서로 평행된다.
- [0033] 도 4a는 본 발명의 제3 실시예에 따른 광전소자(500)의 평면도이다. 본 실시예에서 광전소자의 제조방법, 사용 재료 및 도면 부호 등은 상기 제1 실시예와 동일하므로 더 이상 설명하지 않는다. 본 발명의 실시예에서, 광전소자(500)의 경계에 가까운 영역의 전류 확산을 향상시키도록 전극 설계 형태는 전극 수량, 전극 형상 및 전극 위치의 선택을 포함할 수 있다.
- [0034] 본 실시예에서 광전소자(500)의 4개 경계는 직사각형을 형성하고, 서로 인접한 두 경계는 코너를 형성할 수 있고, 경계를 넘는 도전 구조가 없다. 상기 경계는 제1 긴 변(B1), 제2 긴 변(B3), 제1 짧은 변(B2) 및 제2 짧은 변(B4)을 가진다. 일 실시예에서 상기 제1 긴 변(B1) 또는 제2 긴 변(B3)의 길이는 제1 짧은 변(B2) 또는 제2 짧은 변(B4)보다 크다. 본 실시예에서 제3 전극(35) 및 제4 전극(36)의 제1 반도체층(311) 상에서의 투영은 제1 긴 변(B1) 또는 제2 긴 변(B3)을 따라 배열된다.
- [0035] 본 실시예에서 두 개의 서로 분리되어 있는 제1의 제1 전기적 전극(321)은 제1 짧은 변(B2)의 두 코너에 형성되고, 제2 절연층(342)은 제1의 제1 전기적 전극(321)과 후속 형성되는 제3 전극(35)을 전기적으로 연결하기 위한 제2 개구(3422)를 구비할 수도 있다. 두 개의 제4의 제1 전기적 전극(324)은 각각 제1 긴 변(B1) 및 제2 긴 변(B3)의 경계 옆에 노출된 제1 반도체층(311) 상에 위치한다. 본 실시예에서 제3의 제1 전기적 전극(323)은 제1 짧은 변(B2) 상에 형성되고, 제2 절연층(342)은 제3의 제1 전기적 전극(323)과 후에 형성되는 제3 전극(35)을 전기적으로 연결하기 위한 제4 개구(3424)를 구비할 수도 있다. 제4의 제1 전기적 전극(324)는 제2 반도체층(313)에 의해 둘러싸이지 않고, 제2 절연층(342)은 제4의 제1 전기적 전극(324)과 후에 형성되는 제3 전극(35)을 전기적으로 연결하기 위한 제3 개구(3423)를 구비할 수도 있다.
- [0036] 일 실시예에서 제3의 제1 전기적 전극(323)과 상기 두 개의 제1의 제1 전기적 전극(321)의 거리는 실질적으로 같다. 그 밖에, 제1의 제1 전기적 전극(321), 제4의 제1 전기적 전극(324) 및 제3 전극(35)은 동일 공정에서 형성될 수 있다.
- [0037] 본 실시예에서 제1의 제1 전기적 전극(321)의 제1 반도체층(311) 상에서의 투영은 도형을 이룰 수 있고, 이 도형은 다각형, 원형, 타원형, 반원형이거나 또는 원호면을 가진다. 제3의 제1 전기적 전극(323)의 제1 반도체층(311) 상에서의 투영은 도형을 이룰 수 있고, 이 도형은 다각형, 원형, 타원형, 반원형이거나 또는 원호면을 가진다. 제4의 제1 전기적 전극(324)은 연장된 형상이며, 선형, 호형, 선형과 호형 혼합형이거나 또는 적어도 하나의 분기부를 가질 수 있다. 일 실시예에서 제4의 제1 전기적 전극(324)은 헤드부 및 테일부를 구비하고, 상기 헤드부의 폭은 테일부의 폭보다 클 수 있다. 일 실시예에서 제3의 제1 전기적 전극(323)과 제4의 제1 전기적 전극(324)의 형상은 다르다.
- [0038] 일 실시예에서, 상기 제4의 제1 전기적 전극(324)의 헤드부는 제1 짧은 변(B2)을 향하고, 테일부는 제2 짧은 변(B4)을 향한다. 일 실시예에서, 제4의 제1 전기적 전극(324)의 헤드부는 제3 전극(35)에 의해 커버될 수 있고, 제4의 제1 전기적 전극(324)의 테일부는 제4 전극(36)에 의해 커버되지 않는다. 일 실시예에서, 상기 두 제4의 제1 전기적 전극(324)의 테일부 연장 방향은 실질적으로 서로 평행된다. 본 실시예에서 제3 전극(35)의 제1 반도체층(311) 상에서의 투영 면적은 제4 전극(36)의 제1 반도체층(311) 상에서의 투영 면적보다 크고, 제3 전극(35) 및 제4 전극(36)의 제1 반도체층(311) 상에서의 투영 면적의 비는 110~120%이다.
- [0039] 도 4b는 본 발명의 제4 실시예에 따른 광전소자(600)의 평면도이다. 본 실시예에서 광전소자의 제조방법, 사용 재료 및 도면 부호 등은 상기 제1 실시예와 동일하므로 더 이상 설명하지 않는다. 본 발명의 실시예에서 광전소자(600)의 경계에 가까운 영역의 전류 확산을 향상시키도록 전극 설계 형태는 전극 수량, 전극 형상 및 전극 위치의 선택을 포함할 수 있다.
- [0040] 본 실시예에서, 광전소자(600)의 4개 경계는 직사각형을 형성하고, 서로 인접한 두 경계는 코너를 구성할 수 있

고, 경계를 넘는 도전 구조가 없다. 광전소자(600)는 제1 긴 변(B1), 제2 긴 변(B3), 제1 짧은 변(B2) 및 제2 짧은 변(B4)을 가진다. 일 실시예에서 상기 제1 긴 변(B1) 또는 제2 긴 변(B3)의 길이는 제1 짧은 변(B2) 또는 제2 짧은 변(B4)보다 크다. 본 실시예에서 제3 전극(35) 및 제4 전극(36)의 제1 반도체층(311) 상에서의 투영은 제1 긴 변(B1) 또는 제2 긴 변(B3)을 따라 배열된다.

[0041] 본 실시예에서는 적어도 하나의 제1의 제1 전기적 전극(321)을 포함한다. 일 실시예에서 제1 반도체층(311)의 4개 코너에 4개의 제1의 제1 전기적 전극(321)을 형성할 수 있고, 제2 절연층(342)은 제1의 제1 전기적 전극(321)과 후에 형성되는 제3 전극(35)을 전기적으로 연결하기 위한 제2 개구(3422)를 구비할 수도 있다. 두 개의 제2의 제1 전기적 전극(322)은 제1 반도체층(311) 상에 형성되고, 제2 반도체층(313)에 의해 둘러싸이고, 제2 절연층(342)은 제2의 제1 전기적 전극(322)과 후속 형성되는 제3 전극(35)을 전기적으로 연결하기 위한 제3 개구(3423)를 구비할 수도 있다.

[0042] 본 실시예에서 제1의 제1 전기적 전극(321)의 제1 반도체층(311) 상에서의 투영은 도형을 이룰 수 있고, 이 도형은 다각형, 원형, 타원형, 반원형이거나 또는 원호면을 가진다. 제2의 제1 전기적 전극(322)의 제1 반도체층(311) 상에서의 투영은 도형을 이룰 수 있고, 이 도형은 다각형, 원형, 타원형, 반원형이거나 또는 원호면을 가진다. 일 실시예에서, 상기 두 제2의 제1 전기적 전극(322)의 제1 반도체층(311) 상에서의 투영 형상은 같거나 다를 수 있다.

[0043] 본 실시예에서 제3 전극(35)은 두 개의 연장부(351)를 포함하고, 상기 두 연장부(351)는 실질적으로 노치(R)를 형성할 수 있고, 제4 전극(36)은 노치(R) 내에 위치한다. 그 밖에, 제1의 제1 전기적 전극(321), 제2의 제1 전기적 전극(322) 및 제3 전극(35)은 동일 공정에서 형성될 수 있다.

[0044] 도 4c는 본 발명의 제5 실시예에 따른 광전소자(700)의 평면도이다. 본 실시예에서 광전소자의 제조방법, 사용 재료 및 도면 부호 등은 상기 제1 실시예와 동일하므로 더 이상 설명하지 않는다. 본 발명의 실시예에서, 광전소자(700)의 경계에 가까운 영역의 전류 확산을 향상시키도록, 전극 설계의 형태는 전극 수량, 전극 형상 및 전극 위치의 선택을 포함할 수 있다.

[0045] 일 실시예에서, 광전소자(700)의 제1 반도체층(311)은 적어도 4개의 경계를 가지고, 서로 인접한 두 경계는 코너를 구성할 수 있고, 경계를 넘는 도전 구조가 없다. 본 실시예에서는 각각 제1 반도체층(311)의 4개 코너에 형성되는 4개의 제1의 제1 전기적 전극(321)을 포함하고, 제2 절연층(342)은 제1의 제1 전기적 전극(321)과 후에 형성되는 제3 전극(35)을 전기적으로 연결하기 위한 제2 개구(3422)를 구비할 수도 있다. 복수의 제2의 제1 전기적 전극(322)은 제1 반도체층(311) 상에 형성되고, 제2 반도체층(313)에 의해 둘러싸이고, 제2 절연층(342)은 제2의 제1 전기적 전극(322)과 후에 형성되는 제3 전극(35)을 전기적으로 연결하기 위한 제4 개구(3424)를 구비할 수도 있다. 복수의 제3의 제1 전기적 전극(323)은 광전소자(700)의 경계 옆에 노출된 제1 반도체층(311) 상에 형성된다. 다시 말하면, 제3의 제1 전기적 전극(323)은 제2 반도체층(313)에 의해 둘러싸이지 않고, 제1 반도체층(311)의 임의의 한 경계 옆에 하나 또는 복수의 제3의 제1 전기적 전극(323)을 포함할 수 있다. 제2 절연층(342)은 제2의 제1 전기적 전극(322)과 후에 형성되는 제3 전극(35)을 전기적으로 연결하기 위한 제3 개구(3423)를 구비할 수 있다.

[0046] 본 실시예에서, 제1의 제1 전기적 전극(321)의 제1 반도체층(311) 상에서의 투영은 도형을 이룰 수 있고, 이 도형은 다각형, 원형, 타원형, 반원형이거나 또는 원호면을 가진다. 제2의 제1 전기적 전극(322)의 제1 반도체층(311) 상에서의 투영은 도형을 이룰 수 있고, 이 도형은 다각형, 원형, 타원형, 반원형이거나 또는 원호면을 가진다. 일 실시예에서 제2의 제1 전기적 전극(322)은 연장된 형상일 수 있고, 연장 방향은 연장부(351)의 연장 방향에 평행될 수 있다. 제2의 제1 전기적 전극(322)은 선형, 호형, 선형과 호형의 혼합형이거나 또는 적어도 하나의 분기부를 가질 수 있다. 일 실시예에서 상기 복수의 제2의 제1 전기적 전극(322)의 제1 반도체층(311) 상에서의 투영 면적은 같거나 다를 수 있다. 제3의 제1 전기적 전극(323)의 제1 반도체층(311) 상에서의 투영은 도형을 이룰 수 있고, 이 도형은 다각형, 원형, 타원형, 반원형이거나 또는 원호면을 가진다.

[0047] 본 실시예에서 제3 전극(35)은 3개의 연장부(351)를 포함하고, 상기 3개의 연장부(351)는 실질적으로 두 개의 노치(R)를 형성할 수 있고, 또한 두 개의 제4 전극(36)이 상기 두 개의 노치(R) 내에 형성될 수 있다. 본 실시예에서 적어도 하나의 제2의 제1 전기적 전극(322)이 상기 연장부(351)에 형성될 수 있다.

[0048] 일 실시예에서 상기 제1의 제1 전기적 전극(321), 제2의 제1 전기적 전극(322), 제3의 제1 전기적 전극(323)의 제1 반도체층(311) 상에서의 투영 형상은 같거나 다를 수 있다. 그 밖에, 제1의 제1 전기적 전극(311), 제2의 제1 전기적 전극(322), 제3의 제1 전기적 전극(323) 및 제3 전극(35)은 동일 공정에서 형성될 수도 있다.

- [0049] 도 4d는 본 발명의 제6 실시예에 따른 광전소자(700')의 평면도이다. 본 실시예는 제5 실시예의 가능한 변화예로, 광전소자의 제조방법, 사용 재료, 전극설계 및 도면 부호 등은 상기 제5 실시예와 동일하므로 더 이상 설명하지 않는다.
- [0050] 본 실시예에서 광전소자(700')의 제2 절연층(3421')은 제2 전기적 전극(33)과 후속 형성된 제4 전극(36)을 전기적으로 연결하기 위한 복수의 제1 개구(3421')를 구비한다. 본 실시예에서 제2 절연층(342)은 복수의 제1 개구(3421)를 구비하여 제3 전극(35) 및 제4 전극(36) 높이의 차이를 줄일 수 있고, 후에 탑재판 또는 회로 소자와 플립 칩 타입 구조를 형성할 때의 단선 확률을 줄여 제품 수율을 증가시킨다.
- [0051] 도 5a 내지 도 5c는 발광모듈을 나타낸 개략도이고, 도 5a는 발광모듈의 외부를 나타낸 투시도이고, 발광모듈(800)은 마운트(502), 광전소자(미도시), 복수의 렌즈(504, 506, 508 및 510) 및 두 개의 전원 공급 단말(512 및 514)을 포함할 수 있다. 이 발광모듈(800)은 후술하는 발광 유닛(540)에 연결될 수 있다.
- [0052] 도 5b~도 5c는 발광모듈(800)을 나타낸 단면도이고, 그 중 도 5c는 도 5b의 E 영역 확대도이다. 마운트(502)는 상부 마운트(503) 및 하부 마운트(501)를 포함할 수 있고, 하부 마운트(501)의 표면은 상부 마운트(503)와 접촉할 수 있다. 렌즈(504) 및 렌즈(508)는 상부 마운트(503) 상에 형성된다. 상부 마운트(503)는 적어도 하나의 관통홀(515)을 형성할 수 있고, 본 발명 실시예에 따라 형성된 광전 소자(300) 또는 기타 실시예의 광전소자(미도시)는 상기 관통홀(515)에 형성되어 하부 마운트(501)와 접촉할 수 있고, 또한 고무 재료(521)에 의해 감싸진다. 고무 재료(521) 상에 렌즈(508)가 있고, 고무 재료(521)의 재료는 실리콘 수지, 에폭시 수지 또는 기타 재료일 수 있다. 일 실시예에서 관통홀(515)의 두 측면 상에 반사층을 형성하여 발광 효율을 증가시킬 수 있다. 하부 마운트(501)의 하부 표면에 금속층(517)을 형성하여 방열 효율을 향상시킬 수 있다.
- [0053] 도 6a~도 6b는 광원 발생 장치를 나타낸 개략도(900)이고, 광원 발생 장치(900)는 발광 모듈(800), 발광 유닛(540), 발광 모듈(800)에 전류를 공급하는 전기 공급 시스템(미도시) 및 전기 공급 시스템을 제어하는 제어소자(미도시)를 포함할 수 있다. 광원 발생 장치(900)는 가로등, 차등 또는 실내 조명 광원과 같은 조명 장치일 수 있고, 교통 신호 또는 평면 디스플레이 백라이트 모듈의 백라이트 광원일 수도 있다.
- [0054] 도 7은 전구를 나타낸 개략도이다. 전구(1000)는 하우징(921), 렌즈(922), 조명 모듈(924), 지지 프레임(925), 라디에이터(926), 연결부(927) 및 전기 접속부(928)를 포함한다. 조명 모듈(924)은 마운트(923)를 포함하고, 마운트(923) 상에 적어도 하나의 상기 실시예의 광전 소자(300) 또는 기타 실시예의 광전 소자(미도시)를 포함한다.
- [0055] 구체적으로 말하자면, 기관(30)은 성장 및/또는 탑재 기초이다. 후보 재료로는 도전 기관 또는 비도전 기관, 투광 기관 또는 비투광 기관을 포함할 수 있다. 도전 기관 재료는 게르마늄(Ge), 비화갈륨(GaAs), 인화인듐(InP), 탄화규소(SiC), 규소(Si), 산화리튬알루미늄(LiAlO₂), 산화아연(ZnO), 질화갈륨(GaN), 질화알루미늄(AlN) 금속일 수 있다. 투광 기관 재료는 사파이어(Sapphire), 산화리튬알루미늄(LiAlO₂), 산화아연(ZnO), 질화갈륨(GaN), 유리, 다이아몬드, CVD 다이아몬드, 다이아몬드상 카본(Diamond-Like Carbon; DLC), 첨정석(spinel, MgAl₂O₄), 산화알루미늄(Al₂O₃), 산화규소(SiO_x) 및 산화리튬갈륨(LiGaO₂)일 수 있다.
- [0056] 에피택셜적층(31)은 제1 반도체층(311), 활성층(312), 및 제2 반도체층(313)을 포함한다. 제1 반도체층(311) 및 제2 반도체층(313)은 예를 들면 클래딩층(cladding layer) 또는 구속층(confinement layer)이고, 단일 또는 다층 구조일 수 있다. 상기 제1 반도체층(311)과 제2 반도체층(313)은 전기적 특성, 극성 또는 도펀트가 서로 다르고, 그 전기적 특성은 p형, n형 및 i형 중 적어도 임의의 2개의 조합에서 선택될 수 있고, 각각 전자, 정공을 제공하여, 전자, 정공으로 하여금 활성층(312)에서 결합하여 발광하게 한다. 제1 반도체층(311), 활성층(312) 및 제2 반도체층(313)의 재료는 III-V족 반도체 재료를 포함할 수 있으며, 예를 들면 Al_xIn_yGa_(1-x-y)N 또는 Al_xIn_yGa_(1-x-y)P이고, 여기서 0 ≤ x, y ≤ 1; (x+y) ≤ 1이다. 활성층(312)의 재료에 따라, 에피택셜적층은 파장이 610nm 내지 650nm 사이에 있는 적색광, 파장이 530nm 내지 570nm 사이에 있는 녹색광, 파장이 450nm 내지 490nm 사이에 있는 청색광 또는 파장이 400nm보다 작은 자외선을 방출한다.
- [0057] 본 발명의 다른 한 실시예에서, 광전소자(300, 400, 500, 600, 700, 700')는 에피택셜 소자 또는 발광 다이오드일 수 있고, 그 발광 주파수 스펙트럼은 에피택셜적층의 단일 또는 복수 층의 물리 또는 화학 요소를 변화시켜 조절할 수 있다. 이 단일 또는 복수 층의 에피택셜적층 재료는 알루미늄(Al), 갈륨(Ga), 인듐(In), 인(P), 질소(N), 아연(Zn) 및 산소(O)로 이루어진 군에서 선택될 수 있다. 활성층(312)의 구조는 예를 들면 싱글 헤테로 구조(single heterostructure; SH), 더블사이드 헤테로 구조(double-side double heterostructure; DDH) 또는 다

중 양자 우물(multi-quantum well; MQW) 구조이다. 또한, 활성층(312)의 양자 우물의 로그를 조절하면 발광 파장을 변화시킬 수 있다.

[0058] 본 발명의 일 실시예에서, 제1 반도체층(311)과 기판(20) 사이에 버퍼층(buffer layer, 미도시)을 선택적으로 더 포함할 수 있다. 이 버퍼층은 두 가지 재료 시스템의 사이에 개재되어, 기판(30)의 재료 시스템을 제1 반도체층(311)으로 "전이"시키는 재료 시스템이다. 발광 다이오드의 구조에 있어서, 버퍼층은 두 재료 사이의 격자 부정합을 감소시키는 재료층이다. 다른 한편으로 버퍼층은 두 가지 재료 또는 두 개로 분리된 구조를 결합시키기 위한 단일 또는 다중 구조로서 버퍼층의 재료는 유기 재료, 무기 재료, 금속 및 반도체 등에서 선택될 수 있으며, 그 구조는 반사층, 열전도층, 도전층, 저항 접촉(ohmic contact)층, 변형 저항층, 응력 완화(stress release)층, 응력 조절(stress adjustment)층, 접합(bonding)층, 파장 변환층, 및 기계 고정 구조 등에서 선택될 수 있다. 일 실시예에서, 이 버퍼층의 재료는 질화알루미늄 또는 질화갈륨에서 선택될 수 있고, 버퍼층은 스퍼터링 또는 원자층 증착(Atomic Layer Deposition, ALD)의 방식으로 형성될 수 있다.

[0059] 제2 반도체층(313)과 제2 전기적 전극(33) 사이에 접촉층(미도시)을 선택적으로 더 형성할 수 있다. 구체적으로 말하자면, 접촉층은 광학층, 전기층, 또는 이들의 조합일 수 있다. 여기서 "변화"는 전자파 방사선 또는 광선의 적어도 어느 하나의 광학적 특성을 변화시키는 것을 말하며, 상기 특성은 주파수, 파장, 강도, 플럭스량, 효율, 색온, 연색 지수(rendering index), 라이트 필드(light field) 및 가시각도(angle of view)를 포함하나 이에 한정되지 않는다. 전기층은 접촉층의 임의의 대향측 사이의 전압, 저항, 전류, 전기용량 중 적어도 하나의 수치, 밀도, 분포에 변화가 발생하거나 변화가 발생할 추세를 갖게 할 수 있다. 접촉층의 구성 재료는 산화물, 도전 산화물, 투명 산화물, 50% 또는 그 이상의 투과율을 갖는 산화물, 금속, 상대적으로 투광하는 금속, 50% 또는 그 이상의 투과율을 갖는 금속, 유기질, 무기질, 형광체, 인광체, 세라믹스, 반도체, 도핑 반도체, 및 무도핑 반도체 중 적어도 하나를 포함한다. 일부 응용에서, 접촉층의 재료는 산화인듐주석, 산화카드뮴주석, 산화안티몬주석, 산화인듐아연, 산화아연알루미늄 및 산화아연주석 중 적어도 하나이다. 상대적으로 투광하는 금속일 경우, 그 두께는 대략 0.005 μ m~0.6 μ m이다.

[0060] 이상의 각 도면 및 설명은 단지 특정 실시예에만 대응되나, 각 실시예에서 설명하였거나 또는 개시된 소자, 실시방식, 설계원칙 및 기술 원리는 서로 명백하게 충돌, 모순되거나, 또는 공동으로 실시하기 어려운 것을 제외하고, 필요에 따라 임의로 참고, 교체, 조합, 조절 또는 병합할 수 있다. 본 발명은 위에서 설명한 바와 같으나, 본 발명의 범위, 실시 순서 또는 사용한 재료와 제조 공정 및 방법은 이에 한정되지 않는다. 본 발명에 대한 각종 수식 또는 변경은 모두 본 발명의 정신과 범위를 벗어나지 않는다.

부호의 설명

- [0061] 100, 200, 300, 400, 500, 600, 700, 700' : 광전소자
- 10: 투명기판
- 12: 반도체적층
- 14, E1,E2: 전극
- 30: 기판
- U: 광전소자 유닛
- 31: 에피택셜적층
- 311: 제1 반도체층
- 312: 활성층
- 313: 제2 반도체층
- S: 트랜치
- 341: 제1 절연층
- 342: 제2 절연층
- 3421: 제1 개구

3422: 제2 개구
3423: 제3 개구
3424: 제4 개구
3425: 제5 개구
321: 제1의 제1 전기적 전극
322: 제2의 제1 전기적 전극
323: 제3의 제1 전기적 전극
324: 제4의 제1 전기적 전극
33: 제2 전기적 전극
35: 제3 전극
B1: 제1 긴 변
B3: 제2 긴 변
B4: 제1 짧은 변
351: 긴 형상의 연장부(연신부)
R: 노치
36: 제4 전극
800: 발광모듈
501: 하부 마운트
502: 마운트
503: 상부 마운트
504, 506, 508, 510: 렌즈
512, 514: 전원 공급 단말
515: 관통홀
519: 반사층
521: 고무 재료
540: 하우징
900: 광원발생장치
1000: 전구
700: 광전소자
721: 하우징
722: 렌즈
724: 조명모듈
725: 지지 프레임
726: 라디에이터
727: 연결부
728: 전기 접속부

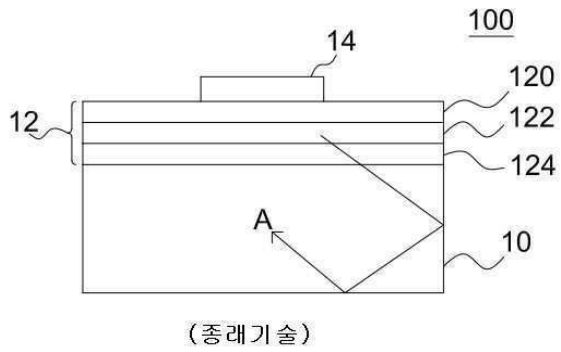
ABC: 방향

D1: 거리

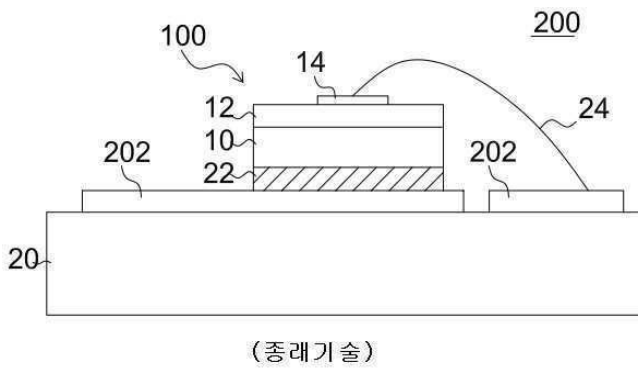
H1, H2: 높이

도면

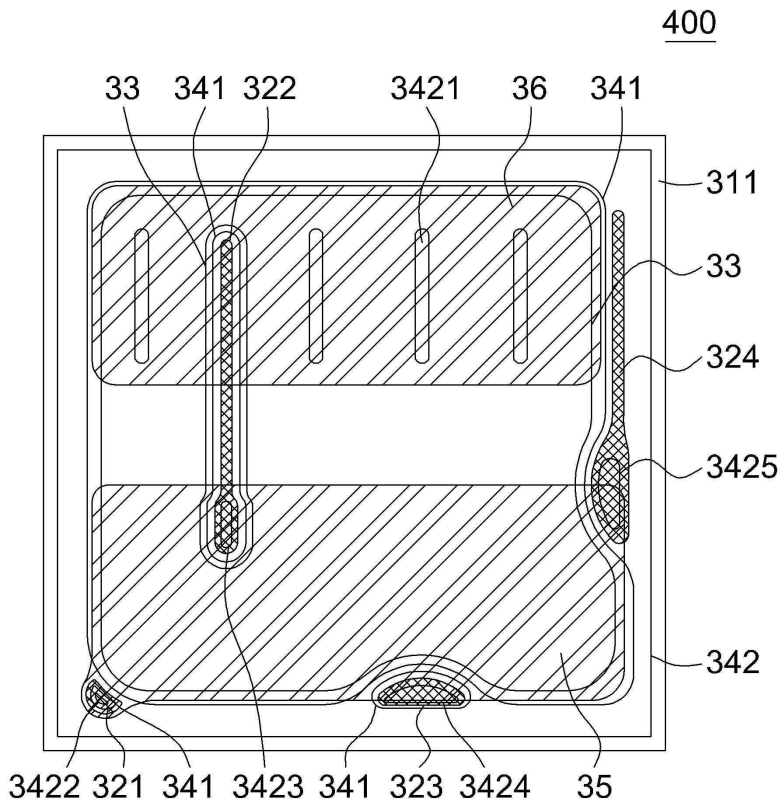
도면1



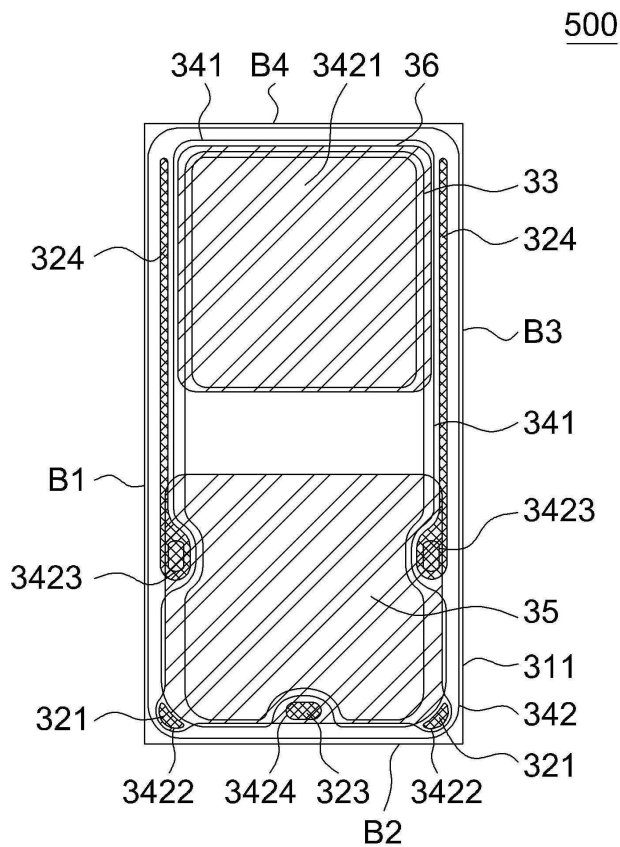
도면2



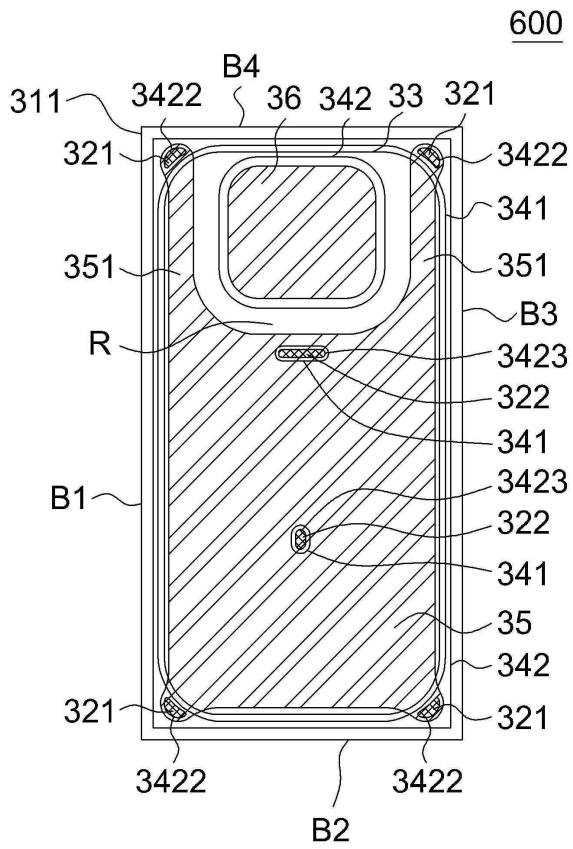
도면3c



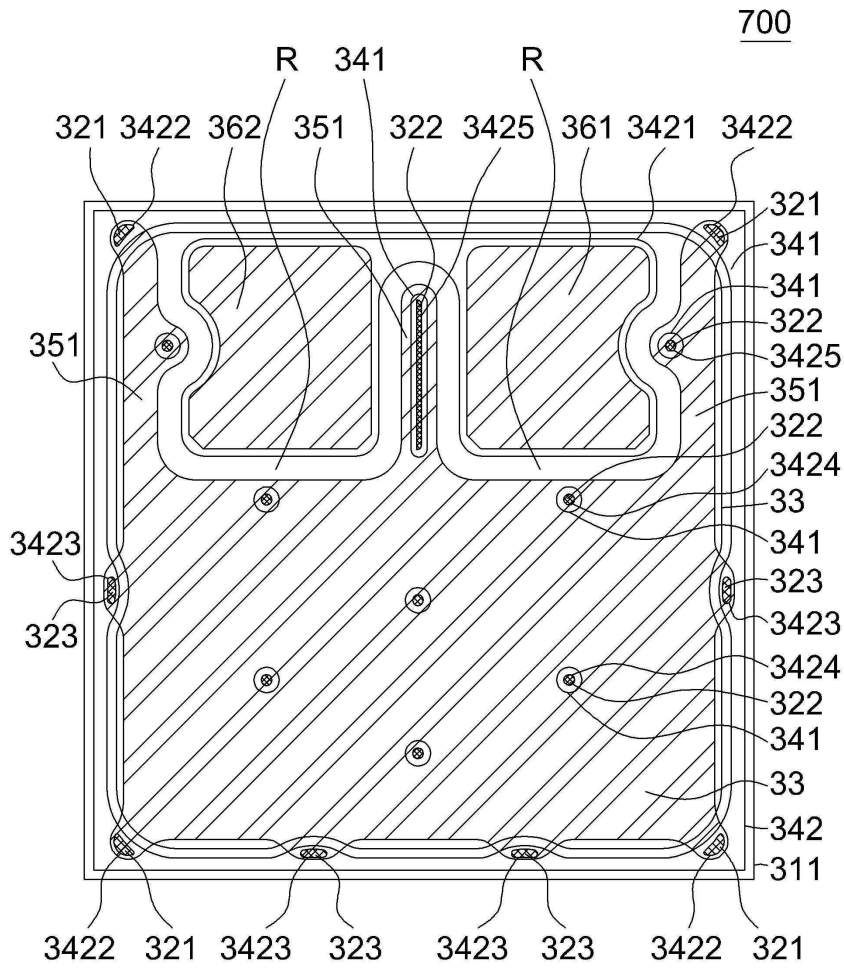
도면4a



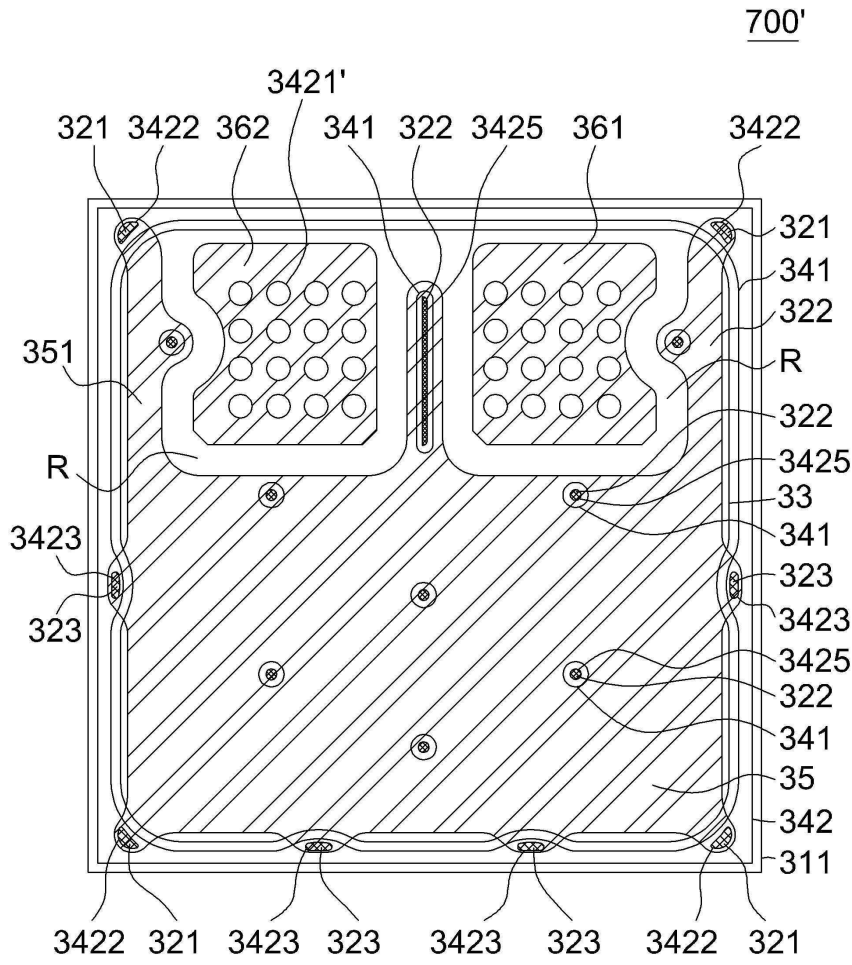
도면4b



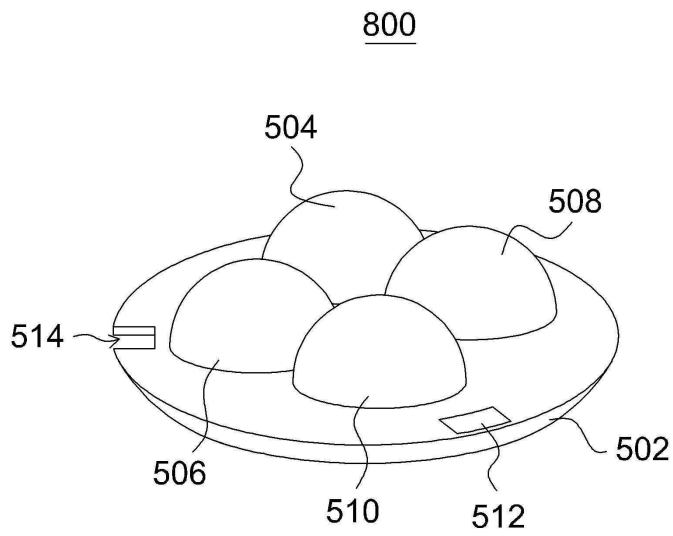
도면4c



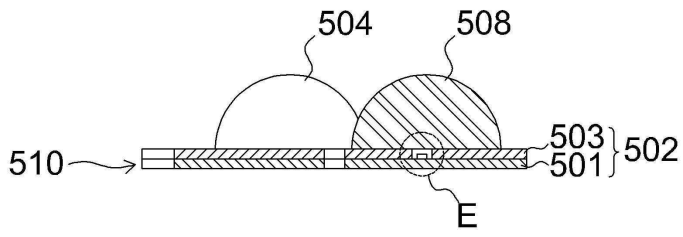
도면4d



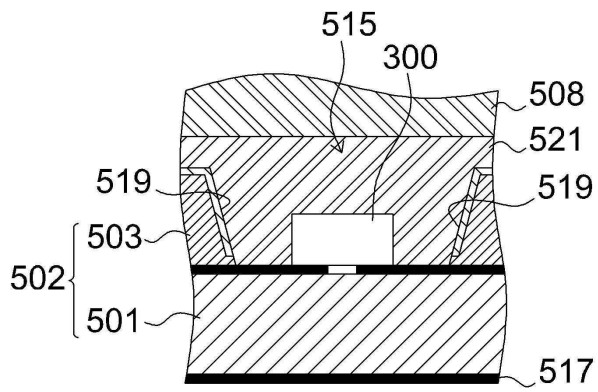
도면5a



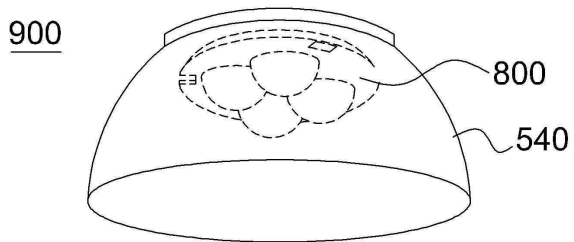
도면5b



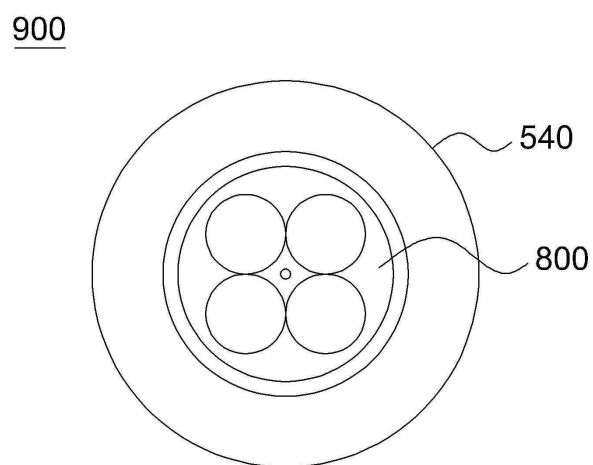
도면5c



도면6a



도면6b



도면7

