



(12)发明专利

(10)授权公告号 CN 107808870 B

(45)授权公告日 2020.01.14

(21)申请号 201710534227.8

(22)申请日 2017.07.03

(65)同一申请的已公布的文献号  
申请公布号 CN 107808870 A

(43)申请公布日 2018.03.16

(30)优先权数据  
15/261,202 2016.09.09 US

(73)专利权人 台湾积体电路制造股份有限公司  
地址 中国台湾新竹

(72)发明人 谢正贤 许立翰 吴伟诚 陈宪伟  
叶德强 吴集锡 余振华

(74)专利代理机构 北京德恒律治知识产权代理  
有限公司 11409  
代理人 章社杲 李伟

(51)Int.Cl.

H01L 23/498(2006.01)

H01L 21/48(2006.01)

(56)对比文件

CN 104658989 A,2015.05.27,

US 2009206455 A1,2009.08.20,

CN 105280599 A,2016.01.27,

US 2009155956 A1,2009.06.18,

审查员 穆晓龄

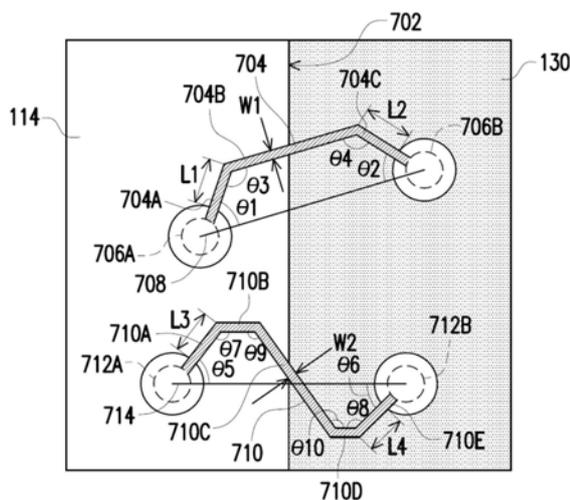
权利要求书2页 说明书14页 附图21页

(54)发明名称

半导体封装件中的再分布层及其形成方法

(57)摘要

实施例封装件包括第一集成电路管芯,围绕第一集成电路管芯的密封剂以及将第一导电通孔电连接到第二导电通孔的导线。该导线包括位于第一集成电路管芯上方并且具有沿第一方向延伸的第一长度方向尺寸的第一段,以及具有沿与第一方向不同的第二方向延伸的第二纵向尺寸的第二段。第二段在第一集成电路管芯和密封剂之间的边界上方延伸。本发明的实施例还提供了一种形成半导体器件的方法。



1. 一种封装件,包括:
  - 第一集成电路管芯;
  - 密封剂,围绕所述第一集成电路管芯;
  - 导线,将第一导电通孔电连接到第二导电通孔,其中,所述导线包括:
    - 第一段,在所述第一集成电路管芯上方,并且具有沿第一方向延伸的第一纵向尺寸;和
    - 第二段,具有沿与所述第一方向不同的第二方向延伸的第二纵向尺寸,其中,所述第二段在所述第一集成电路管芯和所述密封剂之间的边界上方延伸。
2. 根据权利要求1所述的封装件,其中,所述导线还包括:第三段,具有沿与所述第二方向不同的第三方向延伸的第三纵向尺寸,其中,所述第二段设置在所述第一段和所述第三段之间。
3. 根据权利要求1所述的封装件,其中,沿着所述第一方向设置的第一段不平行于延伸穿过所述第一导电通孔的中心和所述第二导电通孔的中心的第一线。
4. 根据权利要求3所述的封装件,其中,所述第一段和所述第一线之间的角度为约 $30^{\circ}$ 至约 $60^{\circ}$ 。
5. 根据权利要求1所述的封装件,其中,所述第一段和所述第二段之间的角度为约 $120^{\circ}$ 至约 $150^{\circ}$ 。
6. 根据权利要求1所述的封装件,其中,所述导线还包括:第四段,在所述第一段和所述第二段之间,其中,所述第四段具有沿与所述第一方向和所述第二方向不同的第四方向延伸的第四纵向尺寸。
7. 根据权利要求1所述的封装件,其中,所述第二导电通孔延伸到所述密封剂中或者设置在所述密封剂上方。
8. 根据权利要求1所述的封装件,还包括:第二集成电路管芯,与所述第一集成电路管芯相邻,其中,所述密封剂设置在所述第一集成电路管芯和所述第二集成电路管芯之间,并且所述第二导电通孔设置在所述第二集成电路管芯上方。
9. 一种半导体器件,包括:
  - 第一集成电路管芯;
  - 第二集成电路管芯;
  - 密封剂,设置在所述第一集成电路管芯和所述第二集成电路管芯之间;
  - 多个通孔,延伸穿过所述密封剂并且电连接到所述第一集成电路管芯;
  - 再分布层,在所述第一集成电路管芯、所述第二集成电路管芯和所述密封剂上方,其中,所述再分布层中的导线将所述第一集成电路管芯上方的第一导电通孔连接到所述第二集成电路管芯上方的第二导电通孔,并且所述导线包括:
    - 第一段,在第一集成电路管芯上方;
    - 第二段,在所述半导体器件的平面图中以与所述第一段不同的角度设置,其中,所述第二段在所述第一集成电路管芯和所述密封剂之间的第一界面上方延伸;和
    - 第三段,在第二集成电路管芯上方并且在所述半导体器件的平面图中以与所述第二段不同的角度布置。
10. 根据权利要求9所述的半导体器件,其中,所述第一段不平行于穿过所述第一导电通孔的中心和所述第二导电通孔的中心的线,并且所述第三段不平行于穿过所述第一导电

通孔的中心和所述第二导电通孔的中心的线。

11. 根据权利要求10所述的半导体器件,其中,所述第一段和所述线之间的第一角度在约 $30^{\circ}$ 至约 $60^{\circ}$ 之间,并且所述第一段和所述第二段之间的第二角度在约 $120^{\circ}$ 至约 $150^{\circ}$ 之间。

12. 根据权利要求9所述的半导体器件,其中,所述第二段在所述第二集成电路管芯和所述密封剂之间的第二界面上方延伸。

13. 根据权利要求9所述的半导体器件,其中,所述第二导电通孔设置在邻近所述第一集成电路管芯的第二集成电路管芯上方,所述第二集成电路管芯的侧壁和所述密封剂的侧壁限定第二边界。

14. 根据权利要求9所述的半导体器件,其中,所述导线还包括:

第四段,位于所述第一段和所述第二段之间,其中,所述第四段设置成与所述第一段和所述第二段不同的角度;以及

第五段,位于所述第二段和所述第三段之间,其中,所述第五段设置成与所述第二段和所述第三段不同的角度。

15. 一种形成半导体器件的方法,包括:

将第一集成电路管芯封装在密封剂中;

在所述第一集成电路管芯和所述密封剂上形成再分布层(RDL),其中,所述再分布层包括:

第一导电通孔,在第一集成电路管芯上方;和

导线,将所述第一导电通孔电连接到第二导电通孔,其中,所述导线包括:

第一段,在所述第一集成电路管芯上方并且沿第一方向延伸;

第二段,以与第一方向不同的第二方向在所述第一集成电路管芯和所述密封剂之间的边界上延伸;和

第三段,以与所述第二方向不同的第三方向延伸,其中,所述第二段设置在所述第一段和所述第三段之间。

16. 根据权利要求15所述的方法,其中,所述导线还包括:第四段,在所述第一段和所述第二段之间,其中,所述第四段设置在与所述第一方向和所述第二方向不同的第四方向上。

17. 根据权利要求15所述的方法,其中,所述第二导电通孔延伸穿过所述密封剂。

18. 根据权利要求15所述的方法,其中,所述第二导电通孔设置在所述密封剂上方。

19. 根据权利要求15所述的方法,其中,所述第二导电通孔设置在第二集成电路管芯上方。

20. 根据权利要求15所述的方法,其中,所述第一段与延伸穿过所述第一导电通孔的中心和所述第二导电通孔的中心的线之间的角度为约 $30^{\circ}$ 至约 $60^{\circ}$ 。

## 半导体封装件中的再分布层及其形成方法

### 技术领域

[0001] 本发明的实施例总体涉及半导体领域,更具体地,涉及半导体封装件中的再分布层及其形成方法。

### 背景技术

[0002] 由于许多电子组件(例如,晶体管、二极管、电阻器、电容器等)的集成度的不断提高,半导体工业经历了快速发展。大多数情况下,这种集成度的改进来自于最小特征尺寸的连续减小,这允许更多的组件集成到给定的区域。随着对缩小电子器件的需求的增长,已经出现了更小和更具创造性的半导体管芯封装技术的需求。这种封装系统的实例是叠层封装(PoP)技术。在PoP器件中,顶部半导体封装件堆叠在底部半导体封装件的顶部上以提供高水平的集成和部件密度。PoP技术通常能够生产具有增强的功能和在印刷电路板(PCB)上占用小封装面积(footprint)的半导体器件。

### 发明内容

[0003] 根据本发明的一个方面,提供了一种封装件,包括:第一集成电路管芯;密封剂,围绕所述第一集成电路管芯;导线,将第一导电通孔电连接到第二导电通孔,其中,所述导线包括:第一段,在所述第一集成电路管芯上方,并且具有沿第一方向延伸的第一纵向尺寸;和第二段,具有沿与所述第一方向不同的第二方向延伸的第二纵向尺寸,其中,所述第二段在所述第一集成电路管芯和所述密封剂之间的边界上方延伸。

[0004] 根据本发明的另一个方面,提供了一种半导体器件,包括:第一集成电路管芯;第二集成电路管芯;密封剂,设置在所述第一集成电路管芯和所述第二集成电路管芯之间;多个通孔,延伸穿过所述密封剂并且电连接到所述第一集成电路管芯;再分布层,在所述第一集成电路管芯、所述第二集成电路管芯和所述密封剂上方,其中,所述再分布层中的导线将所述第一集成电路管芯上方的第一导电通孔连接到所述第二集成电路管芯上方的第二导电通孔,并且所述导线包括:第一段,在第一集成电路管芯上方;第二段,在所述器件的平面图中以与所述第一段不同的角度设置,其中,所述第二段在所述第一集成电路管芯和所述密封剂之间的第一界面上方延伸;和第三段,在第二集成电路管芯上方并且在所述器件的平面图中以与所述第二段不同的角度布置。

[0005] 根据本发明的又一个方面,提供了一种形成半导体器件的方法,包括:将第一集成电路管芯封装在密封剂中;在所述第一集成电路管芯和所述密封剂上形成再分布层(RDL),其中,所述RDL包括:第一导电通孔,在第一集成电路管芯上方;和导线,将所述第一导电通孔电连接到第二导电通孔,其中,所述导线包括:第一段,在所述第一集成电路管芯上方并且沿第一方向延伸;第二段,以与第一方向不同的第二方向在所述第一集成电路管芯和所述密封剂之间的边界上延伸;和第三段,以与所述第二方向不同的第三方向延伸,其中,所述第二段设置在所述第一段和所述第三段之间。

## 附图说明

[0006] 当结合附图进行阅读时,从以下详细描述可最佳地理解本发明的各个方面。应该注意,根据工业中的标准实践,各个部件未按比例绘制。实际上,为了清楚的讨论,各种部件的尺寸可以被任意增大或减小。

[0007] 图1至图15示出了根据一些实施例的用于形成第一封装件结构的工艺期间的中间步骤的截面图。

[0008] 图16至图18示出了根据一些实施例的导电层布线的平面图。

[0009] 图19至图23示出了根据一些实施例的用于进一步形成第一封装件和用于将其它封装件结构附接到第一封装件的工艺期间的中间步骤的截面图。

## 具体实施方式

[0010] 以下公开内容提供了许多用于实现所提供主题的不同特征的不同实施例或实例。下面描述了组件和布置的具体实例以简化本发明。当然,这些仅仅是实例,而不旨在限制本发明。例如,在以下描述中,在第二部件上方或者上形成第一部件可以包括第一部件和第二部件以直接接触的方式形成的实施例,并且也可以包括在第一部件和第二部件之间可以形成额外的部件,从而使得第一部件和第二部件可以不直接接触的实施例。此外,本发明可在各个实例中重复参考标号和/或字符。该重复是为了简单和清楚的目的,并且其本身不指示所讨论的各个实施例和/或配置之间的关系。

[0011] 而且,为了便于描述,在此可以使用诸如“在…下方”、“在…下面”、“下”、“在…之上”、“上”等空间相对术语以描述如图所示的一个元件或部件与另一个(或另一些)元件或部件的关系。除了图中所示的方位外,空间相对术语旨在包括器件在使用或操作中的不同方位。装置可以以其他方式定向(旋转90度或在其他方位上),并且在此使用的空间相对描述符可以同样地做出相应的解释。

[0012] 本文讨论的实施例可以在特定的背景中讨论,即,包括再分布层(RDL)布线设计的封装结构,该再分布层(RDL)布线设计能够在半导体-封装剂的边界处(例如,硅/模塑料(Si/MC)边界)实现更大的可靠稳健性。封装结构可以包括扇出式封装件或扇入式封装件,并且可以包括一个或多个RDL。例如,由于热膨胀系数(CTE)不匹配而导致的曲率变化,将晶圆形式的封装件从室温加热至220摄氏度(°C)导致半导体-封装剂边界处的RDL上的高弯曲应力。半导体可以是管芯/芯片。跨越这种边界的应力会导致RDL开裂。因此,在一些实施例中,RDL布线设计可以根据该CTE不匹配来配置,并且用于提高可靠稳健性和更少的制造缺陷。

[0013] 此外,本公开的教导适用于包括横跨具有不同CTE的不同材料的一个或导电层的任何封装结构。其他实施例预期其他应用,诸如本领域普通技术人员在阅读本发明之后将显而易见的不同封装件类型或不同配置。应该注意,本文讨论的实施例不必示出可能存在于结构中的每一个元件或部件。例如,可从附图中省略多个部件,诸如当讨论一个元件可能足以表达实施例的各个方面时。此外,可将本文讨论的方法实施例讨论为按特殊顺序实施;然而,可按任何逻辑顺序实施其他方法实施例。

[0014] 图1至图15示出了根据一些实施例的用于形成第一封装结构的工艺期间的中间步骤的截面图。图1示出了载体衬底100和形成在载体衬底100上的释放层102。分别示出了用

于形成第一封装件和第二封装件的第一封装区域600和第二封装区域602。

[0015] 载体衬底100可以是玻璃载体衬底、陶瓷载体衬底等。载体衬底100可以是晶圆,从而使得可以在载体衬底100上同时形成多个封装件。释放层102可以由基于聚合物的材料形成,其与载体衬底100一起从将在随后的步骤中形成的上面的结构处去除。在一些实施例中,释放层102是加热时失去其粘性的基于环氧树脂的热释放材料,诸如光热转换(LTHC)释放涂层。在其他实施例中,释放层102可以是紫外(UV)胶,当紫外(UV)胶暴露于UV光时失去其粘性。释放层102可以作为液体分配然后固化,释放层102可以是层压在载体衬底100上的层压膜等。可使释放层102的顶面齐平并且所述顶面可具有高度的平面性。

[0016] 在图2中,形成介电层104和金属化图案106。如图2所示,在释放层102上形成介电层104。介电层104的底表面可以与释放层102的顶表面接触。在一些实施例中,介电层104可以由诸如聚苯并恶唑(PBO)、聚酰亚胺、苯并环丁烯(BCB)等聚合物形成。在其他实施例中,介电层104由诸如氮化硅的氮化物;诸如氧化硅、磷硅酸盐玻璃(PSG)、硼硅酸盐玻璃(BSG)、掺杂硼的磷硅酸盐玻璃(BPSG)等氧化物等形成。介电层104可以通过任何可接受的沉积工艺(诸如旋涂、化学汽相沉积(CVD)、层压等或它们的组合)形成。

[0017] 在电介质层104上形成金属化图案106。作为形成金属化图案106的实例,在电介质层104上形成晶种层(未示出)。在一些实施例中,晶种层是金属层,其可以是单层或包括由不同材料形成的多个子层的复合层。在一些实施例中,晶种层包括钛层和在钛层上的铜层。晶种层可以使用例如PVD等形成。然后在晶种层上形成光刻胶并且将其图案化。光刻胶可以通过旋涂等形成,并且可以曝光以进行图案化。光刻胶的图案对应于金属化图案106。图案化形成穿过光刻胶的开口以暴露晶种层。导电材料形成在光刻胶的开口中和晶种层的暴露部分上。导电材料可以通过诸如电镀或化学镀等的镀法形成。导电材料可以包括金属,例如铜、钛、钨、铝等。然后,去除光刻胶和晶种层的其上未形成导电材料的部分。可以通过可接受的灰化或剥离工艺(诸如使用氧等离子体等)去除光刻胶。一旦去除光刻胶,例如通过使用可接受的蚀刻工艺(诸如通过湿蚀刻或干蚀刻)去除晶种层的暴露部分。晶种层和导电材料的剩余部分形成金属化图案106。

[0018] 在图3中,在金属化图案106和电介质层104上形成电介质层108。在一些实施例中,电介质层108由聚合物形成,聚合物可以是使用光刻掩模来图案化的感光材料,诸如PBO、聚酰亚胺、BCB等。在其他实施例中,介电层108由诸如氮化硅的氮化物;诸如氧化硅、PSG、BSG、BPSG的氧化物等形成。介电层108可以通过旋涂、层压、CVD等或它们的组合形成。然后将电介质层108图案化以形成开口以暴露金属化图案106的各部分。图案化可以通过可接受的工艺,例如当介电层是光敏材料时通过将介电层108暴露于光,或者通过使用例如各向异性蚀刻的蚀刻。

[0019] 电介质层104和108以及金属化图案106可以被称为背侧再分布结构110。如图所示,背侧再分布结构110包括两个介电层104和108以及一个金属化图案106。在其他实施例中,背侧再分布结构110可以包括任何数量的介电层、金属化图案和通孔。可以通过重复用于形成金属化图案106和介电层108的工艺在背侧再分布结构110中形成一个或多个额外的金属化图案和电介质层。可以在通过在下层电介质层的开口中形成金属化图案的晶种层和导电材料而形成金属化图案的期间来形成通孔。因此,通孔可以互连并电连接各种金属化图案。

[0020] 此外,在图3中,形成通孔112。作为形成贯穿通孔112的实例,在背侧再分布结构110(例如,如图所示的介电层108和金属化图案106的暴露部分)上方形成晶种层。在一些实施例中,晶种层是金属层,其可以是单层或包括由不同材料形成的多个子层的复合层。在一些实施例中,晶种层包括钛层和在钛层上的铜层。晶种层可以使用例如PVD等形成。在晶种层上形成且图案化光刻胶。光刻胶可以通过旋涂等形成,并且可以暴露于光以图案化。光刻胶的图案对应于贯穿通孔。图案形成穿过光刻胶的开口以暴露晶种层。导电材料形成在光刻胶的开口中和晶种层的暴露部分上。导电材料可以通过例如电镀或化学镀等镀法形成。导电材料可以包括金属,如铜、钛、钨、铝等。去除光刻胶和晶种层的其上未形成导电材料的部分。可以通过可接受的灰化或剥离工艺(诸如使用氧等离子体等)去除光刻胶。一旦光刻胶被去除,诸如通过使用可接受的蚀刻工艺,诸如通过湿蚀刻或干蚀刻,去除晶种层的暴露部分。晶种层和导电材料的剩余部分形成贯穿通孔112。

[0021] 在图4中,集成电路管芯114通过粘合剂116粘附到介电层108。如图4所示,两个集成电路管芯114粘附在第一封装区域600和第二封装区域602中的每一个中,并且在其他实施例中,可以在每个区域中粘附更多或更少的集成电路管芯114。例如,在一个实施例中,在每个区域中仅可以粘附一个集成电路管芯114。集成电路管芯114可以是逻辑管芯(例如,中央处理单元,微控制器等)、存储器管芯(例如,动态随机存取存储器(DRAM)管芯、静态随机存取存储器(SRAM)管芯等)、电源管理管芯(例如,功率管理集成电路(PMIC)管芯)、射频(RF)管芯、传感器管芯、微机电系统(MEMS)管芯、信号处理管芯(例如,数字信号处理(DSP)管芯)、前端管芯(例如,模拟前端(AFE)管芯)等或它们的组合。此外,在一些实施例中,集成电路管芯114可以具有不同的尺寸(例如,不同的高度和/或表面积),并且在其他实施例中,集成电路管芯114可以具有相同的尺寸(例如,相同的高度和/或表面积)。

[0022] 在粘附到介电层108之前,可以根据适用的制造工艺来处理集成电路管芯114,以在集成电路管芯114中形成集成电路。例如,集成电路管芯114每个都包括半导体衬底118,例如掺杂或未掺杂的硅或绝缘体上半导体(SOI)衬底的有源层。半导体衬底可以包括其它半导体材料,例如锗;化合物半导体,包括碳化硅、砷化镓、磷化镓、磷化铟、砷化铟和/或砷化铟;合金半导体,包括SiGe、GaAsP、AlInAs、AlGaAs、GaInAs、GaInP和/或GaInAsP;或它们的组合。也可以使用其它衬底,例如多层或梯度衬底。诸如晶体管、二极管、电容器、电阻器等器件可以形成在半导体衬底118中和/或上,并且可以通过互连结构120互连以形成集成电路,互连结构120由例如半导体衬底118上的一个或多个介电层中的金属化图案形成。

[0023] 集成电路管芯114还包括焊盘122,例如铝焊盘,外部连接到该焊盘。焊盘122位于可称为集成电路管芯114的相应有源侧上。钝化膜124在集成电路管芯114上和焊盘122的部分上。开口通过钝化膜124到达焊盘122。诸如导电柱(例如,包括诸如铜的金属)的管芯连接件126位于穿过钝化膜124的开口中,并且机械地和电气地连接到相应的焊盘122。管芯连接件126可以由例如电镀等形成。管芯连接件126电连接集成电路管芯114的相应集成电路。

[0024] 电介质材料128在集成电路管芯114的有源侧上,诸如在钝化膜124和管芯连接件126上。电介质材料128横向封装管芯连接件126,并且电介质材料128与相应的集成电路管芯114横向相连。介电材料128可以是诸如PBO、聚酰亚胺、BCB等聚合物;诸如氮化硅等氮化物;诸如氧化硅、PSG、BSG、BPSG等氧化物;或它们的组合,并且可以例如通过旋涂、层压、CVD等形成。

[0025] 粘合剂116在集成电路管芯114的背面上并将集成电路管芯114粘附到背侧再分布结构110,例如在图示中的介电层108。粘合剂116可以是任何合适的粘合剂,环氧树脂,管芯附接膜(DAF)等。粘合剂116可以施加到集成电路管芯114的背侧,例如施加到相应半导体晶片的背面,或者可以施加在载体衬底100的表面上。集成电路管芯114可以是例如通过锯切或切割分割,并且使用例如贴片工具通过粘合剂116粘附到介电层108。

[0026] 在图5中,在各种部件上形成密封剂130。密封剂130可以是模塑料、环氧树脂等,并且可以通过压缩模塑、传递模塑等施加。在固化之后,密封剂130可经历研磨工艺以暴露通孔112和管芯连接件126。通孔112、管芯连接件126和密封剂130的顶表面在研磨工艺之后共面。在一些实施例中,例如,如果通孔112和管芯连接件126已经暴露,则可以省略研磨。

[0027] 在图6至图15和图19中,形成前侧再分布结构160。如图19所示,前侧再分布结构160包括介电层132、140、148和156以及金属化图案138、146和154。

[0028] 在图6中,电介质层132沉积在密封剂130、通孔112和管芯连接件126上。在一些实施例中,电介质层132由聚合物形成,其可以是可以使用光刻掩模来图案化的光敏材料,诸如PBO,聚酰亚胺,BCB等。在其他实施例中,介电层132由诸如氮化硅的氮化物;诸如氧化硅、PSG、BSG、BPSG的氧化物等形成。介电层132可以通过旋涂、层压、CVD等或它们的组合形成。

[0029] 在图7中,然后图案化介电层132。图案化形成开口以暴露通孔112和管芯连接件126的部分。图案化可以利用可接受的工艺,例如当介电层132是光敏材料时通过将介电层132暴露于光,或者通过使用例如各向异性蚀刻的蚀刻。如果介电层132是光敏材料,则可以在曝光之后显影介电层132。

[0030] 在图8中,在电介质层132上形成具有通孔的金属化图案138。作为形成金属化图案138的实例,在电介质层132上以及通过电介质层的开口中形成晶种层(未示出)。在一些实施例中,晶种层是金属层,其可以是单层或包括由不同材料形成的多个子层的复合层。在一些实施例中,晶种层包括钛层和在钛层上的铜层。晶种层可以使用例如PVD等形成。然后在晶种层上形成光刻胶并且将其图案化。光刻胶可以通过旋涂等形成,并且可以曝光以用于图案化。光刻胶的图案对应于金属化图案138。图案形成穿过光刻胶的开口以暴露晶种层。导电材料形成在光刻胶的开口中和晶种层的暴露部分上。导电材料可以通过镀,例如电镀或化学镀等形成。导电材料可以包括金属,例如铜、钛、钨、铝等。然后,去除光刻胶和晶种层的其上未形成导电材料的部分。可以通过可接受的灰化或剥离工艺(例如使用氧等离子体等)去除光刻胶。一旦去除光刻胶,例如通过使用可接受的蚀刻工艺,例如通过湿蚀刻或干蚀刻,去除晶种层的暴露部分。晶种层和导电材料的剩余部分形成金属化图案138和通孔。通孔形成为穿过介电层132的开口直至例如通孔112和/或管芯连接件126。

[0031] 在图9中,电介质层140沉积在金属化图案138和电介质层132上。在一些实施例中,电介质层140由聚合物形成,聚合物可以是可以使用光刻掩模来图案化的感光材料,例如PBO、聚酰亚胺、BCB等。在其他实施例中,介电层140由诸如氮化硅的氮化物;诸如氧化硅、PSG、BSG、BPSG的氧化物等形成。介电层140可以通过旋涂、层压、CVD等或它们的组合形成。

[0032] 在图10中,然后图案化介电层140。图案化形成开口以暴露金属化图案138的各部分。图案化可以通过可接受的工艺,例如当介电层是光敏材料时通过将介电层140暴露于光,或者通过使用例如各向异性蚀刻的蚀刻。如果介电层140是光敏材料,则可以在曝光之后显影介电层140。

[0033] 在图11中,在电介质层140上形成具有通孔的金属化图案146。作为形成金属化图案146的实例,在电介质层140上以及通过电介质层140的开口中形成晶种层(未示出)。在一些实施例中,晶种层是金属层,其可以是单层或包括由不同材料形成的多个子层的复合层。在一些实施例中,晶种层包括钛层和在钛层上的铜层。晶种层可以使用例如PVD等形成。然后在晶种层上形成光刻胶并且将其图案化。光刻胶可以通过旋涂等形成,并且可以曝光以用于图案化。光刻胶的图案对应于金属化图案146。图案化形成穿过光刻胶的开口以暴露晶种层。导电材料形成在光刻胶的开口中和晶种层的暴露部分上。导电材料可以通过例如电镀或化学镀等镀法形成。导电材料可以包括金属,例如铜,钛,钨,铝等。然后,去除光刻胶和晶种层的其上未形成导电材料的部分。可以通过可接受的灰化或剥离工艺(例如使用氧等离子体等)去除光刻胶。一旦去除光刻胶,例如通过使用可接受的蚀刻工艺,诸如通过湿蚀刻或干蚀刻来去除晶种层的暴露部分。晶种层和导电材料的剩余部分形成金属化图案146和通孔。通孔形成在穿过介电层140的开口中直至例如金属化图案138的部分上。

[0034] 在图12中,电介质层148沉积在金属化图案146和电介质层140上。在一些实施例中,电介质层148由聚合物形成,聚合物可以是可以使用光刻掩模来图案化的感光材料,例如PBO、聚酰亚胺、BCB等。在其他实施例中,介电层148由诸如氮化硅的氮化物;诸如氧化硅,PSG,BSG,BPSG的氧化物等形成。介电层148可以通过旋涂、层压、CVD等或它们的组合形成。

[0035] 在图13中,然后图案化介电层148。图案化形成开口以暴露金属化图案146的部分。图案化可以通过可接受的工艺,例如当介电层是光敏材料时通过将介电层148暴露于光,或者通过使用例如各向异性蚀刻的蚀刻。如果介电层148是光敏材料,则可以在曝光之后显影介电层148。

[0036] 在图14中,在电介质层148上形成具有通孔的金属化图案154。作为形成金属化图案154的实例,在电介质层148上方和穿过电介质层的开口中形成晶种层(未示出)。在一些实施例中,晶种层是金属层,其可以是单层或包括由不同材料形成的多个子层的复合层。在一些实施例中,晶种层包括钛层和在钛层上的铜层。晶种层可以使用例如PVD等形成。然后在晶种层上形成光刻胶并且将其图案化。光刻胶可以通过旋涂等形成,并且可以曝光以用于图案化。光刻胶的图案对应于金属化图案154。图案化形成穿过光刻胶的开口以暴露晶种层。导电材料形成在光刻胶的开口中和晶种层的暴露部分上。导电材料可以通过例如电镀或化学镀等镀法形成。导电材料可以包括金属,例如铜、钛、钨、铝等。然后,去除光刻胶和晶种层的其上未形成导电材料的部分。可以通过可接受的灰化或剥离工艺(例如使用氧等离子体等)去除光刻胶。一旦去除光刻胶,例如通过使用可接受的蚀刻工艺,例如通过湿蚀刻或干蚀刻来去除晶种层的暴露部分。晶种层和导电材料的剩余部分形成金属化图案154和通孔。通孔形成在穿过介电层148的开口中直至例如金属化图案146的部分。

[0037] 在图15中,电介质层156沉积在金属化图案154和电介质层148上。在一些实施例中,电介质层156由聚合物形成,聚合物可以是使用光刻掩模来图案化的感光材料,诸如PBO,聚酰亚胺,BCB等。在其他实施例中,介电层156由诸如氮化硅的氮化物;诸如氧化硅,PSG,BSG,BPSG的氧化物等形成。介电层156可以通过旋涂、层压、CVD等或它们的组合形成。

[0038] 图16和17示出了根据一些实施例的RDL布线的简化平面图。图16示出了图15的第一封装结构之一的简化平面图。所示的平面图包括在集成电路管芯114之一和密封剂130之间的边界702。示出了覆盖金属化图案154/146/138(RDL图案)的导线704和710。导电通孔

706A, 706B、712A和712B(例如,金属化图案154/146/138的管芯连接件126,通孔112和/或通孔)也以虚线示出以供参考。未示出介电层132、140、148和156。为了简单起见,图16所示的平面图的各种部件在单层中示出。在各种实施例中,根据图15的横截面视图,图16中的部件可以设置在不同的层中。此外,导线704和710可以设置在封装件内的同一金属化图案或不同金属化图案中。例如,导线704可以设置在导线710的同一层内,或在导线710的上方或下方。

[0039] 如图16所示,导线704和710在集成电路管芯114和密封剂130之间的边界702上延伸。导线704和710可以将集成电路管芯114上方的导电通孔706A和712A电连接和机械连接至在封装件130中和/或上方的导电通孔706B和712B。如上所述,由于集成电路管芯114和密封剂130的材料之间的CTE不匹配,器件封装件的弯曲可能发生在边界702处,该弯曲对边界702的位置处的导线704和710施加应力。已经观察到,可以通过改变相应的通孔706A/706B/712A/712B和边界702之间的导线704和710之间的纵向来减轻对导线704和710的该应力。例如,导线704和710中的每一个包括设置在集成电路管芯114上方并且设置在相应的通孔706A/712A和边界702之间的至少一个弯曲。导线704和710中的每一个可以进一步包括设置在密封剂130上方并且设置在相应的通孔706B/712B和边界702之间的至少一个弯曲。已经观察到,通过根据在集成电路管芯114和封装件130之间的CTE不匹配以本文描述的方式配置导线,对在管芯/模塑料边界上延伸的导线的应力可以减小50%或更多。通过减小施加到导线的应力,可以减少RDL的金属化图案中的开裂和/或其他制造缺陷。

[0040] 例如,在图16中,导线704包括在图16的平面图中具有在不同方向上延伸的纵向尺寸的三个导线段704A, 704B和704C。导线704的宽度方向尺寸W1可以为约 $5\mu\text{m}$ 至约 $34\mu\text{m}$ 。在其他实施例中,导线704的宽度方向尺寸W1可以是不同的值。

[0041] 导线段704A从第一导电通孔706A(例如,在集成电路管芯114上方)延伸到导线段704B。导线段704B从导线段704A延伸到导线段704C。导线段704C从导线段704B延伸到第二导电通孔706B(例如,在密封剂130中和/或上方)。在实施例中,导线段704A的纵向尺寸L1大于约 $15\mu\text{m}$ ,并且导线段704C的纵向尺寸L2大于约 $15\mu\text{m}$ 。纵向尺寸L1和L2可以或可以基本不相等。在其他实施例中,导线段704A和/或705C的纵向尺寸可以具有不同的值。

[0042] 如图所示,导线段704A和704C不平行于延伸穿过导电通孔706A和706B的相应中心的线708。例如,导线段704A和线708之间的角度 $\theta_1$ 可以为约 $30^\circ$ 至约 $60^\circ$ ,并且导线段704C与线708之间的角度 $\theta_2$ 可以为约 $30^\circ$ 至约 $60^\circ$ 。角度 $\theta_1$ 和 $\theta_2$ 可以或可以不基本相等。此外,导线段704B与导线段704A和704B不平行。例如,导线段704A与导线段704B之间的角度 $\theta_3$ 可以为约 $120^\circ$ 至约 $150^\circ$ ,导线段704B与导线段704C之间的角度 $\theta_4$ 可以为约 $120^\circ$ 至约 $150^\circ$ 。角度 $\theta_3$ 和 $\theta_4$ 可以或可以不基本相等。已经观察到,当角度 $\theta_1$ 、 $\theta_2$ 、 $\theta_3$ 和/或 $\theta_4$ 设置在上述范围内时,可以减小对导线704的应力,这降低了导线开裂的风险。在其他实施例中,各个导线段704A、704B和/或704C的相应角度可以是不同的值。此外,导线段704C和边界702之间的角度是纯粹说明性的,并且导线段704C可以以跨越边界702的角度设置。线708和边界702之间的角度也仅仅是说明性的,并且线708可以以跨越边界702的角度设置。

[0043] 如本文所述,导线704包括两个弯曲,包括邻接的导线段704A和704B处的第一弯曲和邻接的导线段704B和704C处的第二弯曲。第一弯曲设置在第一导电通孔706A(例如,在集成电路管芯114上方)和边界702之间。第二弯曲设置在第二导电通孔706B(例如,在密封剂

130内和/或上方)和边界702之间。导线704改变第一导电通孔706A和边界702之间的方向,并且导线704也改变在边界702和第二导电通孔706B之间的方向。在其他实施例中,在边界702上方延伸的各种导线可以包括不同数量的弯曲,例如大于两个弯曲。例如,也如图16所示,导线710包括四个弯曲部分和导线段710A,710B,710C,710D和710E,每段具有在图16的平面图中沿不同方向延伸的纵向尺寸。导线710的宽度尺寸W2可以是大约5 $\mu\text{m}$ 至大约34 $\mu\text{m}$ 。在其他实施例中,导线710的宽度方向尺寸W2可以是不同的值。

[0044] 导线段710A从第一导电通孔712A(例如,在集成电路管芯114中和/或上方)延伸到导线段710B。导线段710B从导线段710A延伸到导线段710C。导线段710C在边界702上延伸,导线段710C从导线段710B延伸到导线段710D。导线段710D从导线段710C延伸到导线段710E。导线段710E从导线段710D延伸到第二导电通孔712B(例如,在密封剂130中和/或上方)。在一个实施例中,导线段710A的纵向尺寸L3大于约15 $\mu\text{m}$ ,并且导线段710E的纵向尺寸L4大于约15 $\mu\text{m}$ 。纵向尺寸L3和L4可以或可以不基本相等。在其他实施例中,导线段710A和710E的纵向尺寸可以具有不同的值。

[0045] 如图所示,导线段710A,710C和710E与延伸穿过导电通孔712的相应中心的线714不平行。例如,导线段710A和线714之间的角度 $\theta_5$ 可以是约30°至约60°,并且导线段710E与线714之间的角度 $\theta_6$ 可以为约30°至约60°。角度 $\theta_1$ 和 $\theta_2$ 可以或可以不基本相等。此外,导线段710B和710D与导线段710A和710E不平行。例如,导线段710A和导线段710B之间的角度 $\theta_7$ 可以为约120°至约150°,导线段710D与导线段710E之间的角度 $\theta_8$ 可以为约120°至约150°。角度 $\theta_7$ 和 $\theta_8$ 可以或可以不基本相等。此外,导线段710B和710D与导线段710C不平行。例如,导线段710B和导线段710C之间的角度 $\theta_9$ 可以为约120°至约150°,导线段710D与导线段710C之间的角度 $\theta_{10}$ 可以为约120°至约150°。角度 $\theta_9$ 和 $\theta_{10}$ 可以或可以不基本相等。已经观察到,当角度 $\theta_5$ 、 $\theta_6$ 、 $\theta_7$ 、 $\theta_8$ 、 $\theta_9$ 和/或 $\theta_{10}$ 设置在上述范围内时,可以减小对导线710的应力,这降低了导线断裂的风险。在其他实施例中,导线段710A、710B、710C、710D和/或710E可以以不同的角度设置。

[0046] 导线710中的弯曲中的至少一个在第一导电通孔712A和边界702之间,并且导线710中的弯曲中的至少一个在边界702和第二导电通孔712B之间。此外,导线段710C和边界702之间的角度仅是说明性的,并且导线段710C可以以跨越边界702的角度设置。线714和边界702之间的角度也仅仅是说明性的,并且线714可以以跨越边界702的角度设置。

[0047] 在图16中,导电通孔706B和712B设置在密封剂130之上或之中。在其他实施例中,导电通孔706B和712B可以设置在第二集成电路管芯114上方。例如,图17示出了封装在封装件130中的两个集成电路管芯114A和114B。在一个实施例中,两个集成电路管芯114A和114B之间的距离W3可以为约50 $\mu\text{m}$ 至约300 $\mu\text{m}$ 。在另一实施例中,两个集成电路管芯114A和114B之间的距离W3可以是不同的值。第一边界702A被第一集成电路管芯114A和密封剂130共享,并且第二边界702B被第二集成电路管芯114B和密封剂130共享。

[0048] 第一导电通孔706A和712A设置在第一集成电路管芯114A上方,并且第二导电通孔706B和712B设置在第二集成电路管芯114B上方。导线704将第一导电通孔706A电连接和机械连接到第二导电通孔706B,导线710将第一导电通孔712A电连接和机械连接到第二导电通孔712B。此外,导线704和710中的每一个可以具有设置在每个集成电路管芯114A/114B上方的至少一个弯曲部。例如,导线704和710中的每个包括设置在第一集成电路管芯114A上

方并且设置在相应的第一导电通孔706A/712A和第一边界702A之间的至少一个弯曲。导线704和710中的每个还可以包括设置在第二集成电路管芯114B上方并且设置在相应的第二导电通孔706B/712B和第二边界702B之间的至少一个弯曲。已经观察到,当导线704和710以本文描述和图17所示的配置形成时,可以实现对导线704和710的应力减小。图17中的导线704和710的各种细节可以基本上类似于图16中的相应导线704和710,其中相同的附图标记表示使用相似的工艺(例如,如图1至15中所描述的)形成的相同的元件。因此,为了简洁,省略了图17中的导线704和710的额外描述。

[0049] 在一些实施例中,上述RDL布线设计技术仅应用于覆盖集成电路管芯114和密封剂130的第一金属化图案(例如,金属化图案138),剩余的金属化图案被布线而不考虑在图16和17中描述的配置。在一些其它实施例中,上述RDL布线设计技术应用于覆盖集成电路管芯114和密封剂130的所有金属化图案(例如,金属化图案138,146和154)。

[0050] 图18至23示出根据一些实施例的在用于进一步形成第一封装件和用于将其它封装结构附接到第一封装件的工艺期间的中间步骤的截面图。

[0051] 在图18中,然后图案化介电层156。图案化形成开口以暴露金属化图案154的部分。图案化可以通过可接受的工艺,例如当介电层是光敏材料时通过将介电层156暴露于光,或者通过使用例如各向异性蚀刻的蚀刻。如果介电层156是光敏材料,则可以在曝光之后显影介电层156。

[0052] 前侧再分布结构160被示为示例。可以在前侧再分布结构160中形成更多或更少的电介质层和金属化图案。如果要形成更少的电介质层和金属化图案,则可以省略上面讨论的步骤和工艺。如果要形成更多的电介质层和金属化图案,则可以重复上面讨论的步骤和工艺。本领域的普通技术人员将容易地理解哪些步骤和过程将被省略或重复。

[0053] 尽管针对前侧再分布结构160讨论了本文所描述的RDL布线设计,但是RDL布线工艺的教导也可以应用于背侧再分布结构110。

[0054] 在图19中,焊盘162形成在前侧再分布结构160的外侧上。焊盘162用于连接到导电连接件166(参见图20),并且可以被称为凸块下金属(UBM)162。在所示实施例中,焊盘162通过穿过介电层156到金属化图案154的开口形成。作为形成焊盘162的实例,在介电层156上形成晶种层(未示出)。在一些实施例中,晶种层是金属层,其可以是单层或包括由不同材料形成的多个子层的复合层。在一些实施例中,晶种层包括钛层和在钛层上的铜层。晶种层可以使用例如PVD等形成。然后在晶种层上形成光刻胶并其将其图案化。光刻胶可以通过旋涂等形成,并且可以曝光以用于图案化。光刻胶的图案对应于焊盘162。图案化形成穿过光刻胶的开口以暴露晶种层。导电材料形成在光刻胶的开口中和晶种层的暴露部分上。导电材料可以通过镀,例如电镀或化学镀等形成。导电材料可以包括金属,例如铜、钛、钨、铝等。然后,去除光刻胶和晶种层的其上未形成导电材料的部分。可以通过可接受的灰化或剥离工艺(例如使用氧等离子体等)去除光刻胶。一旦去除光刻胶,诸如通过使用可接受的蚀刻工艺,诸如通过湿蚀刻或干蚀刻,去除晶种层的暴露部分。晶种层和导电材料的剩余部分形成焊盘162。在焊盘162被不同地形成的实施例中,可以利用更多的光刻胶和图案化步骤。

[0055] 在图20中,导电连接件166形成在UBM 162上。导电连接件166可以是BGA连接件,焊球,金属柱,受控塌陷芯片连接(C4)凸块,微凸块,化学镀镍-钯浸金技术(ENEPIG)形成的凸块等。导电连接件166可以包括诸如焊料,铜,铝,金,镍,银,钯,锡等导电材料或其组合。在

一些实施例中,通过最初通过诸如蒸发,电镀,印刷,焊料转移,置球等通常使用的方法形成焊料层来形成导电连接件166。一旦在结构上形成了焊料层,就可以执行回流,以便将材料成形为期望的凸块形状。在另一实施例中,导电连接件166是通过溅射,印刷,电镀,化学镀,CVD等形成的金属柱(例如铜柱)。金属柱可以是无焊料的并且具有基本上垂直的侧壁。在一些实施例中,金属盖层(未示出)形成在金属柱连接件166的顶部上。金属盖层可以包括镍,锡,锡铅,金,银,钯,钨,金,镍-金等或其组合,并且可以通过镀工艺形成。

[0056] 在图21中,执行载体衬底去接合以从背侧再分布结构处(例如,电介质层104)分离(去接合)载体衬底100。根据一些实施例,去接合包括在释放层102上投射诸如激光或UV光的光,使得释放层102在光的热量下分解,并且可以去除载体衬底100。然后将结构翻转并放置在带190上。

[0057] 如图21进一步所示,开口形成为穿过介电层104以暴露金属化图案106的部分。可以例如使用激光钻孔、蚀刻等形成开口。

[0058] 在图22中,通过沿着例如相邻区域600和602之间的划线区域锯切184来执行切割工艺。锯切184将第二封装区域602与第一封装区域600分割。

[0059] 图22示出了所得的单个封装件200,其可以来自第一封装区域600和第二封装区域602之一。封装200还可以被称为集成扇出(InFO)封装件200。

[0060] 图23示出了包括封装件200(可以称为第一封装件200)、第二封装件300和衬底400的封装结构500。第二封装件300包括衬底302和连接到衬底302的一个或多个堆叠管芯308(308A和308B)。衬底302可以由诸如硅、锗、金刚石等半导体材料制成。在一些实施例中,也可以使用化合物材料,例如硅锗,碳化硅,砷化镓,砷化铟,磷化铟,碳化硅锗,磷化镓砷,磷化镓铟,这些的组合等。另外,衬底302可以是绝缘体上硅(SOI)衬底。通常,SOI衬底包括半导体材料(诸如外延硅,锗,硅锗,SOI,绝缘体上硅锗(SGOI)或其组合)层。在一个替代实施例中,衬底302基于绝缘芯,例如玻璃纤维增强树脂芯。一种示例性芯材料是玻璃纤维树脂,例如FR4。芯材料的替代物包括双马来酰亚胺-三嗪(BT)树脂,或者可选地,其它印刷电路板(PCB)材料或膜。诸如味之素积层膜(ABF)或其它层压体的积层膜可用于衬底302。

[0061] 衬底302可以包括有源和无源器件(图23中未示出)。如本领域普通技术人员将认识到的,可以使用诸如晶体管,电容器,电阻器,这些的组合等各种器件来产生用于半导体封装300的设计的结构和功能要求。器件可以使用任何合适的方法形成。

[0062] 衬底302还可以包括金属化层(未示出)和通孔306。金属化层可以形成在有源和无源器件之上,并且被设计为连接各种器件以形成功能电路。金属化层可以由电介质(例如,低k电介质材料)和导电材料(例如,铜)的交替层形成,同时通孔将各导电材料层互连,并且可以通过任何合适的工艺(例如沉积、镶嵌、双镶嵌等)形成。在一些实施例中,衬底302基本上没有有源和无源器件。

[0063] 衬底302可以具有在衬底302的第一侧上的连接到堆叠的管芯308的接合焊盘303,以及在衬底302的第二侧上的连接至导电连接件314的接合焊盘304,第二侧与衬底的第一侧相对302。在一些实施例中,通过在衬底302的第一和第二侧上的介电层(未示出)中形成凹槽(未示出)来形成接合焊盘303和304。沟槽被形成为允许接合焊盘303和304嵌入到各电介质层中。在其他实施例中,省略了凹槽,因为接合焊盘303和304可以形成在电介质层上。在一些实施例中,接合焊盘303和304包括由铜、钛、镍、金、钯等或它们的组合制成的薄晶种

层(未示出)。接合焊盘303和304的导电材料可以沉积在薄晶种层上。导电材料可以通过电-化学镀工艺、无电镀工艺、CVD、ALD、PVD等或它们的组合形成。在一个实施例中,接合焊盘303和304的导电材料是铜、钨、铝、银、金等或它们的组合。

[0064] 在一个实施例中,接合焊盘303和304是包括三层导电材料的UBM,例如钛层、铜层和镍层。然而,本领域的普通技术人员将认识到,存在许多合适的材料和层的布置,例如铬/铬-铜合金/铜/金的布置、钛/钛钨/铜的布置、铜/镍/金的布置,这些布置适合于形成UBM 303和304。可用于UBM303和304的任何合适的材料或材料层完全旨在包括在本申请的范围内。在一些实施例中,通孔306延伸穿过衬底302并将至少一个接合焊盘303连接到至少一个接合焊盘304。

[0065] 在所示实施例中,堆叠管芯308通过引线接合310连接到衬底302,但是可以使用其他连接,例如导电凸块。在实施例中,堆叠管芯308是堆叠的存储器管芯。例如,堆叠的存储器管芯308可以包括诸如LPDDR1, LPDDR2, LPDDR3, LPDDR4或类似存储器模块的低功率(LP)双倍数据速率(DDR)存储器模块。

[0066] 在一些实施例中,堆叠的管芯308和引线接合310可以由模制材料312封装。例如,可以使用压缩模制,在层叠管芯308和引线接合310上模制模制材料312。在一些实施例中,模制材料312是模塑料、聚合物、环氧树脂、氧化硅填充材料等或它们的组合。可以执行固化步骤以固化模制材料312,其中固化可以是热固化、UV固化等或它们的组合。

[0067] 在一些实施例中,堆叠的管芯308和引线接合310被掩埋在模制材料312中,并且在模制材料312固化之后,执行平面化步骤,诸如研磨,以去除模制材料312的多余的部分并为第二封装件300提供基本上平坦的表面。

[0068] 在形成第二封装件300之后,通过导电连接件314、接合焊盘304和金属化图案106将封装件300接合到第一封装件200。在一些实施例中,堆叠的存储器管芯308可以通过引线接合310、接合焊盘303和304、通孔306、导电连接件314和通孔112连接到集成电路管芯114。

[0069] 导电连接件314可以类似于上述的导电连接件166,因此这里不再重复描述,尽管导电连接件314和166不需要是相同的。在一些实施例中,在接合导电连接件314之前,导电连接件314涂覆有焊剂(未示出),诸如免洗焊剂。导电连接件314可以浸入焊剂中,或者焊剂可以喷射到导电连接件314上。在另一个实施例中,焊剂可以施加到金属化图案106的表面。

[0070] 在一些实施例中,导电连接件314可以在它们被回流之前具有在其上形成的环氧树脂助焊剂(未示出),同时,在第二封装件300附接到第一封装件200之后环氧树脂助焊剂的环氧树脂部分的至少一些保留。该剩余的环氧树脂部分可以用作底部填充物以减少应力并保护由于回流导电连接件314而产生的接头。在一些实施例中,底部填充物(未示出)可以形成在第二封装件300和第一封装件200之间并且包围导电连接件314。底部填充物可以在附接第二封装件300之后通过毛细管流动工艺形成,或者可以在附接第二封装件300之前通过合适的沉积方法形成。

[0071] 第二封装件300和第一封装件200之间的接合可以是焊接接合或直接金属-金属(例如铜-铜或锡-锡)接合。在一个实施例中,第二封装件300通过回流工艺接合到第一封装件200。在该回流工艺期间,导电连接件314与接合焊盘304和金属化图案106接触,以将第二封装件300物理地和电连接到第一封装件200。在接合工艺之后,IMC(未示出)可以在金属化图案106和导电连接件314的界面处以及在导电连接件314和接合焊盘304(未示出)之间的

界面处形成。

[0072] 半导体封装件500包括安装到衬底400的封装件200和300。衬底400可以称为封装衬底400。使用导电连接件166将封装件200安装到封装衬底400。

[0073] 封装衬底400可以由诸如硅, 锗, 金刚石等半导体材料制成。或者, 也可以使用诸如硅锗, 碳化硅, 砷化镓, 砷化铟, 磷化铟, 碳化硅锗, 磷化镓砷, 磷化镓铟, 它们的组合等的化合物材料。此外, 封装衬底400可以是SOI衬底。通常, SOI衬底包括诸如外延硅, 锗, 硅锗, SOI, SGOI或它们的组合的半导体材料层。在一个替代实施例中, 封装衬底400基于绝缘芯, 例如玻璃纤维增强树脂芯。一种示例性芯材料是玻璃纤维树脂, 例如FR4。芯材料的替代物包括双马来酰亚胺-三嗪BT树脂, 或可选地, 其它PCB材料或膜。诸如ABF或其他层压体的积层膜可以用于封装衬底400。

[0074] 封装衬底400可以包括有源和无源器件(图23中未示出)。如本领域普通技术人员将认识到的, 可以使用诸如晶体管、电容器、电阻器、这些的组合等的各种器件来产生用于半导体封装件500的设计的结构和功能要求。器件可以使用任何合适的方法形成。

[0075] 封装衬底400还可以包括在金属化层和通孔(未示出)和在金属化层和通孔上方的接合焊盘402。金属化层可以形成在有源和无源器件之上, 并且被设计为连接各种器件以形成功能电路。金属化层可以由电介质(例如, 低k电介质材料)和导电材料(例如, 铜)的交替层形成, 同时通孔互连各导电材料层, 并且可以通过任何合适的工艺(例如沉积、镶嵌、双镶嵌等)形成。在一些实施例中, 封装衬底400基本上没有有源和无源器件。

[0076] 在一些实施例中, 导电连接件166可被回流以将封装件200附接到接合焊盘402。导电连接件166将衬底400(包括衬底400中的金属化层)电和/或物理连接到第一封装件200。

[0077] 导电连接件166可以在它们回流之前具有形成在其上的环氧树脂助焊剂(未示出), 同时, 在封装200附接到衬底400之后, 环氧树脂助焊剂的环氧树脂部分的至少一些保留。该剩余的环氧树脂部分可用作底部填充物以减少应力并保护由回流导电连接件166而产生的接头。在一些实施例中, 可在第一封装件200与衬底400之间并围绕导电连接件166形成底部填充(未示出)。底部填充物可以在附接封装200之后通过毛细流动工艺形成, 或者可以在附接封装200之前通过合适的沉积方法形成。

[0078] 本公开中的器件和方法的实施例具有许多优点。特别地, 在半导体密封剂边界(例如硅/模塑料(Si/MC)边界)处实现更可靠的稳健性的再分布层(RDL)布线设计。例如, 由于曲率因为CTE失配而剧烈变化, 将晶圆形式的封装件从室温加热到220°C导致在半导体封装剂边界处的RDL上的高弯曲应力。从扇入转移到扇出区域的应力可能导致RDL在管芯角部和管芯侧部的破裂。因此, 在一些实施例中, RDL布线设计(参见图16和17)可用于可靠稳健性。

[0079] 根据实施例, 一种封装件包括第一集成电路管芯、围绕第一集成电路管芯的密封剂、以及将第一导电通孔电连接到第二导电通孔的导线。导线包括在第一集成电路管芯上方并且具有在第一方向延伸的第一纵向尺寸的第一段和具有在不同于第一方向的第二方向延伸的第二纵向尺寸的第二段。第二段在第一集成电路管芯和封装机之间的边界上方延伸。

[0080] 在一些实施例中, 所述导线还包括: 第三段, 具有沿与所述第二方向不同的第三方向延伸的第三纵向尺寸, 其中, 所述第二段设置在所述第一段和所述第三段之间。

[0081] 在一些实施例中, 沿着所述第一方向设置的第一线不平行于延伸穿过所述第一导

电通孔的中心和所述第二导电通孔的中心的第二线。

[0082] 在一些实施例中,所述第一线 and 所述第二线之间的角度为约 $30^{\circ}$ 至约 $60^{\circ}$ 。

[0083] 在一些实施例中,所述第一段和所述第二段之间的角度为约 $120^{\circ}$ 至约 $150^{\circ}$ 。

[0084] 在一些实施例中,所述导线还包括:第四段,在所述第一段和所述第二段之间,其中,所述第四段具有沿与所述第一方向和所述第二方向不同的第四方向延伸的第四纵向尺寸。

[0085] 在一些实施例中,所述第二导电通孔延伸到所述密封剂中或者设置在所述密封剂上方。

[0086] 在一些实施例中,所述的封装件还包括:第二集成电路管芯,与所述第一集成电路管芯相邻,其中,所述密封剂设置在所述第一集成电路管芯和所述第二集成电路管芯之间,并且所述第二导电通孔设置在所述第二集成电路上方。

[0087] 根据另一实施例,一种器件包括第一集成电路管芯,第二集成电路管芯和第一集成电路管芯周围的密封剂。第一集成电路管芯的侧壁和密封剂的侧壁限定第一边界。该器件还包括延伸穿过密封剂并且电连接到第一集成电路管芯的多个通孔和在第一集成电路管芯和密封剂上方的再分布层。再分布层中的导线将第一集成电路管芯上方的第一导电通孔连接到第二导电通孔。导线包括在所述器件的平面视图中的所述第一导电通路和所述第一边界之间的第一弯曲部以及在所述器件的平面图中的所述第一边界与所述第二导电通孔之间的第二弯曲部。

[0088] 在一些实施例中,所述第一段不平行于穿过所述第一导电通孔的中心和所述第二导电通孔的中心的线,并且所述第三段不平行于穿过所述第一导电通孔的中心和所述第二导电通孔的中心的线。

[0089] 在一些实施例中,所述第一段和所述线之间的第一角度在约 $30^{\circ}$ 至约 $60^{\circ}$ 之间,并且所述第一段和所述第二段之间的第二角度在约 $120^{\circ}$ 至约 $150^{\circ}$ 之间。

[0090] 在一些实施例中,所述第二段在所述第二集成电路管芯和所述密封剂之间的第二界面上方延伸。

[0091] 在一些实施例中,所述第二导电通孔设置在邻近所述第一集成电路管芯的第二集成电路管芯上方,所述第二集成电路管芯的侧壁和所述密封剂的侧壁限定第二边界。

[0092] 在一些实施例中,所述导线还包括:第四段,位于所述第一段和所述第二段之间,其中,所述第四段设置成与所述第一段和所述第二段不同的角度;以及第五段,位于所述第二段和所述第三段之间,其中,所述第五段设置成与所述第二段和所述第三段不同的角度。

[0093] 根据另一实施例,一种器件包括第一集成电路管芯,第二集成电路管芯和设置在第一集成电路管芯和第二集成电路管芯之间的密封剂。该器件还包括延伸穿过密封剂并且电连接到第一集成电路管芯,第二集成电路管芯的多个通孔和第一集成电路管芯和密封剂上的再分布层。再分布层中的导线将第一集成电路管芯上的第一导电通孔连接到第二集成电路管芯上的第二导电通孔。导线包括第一集成电路管芯上方的第一段,在器件的平面图中以与第一段不同的角度设置的第二段,以及在第二集成电路管芯上方并且在设备的平面图中以不同于第二个段的角度设置的第三段。第二段在第一集成电路管芯与密封剂之间的第一界面上方延伸。

[0094] 根据另一个实施例,一种方法包括将第一集成电路管芯密封在密封剂中并且在第

一集成电路管芯和密封剂上方形成再分布层(RDL)。RDL包括在第一集成电路管芯上的第一导电通孔和将第一导电通孔电连接到第二导电通孔的导线。所述导线包括在所述第一集成电路管芯上方且沿着第一方向延伸的第一段,以及与所述第一方向不同的第二方向上在所述第一集成电路管芯和所述密封剂之间的边界上延伸的第二段,以及沿着与第二方向不同的第三方向延伸的第三段。第二段设置在第一段和第三段之间。

[0095] 在一些实施例中,所述导线还包括:第四段,在所述第一段和所述第二段之间,其中,所述第四段设置在与所述第一方向和所述第二方向不同的第四方向上。

[0096] 在一些实施例中,所述第二导电通孔延伸穿过所述密封剂。

[0097] 在一些实施例中,所述第二导电通孔设置在所述密封剂上方。

[0098] 在一些实施例中,所述第二导电通孔设置在第二集成电路管芯和所述第一集成电路管芯上方。

[0099] 在一些实施例中,所述第一段与延伸穿过所述第一导电通孔的中心和所述第二导电通孔的中心的线之间的角度为约 $30^{\circ}$ 至约 $60^{\circ}$ 。

[0100] 上面概述了若干实施例的特征,使得本领域技术人员可以更好地理解本发明的各方面。本领域技术人员应该理解,他们可以容易地使用本发明作为基础来设计或修改用于实施与在此所介绍实施例相同的目的和/或实现相同优势的其他工艺和结构。本领域技术人员也应该意识到,这种等同构造并不背离本发明的精神和范围,并且在不背离本发明的精神和范围的情况下,在此他们可以做出多种变化、替换以及改变。

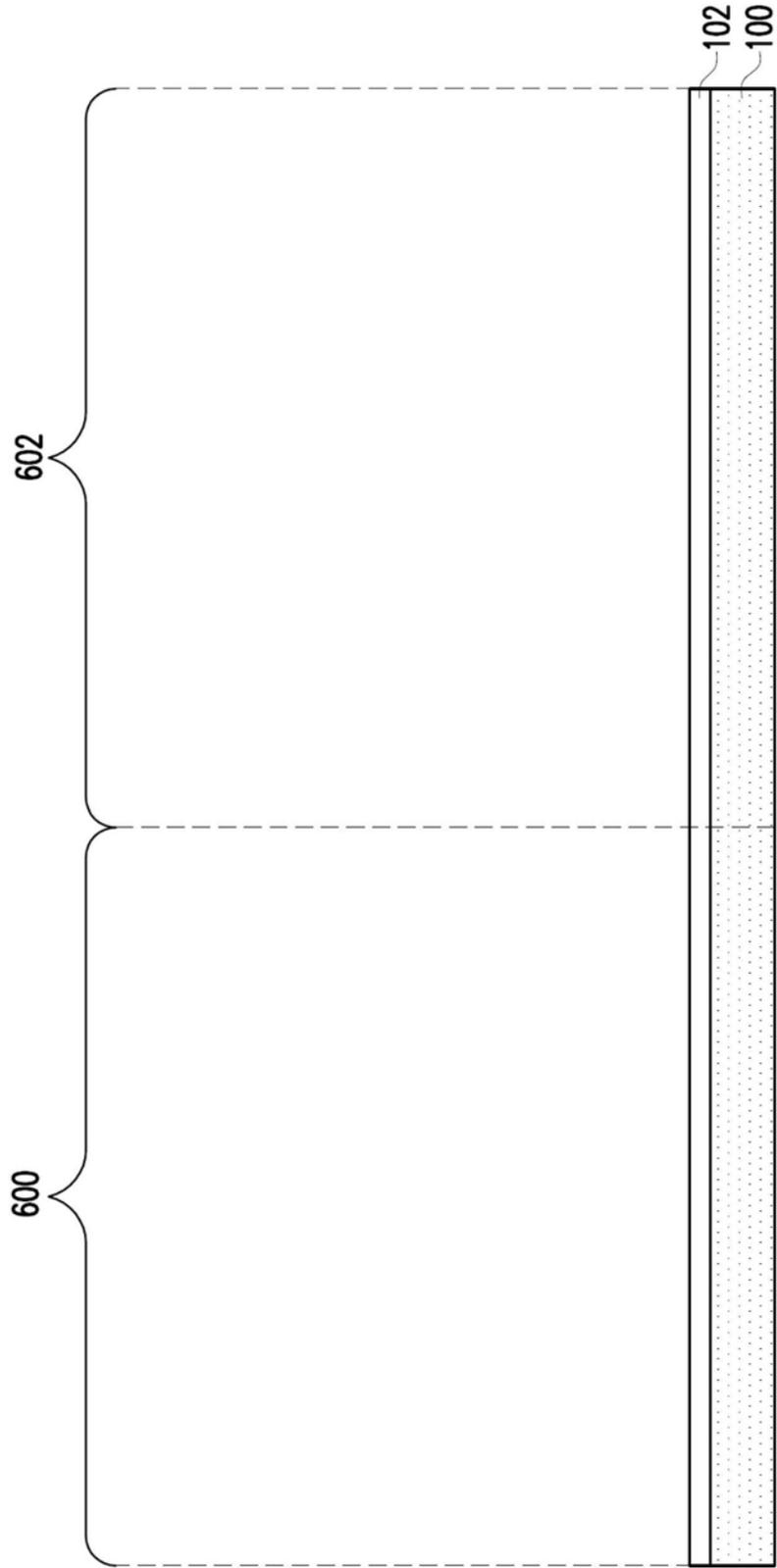


图1

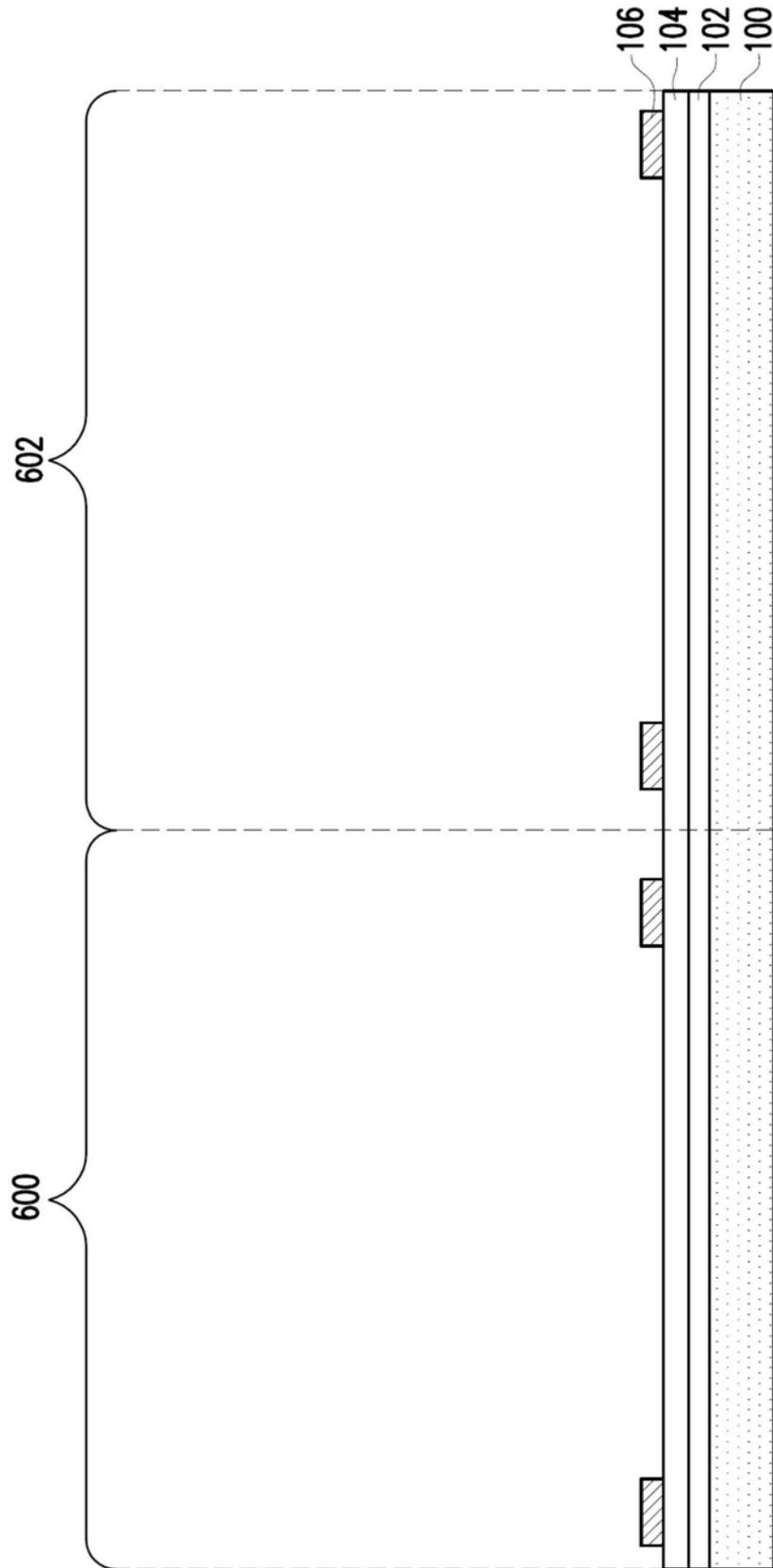


图2

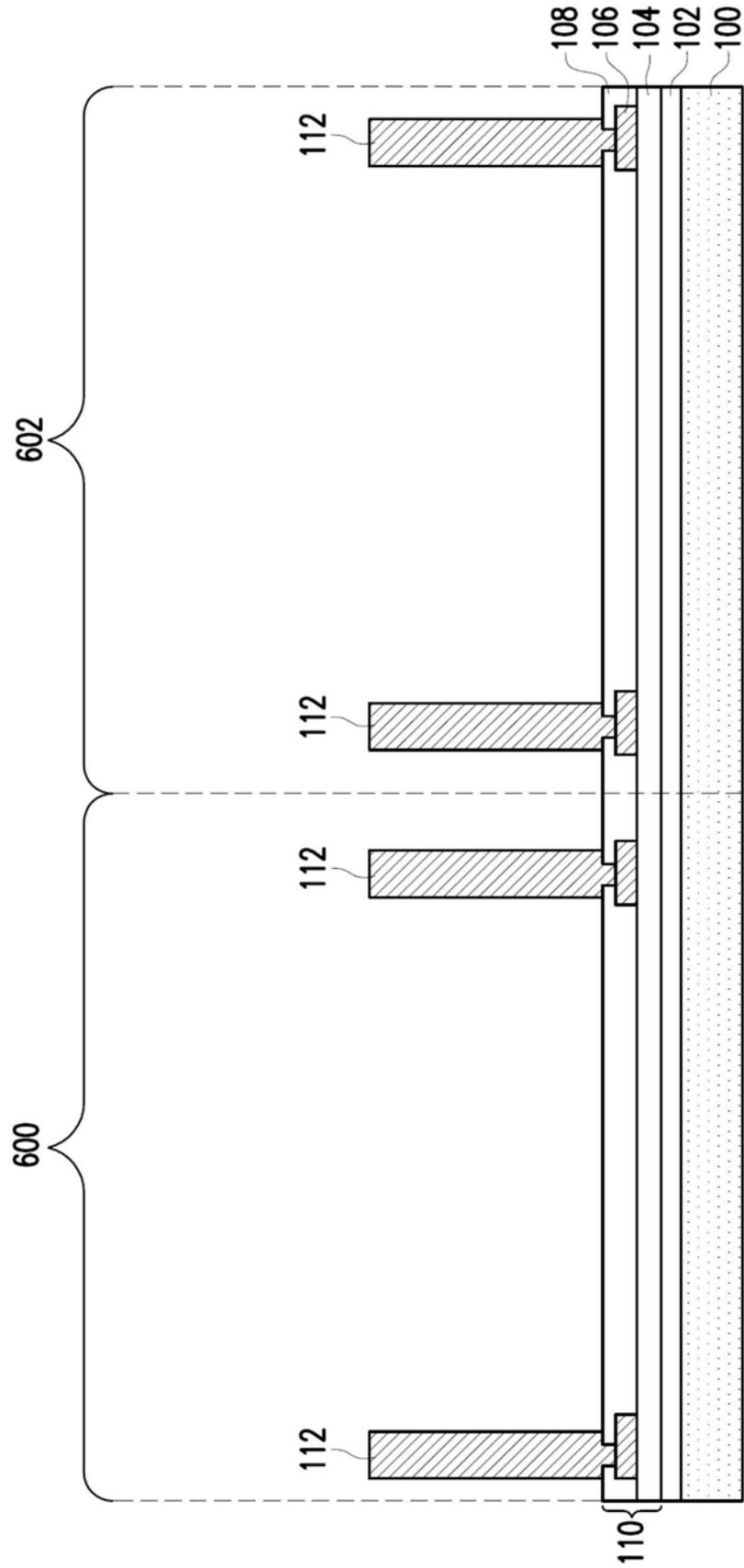


图3

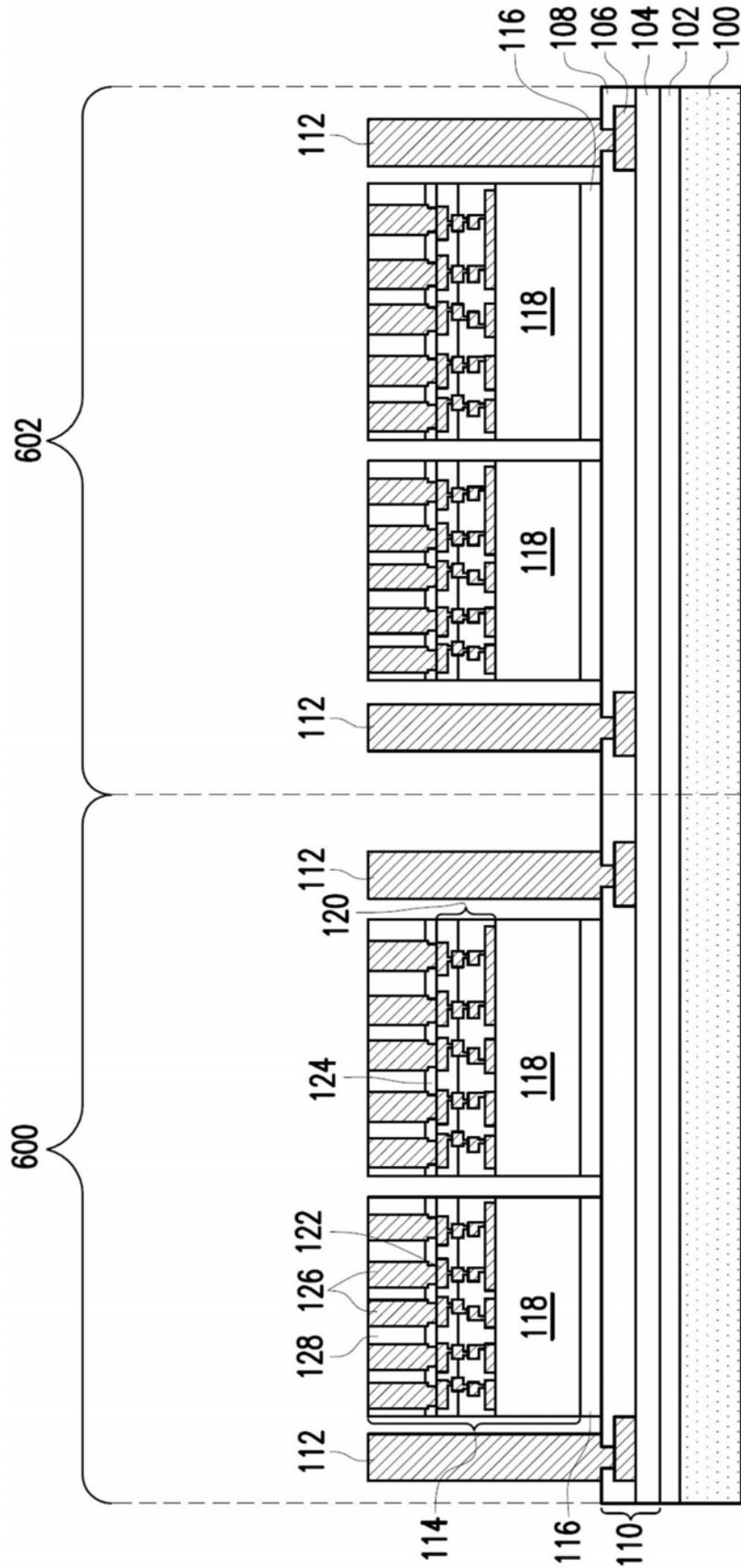


图4

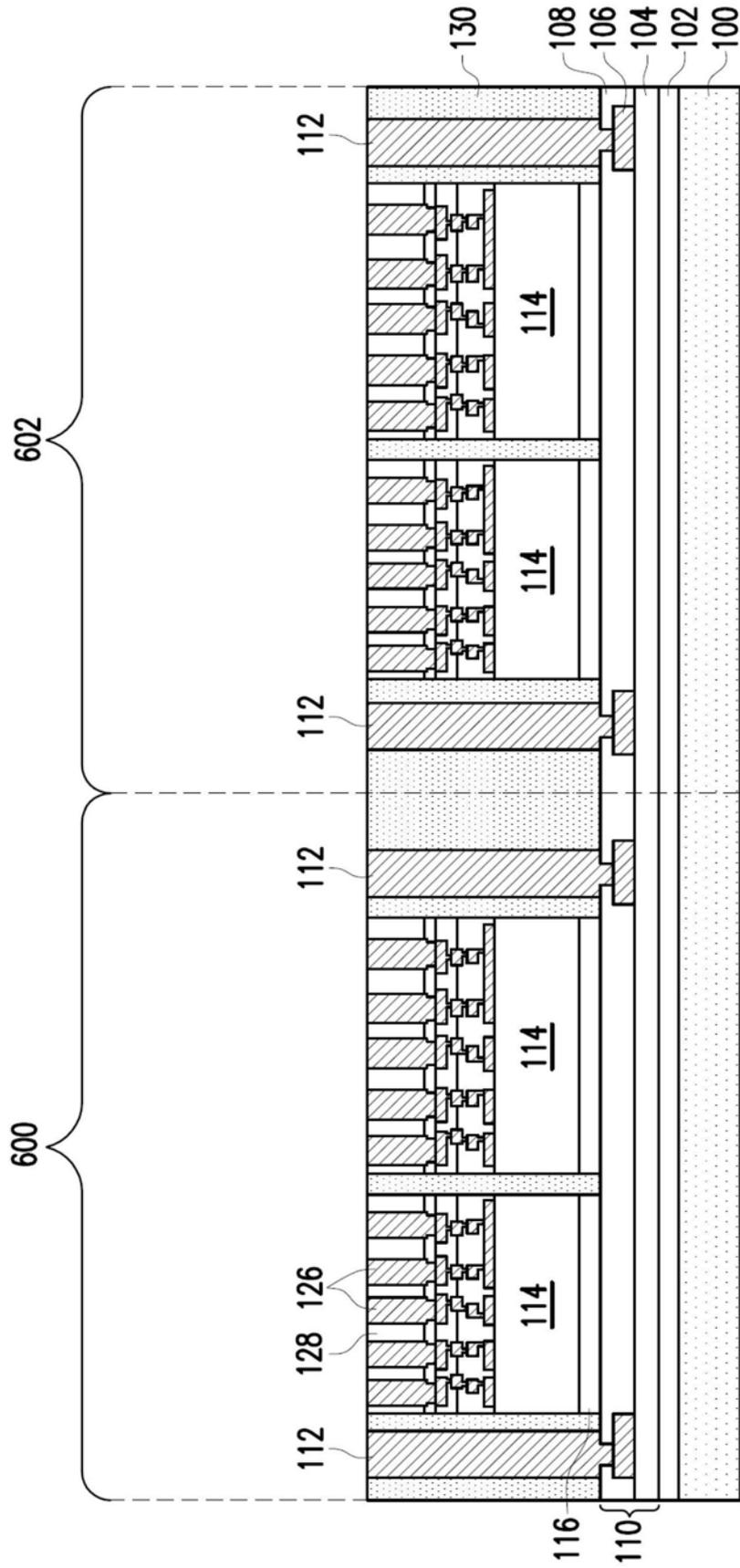


图5

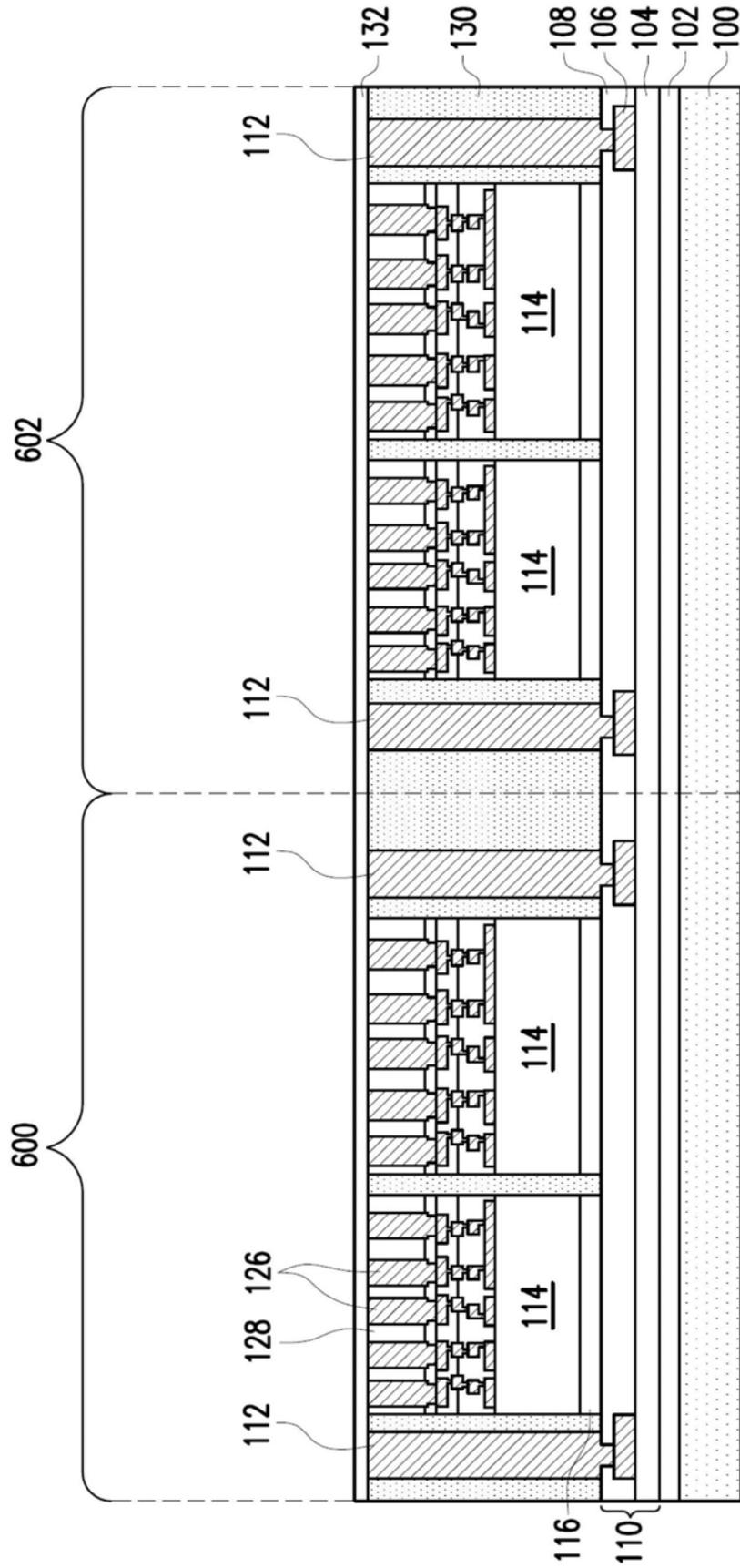


图6

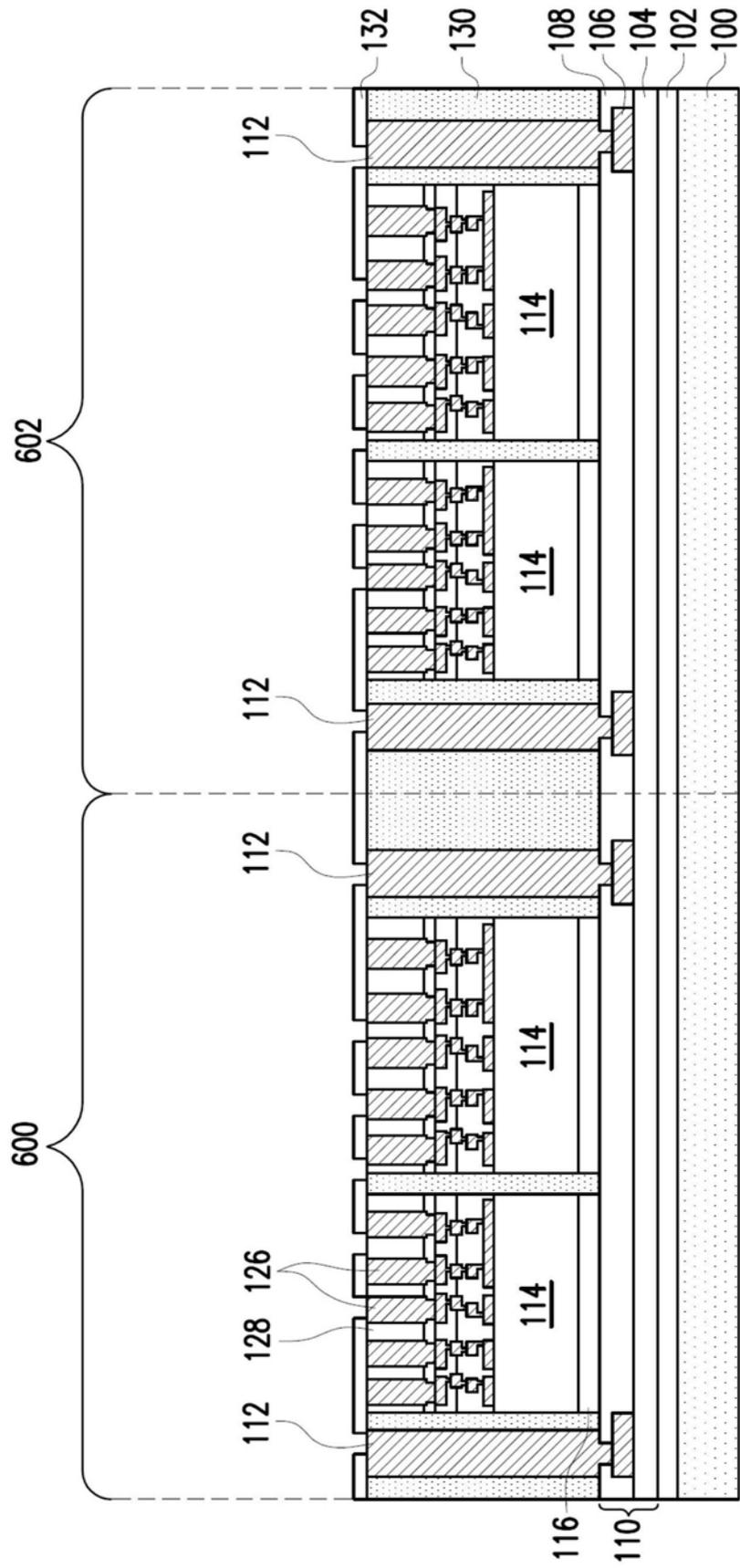


图7

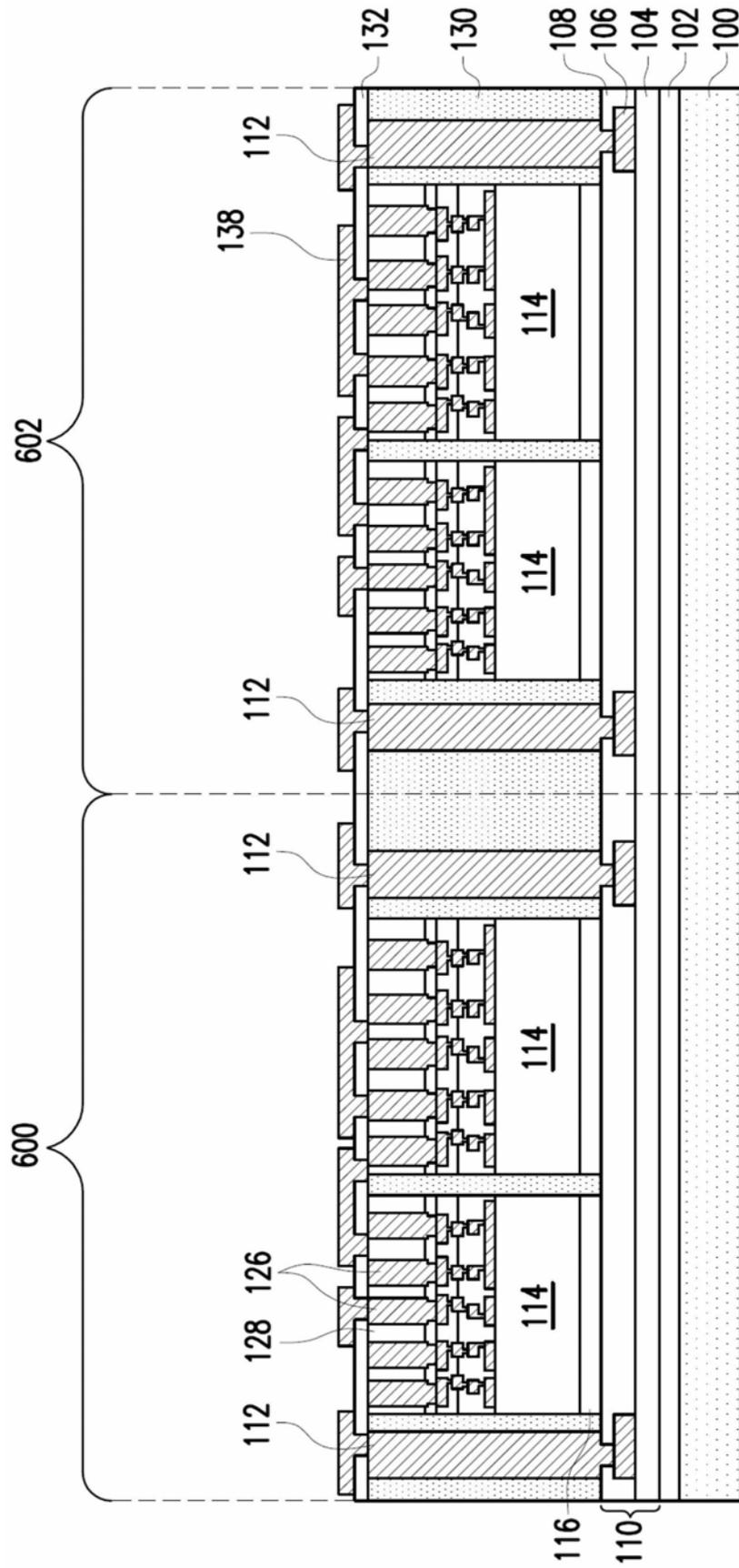


图8

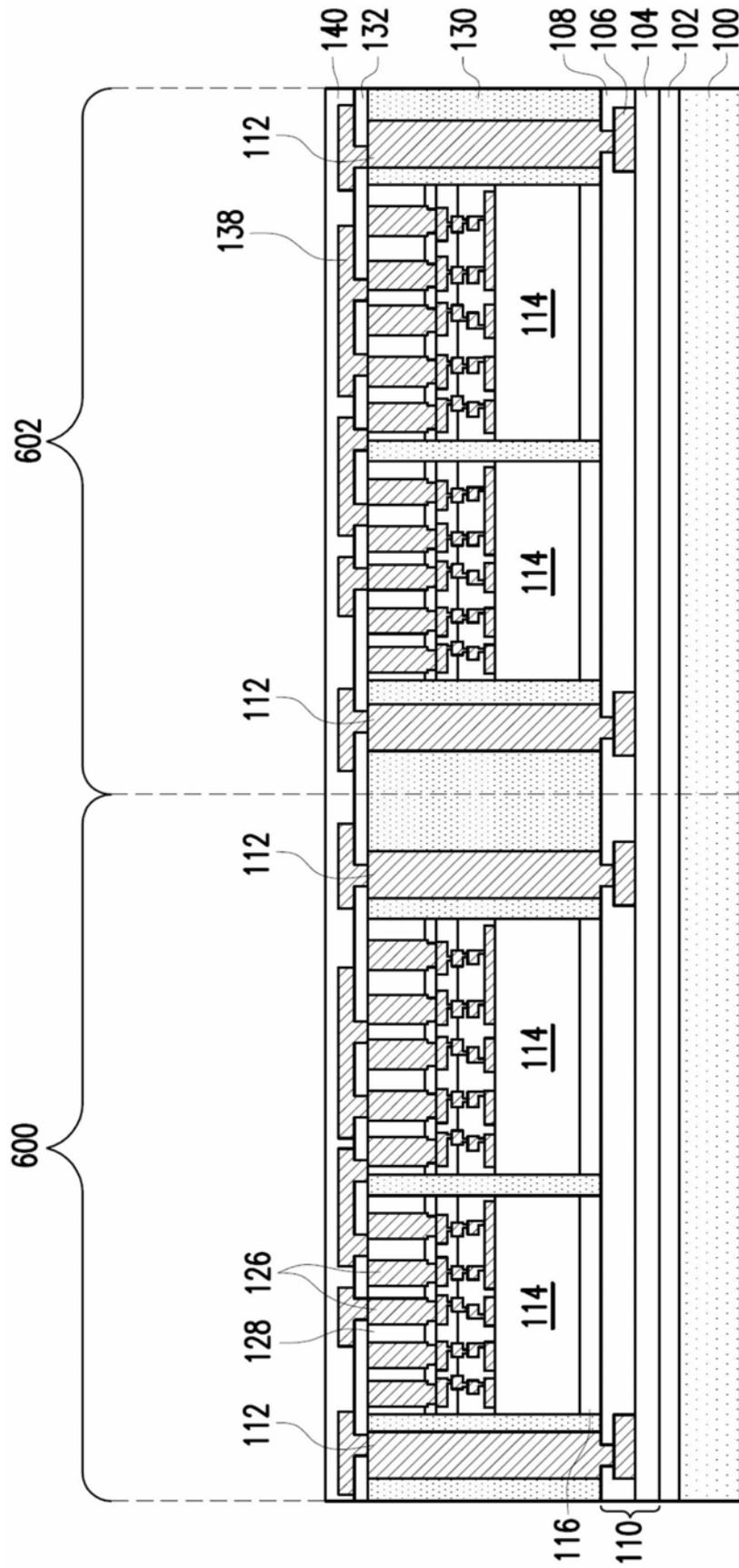


图9

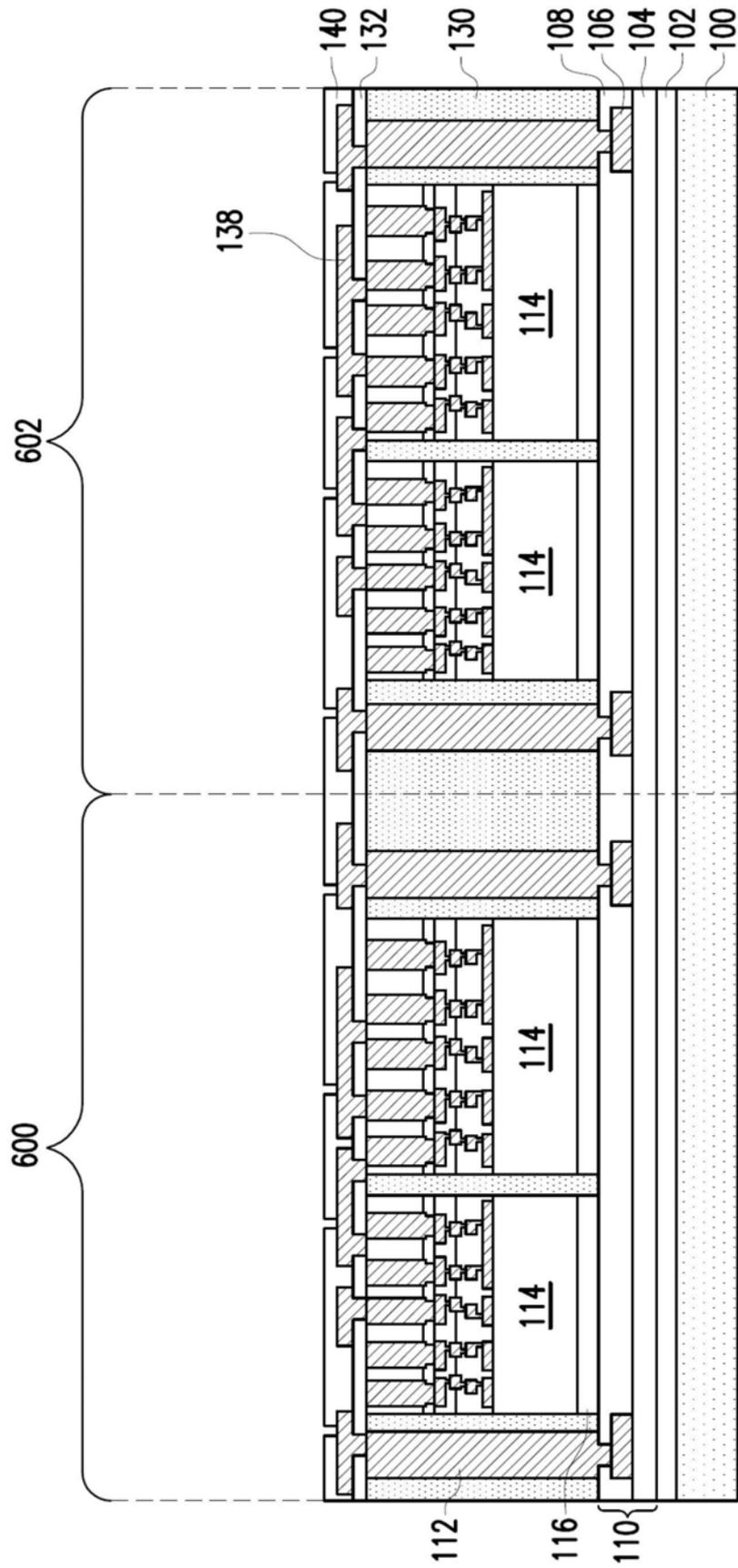


图10

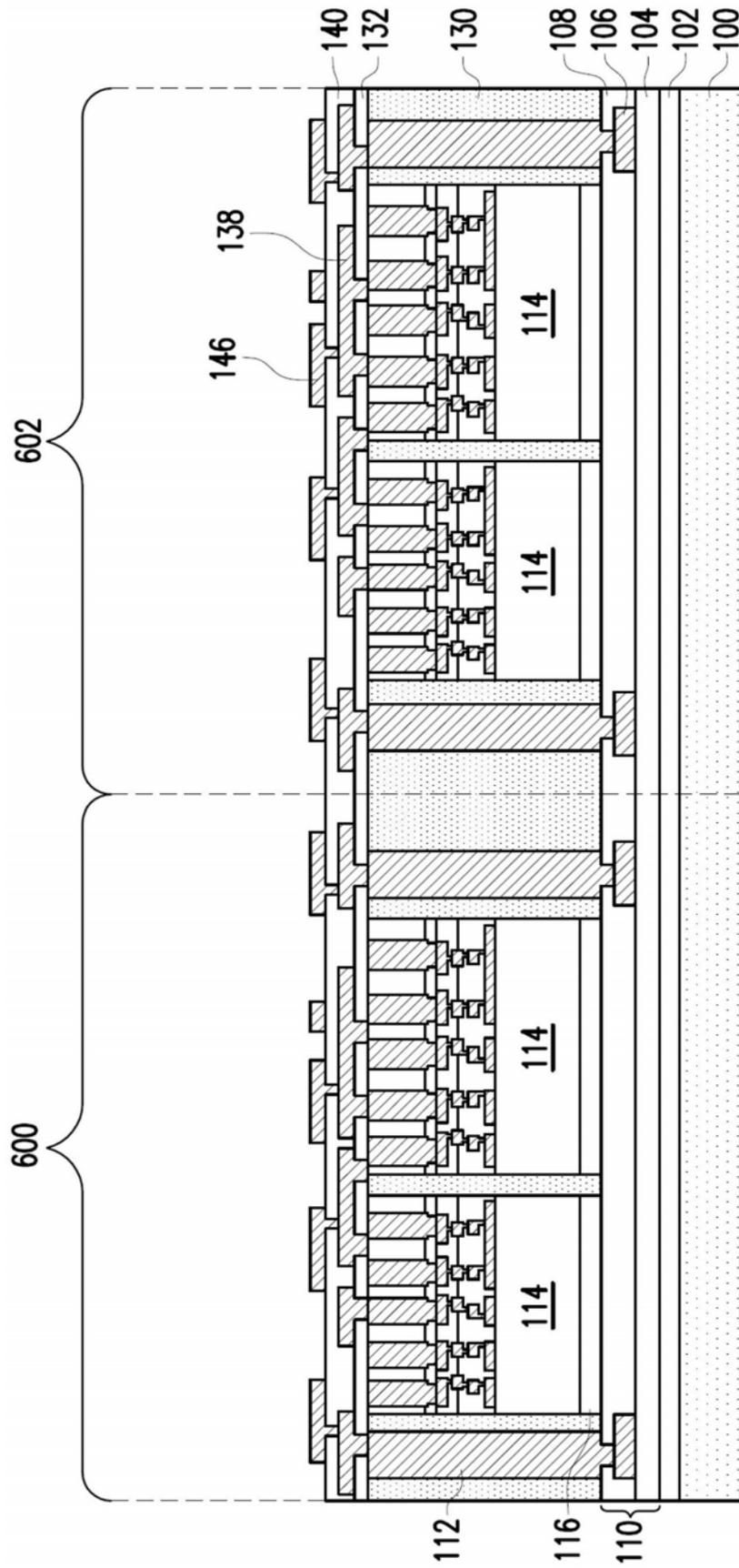


图11

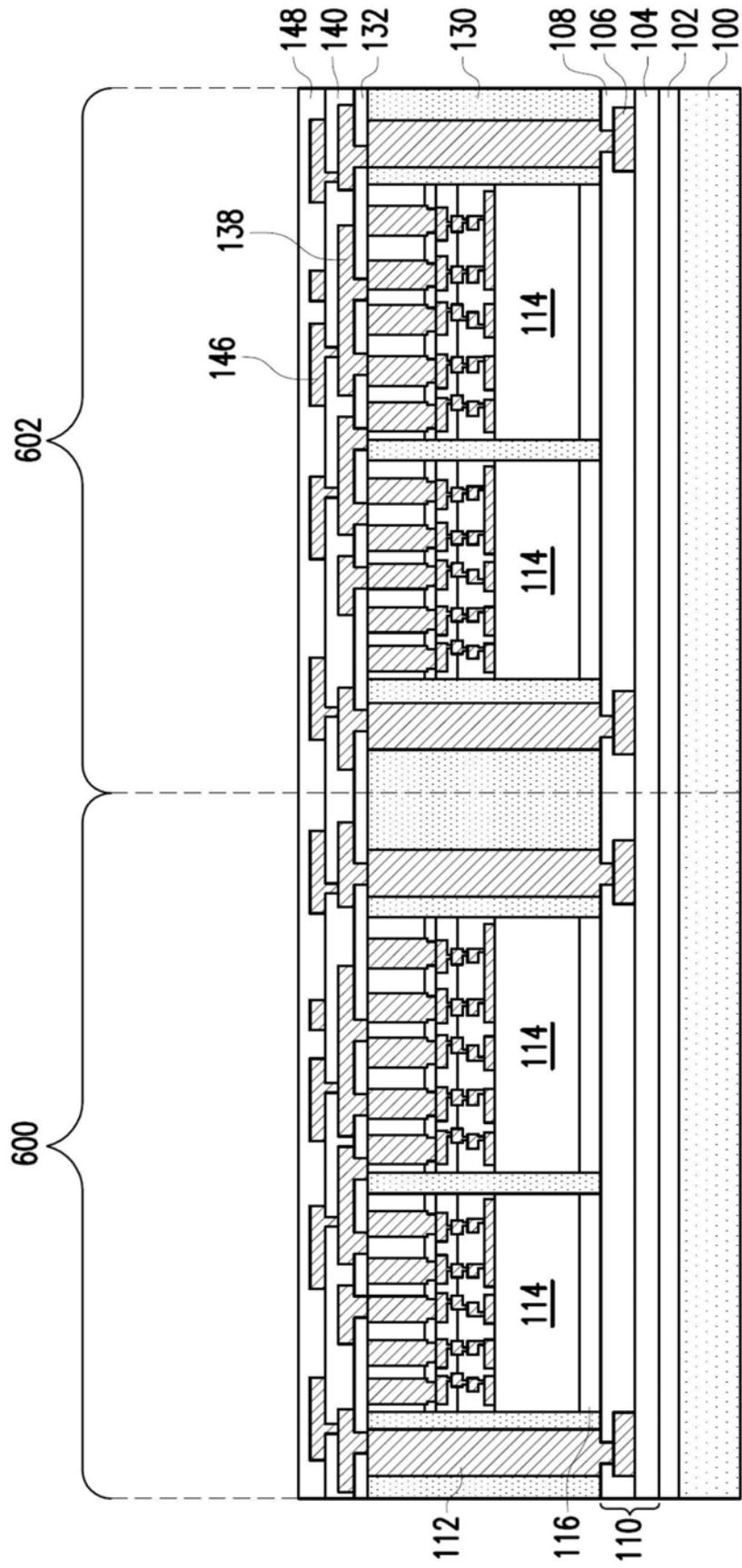


图12

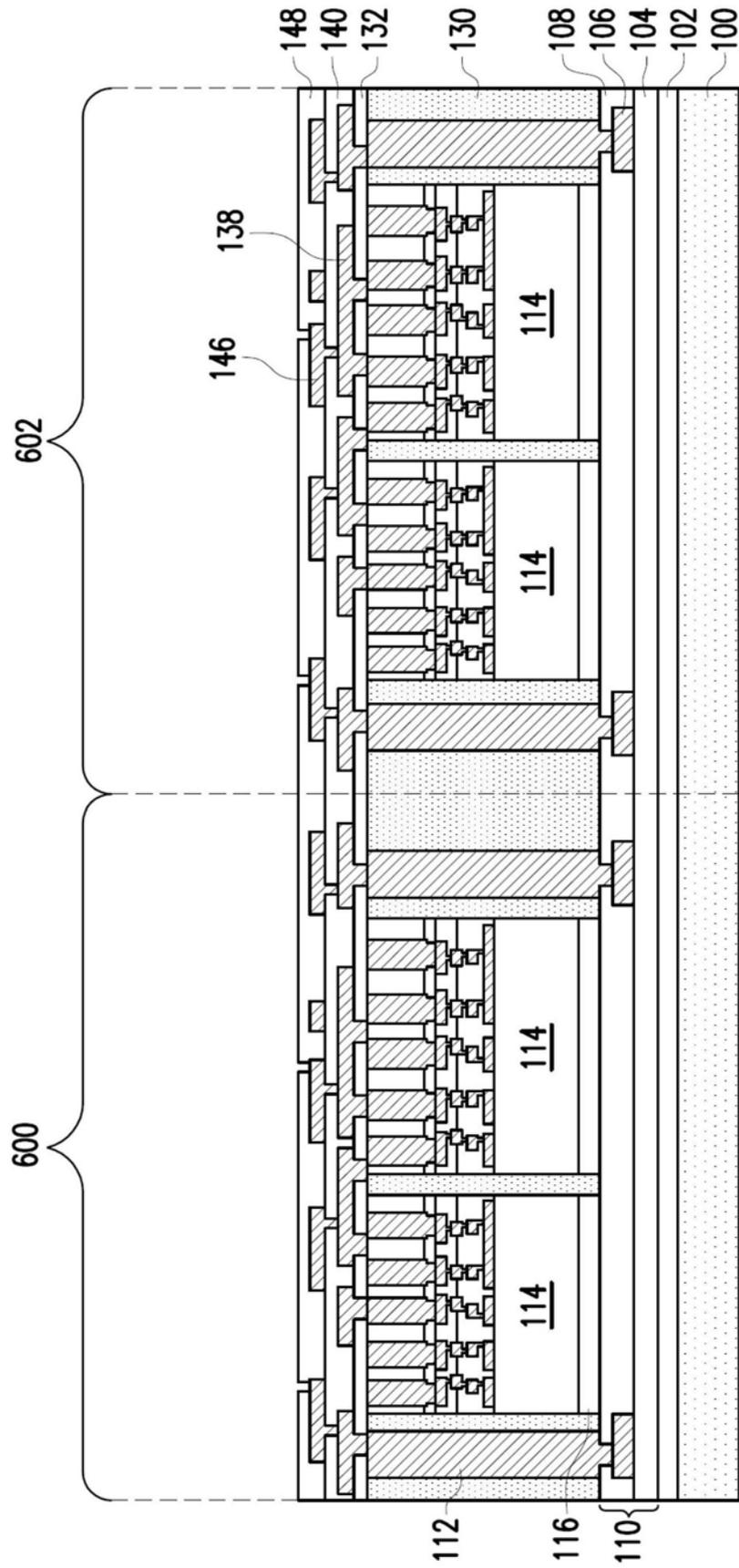


图13

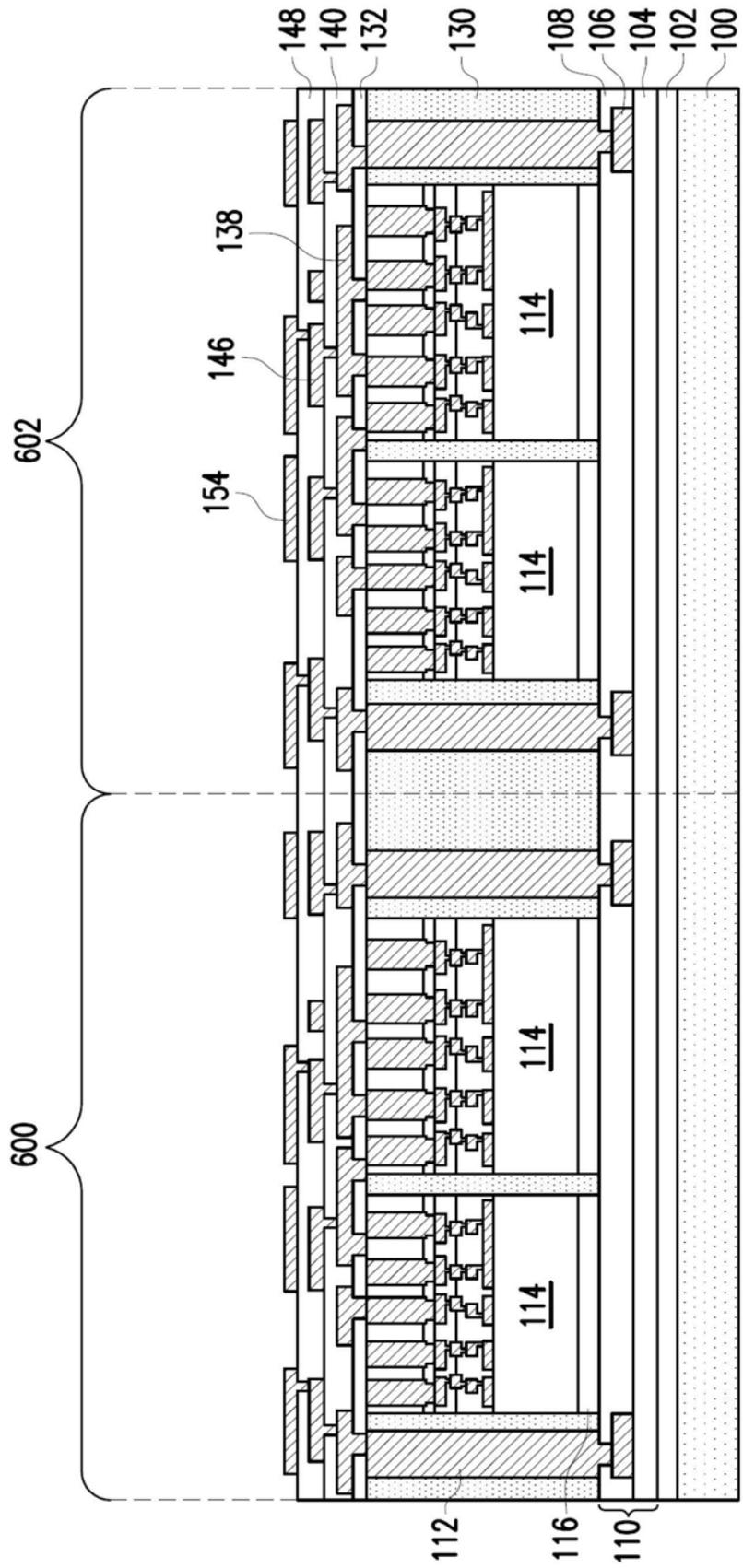


图14

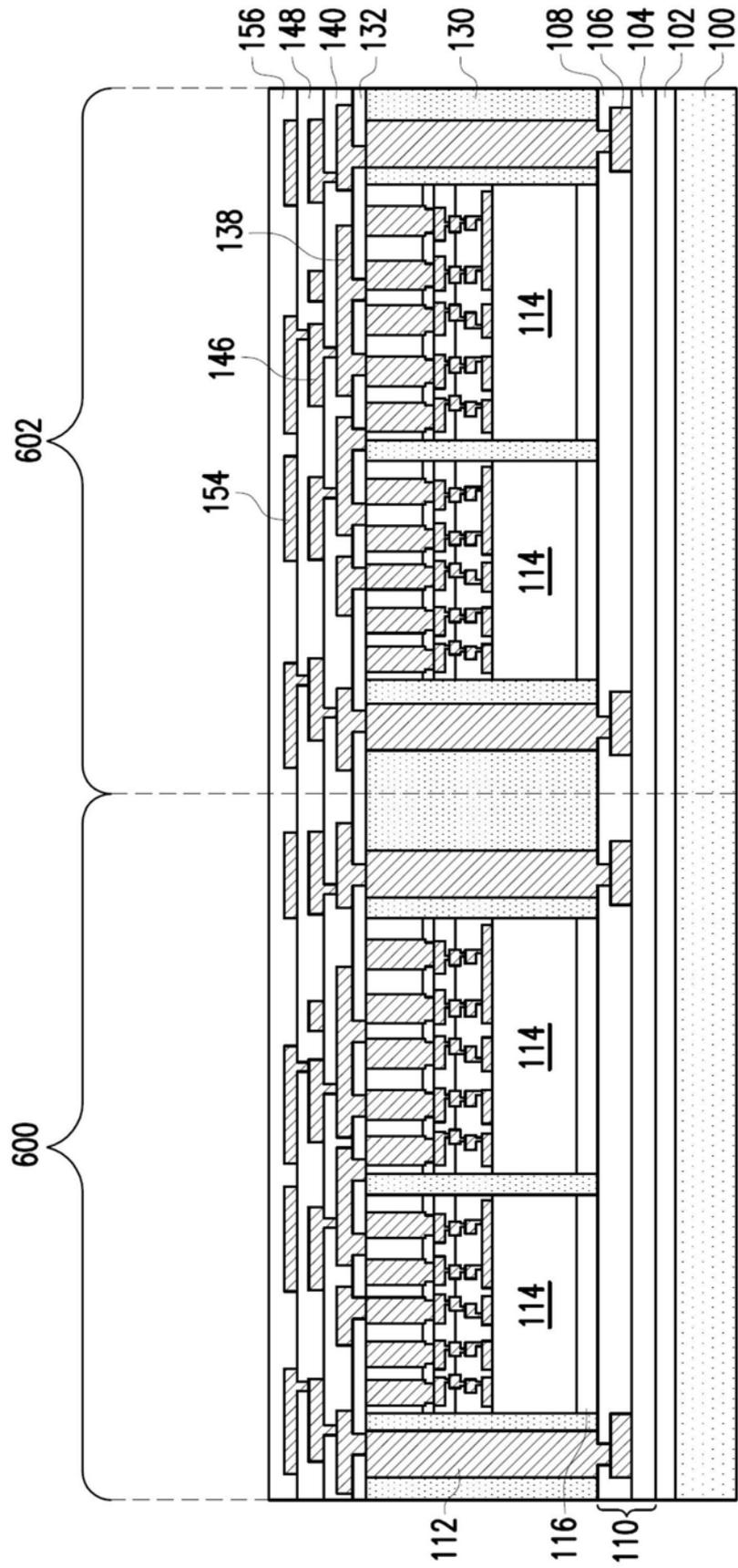


图15

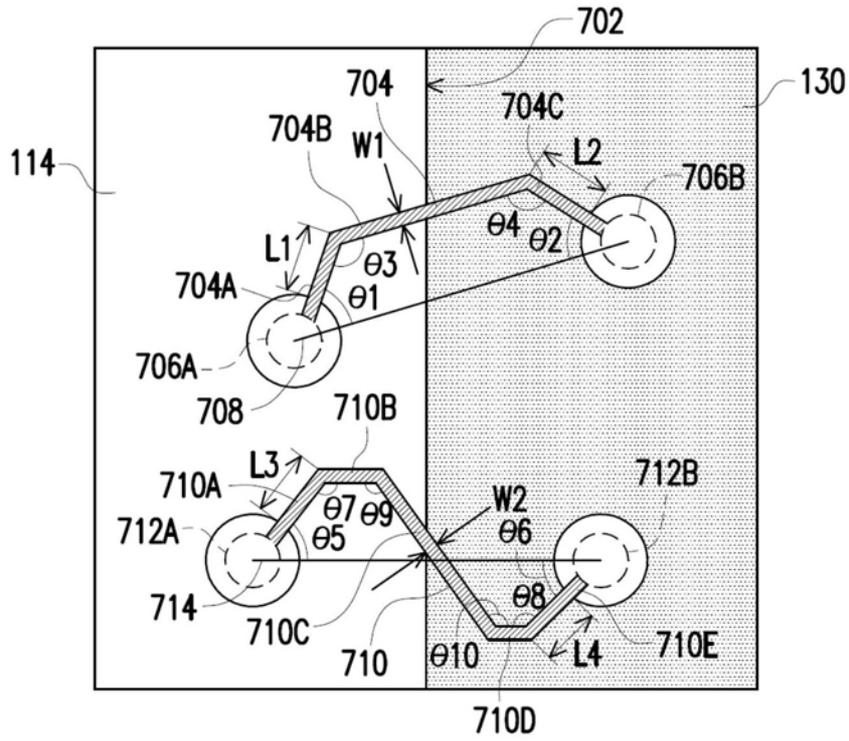


图16

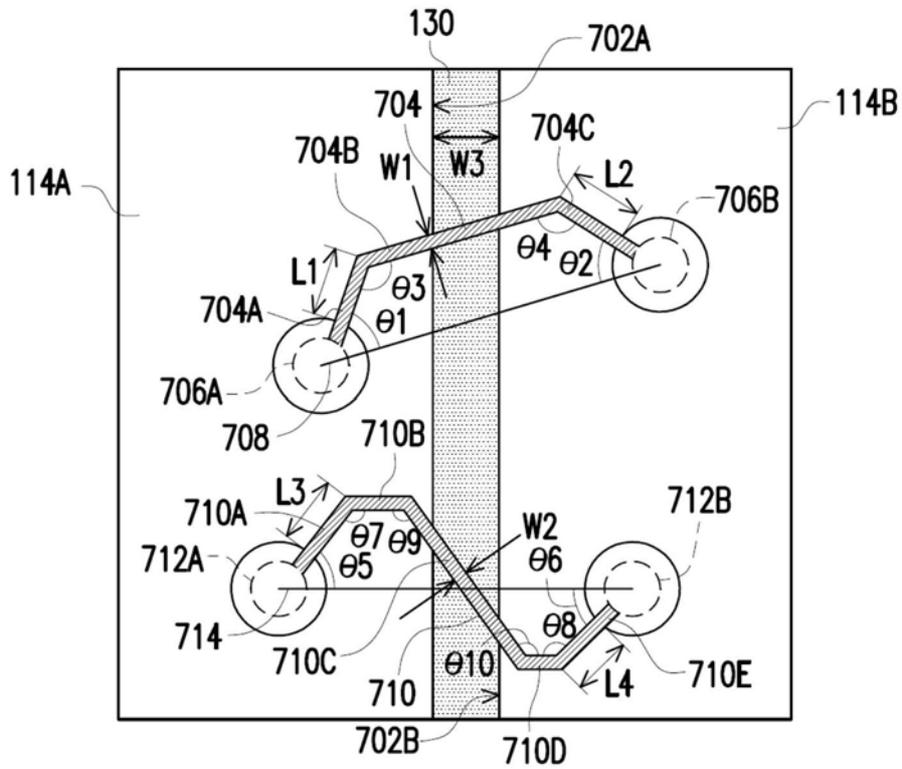


图17

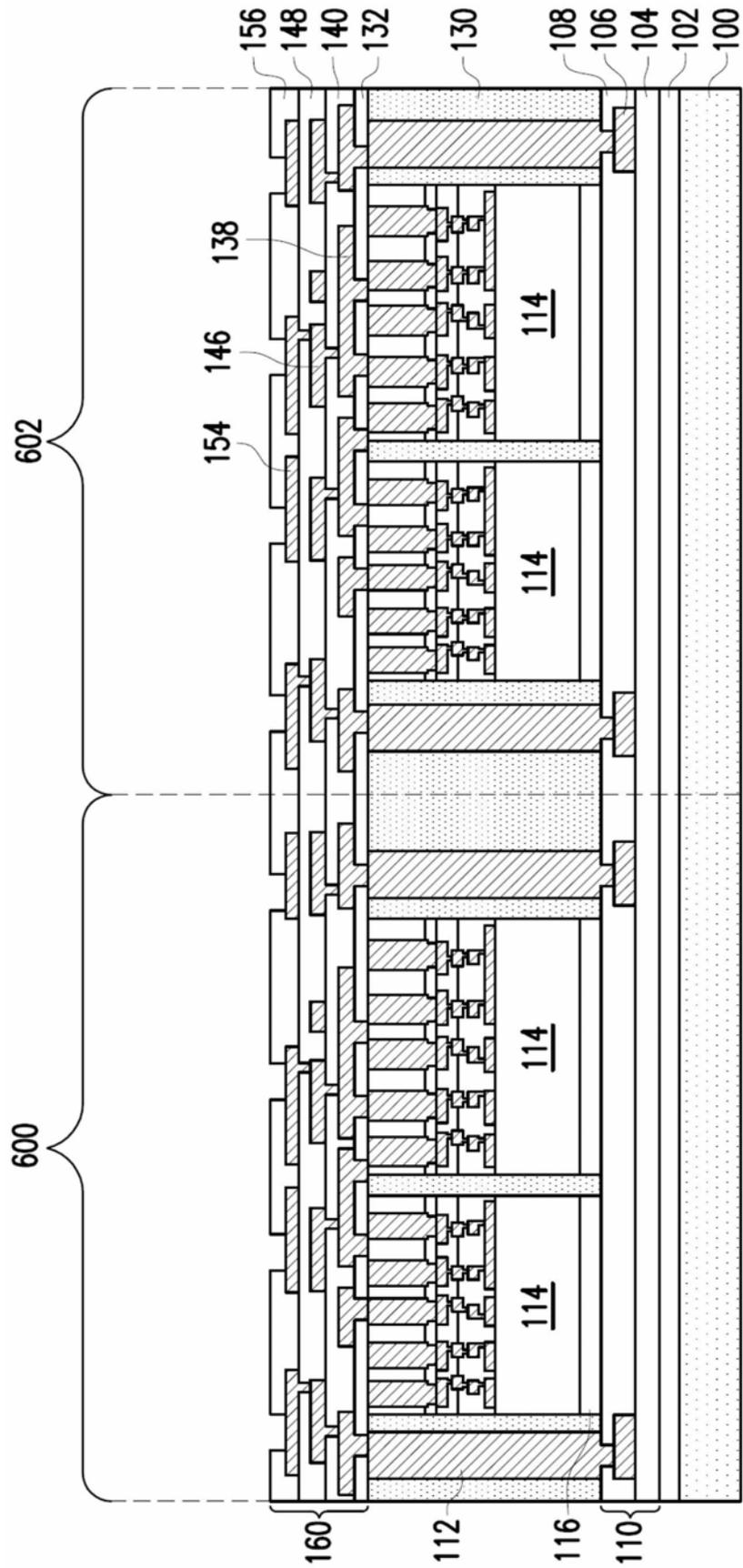


图18

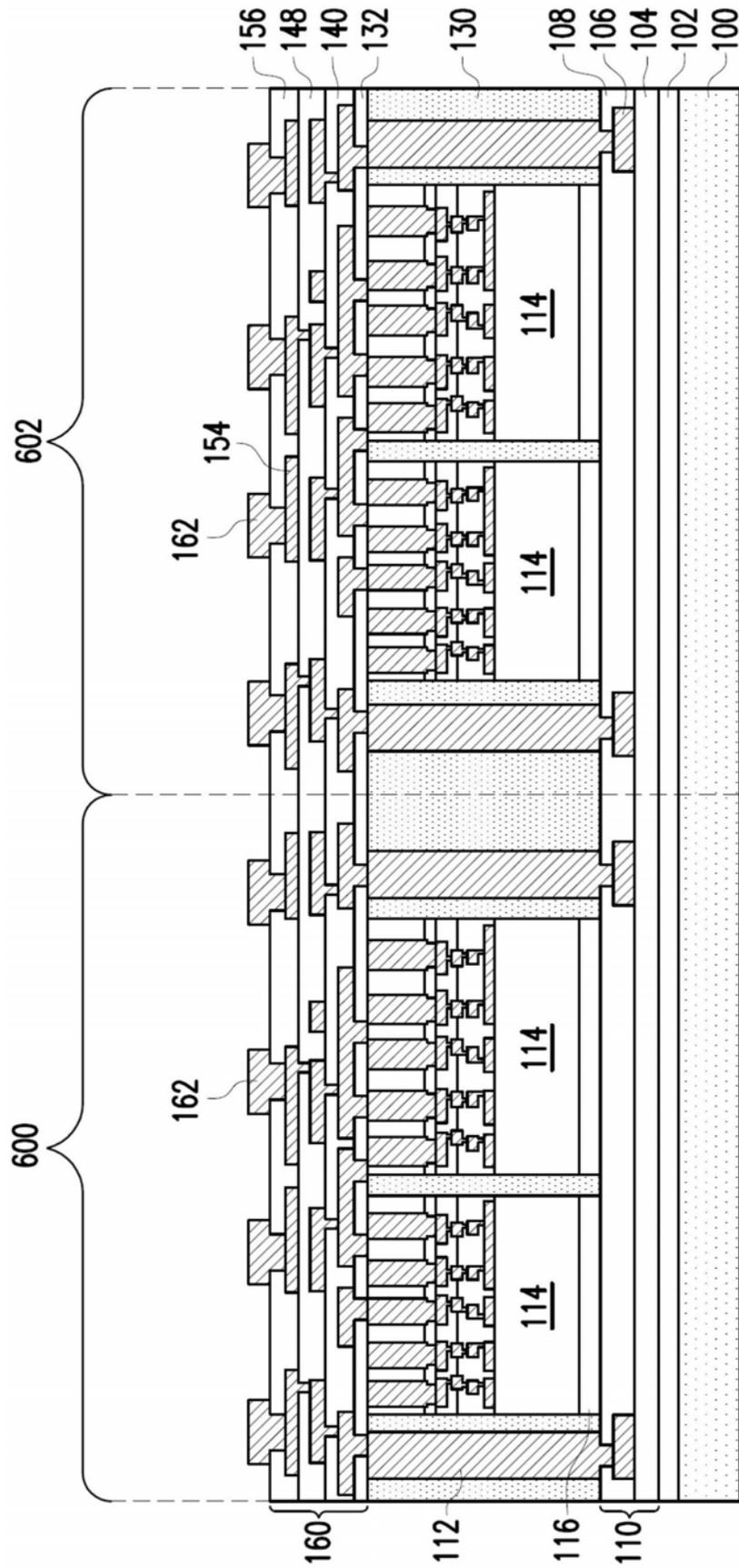


图19

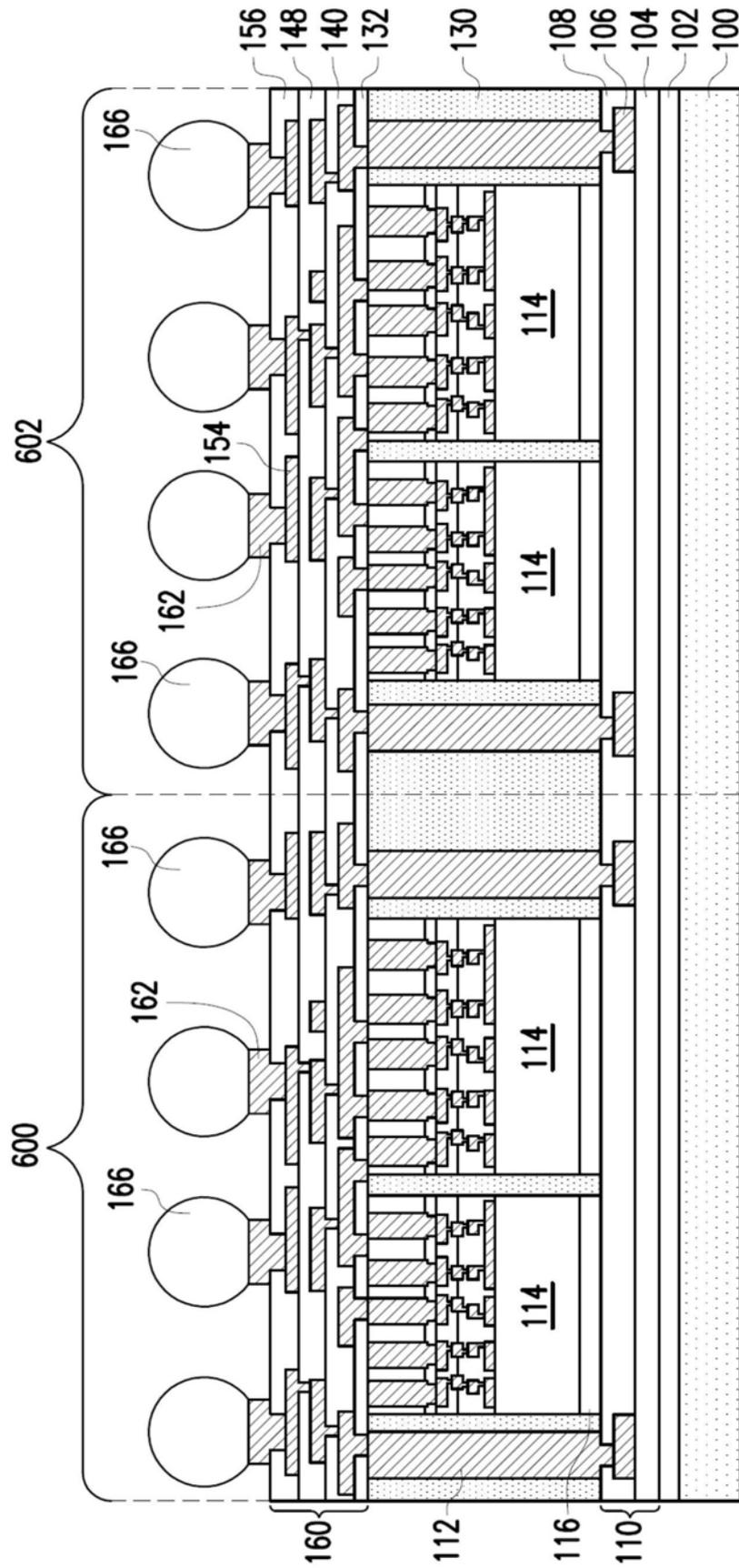


图20

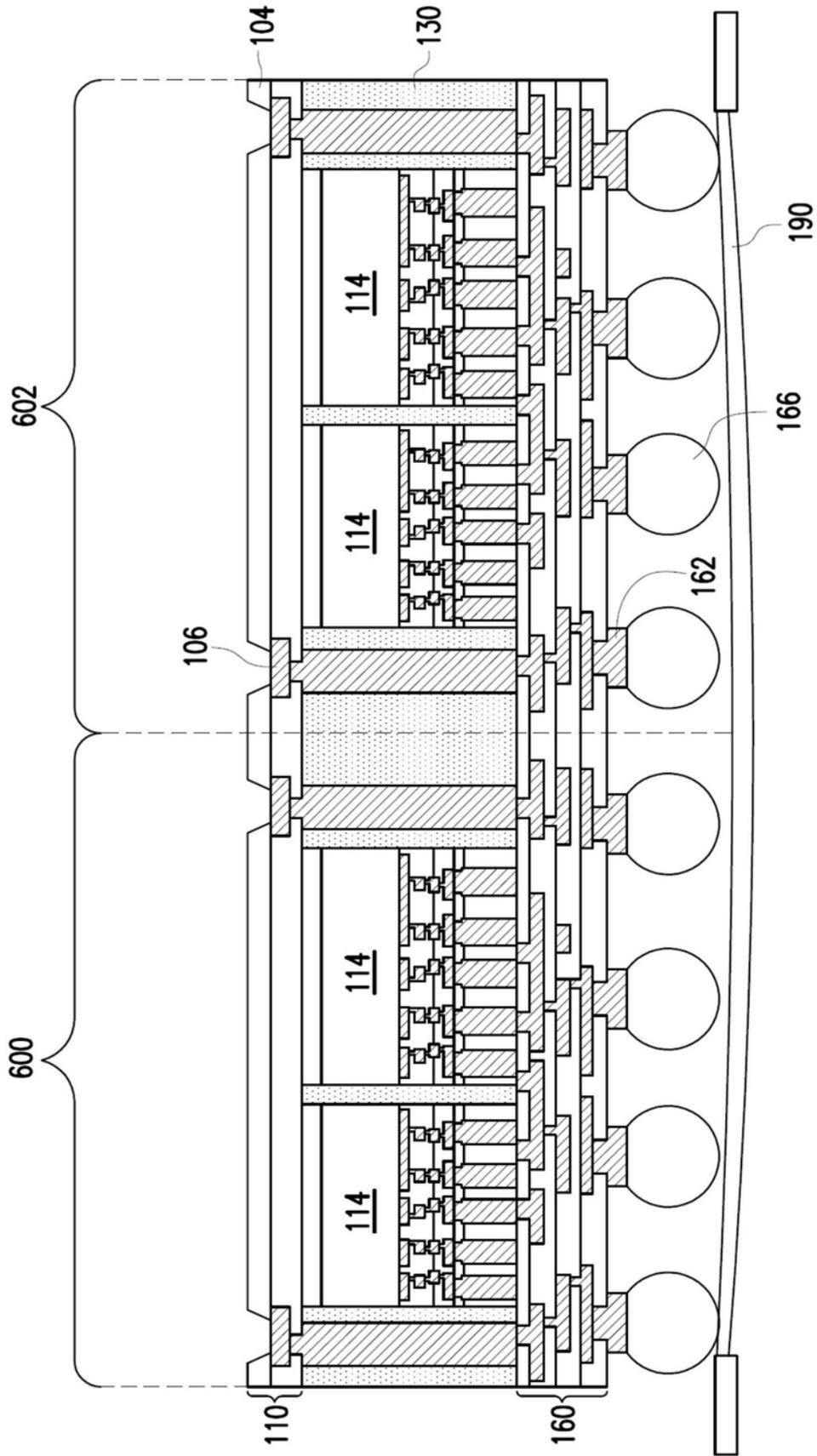


图21

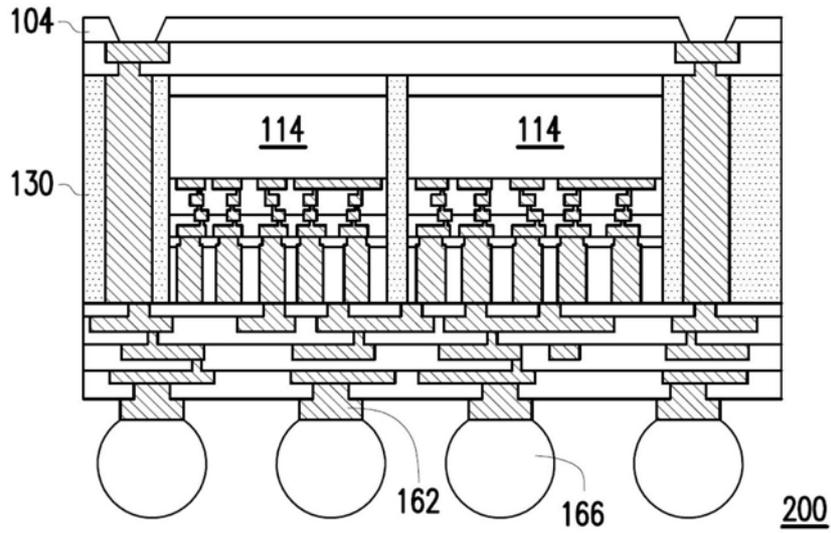


图22

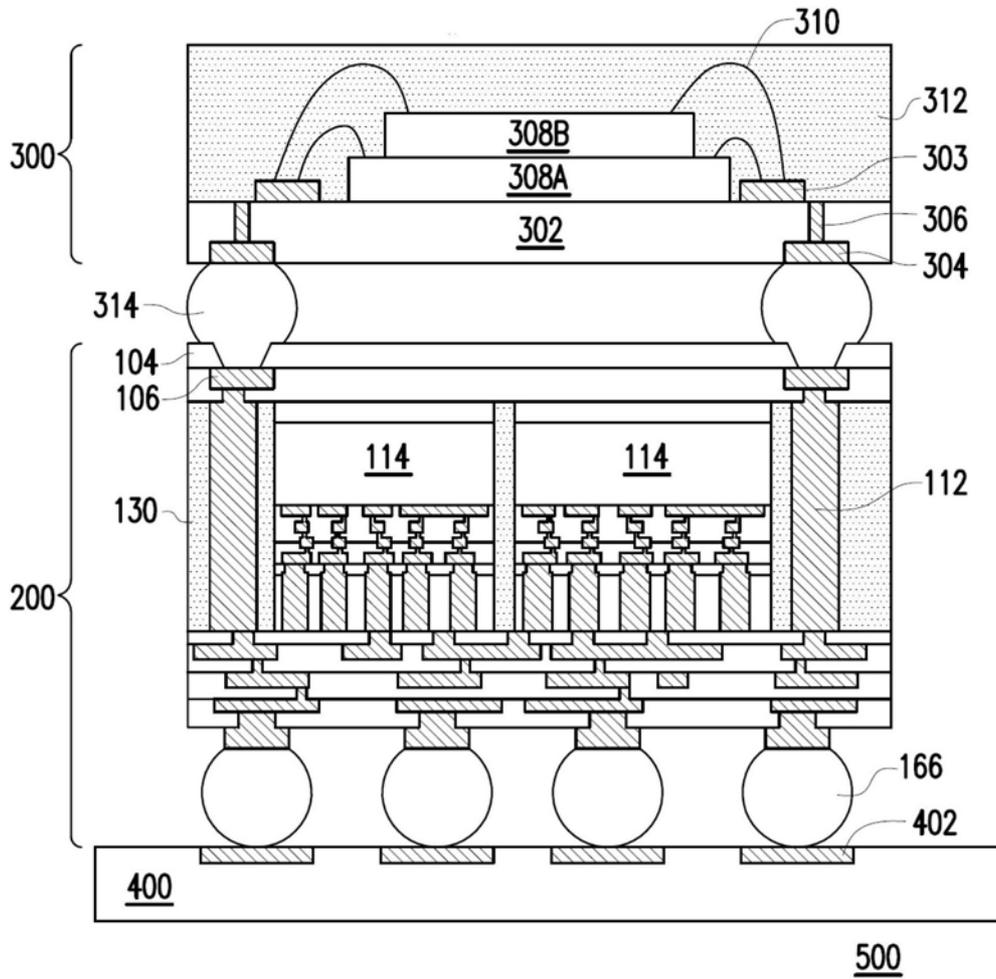


图23