

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012年9月13日(13.09.2012)



(10) 国際公開番号
WO 2012/120659 A1

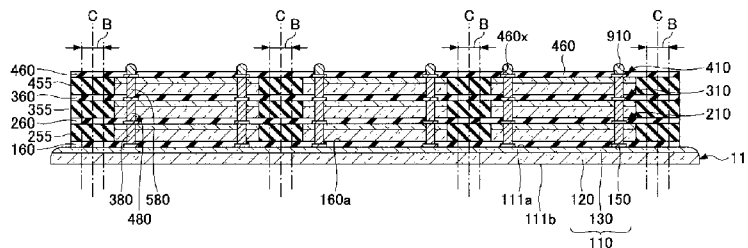
- (51) 国際特許分類:
H01L 25/065 (2006.01) H01L 25/07 (2006.01)
H01L 21/3205 (2006.01) H01L 25/18 (2006.01)
H01L 23/52 (2006.01) H01L 27/00 (2006.01)
- (21) 国際出願番号: PCT/JP2011/055486
- (22) 国際出願日: 2011年3月9日(09.03.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人(米国を除く全ての指定国について): 国立
大学法人東京大学(The University of Tokyo) [JP/JP];
〒1138654 東京都文京区本郷七丁目3番1号
Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 大場 隆之
(OHBA Takayuki) [JP/JP]; 〒1138654 東京都文京区
本郷七丁目3番1号 国立大学法人東京大学内
Tokyo (JP).
- (74) 代理人: 伊東 忠彦(ITO, Tadahiko); 〒1000005 東
京都千代田区丸の内二丁目1番1号 丸の内
M Y P L A Z A (明治安田生命ビル) 1
6階 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO,
CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS,
JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS,
LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT,
RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY,
TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN,
ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア
(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ
(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,
GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,
NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR,
NE, SN, TD, TG).

添付公開書類:
— 国際調査報告(条約第21条(3))

(54) Title: METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置の製造方法

[図2X]



(57) Abstract: In this method for manufacturing a semiconductor device: separated semiconductor chips are laminated on a semiconductor substrate on which are formed a plurality of semiconductor chips having semiconductor integrated circuits on the main surface side thereof; semiconductor chips on different layers are connected in a manner enabling signal transmission; and the semiconductor chip sections subsequently laminated are separated. This method for manufacturing a semiconductor device comprises: a first step in which an insulation layer is formed on the main surface of the semiconductor substrate; a second step in which the separated semiconductor chips having semiconductor integrated circuits on the main surface side thereof are oriented so that the surface on the reverse side from the main surface faces the insulation layer, and are laminated upon the semiconductor chips formed on the semiconductor substrate with the insulation layer therebetween; a third step in which via holes are formed in the separated semiconductor chips so as to extend from the main surface to the surface on the reverse side from the main surface; and a fourth step in which connected portions that enable signal transmission through the via holes are formed between the separated semiconductor chips and the semiconductor chips formed on the semiconductor substrate.

(57) 要約:

[続葉有]



WO 2012/120659 A1



主面側に半導体集積回路を有する複数の半導体チップが形成された半導体基板に、個片化された半導体チップを積層し、異なる層の半導体チップ同士を信号伝達可能に接続し、その後積層された前記半導体チップ部分を個片化する半導体装置の製造方法であって、前記半導体基板の前記主面上に絶縁層を形成する第1工程と、主面側に半導体集積回路を有する個片化された半導体チップを、前記主面と反対側の面を前記絶縁層と対向させ、前記絶縁層を介して前記半導体基板に形成された半導体チップ上に積層する第2工程と、前記個片化された半導体チップに前記主面から前記主面と反対側の面に貫通するビアホールを形成する第3工程と、前記ビアホールを介して、前記個片化された半導体チップと前記半導体基板に形成された半導体チップとの間の信号伝達を可能にする接続部を形成する第4工程と、を有する。

明 細 書

発明の名称：半導体装置の製造方法

技術分野

[0001] 本発明は、半導体装置の製造方法に関し、特に、半導体チップを含む半導体基板上に、個片化された半導体チップを積層し、異なる層の半導体チップ同士を信号伝達可能に接続し、その後積層された前記半導体チップ部分を個片化する半導体装置の製造方法に関する。

背景技術

[0002] 近年、半導体応用製品はデジタルカメラや携帯電話などの各種モバイル機器用途等として小型化、薄型化、軽量化が急激に進んでいる。それに伴い、半導体応用製品に搭載される半導体装置にも小型化、高密度化が要求されており、その要求に応えるべく、例えばウェハ状態の半導体チップに他の半導体チップを直接積層する所謂チップオンウェハ（以降、COWという）技術が提案されている。

先行技術文献

特許文献

[0003] 特許文献1：特開2010-278279号公報

発明の概要

発明が解決しようとする課題

[0004] しかしながら、従来のCOW技術では、アスペクト比が大きい接続孔（TSV）を埋設しておきバンプや金属突起を形成して半導体チップ同士を接合したり、半導体チップのデバイス面（半導体集積回路が形成されている面）同士を合わせてから薄型化し接続孔（TSV）で接合したりする方法が用いられていた。

[0005] そのため、前者の場合には、半導体チップ同士を接合する際に、双方の半導体チップから露出するビアホールにバンプや金属突起を形成する工程が必要となるため、生産性が低く半導体装置の製造コストが上昇するという問題

があった。又、後者の場合には、デバイス面を対向させるように半導体チップ同士を接合するため、予め設計された配線デザインが必要となり、接続配線の柔軟性が低く、単純に同様の工程を繰り返すだけでは3個以上の半導体チップを積層することはできない。すなわち、3個以上の半導体チップを積層する為には特別な工程が必要となるため、生産性が低く半導体装置の製造コストが上昇するという問題があった。

[0006] 又、前者及び後者の何れの場合にも、深いビアホールを形成する場合には、ビアホールの孔加工や金属充填の時間が長くなり、又、必要な材料が増えるため、半導体装置の製造コストが上昇するという問題があった。

[0007] 又、前者及び後者の何れの場合にも、ビアホールをドライエッチング等で形成する際、ビアホールのサイズや密度で深さが異なりビアホール先端部分の直径が変わる。その結果、半導体チップを所望の厚さに薄型化したときに露出したビアホールの直径が一様にならないため、電氣的接続の際の抵抗値がばらつき信頼性が低下するという問題があった。

[0008] 本発明は上記の点に鑑みてなされたもので、信頼性及び生産性が高く製造コストの低減を図ることが可能な半導体装置の製造方法を提供することを目的とする。

課題を解決するための手段

[0009] 上記目的を達成するため、本発明は、主面側に半導体集積回路を有する複数の半導体チップが形成された半導体基板に、個片化された半導体チップを積層し、異なる層の半導体チップ同士を信号伝達可能に接続し、その後積層された前記半導体チップ部分を個片化する半導体装置の製造方法であって、前記半導体基板の前記主面上に絶縁層を形成する第1工程と、主面側に半導体集積回路を有する個片化された半導体チップを、前記主面と反対側の面を前記絶縁層と対向させ、前記絶縁層を介して前記半導体基板に形成された半導体チップ上に積層する第2工程と、前記個片化された半導体チップに前記主面から前記主面と反対側の面に貫通するビアホールを形成する第3工程と、前記ビアホールを介して、前記個片化された半導体チップと前記半導体基

板に形成された半導体チップとの間の信号伝達を可能にする接続部を形成する第4工程と、を有することを特徴とする。

発明の効果

[0010] 本発明によれば、信頼性及び生産性が高く製造コストの低減を図ることが可能な半導体装置の製造方法を提供できる。

図面の簡単な説明

[0011] [図1]第1の実施の形態に係る半導体装置を例示する断面図である。

[図2A]第1の実施の形態に係る半導体装置の製造工程を例示する図（その1）である。

[図2B]第1の実施の形態に係る半導体装置の製造工程を例示する図（その2）である。

[図2C]第1の実施の形態に係る半導体装置の製造工程を例示する図（その3）である。

[図2D]第1の実施の形態に係る半導体装置の製造工程を例示する図（その4）である。

[図2E]第1の実施の形態に係る半導体装置の製造工程を例示する図（その5）である。

[図2F]第1の実施の形態に係る半導体装置の製造工程を例示する図（その6）である。

[図2G]第1の実施の形態に係る半導体装置の製造工程を例示する図（その7）である。

[図2H]第1の実施の形態に係る半導体装置の製造工程を例示する図（その8）である。

[図2I]第1の実施の形態に係る半導体装置の製造工程を例示する図（その9）である。

[図2J]第1の実施の形態に係る半導体装置の製造工程を例示する図（その10）である。

[図2K]第1の実施の形態に係る半導体装置の製造工程を例示する図（その1

1) である。

[図2L] 第 1 の実施の形態に係る半導体装置の製造工程を例示する図 (その 1 2) である。

[図2M] 第 1 の実施の形態に係る半導体装置の製造工程を例示する図 (その 1 3) である。

[図2N] 第 1 の実施の形態に係る半導体装置の製造工程を例示する図 (その 1 4) である。

[図2O] 第 1 の実施の形態に係る半導体装置の製造工程を例示する図 (その 1 5) である。

[図2P] 第 1 の実施の形態に係る半導体装置の製造工程を例示する図 (その 1 6) である。

[図2Q] 第 1 の実施の形態に係る半導体装置の製造工程を例示する図 (その 1 7) である。

[図2R] 第 1 の実施の形態に係る半導体装置の製造工程を例示する図 (その 1 8) である。

[図2S] 第 1 の実施の形態に係る半導体装置の製造工程を例示する図 (その 1 9) である。

[図2T] 第 1 の実施の形態に係る半導体装置の製造工程を例示する図 (その 2 0) である。

[図2U] 第 1 の実施の形態に係る半導体装置の製造工程を例示する図 (その 2 1) である。

[図2V] 第 1 の実施の形態に係る半導体装置の製造工程を例示する図 (その 2 2) である。

[図2W] 第 1 の実施の形態に係る半導体装置の製造工程を例示する図 (その 2 3) である。

[図2X] 第 1 の実施の形態に係る半導体装置の製造工程を例示する図 (その 2 4) である。

[図3A] 第 1 の実施の形態の変形例 1 に係る半導体装置の製造工程を例示する

図（その 1）である。

[図3B] 第 1 の実施の形態の変形例 1 に係る半導体装置の製造工程を例示する

図（その 2）である。

[図3C] 第 1 の実施の形態の変形例 1 に係る半導体装置の製造工程を例示する

図（その 3）である。

[図3D] 第 1 の実施の形態の変形例 1 に係る半導体装置の製造工程を例示する

図（その 4）である。

[図3E] 第 1 の実施の形態の変形例 1 に係る半導体装置の製造工程を例示する

図（その 5）である。

[図3F] 第 1 の実施の形態の変形例 1 に係る半導体装置の製造工程を例示する

図（その 6）である。

[図3G] 第 1 の実施の形態の変形例 1 に係る半導体装置の製造工程を例示する

図（その 7）である。

[図3H] 第 1 の実施の形態の変形例 1 に係る半導体装置の製造工程を例示する

図（その 8）である。

[図3I] 第 1 の実施の形態の変形例 1 に係る半導体装置の製造工程を例示する

図（その 9）である。

[図3J] 第 1 の実施の形態の変形例 1 に係る半導体装置の製造工程を例示する

図（その 10）である。

[図4A] 第 1 の実施の形態の変形例 2 に係る半導体装置の製造工程を例示する

図（その 1）である。

[図4B] 第 1 の実施の形態の変形例 2 に係る半導体装置の製造工程を例示する

図（その 2）である。

[図4C] 第 1 の実施の形態の変形例 2 に係る半導体装置の製造工程を例示する

図（その 3）である。

[図4D] 第 1 の実施の形態の変形例 2 に係る半導体装置の製造工程を例示する

図（その 4）である。

[図5] 第 2 の実施の形態に係る半導体装置を例示する断面図（その 1）である

。

[図6A]第2の実施の形態に係る半導体装置の製造工程を例示する図（その1）である。

[図6B]第2の実施の形態に係る半導体装置の製造工程を例示する図（その2）である。

[図6C]第2の実施の形態に係る半導体装置の製造工程を例示する図（その3）である。

[図6D]第2の実施の形態に係る半導体装置の製造工程を例示する図（その4）である。

[図6E]第2の実施の形態に係る半導体装置の製造工程を例示する図（その5）である。

[図6F]第2の実施の形態に係る半導体装置の製造工程を例示する図（その6）である。

[図6G]第2の実施の形態に係る半導体装置の製造工程を例示する図（その7）である。

[図7]第2の実施の形態に係る半導体装置を例示する断面図（その2）である。

。

[図8]第3の実施の形態に係る半導体装置を例示する断面図である。

[図9A]第3の実施の形態に係る半導体装置の製造工程を例示する図（その1）である。

[図9B]第3の実施の形態に係る半導体装置の製造工程を例示する図（その2）である。

[図9C]第3の実施の形態に係る半導体装置の製造工程を例示する図（その3）である。

[図9D]第3の実施の形態に係る半導体装置の製造工程を例示する図（その4）である。

[図9E]第3の実施の形態に係る半導体装置の製造工程を例示する図（その5）である。

[図9F]第3の実施の形態に係る半導体装置の製造工程を例示する図（その6）である。

[図10]第4の実施の形態に係る半導体装置を例示する断面図である。

[図11A]第4の実施の形態に係る半導体装置の製造工程を例示する図（その1）である。

[図11B]第4の実施の形態に係る半導体装置の製造工程を例示する図（その2）である。

[図11C]第4の実施の形態に係る半導体装置の製造工程を例示する図（その3）である。

[図11D]第4の実施の形態に係る半導体装置の製造工程を例示する図（その4）である。

[図11E]第4の実施の形態に係る半導体装置の製造工程を例示する図（その5）である。

[図11F]第4の実施の形態に係る半導体装置の製造工程を例示する図（その6）である。

[図12]第5の実施の形態に係る半導体装置を例示する断面図である。

[図13A]第5の実施の形態に係る半導体装置の製造工程を例示する図（その1）である。

[図13B]第5の実施の形態に係る半導体装置の製造工程を例示する図（その2）である。

[図13C]第5の実施の形態に係る半導体装置の製造工程を例示する図（その3）である。

[図13D]第5の実施の形態に係る半導体装置の製造工程を例示する図（その4）である。

[図13E]第5の実施の形態に係る半導体装置の製造工程を例示する図（その5）である。

[図13F]第5の実施の形態に係る半導体装置の製造工程を例示する図（その6）である。

[図13G] 第5の実施の形態に係る半導体装置の製造工程を例示する図（その7）である。

[図13H] 第5の実施の形態に係る半導体装置の製造工程を例示する図（その8）である。

[図14] 第6の実施の形態に係る半導体装置を例示する断面図である。

発明を実施するための形態

[0012] 以下、図面を参照して発明を実施するための形態について説明する。なお、各図面において、同一構成部分には同一符号を付し、重複した説明を省略する場合がある。

[0013] 〈第1の実施の形態〉

[第1の実施の形態に係る半導体装置の構造]

始めに、第1の実施の形態に係る半導体装置の構造について説明する。図1は、第1の実施の形態に係る半導体装置を例示する断面図である。図1を参照するに、第1の実施の形態に係る半導体装置100は、半導体チップ110、半導体チップ210、半導体チップ310、及び半導体チップ410が積層された構造を有する。半導体チップ210～半導体チップ410の各側面は、それぞれ封止絶縁層である樹脂層255～455に封止されている。

[0014] 半導体チップ110～410は、それぞれ、基板本体120～420と、半導体集積回路130～430と、電極パッド150～450とを有する。基板本体120～420は、例えばシリコン等から構成されている。半導体集積回路130～430は、例えばシリコン等に拡散層（図示せず）、絶縁層（図示せず）、ビアホール（図示せず）、及び配線層（図示せず）等が形成されたものであり、基板本体120～420の一方の面側に設けられている。以降、半導体チップ110～410において、半導体集積回路130～430が設けられている側の面を主面又はデバイス面と称する場合がある。

[0015] 電極パッド150～450は、絶縁層（図示せず）を介して半導体集積回路130～430上に設けられている。電極パッド150～450は、半導

体集積回路130～430に設けられた配線層（図示せず）と電氣的に接続されている。電極パッド150～450としては、例えばTi層上にAu層を積層した積層体等を用いることができる。電極パッド150～450として、Ni層上にAu層を積層した積層体、Ni層上にPd層及びAu層を順次積層した積層体、Niの代わりにCo、Ta、Ti、TiN等の高融点金属からなる層を用い、同層上にCu層或いはAl層を積層した積層体或いはダマシン構造状の配線等を用いても構わない。

[0016] 半導体チップ110と半導体チップ210とは絶縁層である樹脂層160を介して接合されており、半導体チップ110の電極パッド150と半導体チップ210の電極パッド250とはビアホール210yに充填された金属層380を介して電氣的に接続されている。半導体チップ210と半導体チップ310とは絶縁層である樹脂層260を介して接合されており、半導体チップ210の電極パッド250と半導体チップ310の電極パッド350とはビアホール310yに充填された金属層480を介して電氣的に接続されている。半導体チップ310と半導体チップ410とは絶縁層である樹脂層360を介して接合されており、半導体チップ310の電極パッド350と半導体チップ410の電極パッド450とはビアホール410yに充填された金属層580を介して電氣的に接続されている。

[0017] なお、ビアホールは、半導体チップ間（上下に隣接する半導体チップ間には限らない）を接続するために設けられた接続孔であり、内部に金属層や光導波路等が形成されることで半導体チップ間を信号伝達可能に接続する。ビアホール内部に形成された金属層や光導波路等を接続部と称する場合がある。

[0018] 半導体チップ410の主面上には、絶縁層である開口部460xを有するソルダーレジスト層460が形成されており、開口部460x内に露出する電極パッド450上には外部接続端子910が形成されている。外部接続端子910は、半導体装置100と半導体装置100の外部に設けられた配線基板等とを電氣的に接続するために設けられた端子であり、電極パッド45

0と電氣的に接続されている。外部接続端子910としては、はんだボール、Auバンプ、導電性ペースト等を用いることができる。外部接続端子910として、はんだボールを用いた場合には、外部接続端子910の材料としては、例えば、Pbを含む合金、SnとCuの合金、SnとAgの合金、SnとAgとCuの合金等を用いることができる。

[0019] [第1の実施の形態に係る半導体装置の製造工程]

続いて、第1の実施の形態に係る半導体装置の製造工程について説明をする。図2A～図2Xは、第1の実施の形態に係る半導体装置の製造工程を例示する図である。

[0020] 始めに、図2Aに示す工程では、半導体ウェハをダイシングして個片化した複数の半導体チップ210を準備する。各半導体チップ210は薄型化されてなく、その厚さは、例えば600～800 μ m程度とすることができる。

[0021] 次いで、図2Bに示す工程では、支持体970を準備し、支持体970の一方の面に接着層960を形成する。支持体970としては、アライメント時に光が透過する基板を用いることが好ましく、例えば石英ガラスの基板等を用いることができる。接着層960としては、例えば後述する図2Gに示す工程において加熱する温度で軟化する接着剤（200 $^{\circ}$ C程度又はそれ以下で軟化する接着剤）を用いることができる。接着層960は、例えばスピンコート法により支持体970の一方の面に形成することができる。接着層960は、スピンコート法の代わりに、フィルム状の接着剤を貼り付ける方法等を用いて支持体970の一方の面に形成しても構わない。

[0022] 次いで、図2Cに示す工程では、支持体970の一方の面に、接着層960を介して、各半導体チップ210をフェイスダウン状態で接合（仮接着）する。各半導体チップ210は、後述する図2Gに示す工程で積層される半導体基板111のデバイスレイアウトに対応する位置に接合する。

[0023] 次いで、図2Dに示す工程では、接着層960上に、各半導体チップ210の少なくとも側面の一部を封止する樹脂層255を形成する。なお、この

工程では、後述する図 2 E に示す工程で各半導体チップ 210 を薄型化した後に、各半導体チップ 210 の側面が樹脂層 255 で完全に封止される位置まで、各半導体チップ 210 の側面を封止しておけば十分である。但し、各半導体チップ 210 の側面及び背面（デバイスが形成されていない側の面）を樹脂層 255 で封止しても構わない。この場合には、後述する図 2 E に示す工程において、各半導体チップ 210 の側面の一部及び背面を封止する樹脂層 255 を除去すると共に、各半導体チップ 210 を薄型化する。

[0024] 樹脂層 255 の材料としては、例えば主たる組成がベンゾシクロブテン（BCB）である熱硬化性の絶縁性樹脂を用いることができる。又、樹脂層 255 の材料として、主たる組成がエポキシ系樹脂、アクリル系樹脂、ポリイミド系樹脂である熱硬化性の絶縁性樹脂、およびシリカなどの固形微粉末を添加した絶縁性複合材料等を用いても構わない。樹脂層 255 は、例えばスピコート法により接着層 960 上に、例えば主たる組成がベンゾシクロブテン（BCB）である熱硬化性の絶縁性樹脂を塗布した後、あるいは塗布後スキージ処理後、所定の硬化温度上に加熱して硬化させることにより形成できる。なお、樹脂層 255 は、スピコート法の代わりに気相成長法を用いて形成しても構わないし、フィルム状の樹脂を貼り付ける方法を用いて形成しても構わない。

[0025] なお、樹脂層 255 は、再配線を行う際にリソグラフィを実施できる程度の平坦な表面を提供する機能、後述する図 5 に示すような樹脂層 255 を貫通するビアホールを形成する際の加工材料としての機能、個片化の際に半導体チップ 210 をダイサーのダメージから保護する機能、耐湿性を確保する機能等を有する。

[0026] 次いで、図 2 E に示す工程では、樹脂層 255 の不要部分、及び各半導体チップ 210 の背面側の基板本体 220 の一部をグラインダー等で研削し、各半導体チップ 210 を薄型化する。これにより、各半導体チップ 210 は薄型化されると共に、薄型化後の各半導体チップ 210 の側面は樹脂層 255 で封止される。この際、ドライポリッシングやウェットエッチング等を併

用しても構わない。薄型化後の各半導体チップ210の厚さは、例えば1 μ m ~ 100 μ m程度とすることができる。

[0027] 薄型化後の各半導体チップ210の厚さを1 μ m以上としなければならない理由は以下のとおりである。各半導体チップ210の背面で発生した欠陥や汚染がデバイスまで拡散しないためには、薄型化後の各半導体チップ210の厚さは、最低でも半導体集積回路230におけるトランジスタ等のデバイスの素子分離深さ（図示せず）の5倍以上必要であると考えられる。ここで、半導体集積回路230におけるトランジスタ等のデバイスの素子分離深さ（図示せず）は200~500 nm程度である。従って、薄型化後の各半導体チップ210の厚さは、前記素子分離深さの最低値200 nmの5倍である1 μ m以上としなければならない。

[0028] 次いで、図2Fに示す工程では、半導体基板111を準備し、半導体基板111の主面111a側に樹脂層160を形成する。半導体基板111は、複数の半導体チップ110と、複数の半導体チップ110を分離するスクライブ領域Bとを有する。スクライブ領域BにあるCは、ダイシングブレード等が半導体基板111を切断する位置（以下、「切断位置C」とする）を示している。半導体基板111の直径は、例えば6インチ（約150 mm）、8インチ（約200 mm）、又は12インチ（約300 mm）等である。半導体基板111の厚さは、例えば0.625 mm（直径6インチの場合）、0.725 mm（直径8インチの場合）、0.775 mm（直径12インチの場合）等である。

[0029] 前述のように、各半導体チップ110は、基板本体120と、半導体集積回路130と、電極パッド150とを有する。但し、この時点では、各半導体チップ110は薄型化されていない。樹脂層160の材料や形成方法については、前述の樹脂層255の場合と同様とすることができるため、その説明は省略する。

[0030] 図2Fに示す工程において、半導体基板111の背面111b（デバイスが形成されていない側の面）を基準面とし、基準面に対して樹脂層160の

面 160a (半導体基板 111の主面 111aと接していない側の面)が平行であることが好ましい。基準面に対して樹脂層 160の面 160aが平行でないと、例えば後述する図 2Kの工程でビアホール 210yが斜めに形成され、斜めに形成されたビアホール 210yに金属層 380等が形成されるため、積層された半導体チップ同士の接続信頼性が低下する等の問題が生じ得るからである。なお、この場合の平行とは、基準面に対する樹脂層 160の面 160aの高さH1のばらつきが $1\mu\text{m}$ 以下であることをいう。従って、樹脂層 160を形成した後、高さH1のばらつきを確認する工程を設けることが好ましい。高さH1のばらつきが $1\mu\text{m}$ を超えている場合には、高さH1のばらつきが $1\mu\text{m}$ 以下となるように樹脂層 160の面 160aを加工する工程を設けることが好ましい。樹脂層 160の面 160aは、例えばCMP等により加工(研削)することができる。

[0031] なお、既に最下層の半導体基板(第1層)上に $(n-1)$ 個の半導体チップが積層され、その最上層の半導体チップ(第n層)上に樹脂層を形成する場合には、最下層の半導体基板の背面(デバイスが形成されていない側の面)を基準面とし、基準面に対して樹脂層の上面が平行であることが好ましい。この場合の平行とは、基準面に対する樹脂層の上面の高さのばらつきが $(1 \times n)\mu\text{m}$ 以下であることをいう。すなわち、前述のように、1枚の半導体基板上に樹脂層を形成する場合は、基準面に対する樹脂層の上面の高さのばらつきは $1 \times 1 = 1\mu\text{m}$ 以下であることが好ましく、例えば9個の半導体チップを積層した半導体基板上に樹脂層を形成する場合は、基準面(最下層の半導体基板の背面)に対する樹脂層の上面の高さのばらつきは $1 \times 10 = 10\mu\text{m}$ 以下であることが好ましい。

[0032] 次いで、図 2Gに示す工程では、半導体基板 111の主面 111aに、樹脂層 160を介して、図 2Eに示す構造体を上下反転させて接合する。具体的には、最初に、図 2Eに示す構造体を、各半導体チップ 210の背面が、半導体基板 111の主面 111aに形成されている樹脂層 160と接するように配置する。各半導体チップ 210及び半導体基板 111には位置合わせ

を精度良く行うためのアライメントマークが予め形成されている。半導体基板 1 1 1 に対する図 2 E に示す構造体の配置は、アライメントマークを基準にして周知の方法で行うことができる。アライメントの精度は、例えば 2 μ m 以下とすることができる。

[0033] 次に、例えば 250°C で加熱した状態で、図 2 E に示す構造体を支持体 970 の方向から押圧し、図 2 E に示す構造体の各半導体チップ 210 の背面と樹脂層 160 の面 160 a とを圧着させる。これにより、樹脂層 160 は硬化し、図 2 E に示す構造体は半導体基板 111 の主面 111 a 側に接合される。加熱温度は 300°C 以上としてもよいが、200°C 以下とすることが望ましい。300°C のような高温を用いると熱膨張の違いにより応力が発生し、積層数を増やすに従い剥がれや半導体基板の割れの原因になるためである。

[0034] 次いで、図 2 H に示す工程では、図 2 G に示す接着層 960 及び支持体 970 を除去する。接着層 960 は図 2 G に示す工程において加熱する温度で軟化する接着剤（200°C 程度又はそれ以下で軟化する接着剤）を用いているため、支持体 970 は、樹脂層 160 を硬化させて図 2 E に示す構造体を半導体基板 111 の主面 111 a 側に接合した後、容易に除去できる。つまり、図 2 G に示す工程と図 2 H に示す工程は一連の工程である。

[0035] 次いで、図 2 I に示す工程では、各半導体チップ 210 の主面及び樹脂層 255 の上面を覆うように感光性のレジスト膜 270 を形成する。レジスト膜 270 は、例えば液状レジストを各半導体チップ 210 の主面及び樹脂層 255 の上面に塗布することにより形成する。レジスト膜 270 の厚さは、例えば 10 μ m 程度とすることができる。

[0036] 次いで、図 2 J に示す工程では、所定のマスクを介して図 2 I に示すレジスト膜 270 を露光し、次いで露光処理されたレジスト膜 270 を現像することで、レジスト膜 270 に開口部 270 x を形成する。なお、説明の便宜上、図 2 J ~ 図 2 U までは、図 2 I に示す構造体の一部分（電極パッド 150 及び電極パッド 250 近傍）のみを拡大して示すことにする。図 2 J にお

ける140及び240は、図2A～図2Iでは省略されていた半導体集積回路130及び半導体集積回路230上にそれぞれ設けられている絶縁層である。絶縁層140及び240は、例えば Si_3N_4 や SiO_2 等から構成されている。絶縁層140及び240の厚さは、それぞれ半導体集積回路130及び半導体集積回路230との電氣的絶縁が達成される例えば $0.1\mu\text{m}\sim 2.0\mu\text{m}$ 程度とすることができる。

[0037] 次いで、図2Kに示す工程では、各半導体チップ210にビアホール210yを形成する。ビアホール210yは、開口部270xに対応する部分の半導体チップ210（基板本体220、半導体集積回路230、絶縁層240、及び電極パッド250）及び樹脂層160を貫通し、半導体基板111の各半導体チップ110の電極パッド150が露出するように形成する。ビアホール210yは、例えばドライエッチング等により形成することができる。ビアホール210yは、例えば平面視円形であり、その直径 $\phi 1$ は、例えば $1\mu\text{m}\sim 30\mu\text{m}$ 程度とすることができる。ただし、ビアホール210yの直径 $\phi 1$ は、アスペクト比（＝深さD1／直径 $\phi 1$ ）が0.5以上5以下となるような値とすることが好ましい。ビアホール210yの直径 $\phi 1$ をアスペクト比（＝深さD1／直径 $\phi 1$ ）が0.5以上5以下となるような値とすることにより、ビアホール210yを形成する際のエッチングの加工速度（スループット）の向上や、ビアホール210yへの後述する金属層380の埋め込みやすさの向上等を実現できるからである。

[0038] 次いで、図2Lに示す工程では、図2Kに示すレジスト膜270を除去する。次いで、図2Mに示す工程では、絶縁層240の上面、電極パッド250の上面及び側面、ビアホール210yの壁面、ビアホール210yの底部に露出する電極パッド150の上面を覆うように絶縁層280を形成する。絶縁層280は、例えばプラズマCVD法等により形成することができる。絶縁層280の材料としては、例えば Si_3N_4 や SiO_2 等を用いることができる。絶縁層280の厚さは、例えば $0.1\mu\text{m}\sim 2.0\mu\text{m}$ とすることができる。

- [0039] 次いで、図 2 N に示す工程では、ビアホール 210 y の壁面を除く部分の絶縁層 280 を除去する。絶縁層 280 の除去は、例えば R I E (Reactive Ion Etching) により行うことができる。この工程は、フォトマスクを使用せずに絶縁層 280 の所定部分のみを除去する工程であり、セルフアラインプロセスと称される。セルフアラインプロセスにより、ビアホール 210 y と電極パッド 250 とを正確に位置決めすることができる。又、部分的に電極パッドを設けない設計を用いることで、例えば電極パッドの無いところはエッチングが進み、更に下層に設けた異なる半導体チップの電極パッドまでエッチングされ、深さの異なるビアホールを形成することができる。
- [0040] 次いで、図 2 O に示す工程では、絶縁層 240 の上面、電極パッド 250 の上面及び側面、絶縁層 280 の上面及び側面、ビアホール 210 y の底部に露出する電極パッド 150 の上面を覆うように金属層 290 を形成する。金属層 290 は、例えば無電解めっき法等により形成することができる。金属層 290 は、例えばスパッタ法、CVD 法等を用いて形成しても構わない。金属層 290 としては、例えば T i 層上に C u 層を積層した積層体等を用いることができる。金属層 290 として、例えば T a 層上に C u 層を積層した積層体等を用いても構わない。又、埋め込む材料は設計基準を満足する導体でよく、C u の代わりに W や A l、又はドープトポリシリコン、或いはカーボンナノチューブ等の炭素材料や導電性ポリマの何れかを用いることができる。又、絶縁層の絶縁性が十分である場合は、バイヤ金属層を用いない埋め込み配線の組み合わせを選ぶことができる。
- [0041] 次いで、図 2 P に示す工程では、ビアホール 210 y の内部を除く金属層 290 の上面を覆うように感光性のレジスト膜 370 を形成する。レジスト膜 370 は、例えばドライフィルムレジストを金属層 290 の上面に貼付することにより形成することができる。レジスト膜 370 の厚さは、例えば $10\ \mu\text{m}$ とすることができる。次いで、図 2 Q に示す工程では、所定のマスクを介して図 2 P に示すレジスト膜 370 を露光し、次いで露光処理されたレジスト膜 370 を現像することで、レジスト膜 370 に開口部 370 x を形

成する。開口部 370 x は、ビアホール 210 y 及びその周辺部の金属層 290 の上面を露出するように形成される。開口部 370 x は、例えば平面視円形であり、その直径 ϕ 2 は、例えば $1\ \mu\text{m} \sim 30\ \mu\text{m}$ とすることができる。

[0042] 次いで、図 2 R に示す工程では、図 2 Q に示すビアホール 210 y の内部及び開口部 370 x の一部に金属層 380 を形成する。金属層 380 は、例えば金属層 290 を給電層とする電解めっき法により、図 2 Q に示すビアホール 210 y の内部及び開口部 370 x の一部を充填するようにめっき膜を析出成長させることにより形成することができる。金属層 380 を構成するめっき膜としては、例えば Cu めっき膜を用いることができる。次いで、図 2 S に示す工程では、図 2 R に示すレジスト膜 370 を除去する。

[0043] 次いで、図 2 T に示す工程では、金属層 380 に覆われていない部分の金属層 290 を除去する。金属層 290 は、例えばウェットエッチング等により除去することができる。次いで図 2 U に示す工程では、電極パッド 250 及び金属層 380 を覆うように金属層 390 を形成する。金属層 390 は、例えば絶縁層 240 上に電極パッド 250 及び金属層 380 を開口するレジスト膜を形成し、電極パッド 250 及び金属層 380 を給電層とする電解めっき法により、開口部を充填するようにめっき膜を析出成長させ、その後レジスト膜を除去することにより形成することができる。金属層 390 としては、例えば Ti 層上に Au 層を積層した積層体等を用いることができる。金属層 390 として、例えば Ni 層上に Pd 層、Au 層を順次積層した積層体、Ni の代わりに Co、Ta、Ti、TiN 等の高融点金属からなる層を用い、同層上に Cu 層或いは Al 層を積層した積層体或いはダマシ構造状の配線等を用いても構わない。

[0044] 次いで、図 2 V に示す工程では、図 2 I ~ 図 2 U に示す工程を繰り返し、半導体チップ 310 及び 410 を積層する。ここでは、半導体基板 111 上に 3 層の半導体チップ 210、310、及び 410 を積層したが、半導体基板 111 上に積層する半導体チップは 1 層、2 層、又は 4 層以上であっても

構わない。又、各層に積層する半導体チップは、同一の機能を有するものであっても、異なる機能を有するものであっても構わない。

[0045] 次いで、図2Wに示す工程では、周知の方法で外部接続端子910を形成する。外部接続端子910を形成する場合には、金属層390として例えばNi層を形成する。そして、ソルダーレジスト層460にNi層を露出する開口部460xを形成し、更に、開口部460x内に露出するNi層上に外部接続端子910を形成する。外部接続端子910は、半導体装置100と半導体装置100の外部に設けられた配線基板等とを電氣的に接続するために設けられた端子である。外部接続端子910としては、はんだボール、Auバンプ、導電性ペースト等を用いることができる。外部接続端子910として、はんだボールを用いた場合には、外部接続端子910の材料としては、例えば、Pbを含む合金、SnとCuの合金、SnとAgの合金、SnとAgとCuの合金等を用いることができる。

[0046] 次いで、図2Xに示す工程では、半導体基板111の背面をグラインダー等で研削し、半導体基板111を薄型化する。この際、ドライポリッシングやウェットエッチング等を併用しても構わない。薄型化後の半導体基板111の厚さは、例えば1 μ m~100 μ m程度とすることができる。

[0047] 次いで、図2Xに示す工程の後、図2Xに示す構造体を、切断位置Cにおいてダイシングブレード等により切断して個片化することにより、図1に示す半導体装置100が製造される。

[0048] このように、第1の実施の形態によれば、主面側に半導体集積回路を有する複数の半導体チップが形成された半導体基板を準備し、準備した半導体基板の主面上に絶縁層を形成する。そして、主面側に半導体集積回路を有する個片化された半導体チップを、背面を前記絶縁層と対向させ、前記絶縁層を介して半導体基板に形成された半導体チップ上に積層する。そして、個片化された半導体チップを貫通するビアホールを形成し、個片化された半導体チップの電極パッドと半導体基板に形成された半導体チップの電極パッドとをビアホールに充填された金属層を介して電氣的に接続する。

[0049] このような工程を繰り返すことにより、半導体基板上に複数の半導体チップを積層し、異なる層の半導体チップ同士を信号伝達可能に接続することができる。その結果、半導体チップ同士を接続する際に、ビアホールにバンプを形成する工程が必要なくなるため、生産性が高く製造コストの低減を図ることが可能な半導体装置の製造方法を提供することができる。

[0050] 又、第1の実施の形態によれば、半導体集積回路が形成されている面と、半導体集積回路が形成されていない面とを対向させるように半導体チップ同士を接合するため、単純に同様の工程を繰り返すだけで半導体基板上に2層以上の半導体チップを積層することが可能となり、生産性が高く製造コストの低減を図ることが可能な半導体装置の製造方法を提供することができる。

[0051] 又、第1の実施の形態によれば、ビアホールは薄型化された半導体チップに形成され、深いビアホールを形成する必要がないため、ビアホールの孔加工や金属充填の時間が長くなったり、又、必要な材料が増えたりすることがなく、半導体装置の製造コストの上昇を防止することができる。

[0052] 又、第1の実施の形態によれば、半導体チップを極めて薄型化してからビアホールを形成するため、ビアホールのサイズや密度が異なってもビアホール先端部分の直径が変わる度合いを軽減することが可能となり、電氣的接続の際の抵抗値のばらつきを軽減し信頼性を向上することができる。

[0053] 又、第1の実施の形態によれば、半導体基板上に個片化された半導体チップを積層するため、異なるデバイスサイズの半導体チップ同士を容易に積層することができる。

[0054] 〈第1の実施の形態の変形例1〉

第1の実施の形態の変形例1では、予め薄型化した複数の半導体チップを支持体を用いずに半導体基板上に搭載し、半導体基板上で各半導体チップの主面及び側面を樹脂層で封止する例を示す。又、積層された半導体チップの電極間を、第1の実施の形態とは異なる方法で電氣的に接続する例を示す。なお、第1の実施の形態の変形例1において、既に説明した実施の形態と同一構成部品についての説明は省略する。

- [0055] 図3A～図3Jは、第1の実施の形態の変形例1に係る半導体装置の製造工程を例示する図である。
- [0056] 始めに、図3Aに示す工程では、半導体ウェハの背面をグラインダー等で研削して薄型化した後、ダイシングして個片化した複数の半導体チップ210を準備する。各半導体チップ210の厚さは、例えば $1\mu\text{m}\sim 100\mu\text{m}$ 程度とすることができる。
- [0057] 次いで、図3Bに示す工程では、図2Fに示す工程と同様にして、主面111a側に樹脂層160を形成した半導体基板111を準備する。そして、半導体基板111の主面111aに、樹脂層160を介して、各半導体チップ210を接合する。具体的には、最初に、図2Gに示す工程と同様にアライメントして、各半導体チップ210の背面が、半導体基板111の主面111aに形成されている樹脂層160と接するように配置する。次に、図2Gに示す工程と同様に加熱及び押圧し、各半導体チップ210の背面と樹脂層160の面160aとを圧着させる。これにより、樹脂層160は硬化し、各半導体チップ210は半導体基板111の主面111a側に接合される。
- [0058] 次いで、図3Cに示す工程では、図2Dに示す工程と同様にして、樹脂層160の面160aに、各半導体チップ210の主面及び側面を封止する樹脂層255を形成する。次いで、図3Dに示す工程では、樹脂層255の上面を覆うように感光性のレジスト膜270を形成する。レジスト膜270は、例えば液状レジストを樹脂層255の上面に塗布することにより形成する。レジスト膜270の厚さは、例えば $10\mu\text{m}$ 程度とすることができる。
- [0059] 次いで、図3Eに示す工程では、図2Jに示す工程と同様にして図3Dに示すレジスト膜270に開口部を形成し、図2Kに示す工程と同様にして各半導体チップ210にビアホール210yを形成する。その後、図2Lに示す工程と同様にして図3Dに示すレジスト膜270を除去する。なお、説明の便宜上、図3E～図3Jまでは、図3Dに示す構造体の一部分（電極パッド150及び電極パッド250近傍）のみを拡大して示すことにする。図3

Eにおける140及び240は、図3A～図3Dでは省略されていた、半導体集積回路130及び半導体集積回路230上に設けられている絶縁層である。

[0060] 次いで、図3Fに示す工程では、図3Eに示す樹脂層255上にレジスト膜（図示せず）を形成する。そして、レジスト膜に開口部（図示せず）を形成し、レジスト膜の開口部内に露出する樹脂層255を除去して開口部255xを形成する。その後、レジスト膜を除去する。この工程により、開口部255x内に電極パッド250が露出する。次いで、図3Gに示す工程では、図2Mに示す工程と同様にして絶縁層280を形成し、図2Nに示す工程と同様にしてビアホール210yの壁面を除く部分の絶縁層280を除去する。次いで、図3Hに示す工程では、図2Oに示す工程と同様にして、金属層290を形成する。

[0061] 次いで、図3Iに示す工程では、金属層290上に金属層385を形成する。金属層385は、例えば金属層290を給電層とする電解めっき法でめっき膜を析出成長させることにより形成することができる。金属層385を構成するめっき膜としては、例えばCuめっき膜を用いることができる。次いで、図3Jに示す工程では、樹脂層255上に形成されている金属層290及び385を除去する。金属層290及び385は、例えばCMP等により除去することができる。樹脂層255の表面と金属層290及び385の表面とは、略面一となる。

[0062] 次いで、図3Jに示す構造体上に樹脂層を形成した後、図3A～図3Jに示す工程を繰り返し、半導体チップ310及び410を積層する。そして、図2Wに示す工程と同様に周知の方法で外部接続端子910を形成した後、ダイシングブレード等により切断して個片化することにより、図1に対応する半導体装置が製造される。なお、図3E～図3Jに示す工程を、図2J～図2Uに示す工程に置換してもよい。

[0063] このように、第1の実施の形態の変形例1によれば、第1の実施の形態と同様の効果を奏するが、更に、以下の効果を奏する。すなわち、予め薄型化

した複数の半導体チップを半導体基板上に搭載し、半導体基板上で各半導体チップの主面及び側面を樹脂層で封止することにより、支持体を用いる必要がなくなるため、製造工程を簡略化することができる。

[0064] 〈第 1 の実施の形態の変形例 2〉

第 1 の実施の形態の変形例 2 では、予め薄型化した複数の半導体チップを支持体を用いずに半導体基板上に搭載し、第 1 の実施の形態の変形例 1 とは異なる方法により、半導体基板上で各半導体チップの側面を樹脂層で封止する例を示す。なお、第 1 の実施の形態の変形例 2 において、既に説明した実施の形態と同一構成部品についての説明は省略する。

[0065] 図 4 A ~ 図 4 D は、第 1 の実施の形態の変形例 2 に係る半導体装置の製造工程を例示する図である。

[0066] 始めに、図 4 A に示す工程では、図 2 F に示す工程と同様にして、主面 111 a 側に樹脂層 160 を形成した半導体基板 111 を準備する。そして、半導体基板 111 の主面 111 a に、樹脂層 160 を介して、枠部材 990 を接合する。枠部材 990 は、例えば、平面形状が円形の部材に、半導体チップ 210 を挿入可能な大きさの開口部 990 x を複数個形成したものである。枠部材 990 は、半導体チップ 210 と同程度の厚さとされている。枠部材 990 としては、例えば、シリコンやガラス等を用いることができる。

[0067] 次いで、図 3 A と同様の工程を実行後、図 4 B に示す工程では、半導体基板 111 の主面 111 a に接合された枠部材 990 の各開口部 990 x 内に、樹脂層 160 を介して、それぞれ半導体チップ 210 を接合する。具体的には、最初に、図 2 G に示す工程と同様にアライメントして、各半導体チップ 210 の背面が、半導体基板 111 の主面 111 a に形成されている樹脂層 160 と接するように配置する。次に、図 2 G に示す工程と同様に加熱及び押圧し、各半導体チップ 210 の背面と樹脂層 160 の面 160 a とを圧着させる。これにより、樹脂層 160 は硬化し、各半導体チップ 210 は半導体基板 111 の主面 111 a 側に接合される。又、各半導体チップ 210 の側面と枠部材 990 の各開口部 990 x の側面との間には、平面形状が額

縁状である隙間 990 y が形成される。

- [0068] 次いで、図 4 C に示す工程では、樹脂層 160 の面 160 a に、各半導体チップ 210 の側面を封止する樹脂層 255 を形成する。具体的には、例えば、ディスペンサー等を用いて各隙間 990 y に樹脂層 255 となる樹脂を充填し、充填した樹脂をガラス等からなる押圧部材 975 により半導体基板 111 側に押圧しながら所定の温度に加熱して樹脂を硬化させる。その後、押圧部材 975 を取り外す。
- [0069] なお、枠部材 990 を用いずに、隣接する半導体チップ 210 の側面間にディスペンサー等を用いて樹脂を塗布する方法も考えられるが、樹脂層 160 の外縁部に塗布された樹脂がだれて所望の形状の樹脂層が形成できない虞がある。そこで、枠部材 990 を用いることが好ましい。但し、開口部 990 x を有する枠部材 990 に代えて、樹脂層 160 の面 160 a の外縁部のみに配置される環状の枠部材を用いても構わない。つまり、全ての半導体チップ 210 を囲むような環状の枠部材を用いても構わない。
- [0070] 次いで、図 4 D に示す工程では、各半導体チップ 210 の主面、樹脂層 255 の上面、及び枠部材 990 の上面を覆うように感光性のレジスト膜 270 を形成する。レジスト膜 270 は、例えば液状レジストを各半導体チップ 210 の主面、樹脂層 255 の上面、及び枠部材 990 の上面に塗布することにより形成する。レジスト膜 270 の厚さは、例えば 10 μm 程度とすることができる。
- [0071] 次いで、図 3 E ~ 図 3 J と同様の工程を実行し、更に、図 3 J に示す構造体上に樹脂層を形成した後、図 3 A ~ 図 3 J に示す工程を繰り返し、半導体チップ 310 及び 410 を積層する。そして、図 2 W に示す工程と同様に周知の方法で外部接続端子 910 を形成した後、ダイシングブレード等により切断して個片化することにより、図 1 に対応する半導体装置が製造される。なお、図 3 E ~ 図 3 I に示す工程を、図 2 J ~ 図 2 U に示す工程に置換してもよい。
- [0072] このように、第 1 の実施の形態の変形例 2 によれば、第 1 の実施の形態及

び第 1 の実施の形態の変形例 1 と同様の効果を奏する。

[0073] 〈第 2 の実施の形態〉

第 2 の実施の形態では、積層された半導体チップの電極間を、樹脂層に形成した接続孔を介して電氣的に接続する例を示す。なお、第 2 の実施の形態において、既に説明した実施の形態と同一構成部品についての説明は省略する。

[0074] [第 2 の実施の形態に係る半導体装置の構造]

始めに、第 2 の実施の形態に係る半導体装置の構造について説明する。図 5 は、第 2 の実施の形態に係る半導体装置を例示する断面図である。図 5 を参照するに、第 2 の実施の形態に係る半導体装置 100 A は、接続孔であるビアホール 210 y が樹脂層 255 を貫通して形成され、半導体チップ 210 の電極パッド 250 と半導体チップ 110 の配線 155 とが、ビアホール 210 y 内及び樹脂層 255 上に形成された金属層 380 を介して電氣的に接続されている点を除いて、第 1 の実施の形態に係る半導体装置 100 (図 1 参照) と同様に構成される。配線 155 は、例えば Cu 等からなり、電極パッド 150 と電氣的に接続されている。

[0075] [第 2 の実施の形態に係る半導体装置の製造工程]

続いて、第 2 の実施の形態に係る半導体装置の製造工程について説明をする。図 6 A ~ 図 6 G は、第 2 の実施の形態に係る半導体装置の製造工程を例示する図である。

[0076] 始めに、第 1 の実施の形態の図 2 A から図 2 E と同様の工程を実行後、図 6 A に示す工程では、図 2 F に示す工程と同様に半導体基板 111 を準備し、半導体基板 111 の主面 111 a 側に樹脂層 160 を形成する。なお、図 6 A では、半導体基板 111 において、図 2 F では省略されていた配線 155 を図示している点が図 2 F と相違する。配線 155 は、例えば Cu 等からなり、電極パッド 150 と電氣的に接続されている。

[0077] 次いで、第 1 の実施の形態の図 2 G から図 2 I と同様の工程を実行後、図 6 B に示す工程では、所定のマスクを介して図 2 I に示すレジスト膜 270

を露光し、次いで露光処理されたレジスト膜 270 を現像することで、レジスト膜 270 に開口部 270 x を形成する。但し、図 2 J に示す工程では、開口部 270 x は電極パッド 250 上に形成したが、本工程では、半導体基板 111 の配線 155 上に形成する。なお、説明の便宜上、図 6 B ~ 図 6 G までは、図 6 A に示す構造体の一部分（電極パッド 150、配線 155、及び電極パッド 250 近傍）のみを拡大して示すことにする。

[0078] 次いで、図 6 C に示す工程では、図 2 K に示す工程と同様にして、各半導体チップ 210 にビアホール 210 y を形成する。但し、本工程では、半導体基板 111 の配線 155 の上面を露出するようにビアホール 210 y を形成する。その後、図 2 L に示す工程と同様にして図 6 B に示すレジスト膜 270 を除去する。次いで、図 6 D に示す工程では、図 2 M に示す工程と同様にして絶縁層 280 を形成し、図 2 N に示す工程と同様にしてビアホール 210 y の壁面を除く部分の絶縁層 280 を除去する。

[0079] 次いで、図 6 E に示す工程では、図 2 O に示す工程と同様にして、金属層 290 を形成する。そして、図 2 P 及び図 2 Q に示す工程と同様にして、ビアホール 210 y 及び電極パッド 250 を含む領域を露出する開口部 370 x を有するレジスト膜 370 を形成する。次いで、図 6 F に示す工程では、図 2 R に示す工程と同様にして、図 6 E に示すビアホール 210 y の内部及び開口部 370 x の一部に金属層 380 を形成する。

[0080] 次いで、図 6 G に示す工程では、図 6 F に示すレジスト膜 370 を除去した後、図 2 T に示す工程と同様にして金属層 380 に覆われていない部分の金属層 290 を除去する。そして、図 2 U に示す工程と同様にして、金属層 380 を覆うように金属層 390 を形成する。次いで、図 2 V ~ 図 2 X と同様な工程を実行し、更に切断位置 C においてダイシングブレード等により切断して個片化することにより、図 5 に示す半導体装置 100 A が製造される。

[0081] なお、図 7 に示す半導体装置 100 B のように、半導体チップ 210 と半導体チップ 310 との間、及び半導体チップ 310 と半導体チップ 410 と

の間を、図6B～図6Gと同様の工程を実行して、それぞれ樹脂層355及び455に形成したビアホール310y及び410yを介して電氣的に接続してもよい。又、同一の層に、半導体チップを貫通するビアホールと、樹脂層を貫通するビアホールが混在してもよい。

[0082] このように、第2の実施の形態によれば、第1の実施の形態と同様の効果を奏するが、更に、以下の効果を奏する。すなわち、積層された半導体チップの電極間を、樹脂層に形成したビアホールを介して電氣的に接続することにより、半導体チップ内にビアホールを形成できない場合であっても、半導体チップを迂回して下層の半導体チップと電氣的に接続することが可能となり、配線設計の自由度を向上することができる。

[0083] 〈第3の実施の形態〉

[第3の実施の形態に係る半導体装置の構造]

始めに、第3の実施の形態に係る半導体装置の構造について説明する。図8は、第3の実施の形態に係る半導体装置を例示する断面図である。第3の実施の形態に係る半導体装置100Cは、上下に隣接する半導体チップの金属パッド同士を接続するビアホール及び金属層が、1個から4個に変更された点を除いて、第1の実施の形態に係る半導体装置100（図1参照）と同様に構成される。

[0084] 図8において、210z～410zはビアホールを、380a～580aはビアホール210z～410zを充填する金属層を示している。ビアホール及び金属層は、各半導体チップの1個の金属パッドに対して4個ずつ設けられている。

[0085] このように、1つの金属パッドに対して複数個のビアホール及び金属層を設けることにより、金属パッド同士の接続信頼性を向上することができる。又、直下の半導体基板に金属パッドを設計しなければ、一つ以上の下層の半導体基板に対しビアホールおよび金属層を設けることができる。この方式では、同じ電気信号、あるいは異なる電気信号を所望の半導体基板に接続することができる。又、ビアホール径が小さくなるため、ビアホール及び金属層

を設ける工程に要する時間を短縮することができる。なお、1個の金属パッドに対して設けられるビアホール及び金属層の数は、2個、3個又は5個以上であっても構わない。

[0086] [第3の実施の形態に係る半導体装置の製造工程]

続いて、第3の実施の形態に係る半導体装置の製造工程について説明をする。図9A～図9Fは、第3の実施の形態に係る半導体装置の製造工程を例示する図である。なお、第1の実施の形態に係る半導体装置の製造工程と類似する部分に関しては、説明を省略する場合がある。

[0087] 始めに、図2A～図2Iと同様の工程を行う。次いで、図9A及び図9Bに示す工程では、所定のマスクを介して図2Iに示すレジスト膜270を露光し、次いで露光処理されたレジスト膜270を現像することで、レジスト膜270に開口部270yを形成する。図9Aは断面図であり、図9Bは平面図である。なお、説明の便宜上、図9A～図9Fまでは、図2Iに示す構造体の一部分（電極パッド150及び電極パッド250近傍）のみを拡大して示すことにする。

[0088] 次いで、図9Cに示す工程では、半導体チップ210にビアホール210zを形成する。ビアホール210zは、開口部270yに対応する部分の半導体チップ210（基板本体220、半導体集積回路230、絶縁層240、及び電極パッド250）及び樹脂層160を貫通し、半導体チップ110の電極パッド150が露出するように形成する。ビアホール210zは、例えばドライエッチング等により形成することができる。ビアホール210zは、例えば平面視円形であり、その直径 $\phi 3$ は、例えば $1\mu\text{m}\sim 10\mu\text{m}$ とすることができる。ただし、ビアホール210zの直径 $\phi 3$ は、アスペクト比（＝深さD2／直径 $\phi 3$ ）が0.5以上5以下となるような値とすることが好ましい。ビアホール210zの直径 $\phi 3$ をアスペクト比（＝深さD2／直径 $\phi 3$ ）が0.5以上5以下となるような値とすることにより、ビアホール210zを形成する際のエッチングの加工速度（スループット）の向上や、ビアホール210zへの金属層380aの埋め込みやすさの向上等を実現

できるからである。

[0089] 次いで、図9Dに示す工程では、図9Cに示すレジスト膜270を除去する。次いで、図2M~図2Sと同様な工程を行い、図9Eに示すようにビアホール210zに金属層380aを充填する。次いで、金属層380aに覆われていない部分の金属層290を、例えばウェットエッチング等により除去した後、図9Fに示すように、電極パッド250及び金属層380aを覆うように金属層390を形成する。金属層390は、例えば絶縁層240上に電極パッド250及び金属層380aを開口するレジスト膜を形成し、電極パッド250及び金属層380aを給電層とする電解めっき法により、開口部を充填するようにめっき膜を析出成長させ、その後レジスト膜を除去することにより形成することができる。

[0090] 以降、第1の実施の形態と同様の工程を繰り返すことにより、図8に示す半導体装置100Cが製造される。

[0091] このように、第3の実施の形態によれば、第1の実施の形態と同様の効果を奏するが、更に、以下の効果を奏する。すなわち、ビアホール径が小さくなるため、ビアホール及び金属層を設ける工程に要する時間を短縮することができるとともに、1つの金属パッドに対して複数個のビアホール及び金属層を設けることにより金属パッド同士の接続信頼性を向上することができる。

[0092] 〈第4の実施の形態〉

[第4の実施の形態に係る半導体装置の構造]

始めに、第4の実施の形態に係る半導体装置の構造について説明する。図10は、第4の実施の形態に係る半導体装置を例示する断面図である。第4の実施の形態に係る半導体装置100Dは、第3の実施の形態に係る半導体装置100Cでは4個のビアホール及び金属層に対して1個設けられていた金属パッドを、1個のビアホール及び金属層に対して1個設けるようにした点を除いて、第3の実施の形態に係る半導体装置100Cと同様に構成される。

[0093] 図10において、150a及び150b~450a及び450bは金属パ

ッドを示している。金属パッドは、1個のビアホール及び金属層に対して1個設ずつ設けられている。

[0094] このように、1つの金属パッドに対して1個のビアホール及び金属層を設けることにより、隣接する金属パッドに同一の信号を割り当てた場合には、第3の実施の形態と同様に金属パッド同士の接続信頼性を向上することができる。又、隣接する金属パッドに異なる信号を割り当てた場合には、配線設計の自由度を高めることができる。

[0095] [第4の実施の形態に係る半導体装置の製造工程]

続いて、第4の実施の形態に係る半導体装置の製造工程について説明をする。図11A～図11Fは、第4の実施の形態に係る半導体装置の製造工程を例示する図である。なお、第1の実施の形態又は第2の実施の形態に係る半導体装置の製造工程と類似する部分に関しては、説明を省略する場合がある。

[0096] 始めに、図2A～図2Iと同様の工程を行う。次いで、図11A及び図11Bに示す工程では、所定のマスクを介して図2Iに示すレジスト膜270を露光し、次いで露光処理されたレジスト膜270を現像することで、レジスト膜270に開口部270yを形成する。図11Aは断面図であり、図11Bは平面図である。なお、説明の便宜上、図11A～図11Fまでは、図2Iに示す構造体の一部分（電極パッド150及び電極パッド250近傍）のみを拡大して示すことにする。

[0097] 次いで、図11Cに示す工程では、半導体チップ210にビアホール210zを形成する。ビアホール210zは、開口部270yに対応する部分の半導体チップ210（基板本体220、半導体集積回路230、絶縁層240、及び電極パッド250）及び樹脂層160を貫通し、半導体チップ110の電極パッド150a及び150bが露出するように形成する。ビアホール210zは、例えばドライエッチング等により形成することができる。ビアホール210zは、例えば平面視円形であり、その直径 ϕ 3は、例えば1 μ m～10 μ mとすることができる。ただし、ビアホール210zの直径 ϕ

3は、アスペクト比（＝深さD2／直径φ7）が0.5以上5以下となるような値とすることが好ましい。ビアホール21zの直径φ7をアスペクト比（＝深さD2／直径φ7）が0.5以上5以下となるような値とすることにより、ビアホール210zを形成する際のエッチングの加工速度（スループット）の向上や、ビアホール210zへの金属層380bの埋め込みやすさの向上等を実現できるからである。

[0098] 次いで、図11Dに示す工程では、図11Cに示すレジスト膜270を除去する。次いで、図2M～図2Sと同様な工程を行い、図11Eに示すようにビアホール210zに金属層380bを充填する。次いで、金属層380bに覆われていない部分の金属層290を、例えばウェットエッチング等により除去した後、図11Fに示すように、電極パッド250及び金属層380bを覆うように金属層390aを形成する。金属層390aは、例えば絶縁層240上に電極パッド250及び金属層380bを開口するレジスト膜を形成し、電極パッド250及び金属層380bを給電層とする電解めっき法により、開口部を充填するようにめっき膜を析出成長させ、その後レジスト膜を除去することにより形成することができる。

[0099] 以降、第1の実施の形態と同様の工程を繰り返すことにより、図10に示す半導体装置100Dが製造される。

[0100] このように、第4の実施の形態によれば、第1の実施の形態と同様の効果を奏するが、更に、以下の効果を奏する。すなわち、隣接する金属パッドに同一の信号を割り当てた場合には、第3の実施の形態と同様に金属パッド同士の接続信頼性を向上することができる。又、隣接する金属パッドに異なる信号を割り当てた場合には、配線設計の自由度を高めることができる。

[0101] 〈第5の実施の形態〉

[第5の実施の形態に係る半導体装置の構造]

始めに、第5の実施の形態に係る半導体装置の構造について説明する。図12は、第5の実施の形態に係る半導体装置を例示する断面図である。第5の実施の形態に係る半導体装置100Eは、第4の実施の形態に係る半導体

装置 100D では全ての半導体チップの全てのビアホールに対応する位置に設けられていた金属パッドを、一部設けないようにし、金属パッドが設けられた半導体チップ同士をビアホール及び金属層で直接接続している点を除いて、第 4 の実施の形態に係る半導体装置 100D と同様に構成される。

[0102] このように、金属パッドを一部の半導体チップのみに設けることにより、隣接していない半導体チップ同士をビアホール及び金属層で直接接続することができるため、配線設計の自由度を高めることができる。

[0103] [第 5 の実施の形態に係る半導体装置の製造工程]

続いて、第 5 の実施の形態に係る半導体装置の製造工程について説明をする。図 13A ~ 図 13H は、第 5 の実施の形態に係る半導体装置の製造工程を例示する図である。なお、第 1 の実施の形態から第 4 の実施の形態に係る半導体装置の製造工程と類似する部分に関しては、説明を省略する場合がある。

[0104] 始めに、図 2A ~ 図 2I と同様の工程を行う。次いで、図 13A 及び図 13B に示す工程では、所定のマスクを介して図 2I に示すレジスト膜 270 を露光し、次いで露光処理されたレジスト膜 270 を現像することで、レジスト膜 270 に開口部 270z を形成する。図 13A は断面図であり、図 13B は平面図である。なお、説明の便宜上、図 13A ~ 図 13H までは、図 2I に示す構造体の一部分（電極パッド 150 及び電極パッド 250b 近傍）のみを拡大して示すことにする。

[0105] 次いで、図 13C に示す工程では、半導体チップ 210 にビアホール 210z を形成する。ビアホール 210z は、開口部 270z に対応する部分の半導体チップ 210（基板本体 220、半導体集積回路 230、絶縁層 240、及び電極パッド 250b）及び樹脂層 160 を貫通し、半導体チップ 110 の電極パッド 150a 及び 150b が露出するように形成する。ビアホール 210z は、例えばドライエッチング等により形成することができる。ビアホール 210z は、例えば平面視円形であり、その直径 $\phi 3$ は、例えば $1\mu\text{m} \sim 10\mu\text{m}$ とすることができる。ただし、ビアホール 210z の直径

φ3は、アスペクト比（＝深さD2／直径φ3）が0.5以上5以下となるような値とすることが好ましい。ビアホール210zの直径φ3をアスペクト比（＝深さD2／直径φ7）が0.5以上5以下となるような値とすることにより、ビアホール210zを形成する際のエッチングの加工速度（スループット）の向上や、ビアホール210zへの金属層380bの埋め込みやすさの向上等を実現できるからである。

[0106] 次いで、図13Dに示す工程では、図13Cに示すレジスト膜270を除去する。次いで、図2M～図2Nと同様な工程を行った後、図13Eに示すように、絶縁層240の上面、電極パッド250bの上面及び側面、絶縁層280の上面、ビアホール210zの底部に露出する電極パッド150a及び150bの上面を覆うように金属層290を形成する。金属層290は、例えば無電解めっき法等により形成することができる。金属層290は、例えばスパッタ法、CVD法等を用いて形成しても構わない。金属層290としては、例えばTi層上にCu層を積層した積層体等を用いることができる。金属層290として、例えばTa層上にCu層を積層した積層体等を用いても構わない。又、埋め込む材料は設計基準を満足する導体でよく、Cuの代わりにWやAl、又はドープトポリシリコン、或いはカーボンナノチューブ等の炭素材料や導電性ポリマのいずれかを用いることができる。又、絶縁層の絶縁性が十分である場合は、バイヤ金属層を用いない埋め込み配線の組み合わせを選ぶことができる。

[0107] 次いで図13Fに示す工程では、ビアホール210zの内部を除く金属層290の上面を覆うように感光性のレジスト膜370を形成する。レジスト膜370は、例えばドライフィルムレジストを金属層290の上面に貼付することにより形成することができる。レジスト膜270の厚さは、例えば10μmとすることができる。その後、所定のマスクを介してレジスト膜370を露光し、次いで露光処理されたレジスト膜370を現像することで、レジスト膜370に開口部370yを形成する。開口部370yは電極パッド250bが形成されている部分に対応するビアホール210z上のみ形成

される。

[0108] 次いで、図 2 R～図 2 T と同様な工程を行い、図 1 3 G に示すように、金属層 3 8 0 b に覆われていない部分の金属層 2 9 0 を除去する。次いで図 1 3 H に示す工程では、電極パッド 2 5 0 b 及び金属層 3 8 0 b を覆うように金属層 3 9 0 a を形成する。金属層 3 9 0 a は、例えば絶縁層 2 4 0 上に電極パッド 2 5 0 b 及び金属層 3 8 0 b を開口するレジスト膜を形成し、電極パッド 2 5 0 b 及び金属層 3 8 0 b を給電層とする電解めっき法により、開口部を充填するようにめっき膜を析出成長させ、その後レジスト膜を除去することにより形成することができる。

[0109] 以降、第 1 の実施の形態と同様の工程を繰り返すことにより、図 1 2 に示す半導体装置 1 0 0 E が製造される。なお、金属層が充填されていないビアホールは、電極パッドを有する半導体チップを積層した後に、第 1 の実施の形態と同様な方法により充填される。

[0110] なお、金属パッドをどの半導体基板のどの位置に設け、どの位置に設けないかは、任意に決定することができ、図 1 2 に例示した態様には限定されない。

[0111] このように、第 5 の実施の形態によれば、第 1 の実施の形態と同様の効果を奏するが、更に、以下の効果を奏する。すなわち、全ての半導体チップの全てのビアホールに対応する位置に設けられていた金属パッドを、一部設けないようにすることにより、隣接していない半導体チップ同士をビアホール及び金属層で直接接続することができるため、配線設計の自由度を高めることができる。

[0112] 〈第 6 の実施の形態〉

第 1 ～第 5 の実施の形態では、半導体基板上に半導体チップを積層し、異なる層の半導体チップ同士を信号伝達可能に接続する半導体装置の製造方法を例示した。しかしながら、積層する層は半導体チップでなくてもよく、半導体チップを有しない構造層を一部に含んでも構わない。そこで、第 6 の実施の形態では、半導体チップを有しない構造層を含む半導体装置の製造

方法を例示する。ここで、構造層とは、シリコン基板、金属層、絶縁層等を含む半導体チップを有しない全ての層を指すものとする。

[0113] [第6の実施の形態に係る半導体装置の構造]

始めに、第6の実施の形態に係る半導体装置の構造について説明する。図14は、第6の実施の形態に係る半導体装置を例示する断面図である。第6の実施の形態に係る半導体装置100Fは、図1に示す第1の実施の形態に係る半導体装置100の樹脂層360と半導体チップ410との間に構造層810及び樹脂層860を設けた点を除いて、半導体装置100（図1参照）と同様に構成される。

[0114] 図14に示す半導体装置100Fにおいて、構造層810は、樹脂層360を介して半導体チップ310上に積層され、半導体チップ410は樹脂層860を介して構造層810上に積層されている。構造層810には、半導体チップ310と410とを電氣的に接続するためのビアホール（図示せず）や金属層（図示せず）等が設けられている。樹脂層860としては、樹脂層160等と同様の材料を用いることができる。

[0115] 構造層810は、半導体チップを有しないシリコン基板810cと、絶縁膜810dと、溝810xとを有する。溝810xはシリコン基板810cの半導体チップ410側に設けられ、溝810xを含むシリコン基板810cの表面には、例えば Si_3N_4 や SiO_2 等から構成されている絶縁膜810dが形成されている。シリコン基板810cは、絶縁膜810dにより、隣接する半導体チップ410と絶縁されている。溝810xには例えば水やエタノール等の冷却媒体が充填されており、溝810xは冷媒流路として機能する。溝810xの形状や形成位置は任意で構わない。

[0116] このように、半導体装置において積層する層は半導体チップには限定されず、半導体チップを有しない構造層を一部に含んでも構わない。半導体装置において積層する構造層に、例えば冷媒流路を有するシリコン基板を含めることにより、半導体チップで発生する熱を放熱する冷却機能を持たせることができる。冷却機能を有する構造層は、特にCPU等の発熱の大きなデバイ

スを含む半導体チップに隣接して設けると有効である。なお、半導体装置は、半導体チップを有しない構造層を複数層含んでも構わない。

[0117] [第6の実施の形態に係る半導体装置の製造工程]

続いて、第6の実施の形態に係る半導体装置の製造工程について説明をする。

[0118] 始めに、構造層810を準備する。具体的には、シリコン基板810cを所定の外径に加工し、一方の面に溝810xを形成する。溝810xは、例えばDRIE (Deep Reactive Ion Etching) 等により形成することができる。そして、溝810xを含むシリコン基板810cの表面に絶縁膜810dを形成する。絶縁膜810dは、例えばプラズマCVD法等により形成することができる。以上の工程により、構造層810が完成する。

[0119] 次に、図2A~図2Xと同様の工程により、半導体チップ110から半導体チップ310、樹脂層360、構造層810、樹脂層860及び半導体チップ410を順次積層しビアホールや金属層等を形成することにより、半導体装置100Fが完成する。

[0120] 以上、半導体チップを有しないシリコン基板を含む構造層を含む半導体装置の製造方法を例示したが、構造層は半導体チップを有しないシリコン基板以外に、Cu等の金属層やエポキシ樹脂等の絶縁層を含んでも構わないし、MEMSを有する構造であっても構わない。MEMSの一例としては、圧力センサや加速度センサ等を挙げることができる。

[0121] このように、第6の実施の形態によれば、第1の実施の形態と同様の効果を奏するが、更に、以下の効果を奏する。すなわち、半導体装置に半導体チップを有しない構造層を設けることにより、半導体チップで発生する熱を放熱する冷却機能等を実現することができる。

[0122] 以上、本発明の好ましい実施の形態及びその変形例について詳説したが、本発明は、上述した実施の形態及びその変形例に制限されることはなく、本発明の範囲を逸脱することなく、上述した実施の形態に種々の変形及び置換を加えることができる。

- [0123] 例えば、各実施の形態では、平面視円形の半導体基板（シリコンウェハ）を用いた場合を例にとり説明を行ったが、半導体基板は平面視円形に限定されず、例えば平面視長方形等のパネル状のものを用いても構わない。
- [0124] 又、半導体チップが積層される半導体基板に代えて、半導体チップを有しない構造層を含む基板を用いてもよい。
- [0125] 又、半導体集積回路が形成されている基板の材料はシリコンに限定されず、例えばゲルマニウムやサファイア等を用いても構わない。
- [0126] 又、各実施の形態では、積層された半導体チップ同士をビアホール内に形成された金属層を介して電気信号により接続する例を示したが、積層された半導体チップ同士の接続は電気信号には限定されず、例えば光信号により接続しても構わない。この際、ビアホール内には金属層に代えて光導波路を形成すればよい。
- [0127] 又、各実施の形態では、半導体チップに電極パッドを形成してからビアホールを形成する例を示したが、ビアホールを形成してから電極パッドを形成しても構わない。又、ビアホールを充填した金属層の上面をCMP（Chemical Mechanical Polishing）等で削る工程（ダマシン工程）を設けても構わない。
- [0128] 又、各実施の形態で説明した電極パッドとビアホールの接続形態は、一つの半導体装置内に混在していても構わない。
- [0129] 又、第2の実施の形態から第6の実施の形態に対して、第1の実施の形態の変形例と同様な変形を加えても構わない。

符号の説明

- [0130] 100, 100A, 100B, 100C, 100D, 100E, 100F
半導体装置
- 111 半導体基板
 - 111a 主面
 - 111b 背面
 - 160a 面

- 120, 220, 320, 420 基板本体
- 130, 230, 330, 430 半導体集積回路
- 140, 240, 280 絶縁層
- 150, 150a, 150b, 250, 250a, 250b, 350, 350a, 350b, 450, 450a, 450b 電極パッド
- 155 配線
- 160, 255, 260, 355, 360, 455, 460, 860 樹脂層
- 210y, 210z, 310y, 310z, 410y, 410z ビアホール
- 270, 370 レジスト膜
- 290, 380, 380a, 390, 390a, 380b, 385, 480, 480a 金属層
- 270x, 270y, 270z, 370x, 370y, 460x, 990x 開口部
- 810 構造層
- 810c シリコン基板
- 810d 絶縁膜
- 810x 溝
- 910 外部接続端子
- 960 接着層
- 970 支持体
- 975 押圧部材
- 990 枠部材
- 990y 隙間
- B スクライブ領域
- C 切断位置
- D1、D2 深さ

H 1 高さ

ϕ 1 ~ ϕ 3 直径

請求の範囲

[請求項1]

主面側に半導体集積回路を有する複数の半導体チップが形成された半導体基板に、個片化された半導体チップを積層し、異なる層の半導体チップ同士を信号伝達可能に接続し、その後積層された前記半導体チップ部分を個片化する半導体装置の製造方法であって、

前記半導体基板の前記主面上に絶縁層を形成する第1工程と、

主面側に半導体集積回路を有する個片化された半導体チップを、前記主面と反対側の面を前記絶縁層と対向させ、前記絶縁層を介して前記半導体基板に形成された半導体チップ上に積層する第2工程と、

前記個片化された半導体チップに前記主面から前記主面と反対側の面に貫通するビアホールを形成する第3工程と、

前記ビアホールを介して、前記個片化された半導体チップと前記半導体基板に形成された半導体チップとの間の信号伝達を可能にする接続部を形成する第4工程と、を有することを特徴とする半導体装置の製造方法。

[請求項2]

前記第3工程よりも前に、前記個片化された半導体チップの少なくとも側面の一部を封止する封止絶縁層を形成する第5工程と、

前記第4工程よりも後に、前記個片化された半導体チップ上に第2の絶縁層を形成する第6工程と、

主面側に半導体集積回路を有する個片化された他の半導体チップを準備し、前記主面と反対側の面を前記第2の絶縁層と対向させ、前記第2の絶縁層を介して前記個片化された半導体チップ上に積層する第7工程と、

前記個片化された他の半導体チップに前記主面から前記主面と反対側の面に貫通するビアホールを形成する第8工程と、

前記ビアホールを介して、前記個片化された他の半導体チップと前記個片化された半導体チップとの間の信号伝達を可能にする接続部を形成する第9工程と、を有することを特徴とする請求項1記載の半導

体装置の製造方法。

[請求項3] 前記第3工程及び前記第4工程に代えて、又は、前記第3工程及び前記第4工程に加えて、

前記封止絶縁層を貫通するビアホールを形成し、前記封止絶縁層を貫通するビアホールを介して、異なる層の半導体チップ同士を信号伝達を可能にする接続部を形成する第10工程を有することを特徴とする請求項2記載の半導体装置の製造方法。

[請求項4] 前記第5工程は、

前記第2工程よりも後に、前記個片化された半導体チップの少なくとも側面を封止する封止絶縁層を形成する工程であることを特徴とする請求項2記載の半導体装置の製造方法。

[請求項5] 前記第5工程は、

前記第2工程よりも後に、前記絶縁層の外縁部に前記個片化された半導体チップを囲む枠部材を設け、前記枠部材と前記個片化された半導体チップとが形成する隙間に樹脂を充填して、前記個片化された半導体チップの少なくとも側面を封止する封止絶縁層を形成する工程であることを特徴とする請求項2記載の半導体装置の製造方法。

[請求項6] 前記第5工程は、

前記第2工程よりも前に、前記個片化された半導体チップの前記主面を、接着層を介して支持体上に仮固定する工程と、

前記支持体上に仮固定された前記個片化された半導体チップの少なくとも前記側面の一部を封止する封止絶縁層を形成する工程と、を含み、

前記第2工程は、

前記封止絶縁層から露出する前記主面と反対側の面を前記絶縁層と対向させ、前記絶縁層を介して前記半導体基板に形成された半導体チップ上に積層する工程と、

前記接着層及び前記支持体を除去する工程と、を含むことを特徴と

する請求項 2 記載の半導体装置の製造方法。

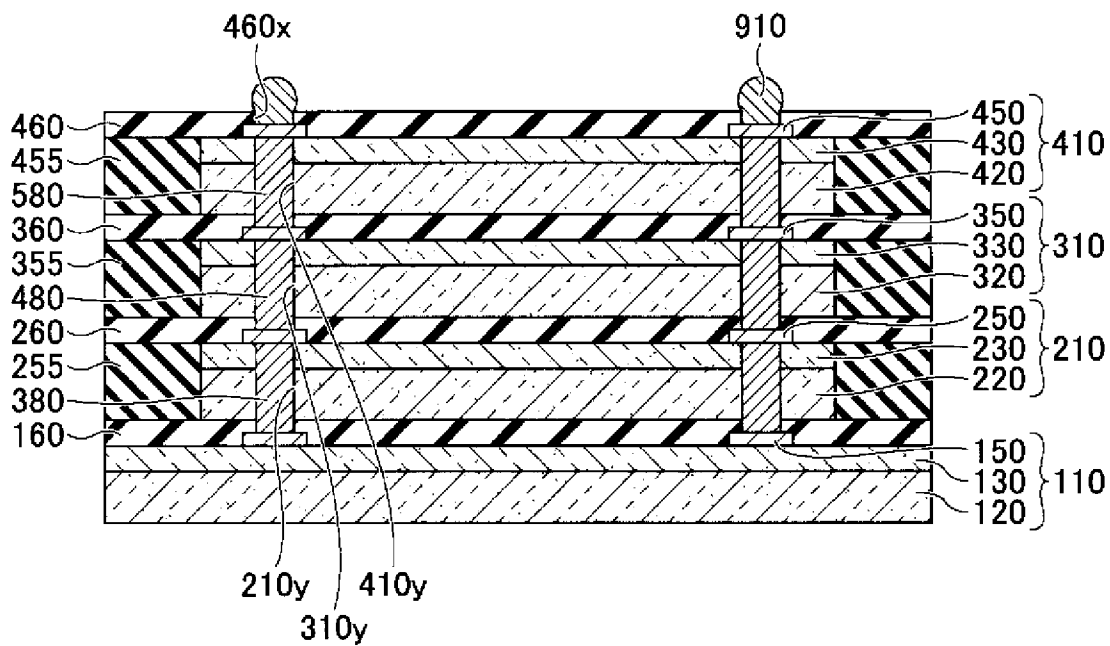
- [請求項7] 前記半導体基板、前記個片化された半導体チップ、前記個片化された他の半導体チップの少なくとも 1 つを薄型化する第 1 1 工程を有することを特徴とする請求項 2 記載の半導体装置の製造方法。
- [請求項8] 前記半導体基板は、平面視略円形形状であることを特徴とする請求項 1 記載の半導体装置の製造方法。
- [請求項9] 前記接続部は、異なる層の半導体チップ同士を電気信号により接続することを特徴とする請求項 1 記載の半導体装置の製造方法。
- [請求項10] 前記接続部は、異なる層の半導体チップ同士を光信号により接続することを特徴とする請求項 1 記載の半導体装置の製造方法。
- [請求項11] 積層された前記半導体チップの一部に、前記半導体チップと絶縁された、半導体チップを有しない構造層を含むことを特徴とする請求項 1 記載の半導体装置の製造方法。
- [請求項12] 前記構造層は、基板、金属層又は絶縁層であることを特徴とする請求項 1 1 記載の半導体装置の製造方法。
- [請求項13] 前記構造層は、前記半導体チップを冷却する機能を有することを特徴とする請求項 1 1 記載の半導体装置の製造方法。
- [請求項14] 前記構造層はMEMSを有することを特徴とする請求項 1 1 記載の半導体装置の製造方法。
- [請求項15] 前記第 1 1 工程において薄型化された部分の前記半導体基板、前記個片化された半導体チップ、又は前記個片化された他の半導体チップの厚さは、前記半導体基板、前記個片化された半導体チップ、又は前記個片化された他の半導体チップのそれぞれが有するデバイスの素子分離深さの 5 倍以上であることを特徴とする請求項 7 記載の半導体装置の製造方法。
- [請求項16] 前記第 1 1 工程において薄型化された部分の前記半導体基板、前記個片化された半導体チップ、又は前記個片化された他の半導体チップの厚さは 1 μ m 以上であることを特徴とする請求項 7 記載の半導体装

置の製造方法。

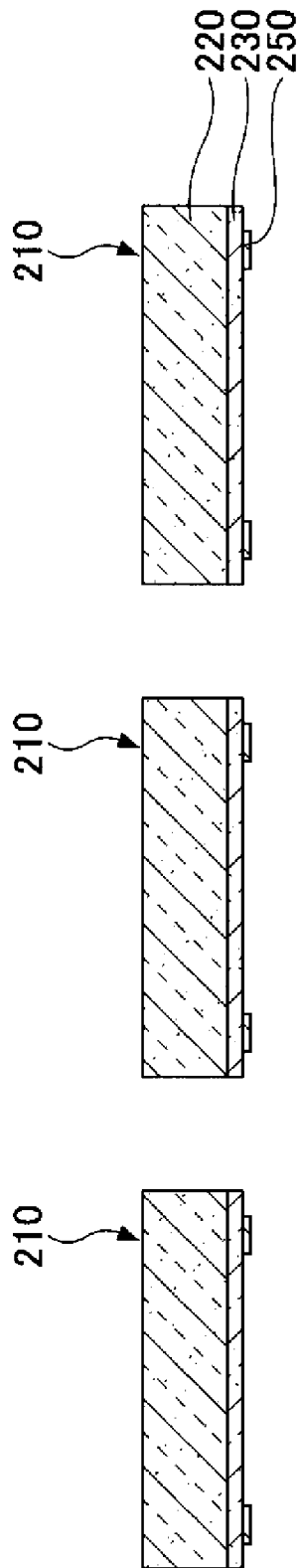
[請求項17] 前記第3工程において形成されたビアホールのアスペクト比は、0.5以上5以下であることを特徴とする請求項1記載の半導体装置の製造方法。

[図1]

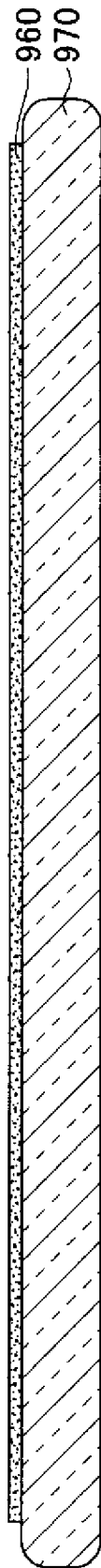
100



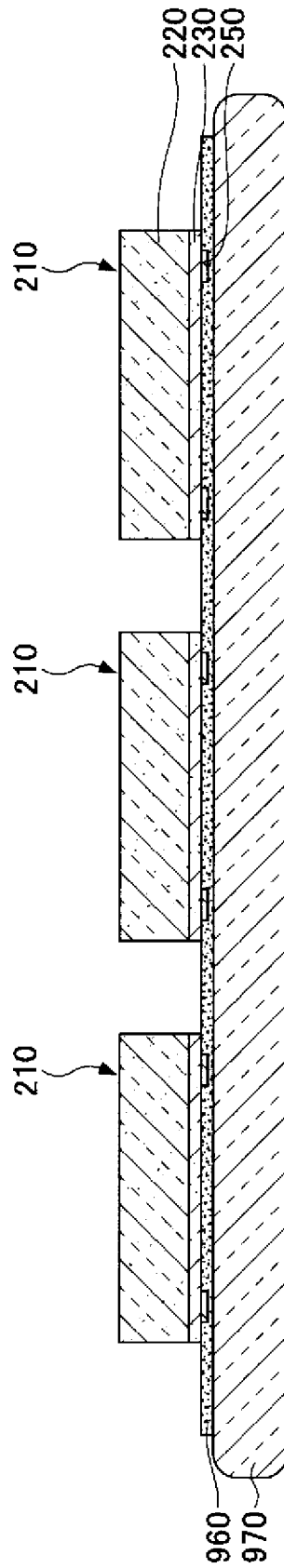
[図2A]



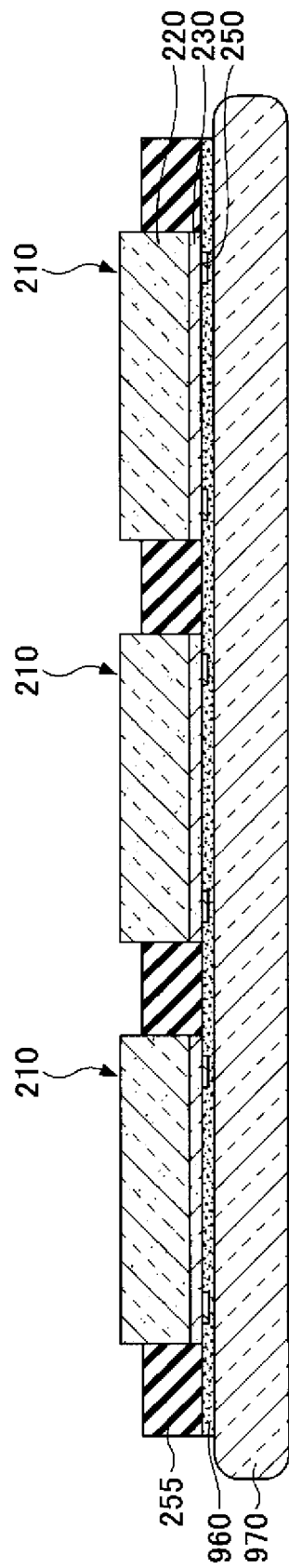
[図2B]



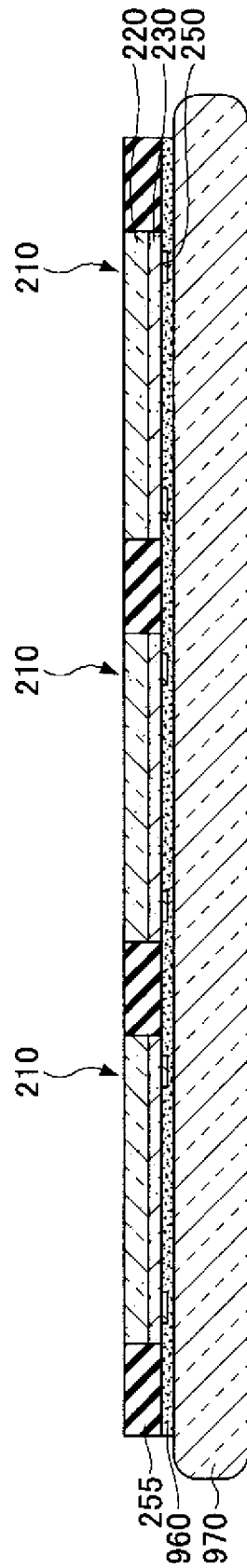
[ 2C]



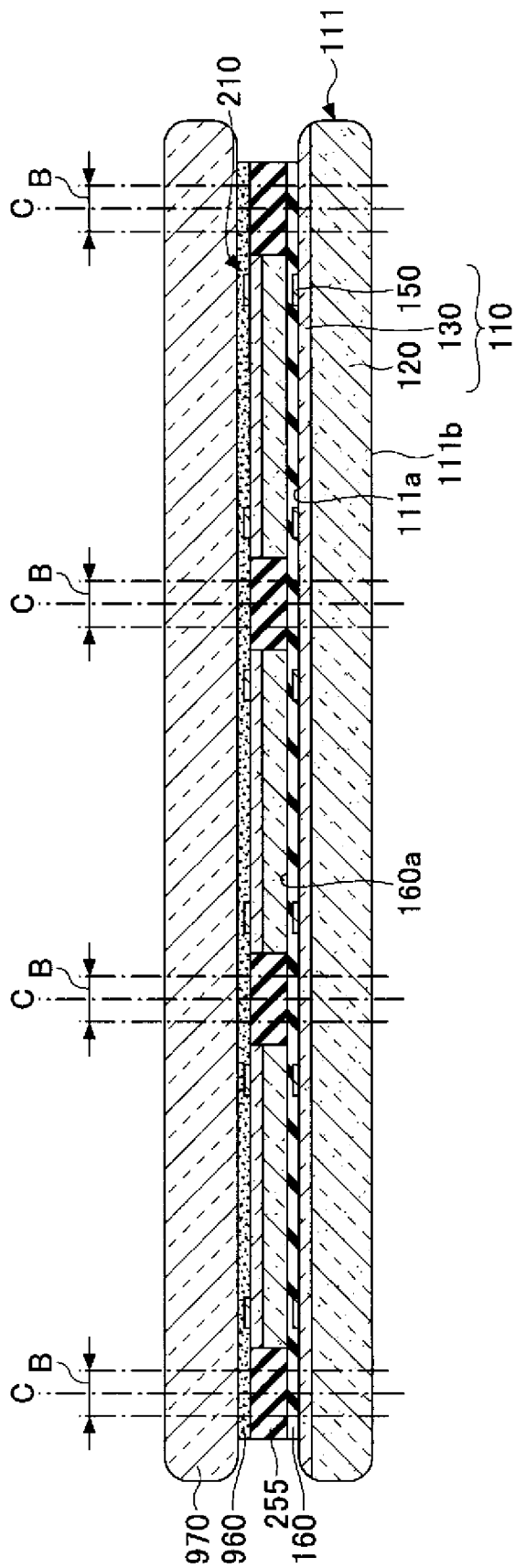
[図2D]



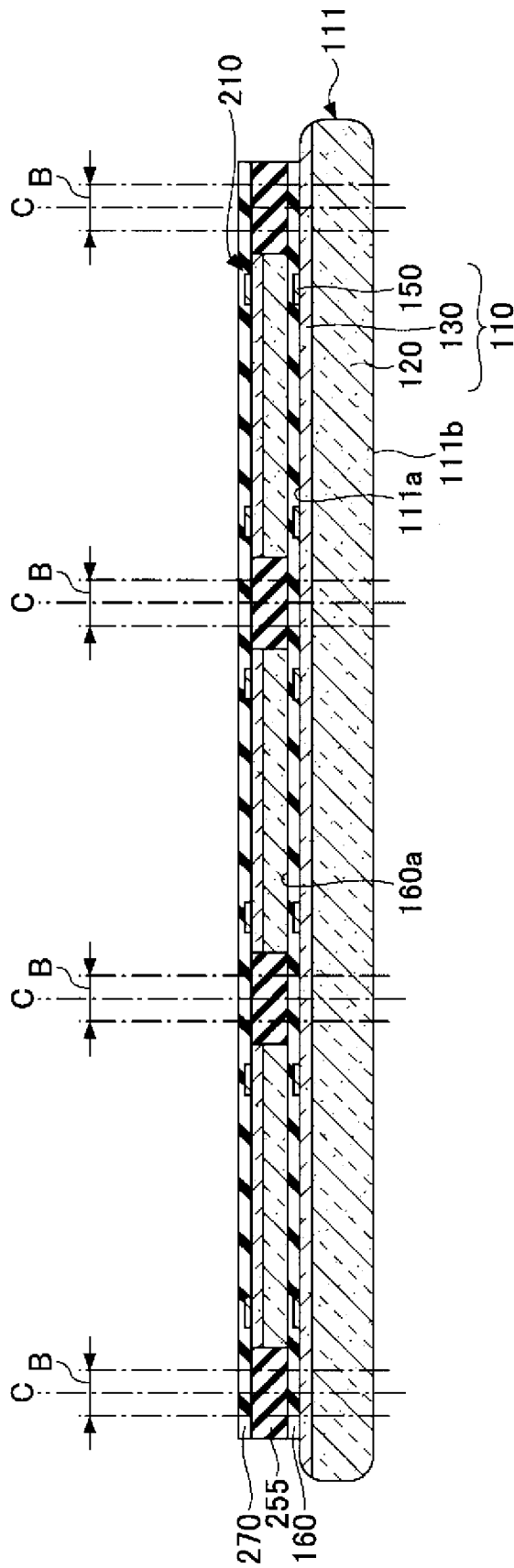
[図2E]



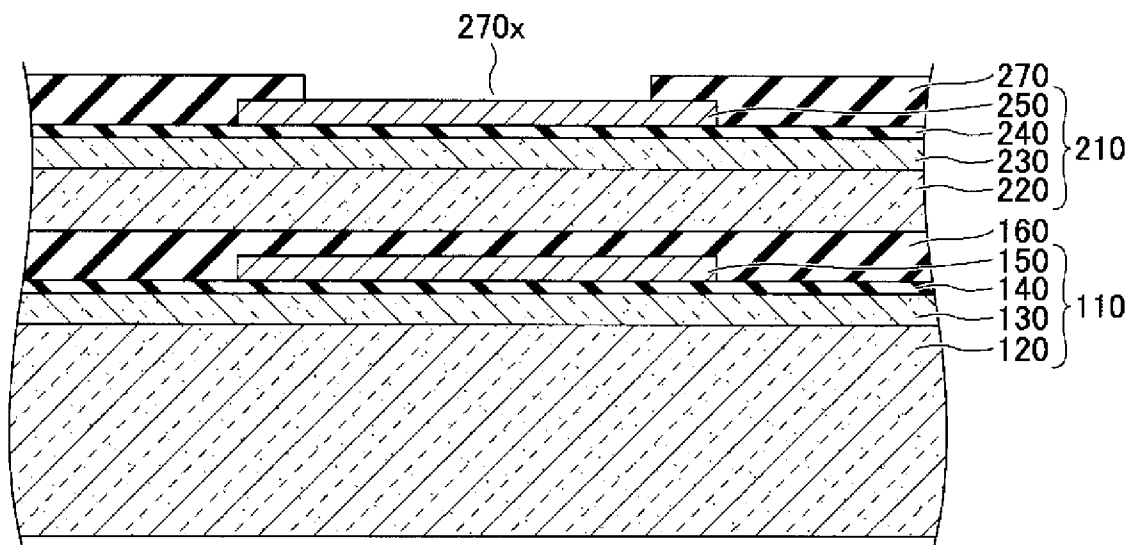
[図2G]



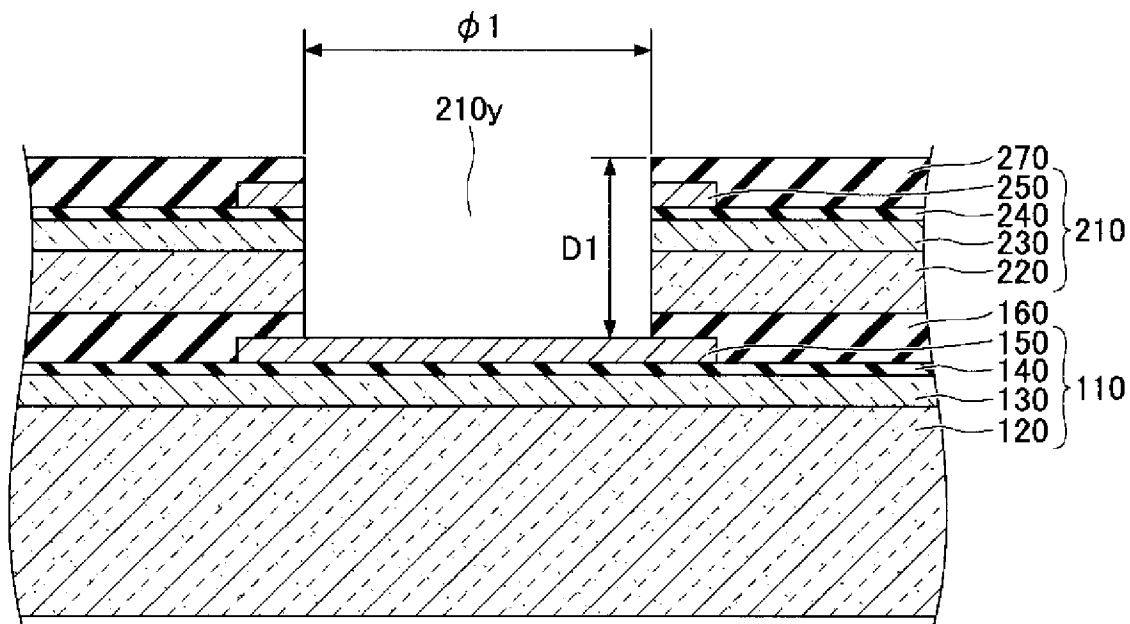
[図21]



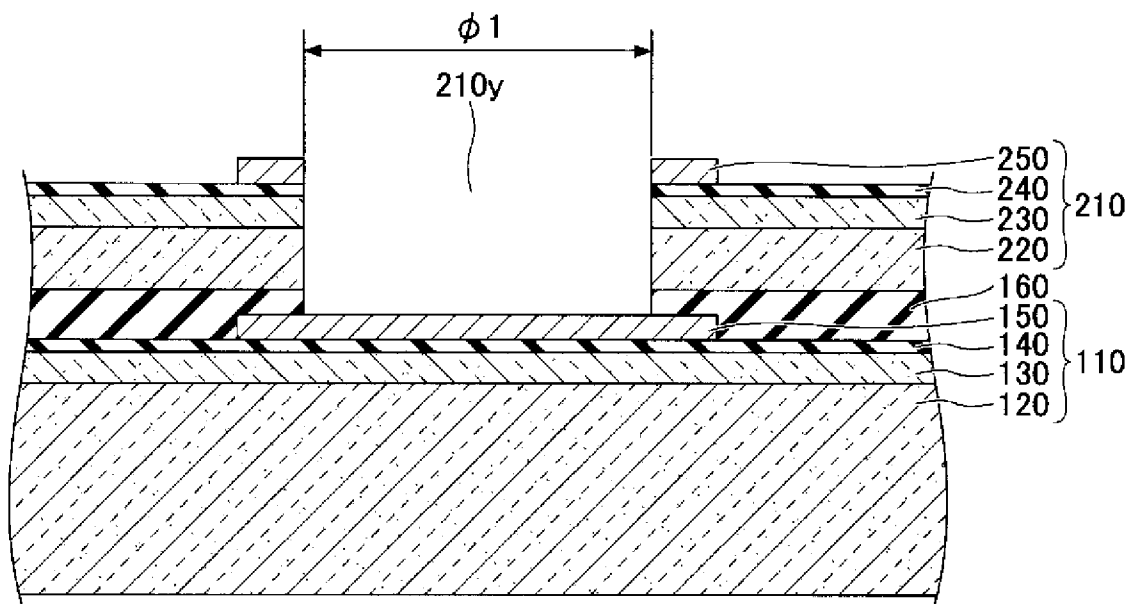
[図2J]



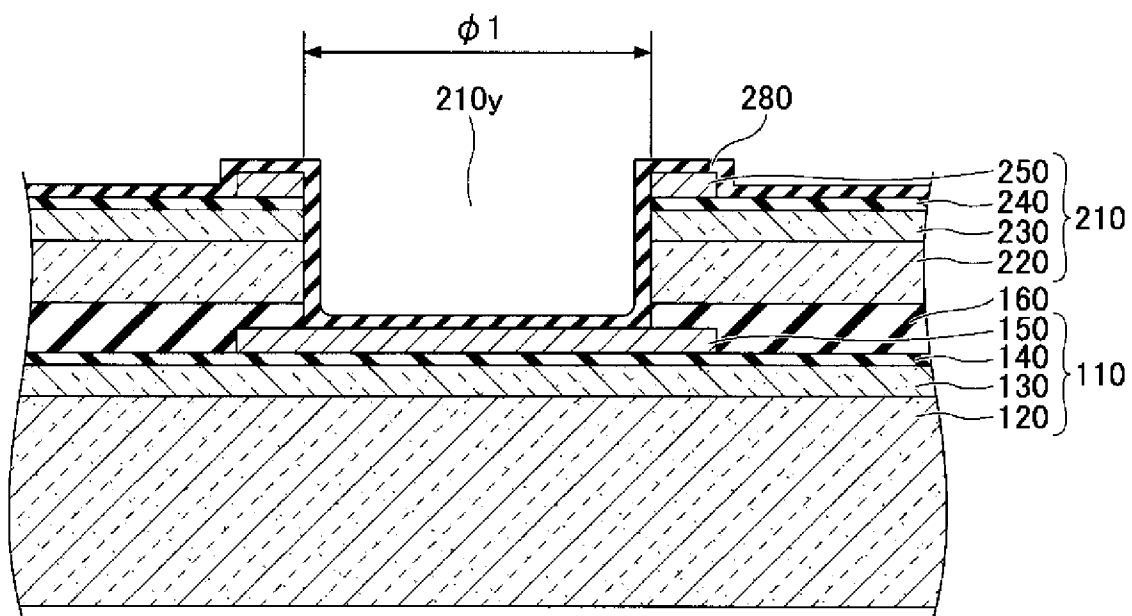
[図2K]



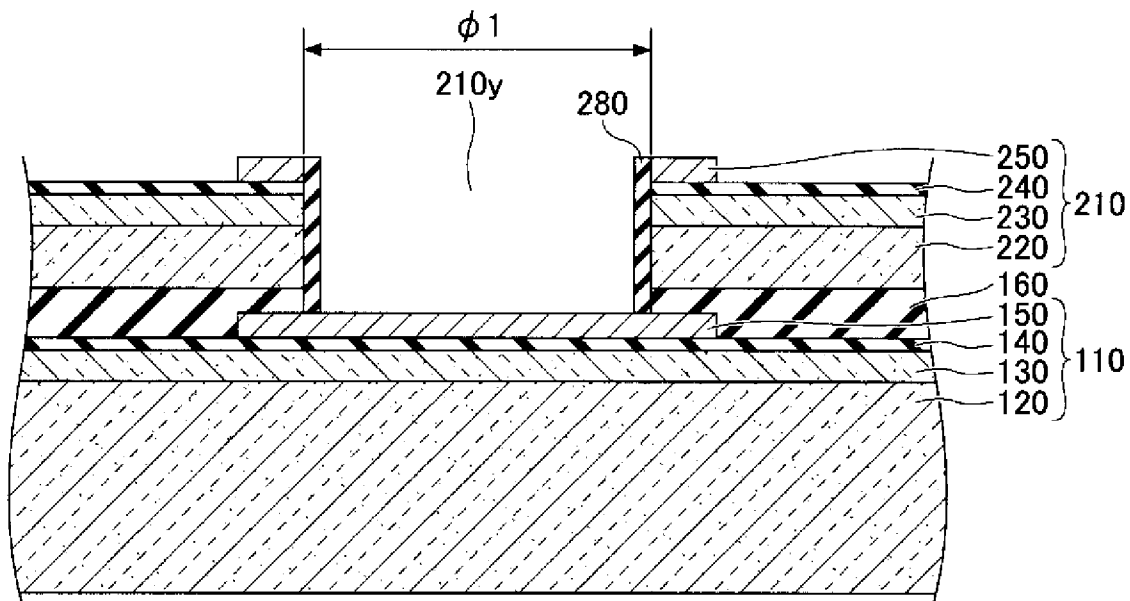
[図2L]



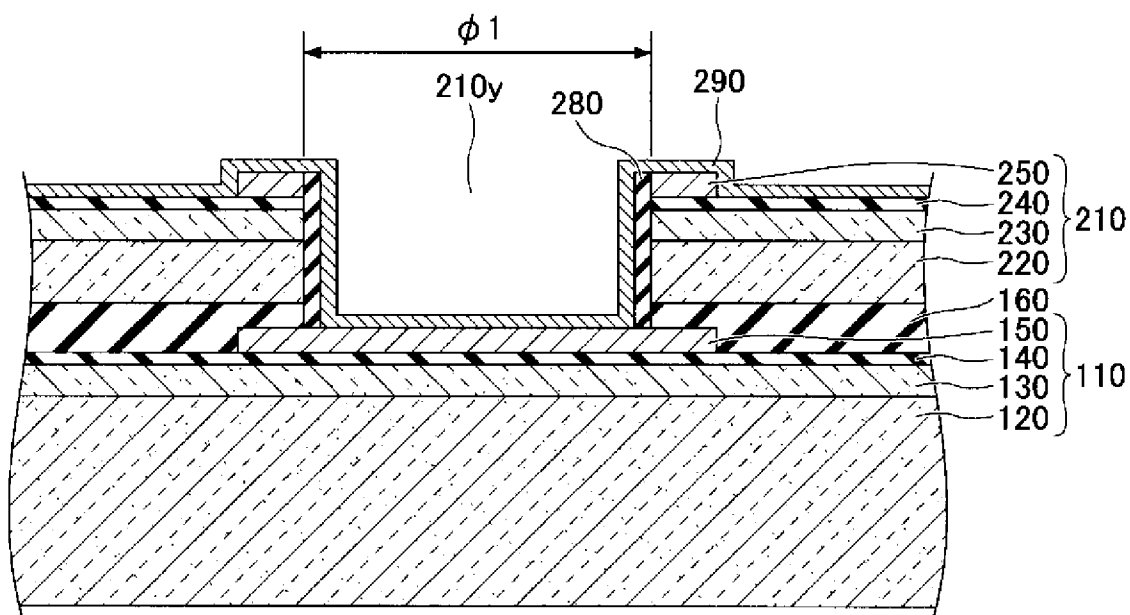
[図2M]



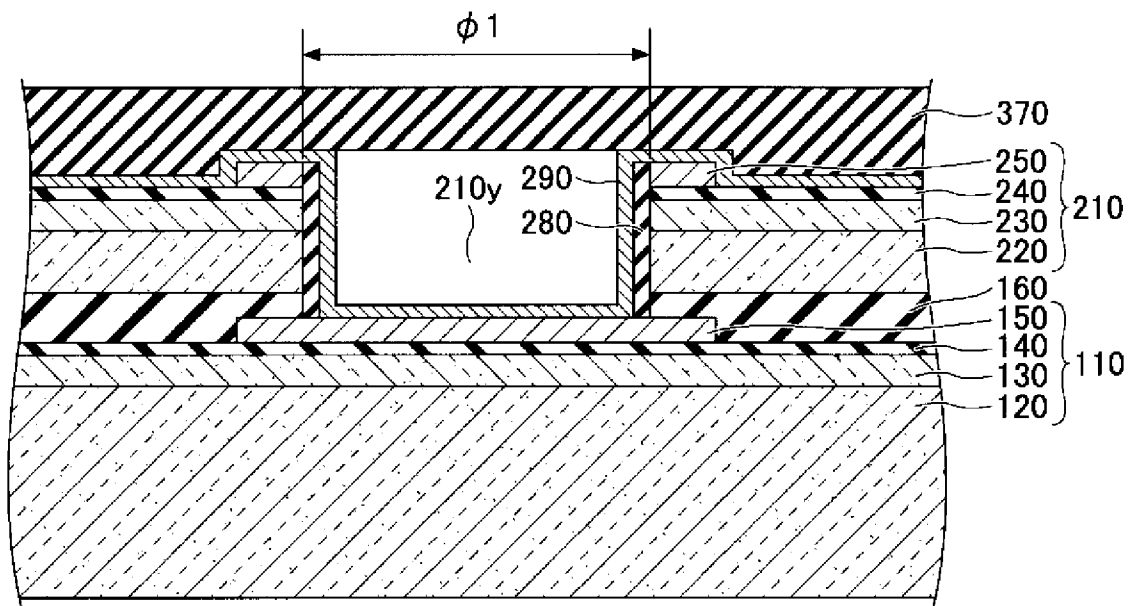
[図2N]



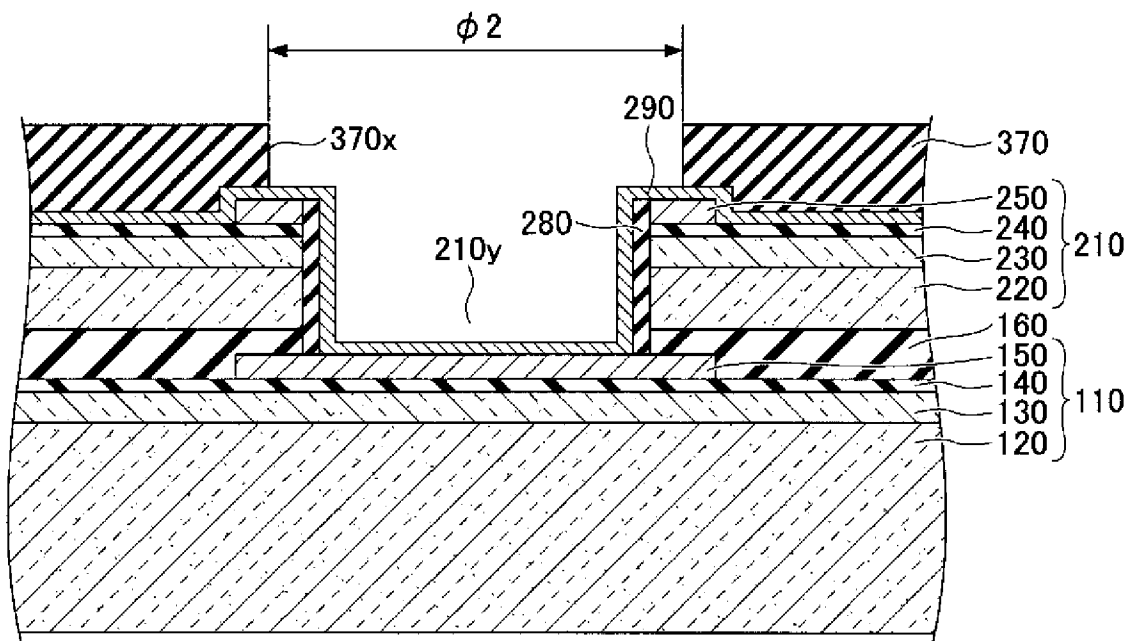
[図20]



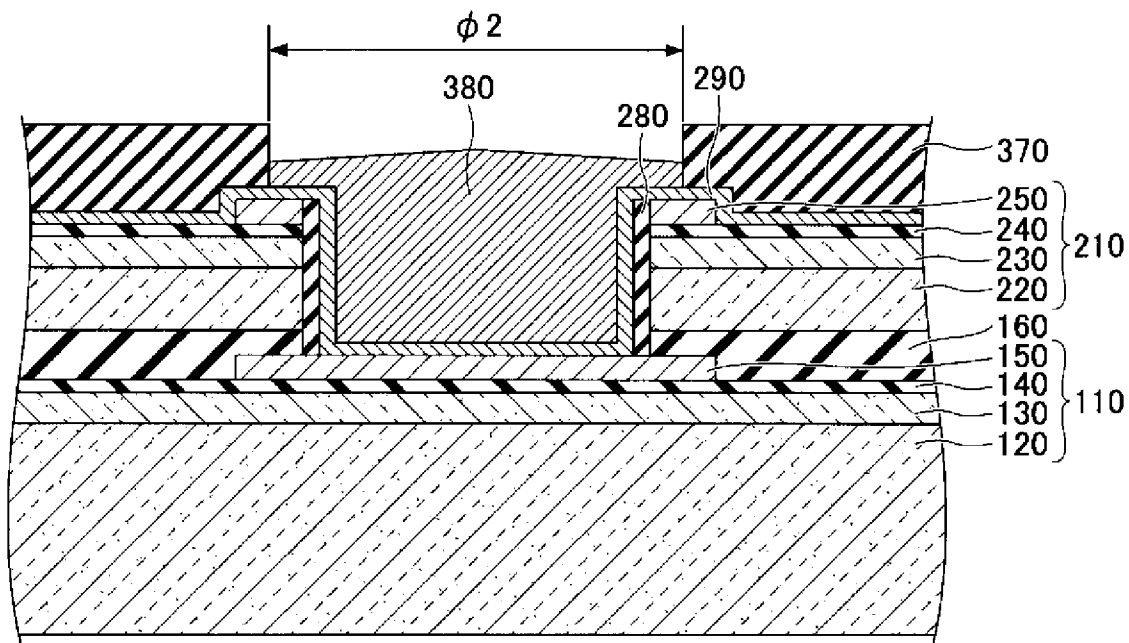
[图2P]



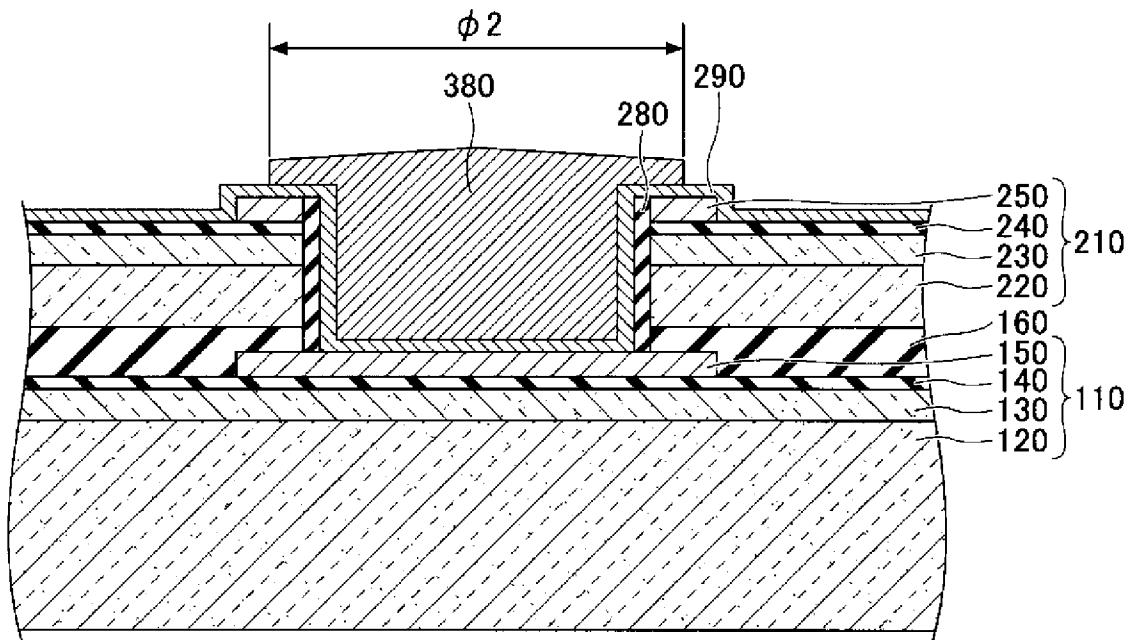
[图2Q]



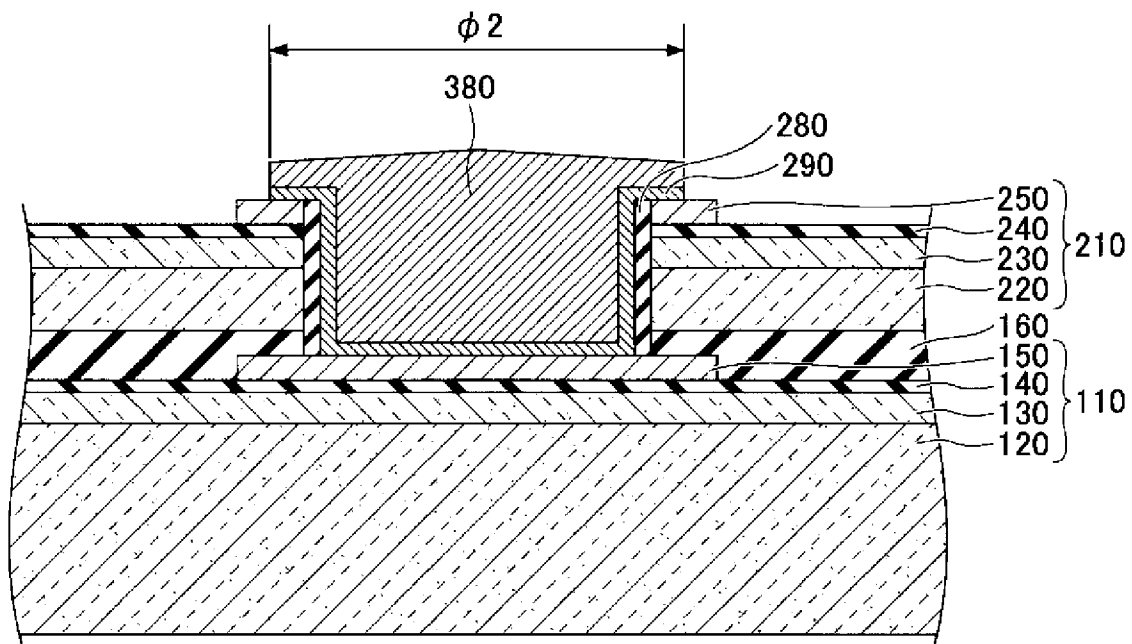
[图2R]



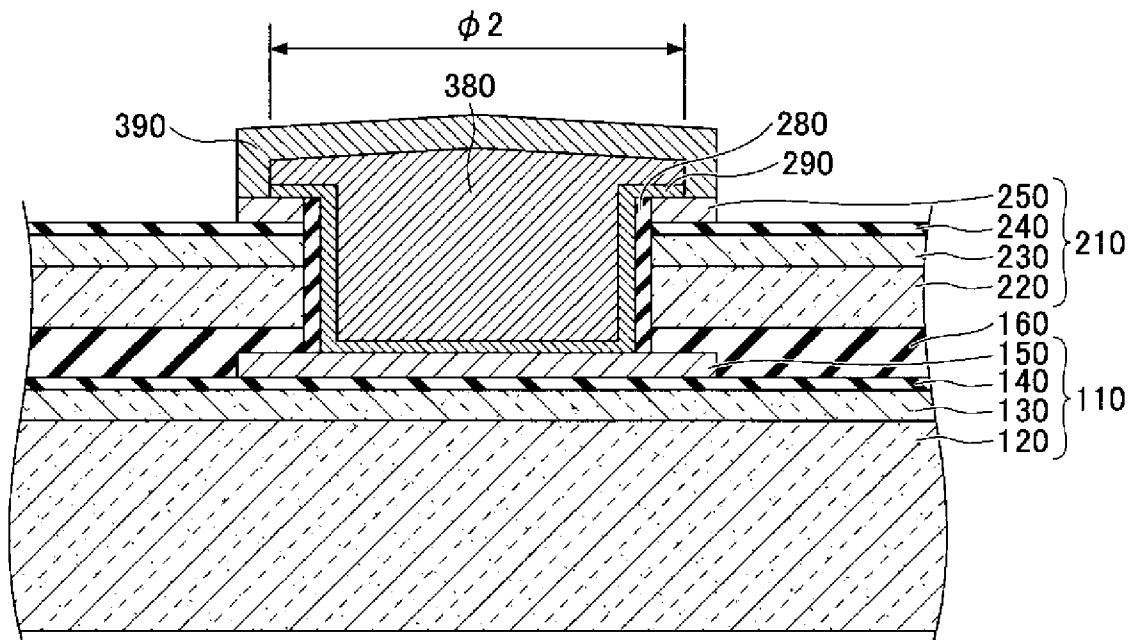
[图2S]



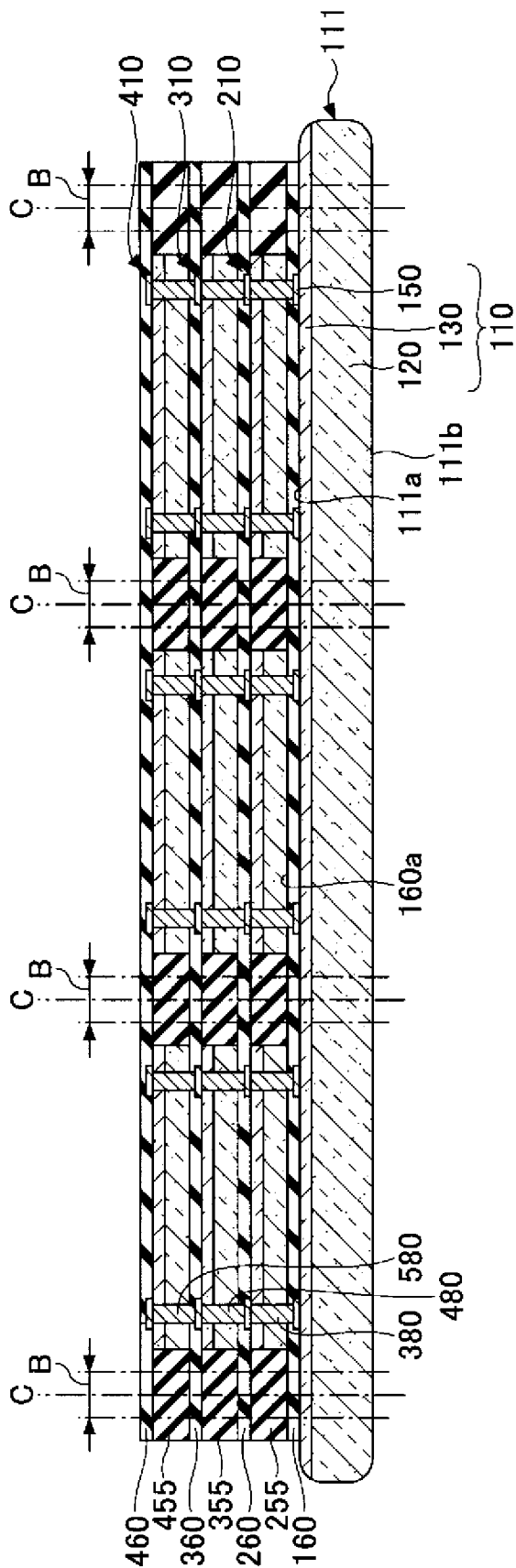
[図2T]



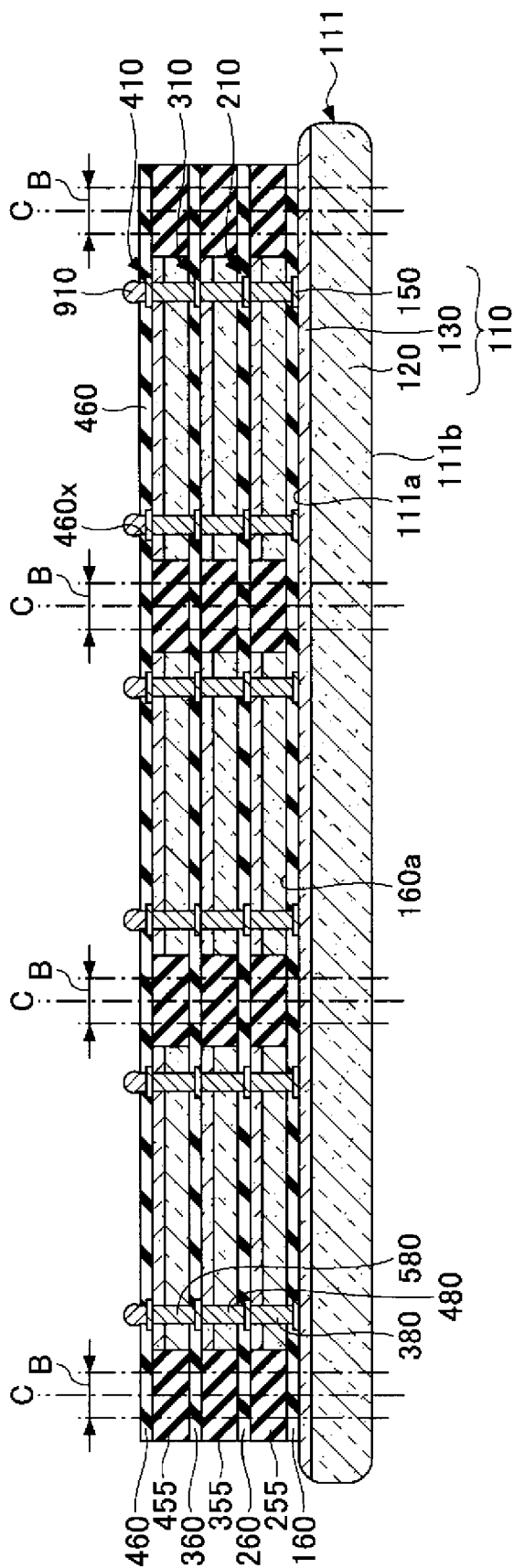
[図2U]



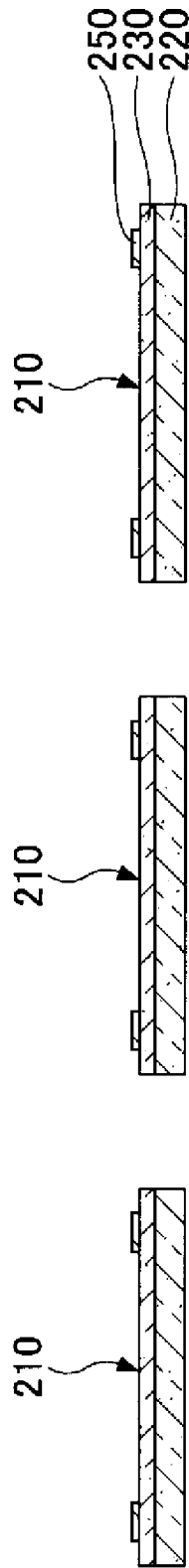
[図2V]



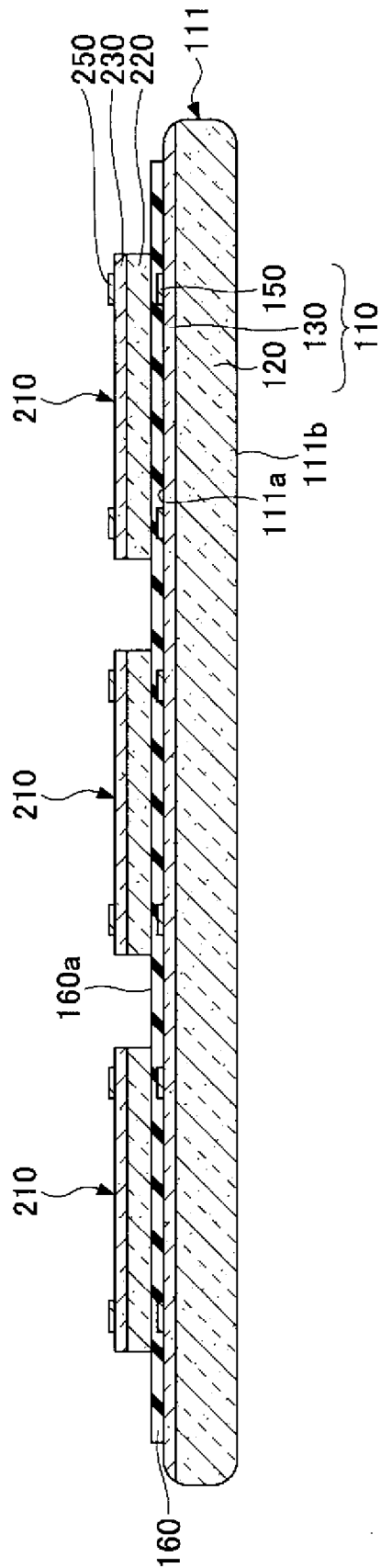
[図2W]



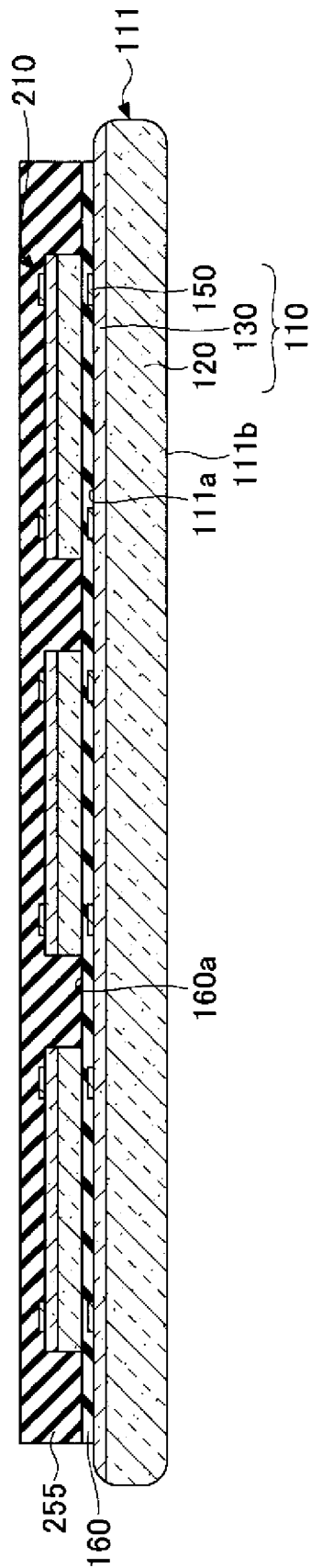
[図3A]



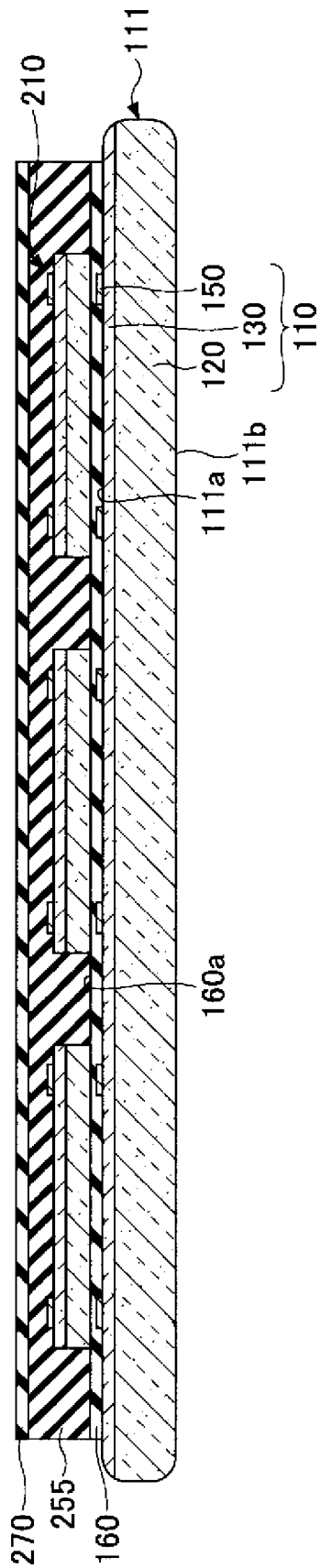
[図3B]



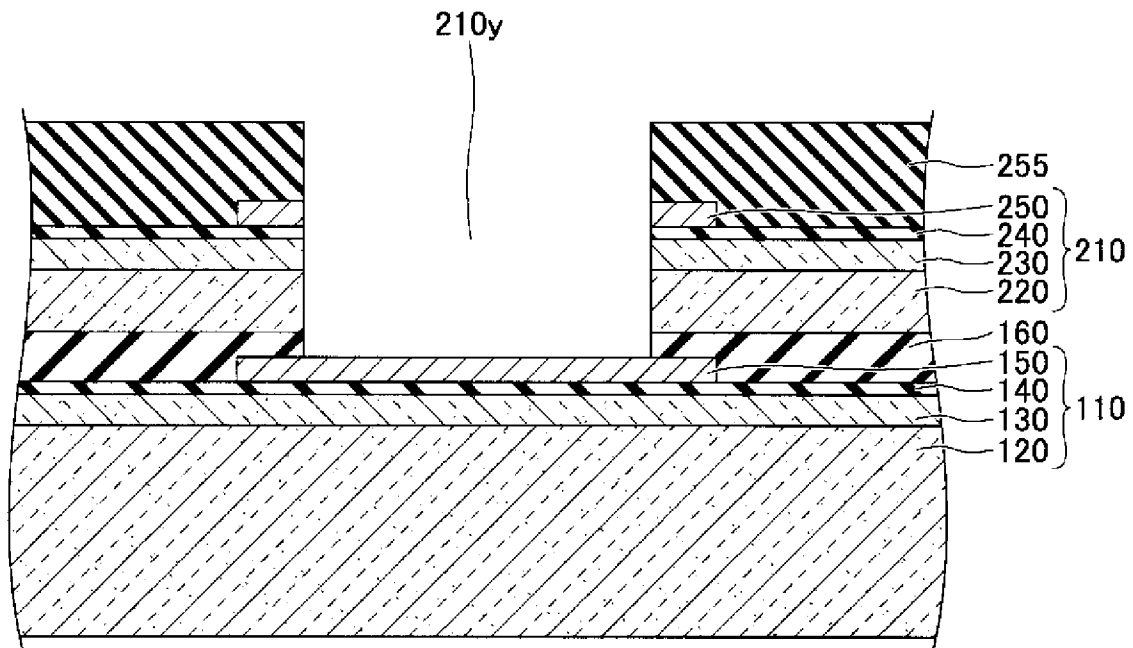
[図3C]



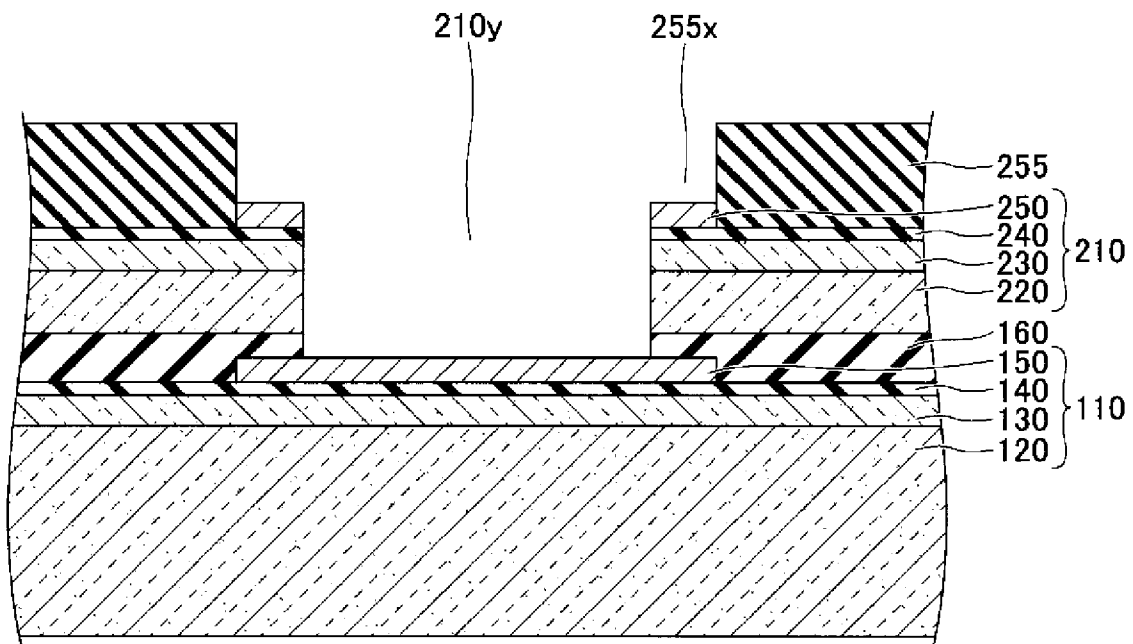
[図3D]



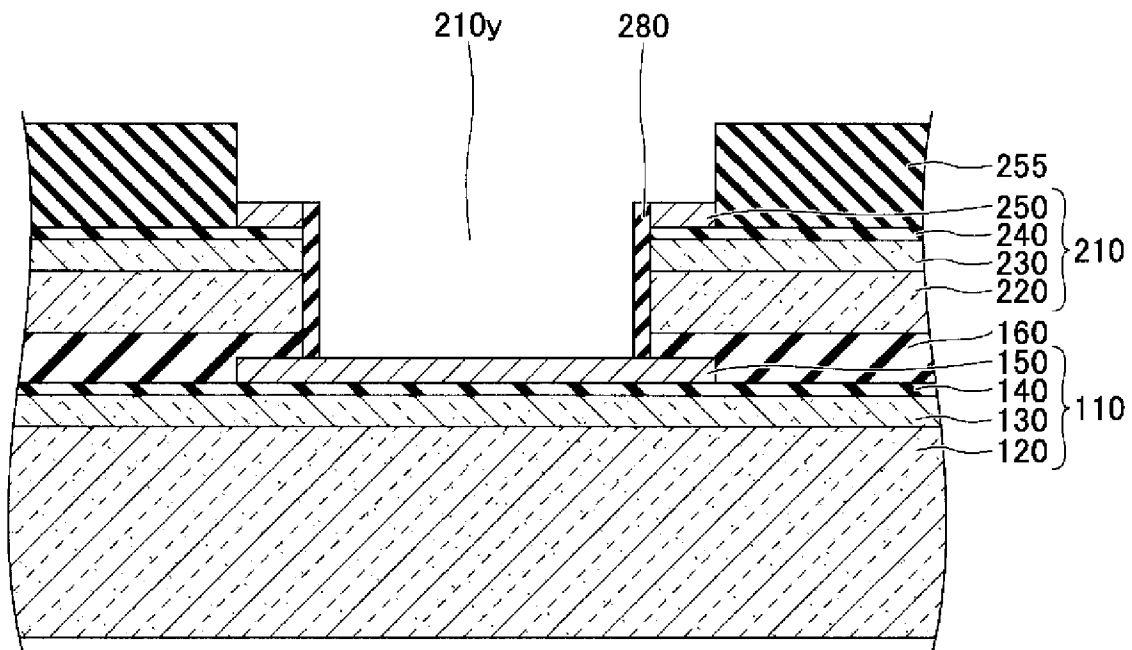
[図3E]



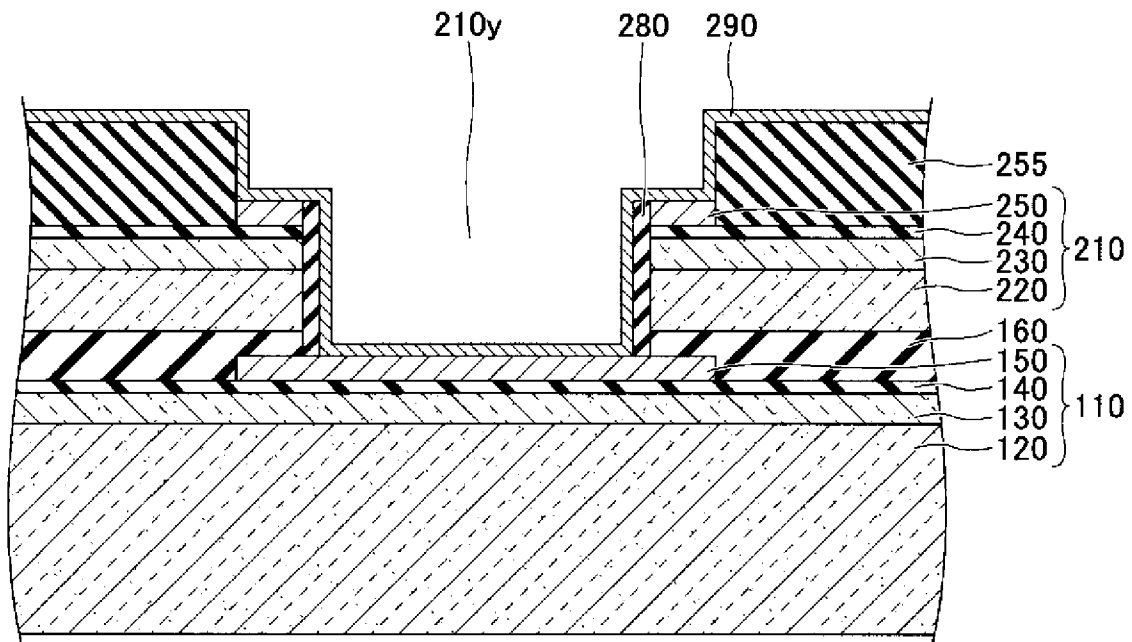
[図3F]



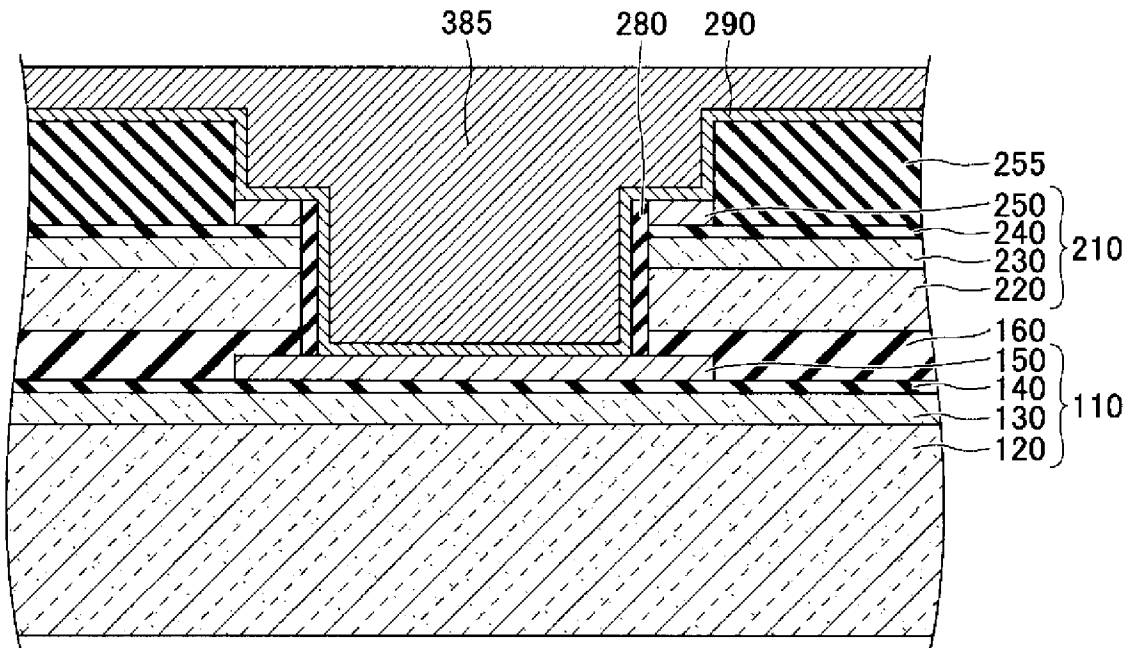
[図3G]



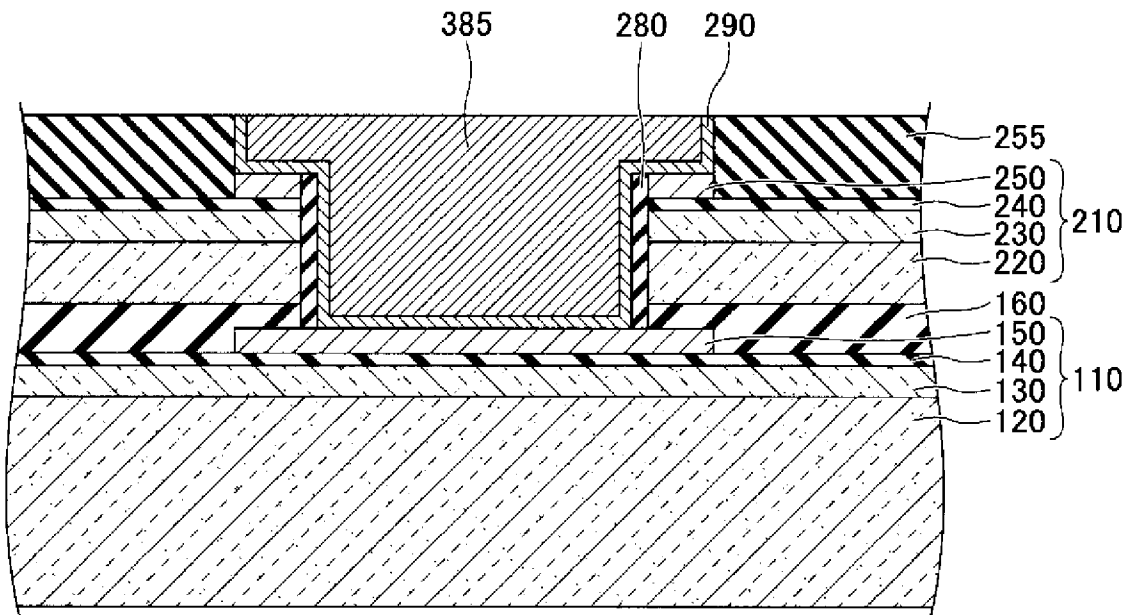
[図3H]



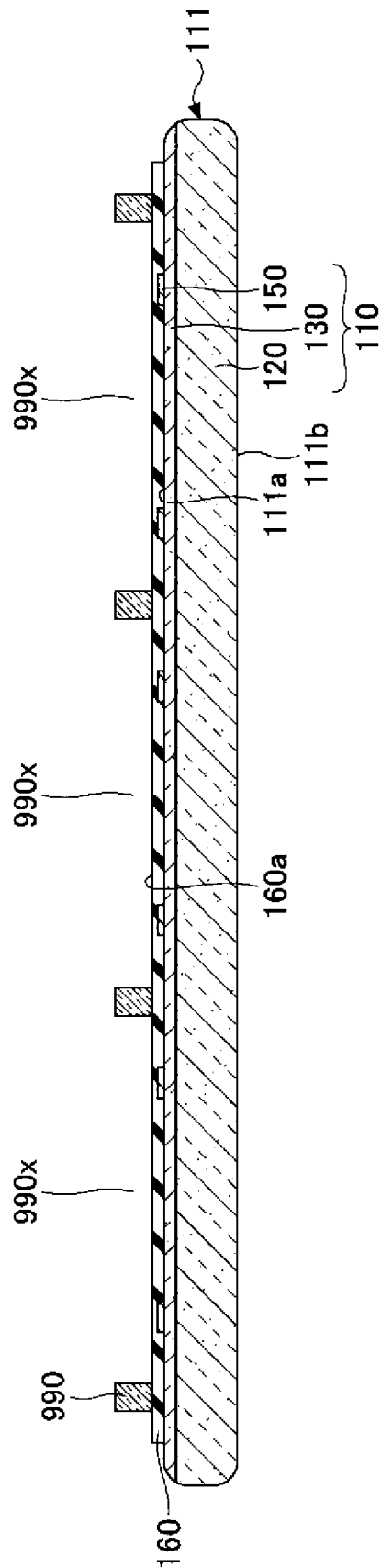
[図3I]



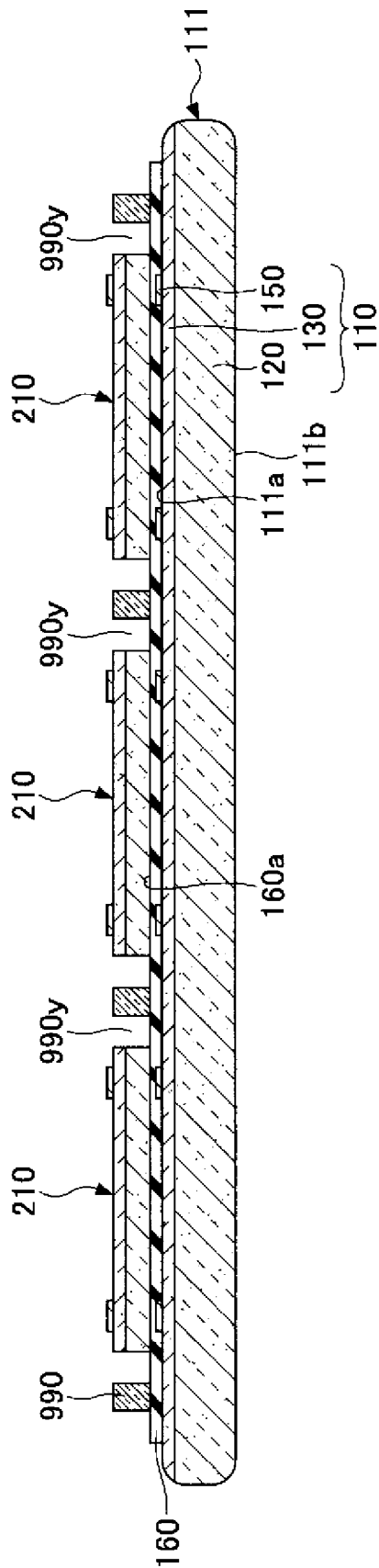
[図3J]



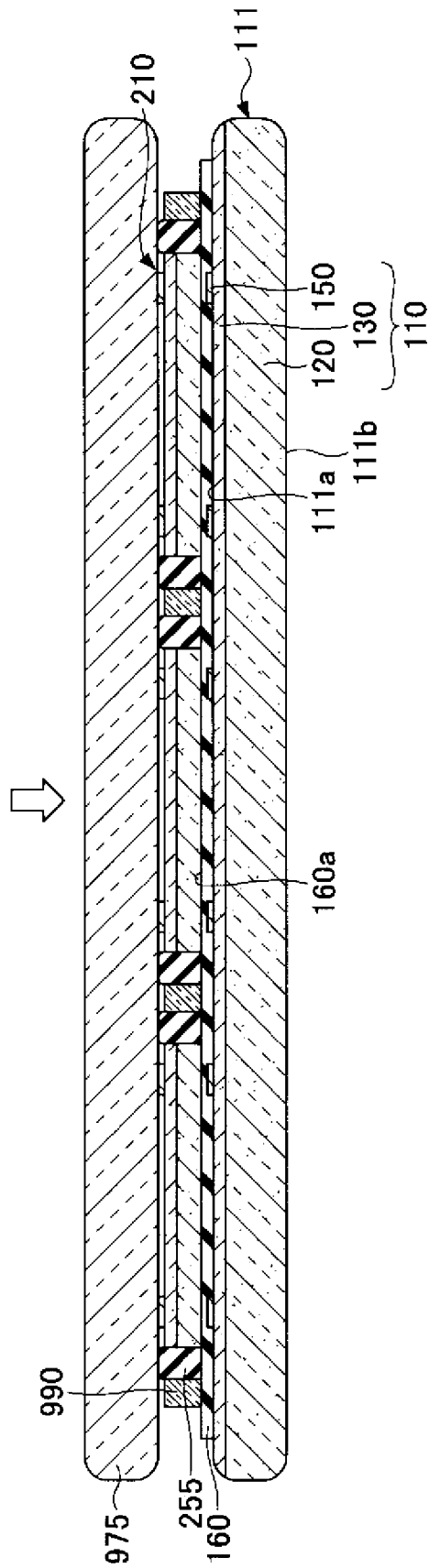
[図4A]



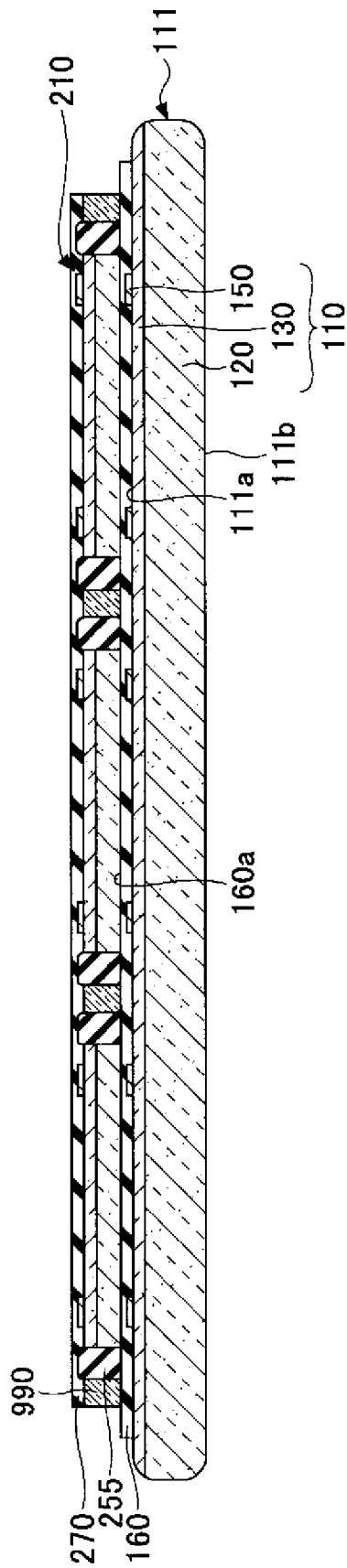
[図4B]



[図4C]

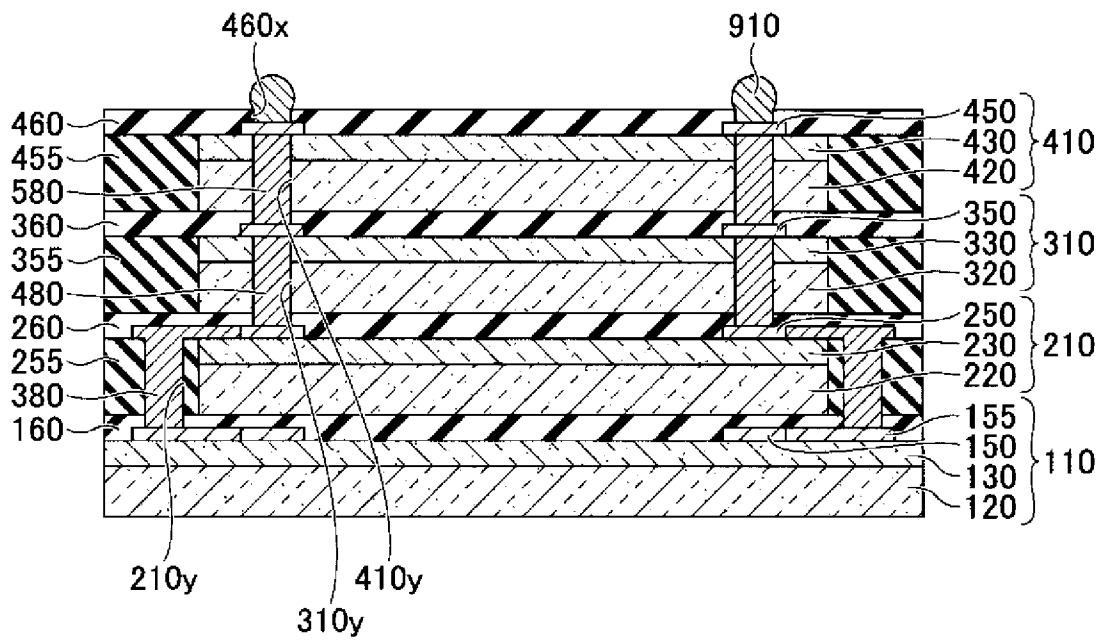


[図4D]

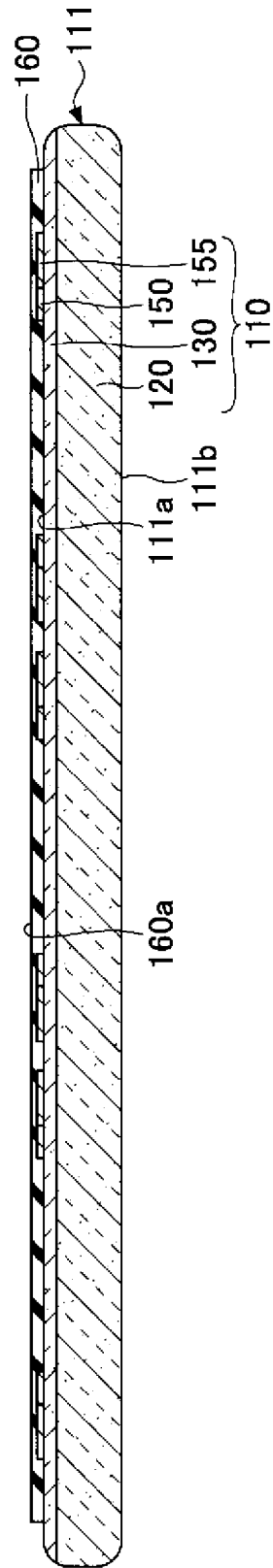


[図5]

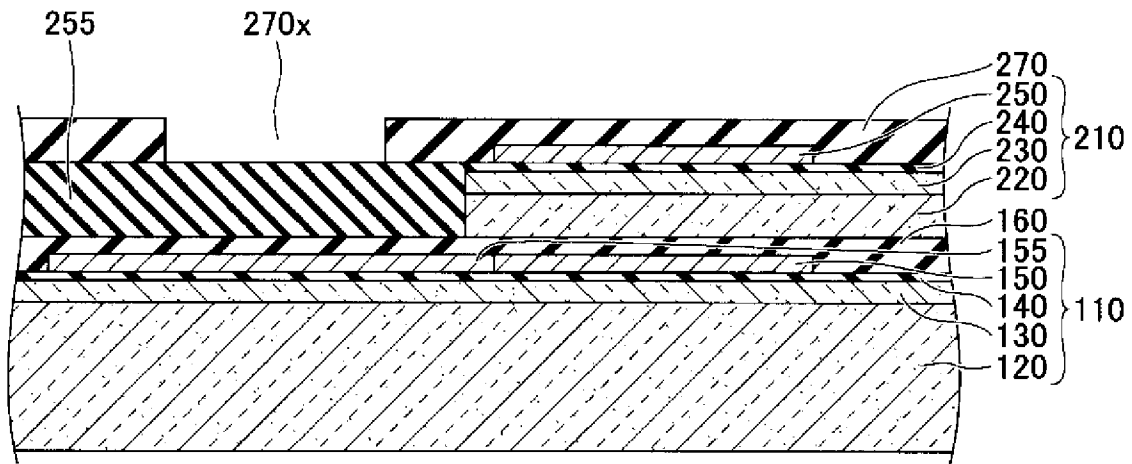
100A



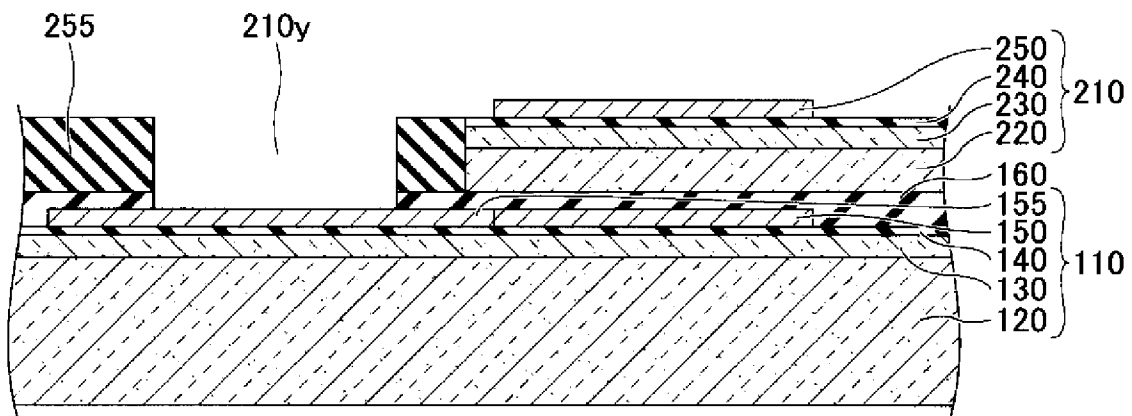
[図6A]



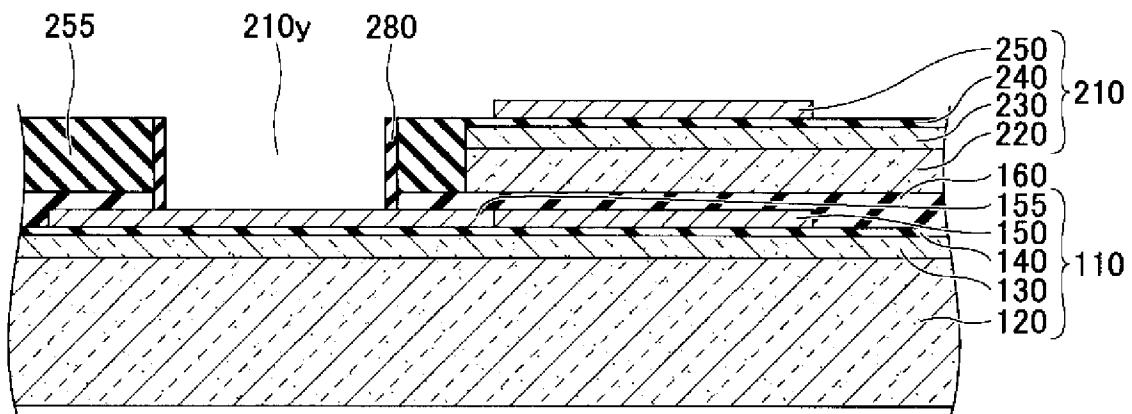
[図6B]



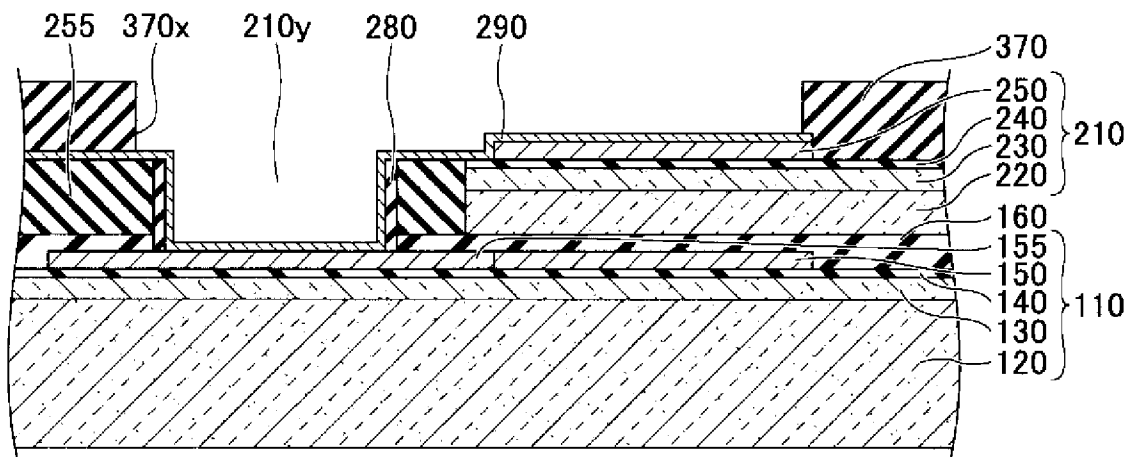
[図6C]



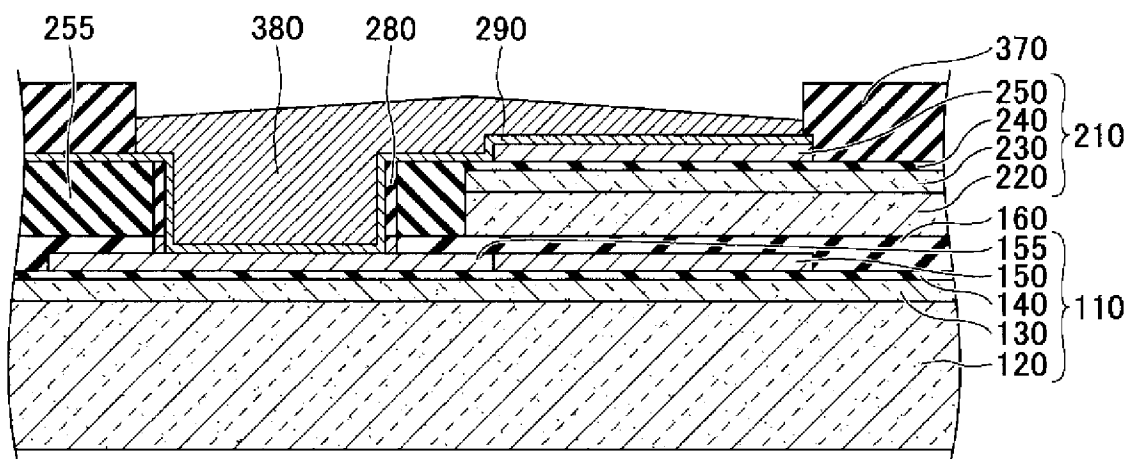
[図6D]



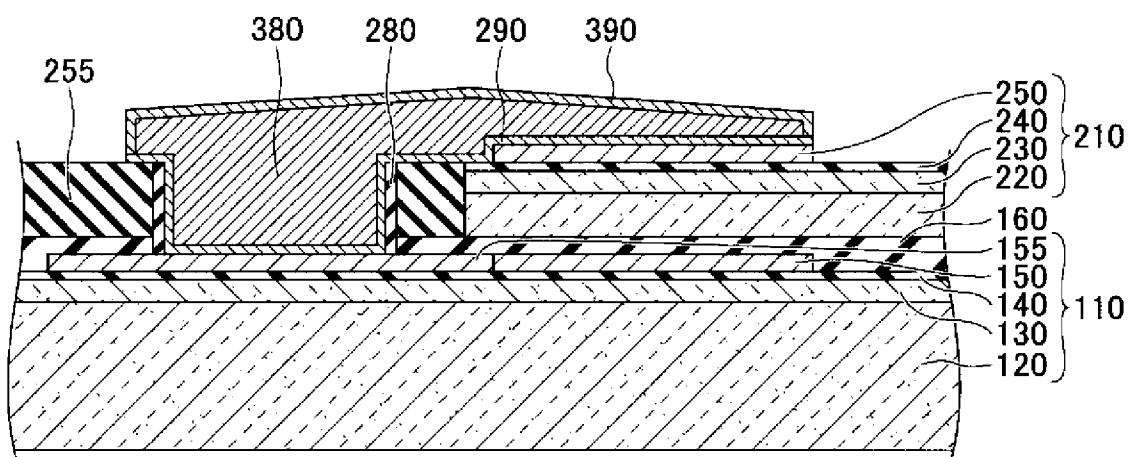
[図6E]



[図6F]

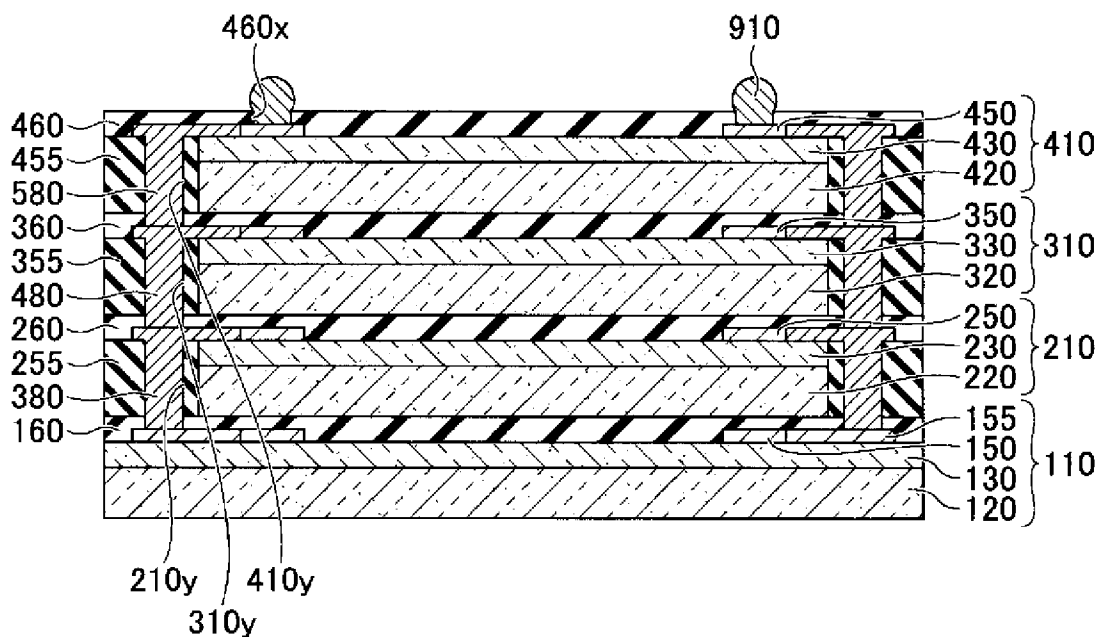


[図6G]



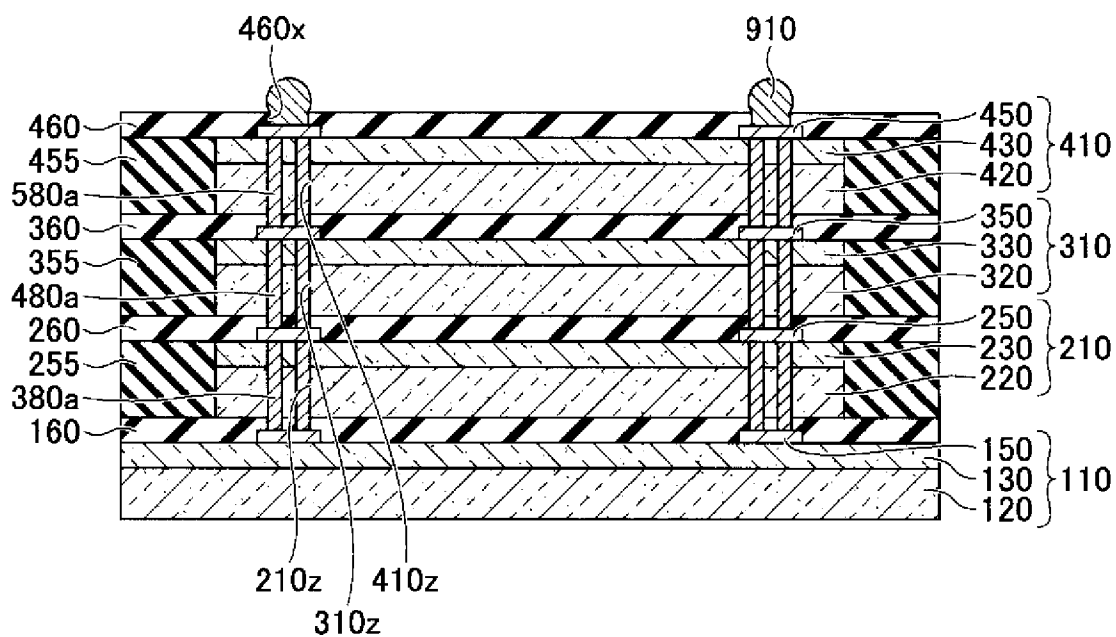
[図7]

100B

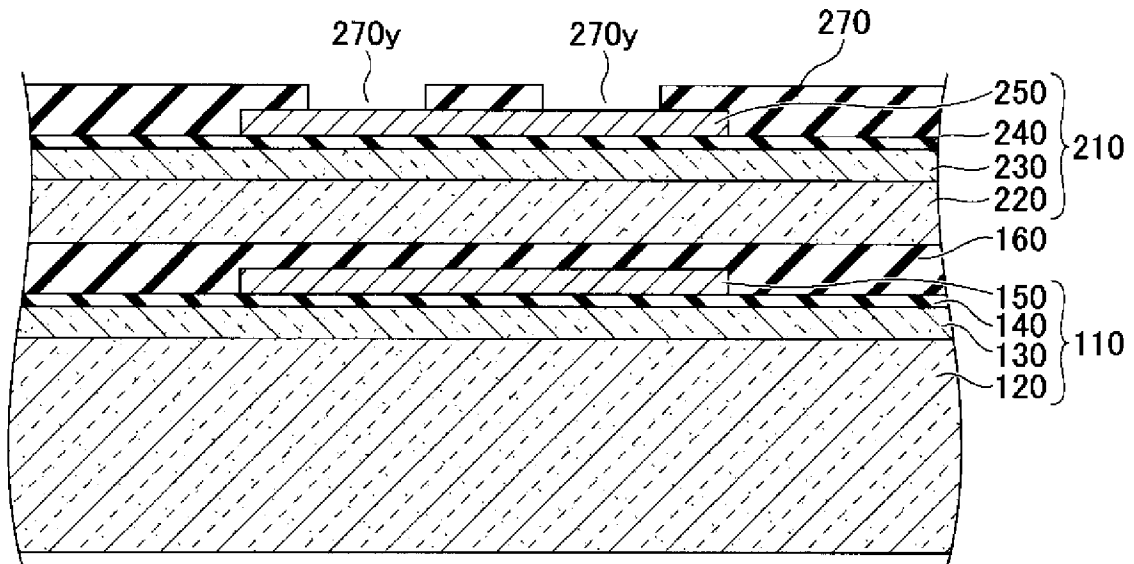


[図8]

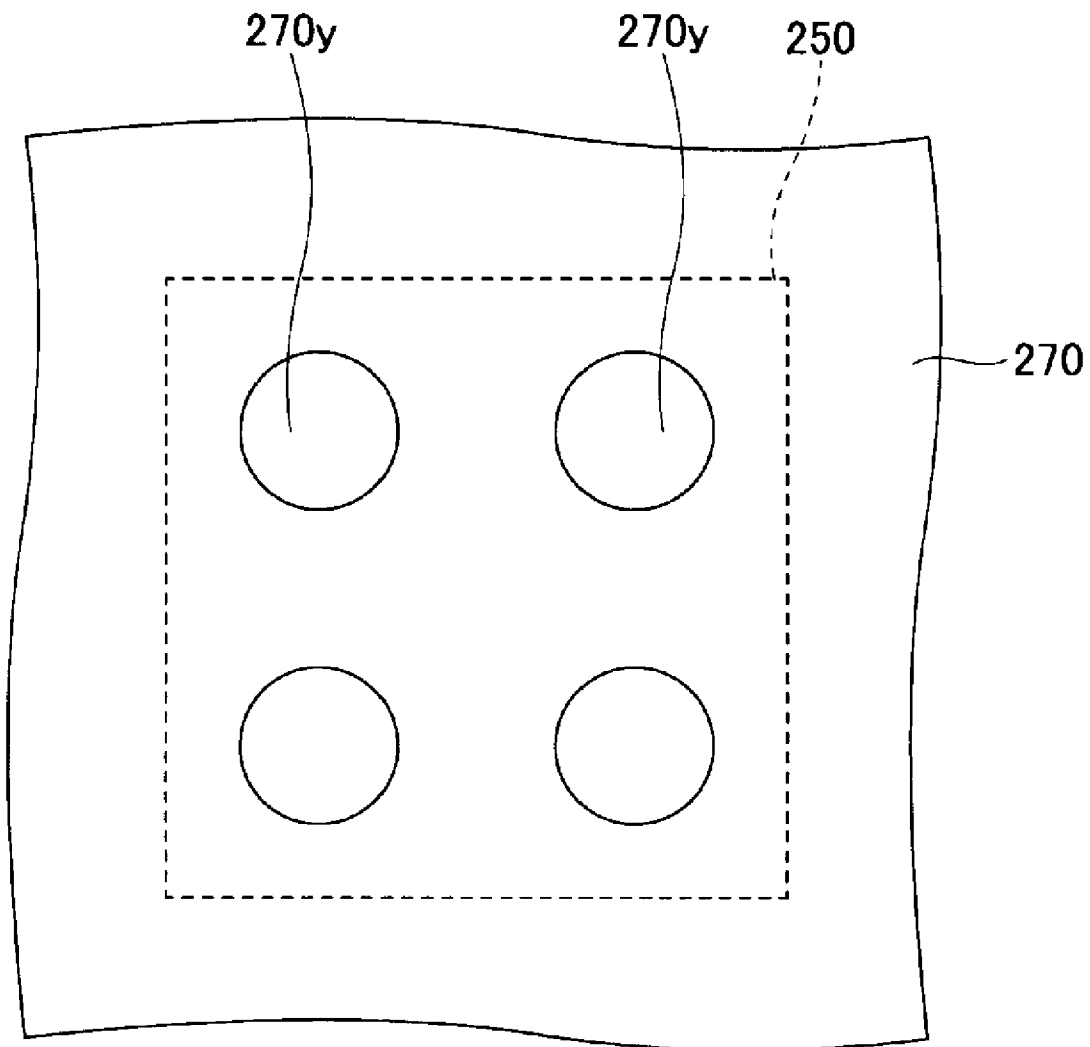
100C



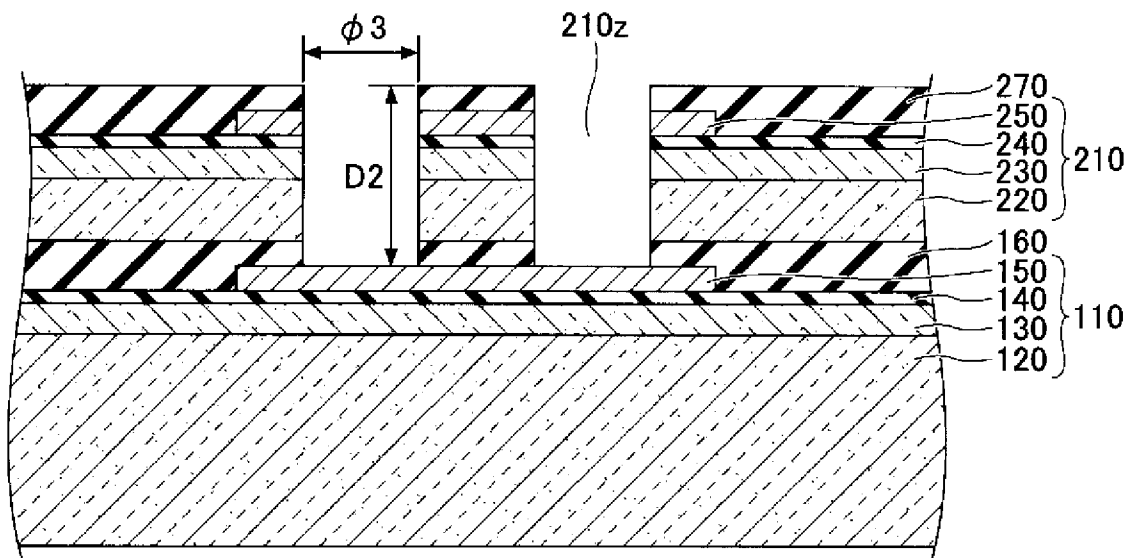
[図9A]



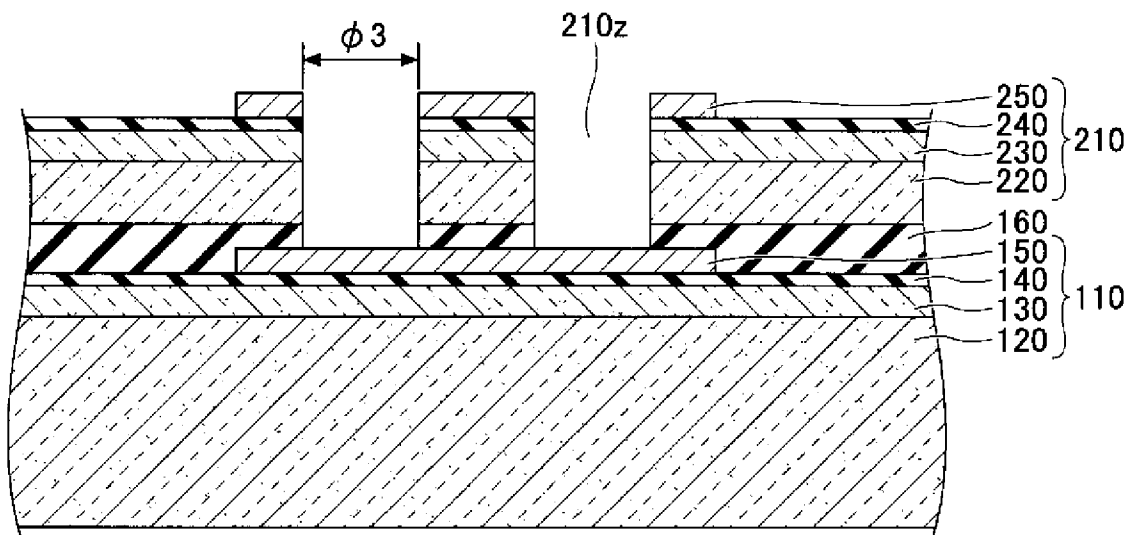
[図9B]



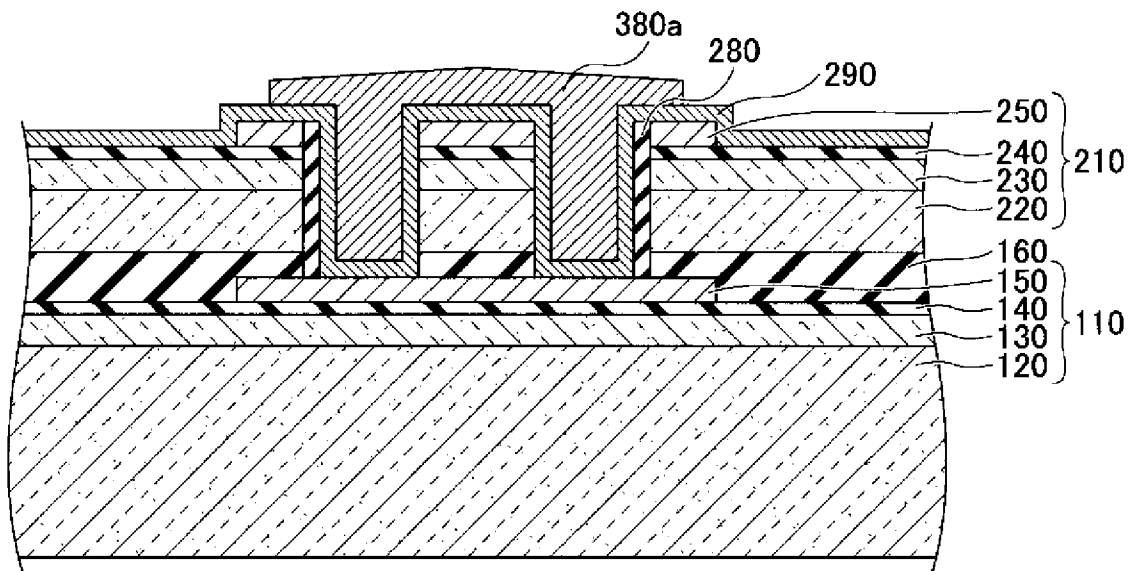
[図9C]



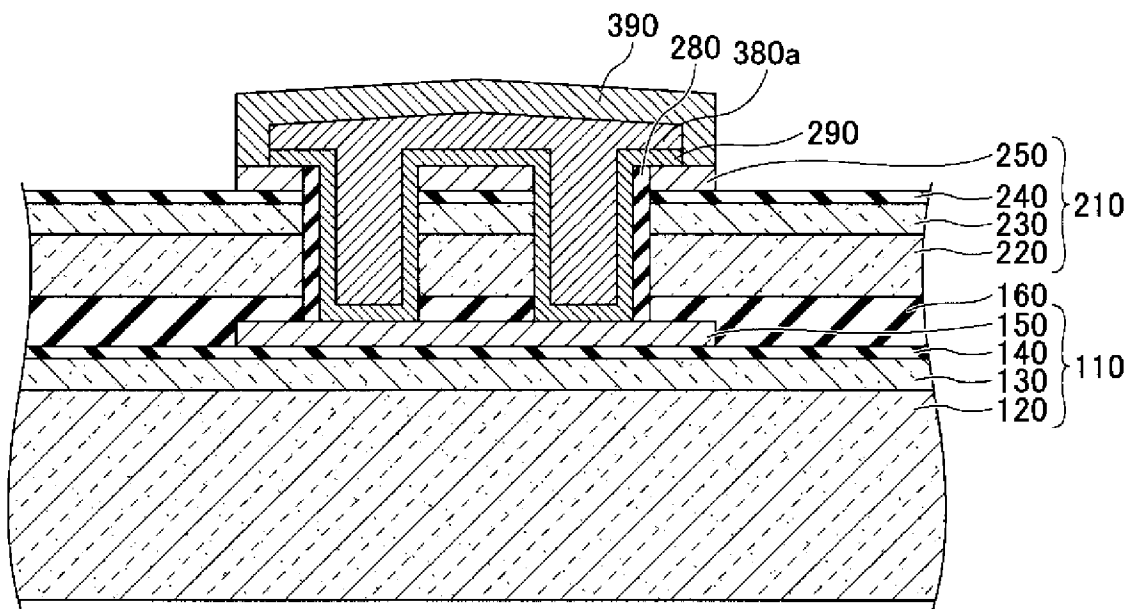
[図9D]



[図9E]

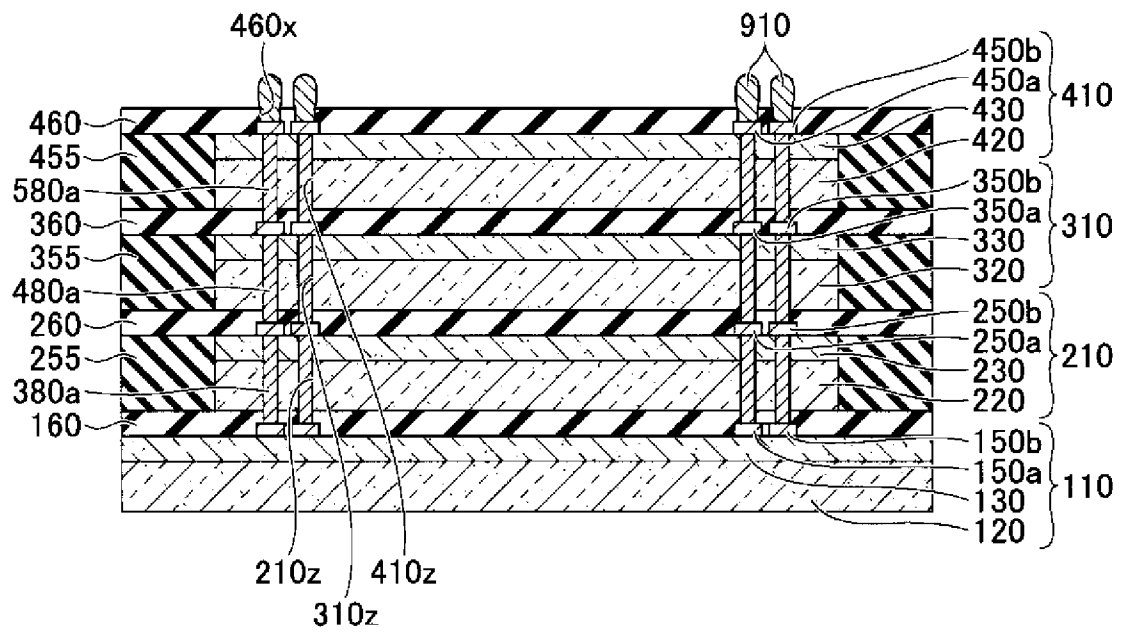


[図9F]

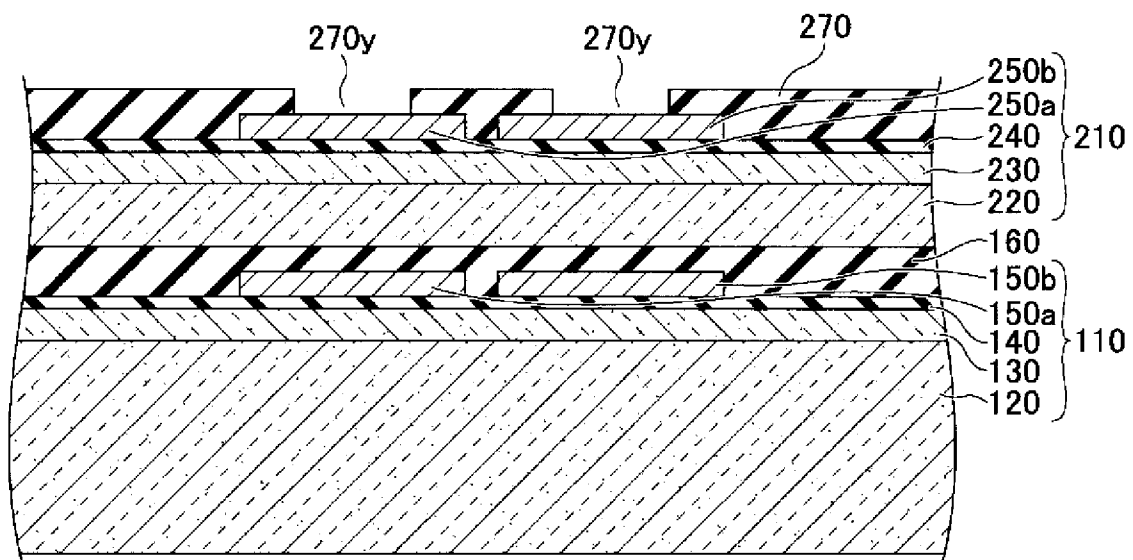


[図10]

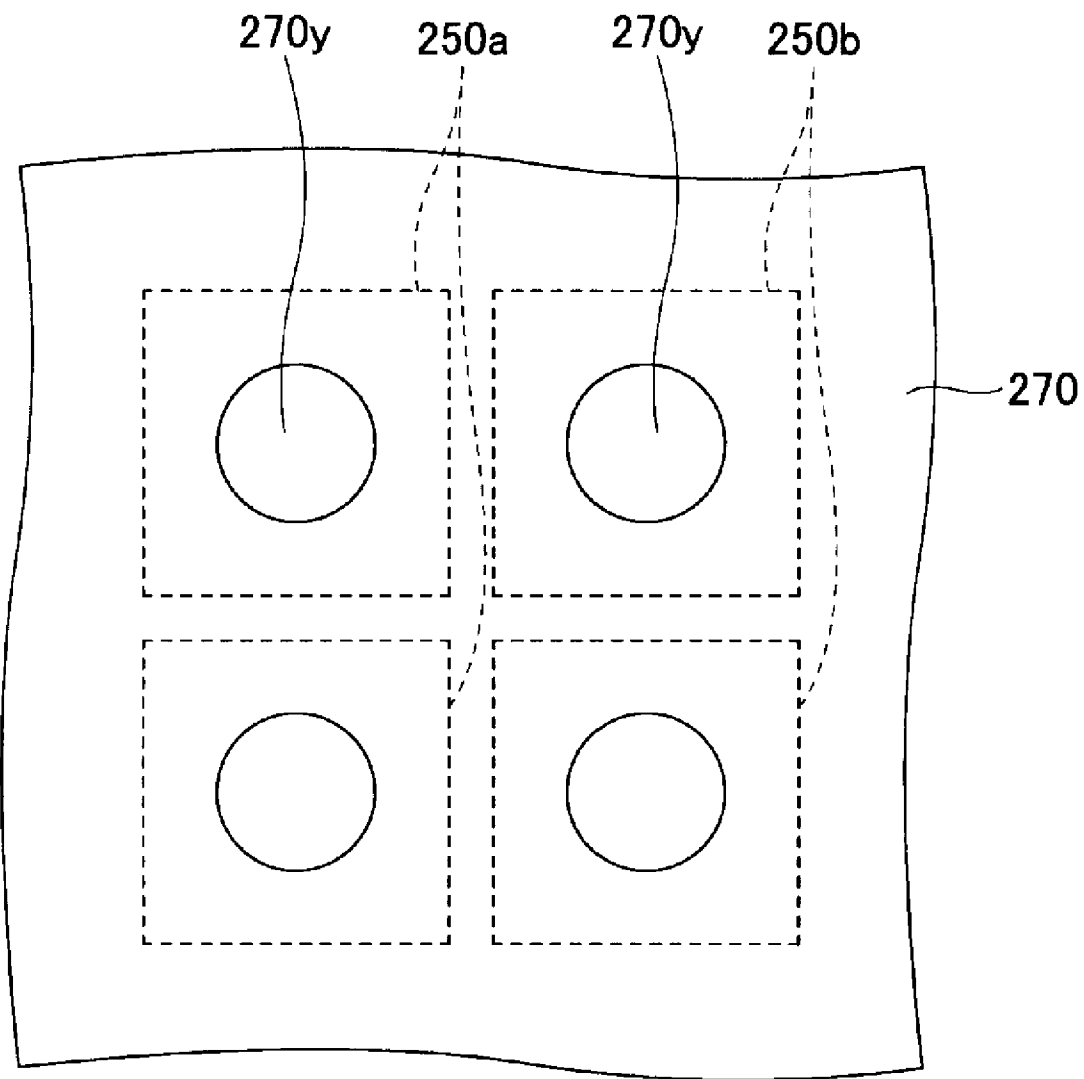
100D



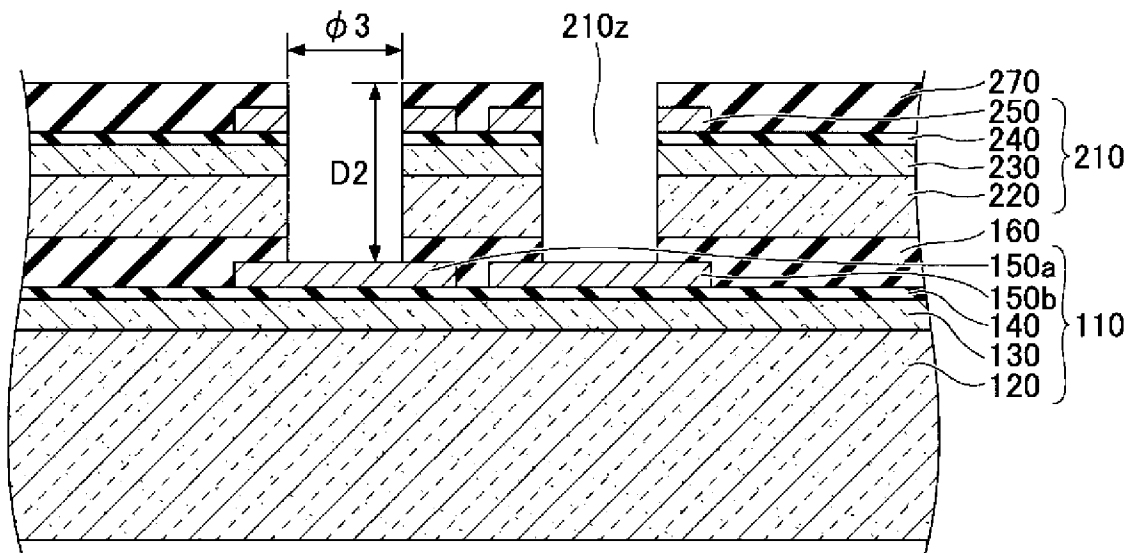
[図11A]



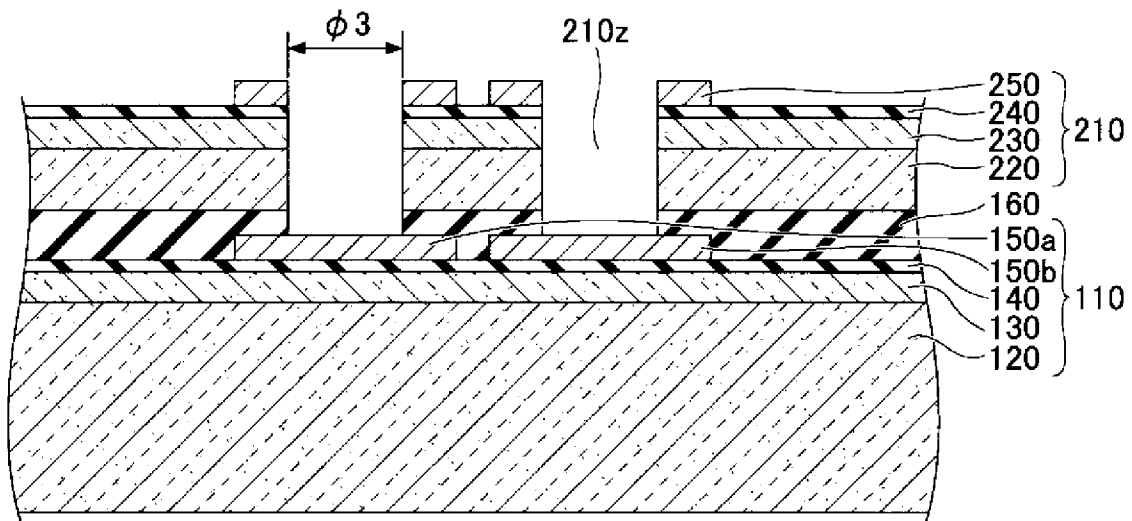
[図11B]



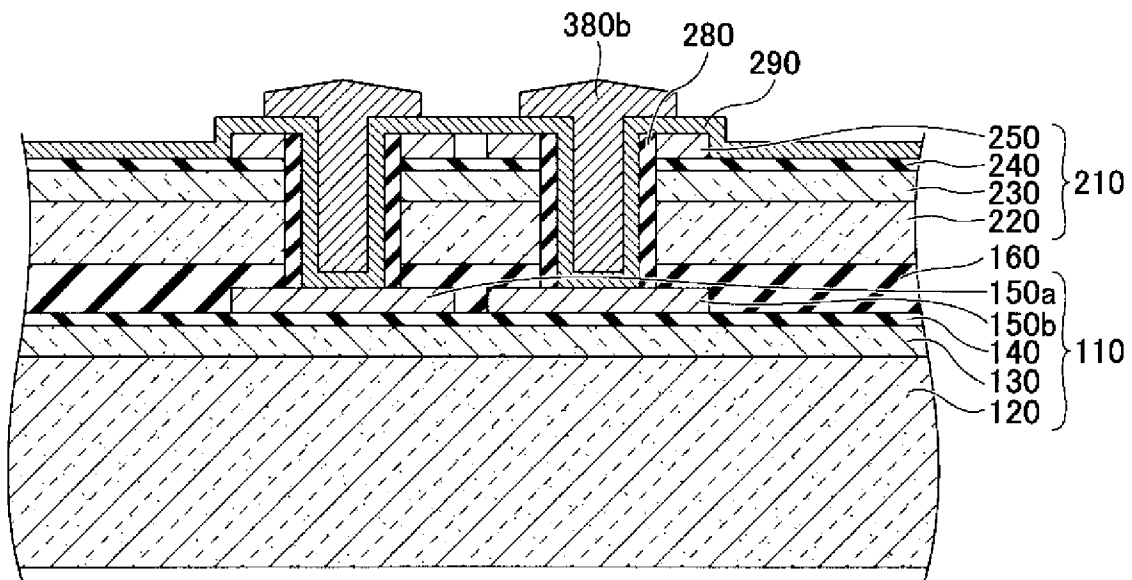
[図11C]



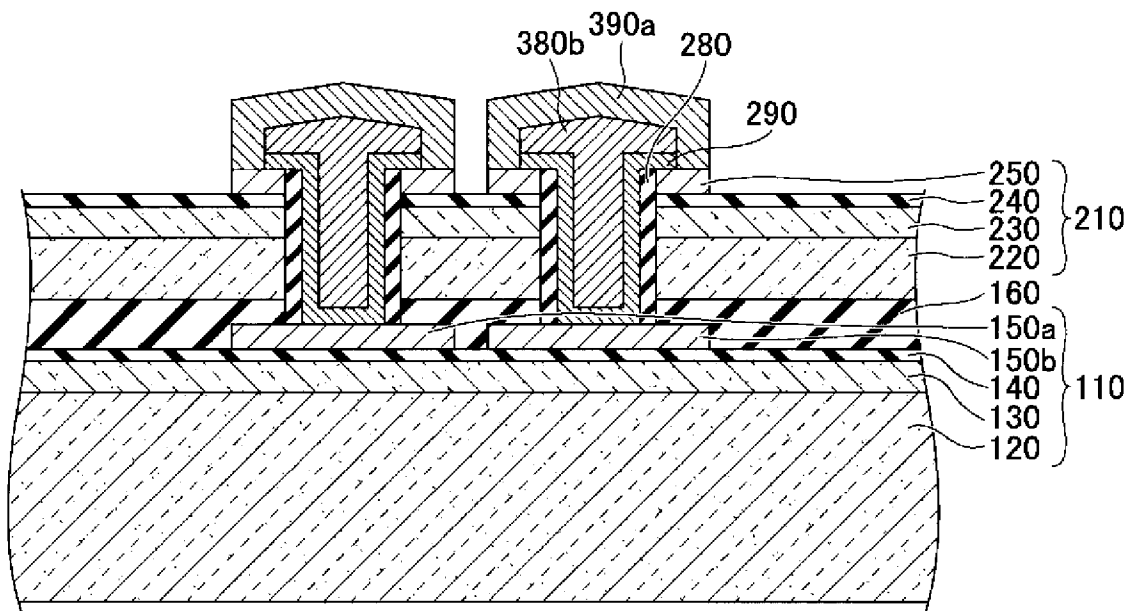
[図11D]



[図11E]

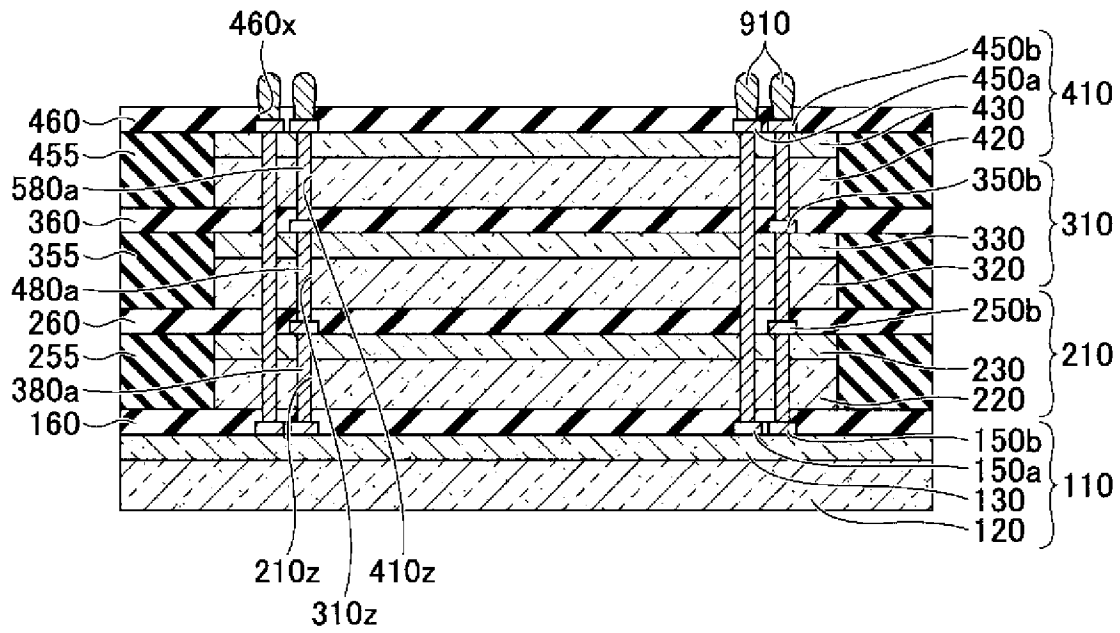


[図11F]

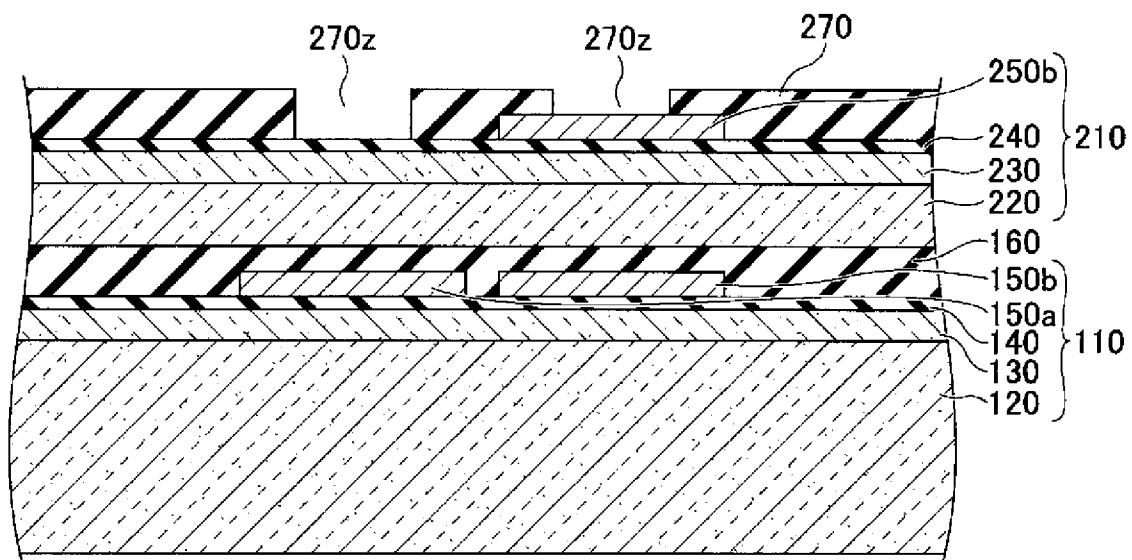


[図12]

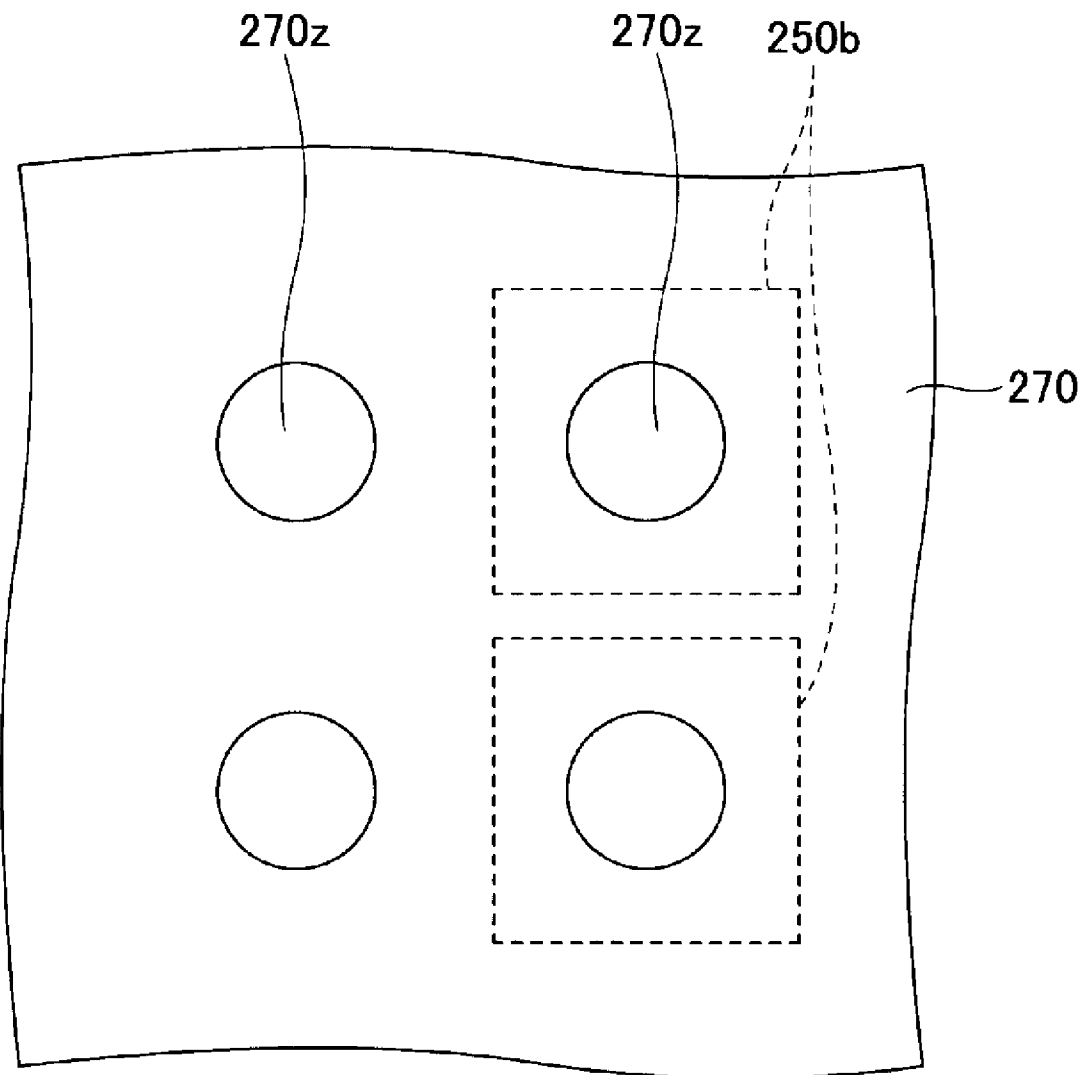
100E



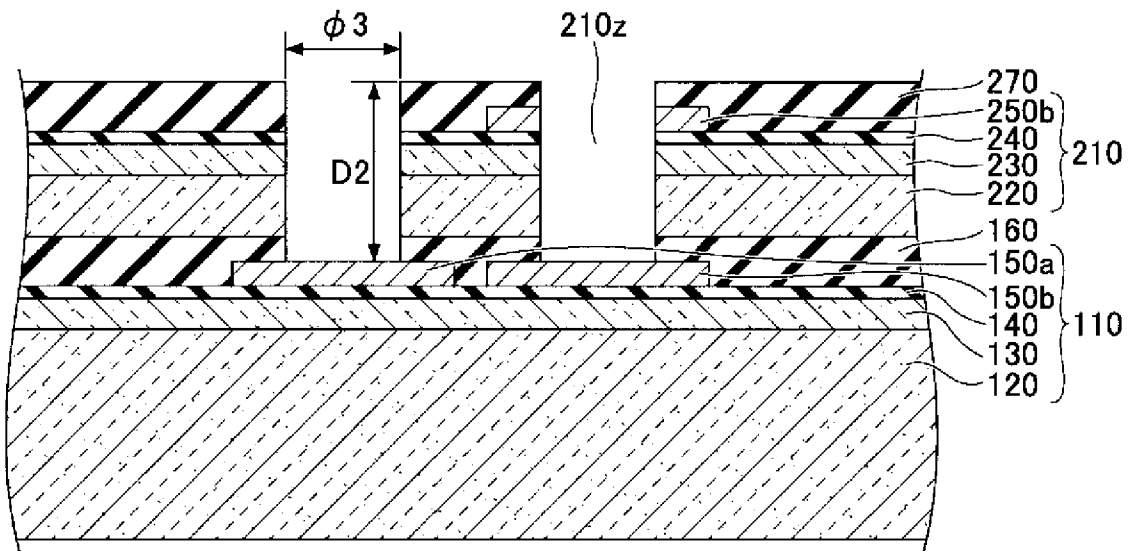
[図13A]



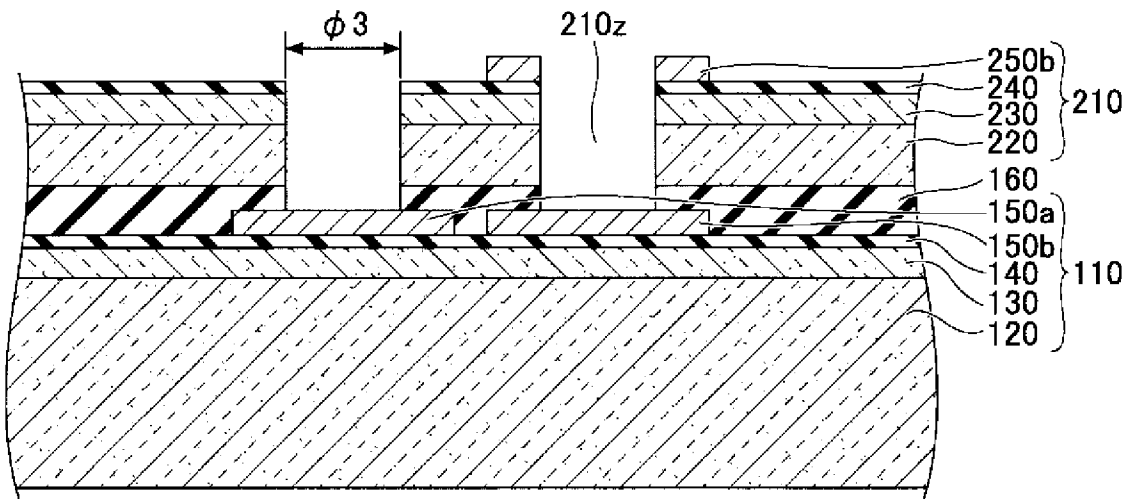
[図13B]



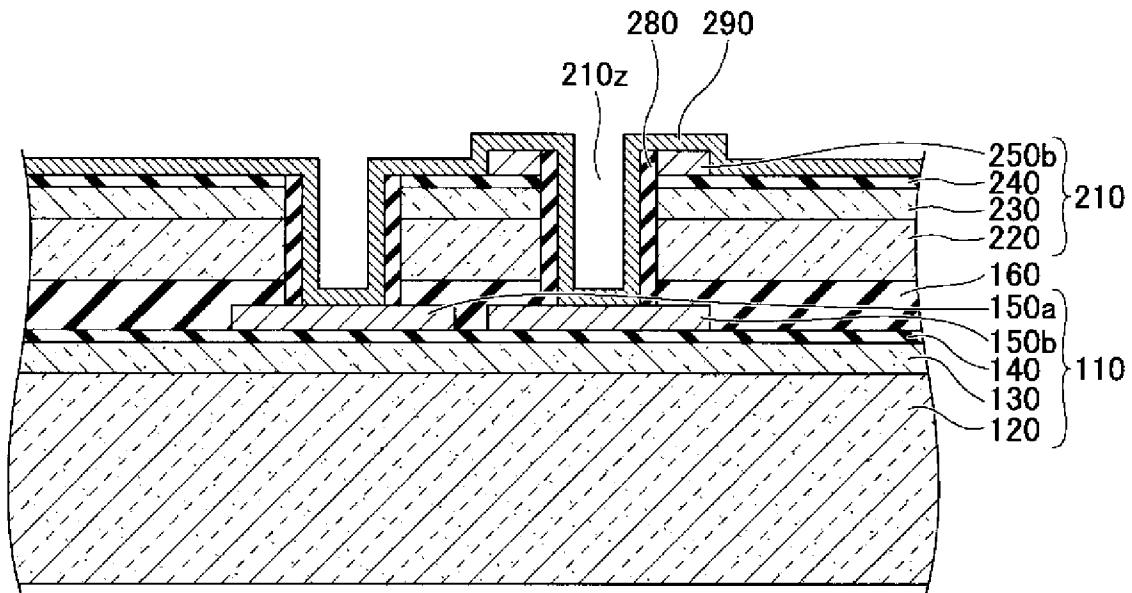
[図13C]



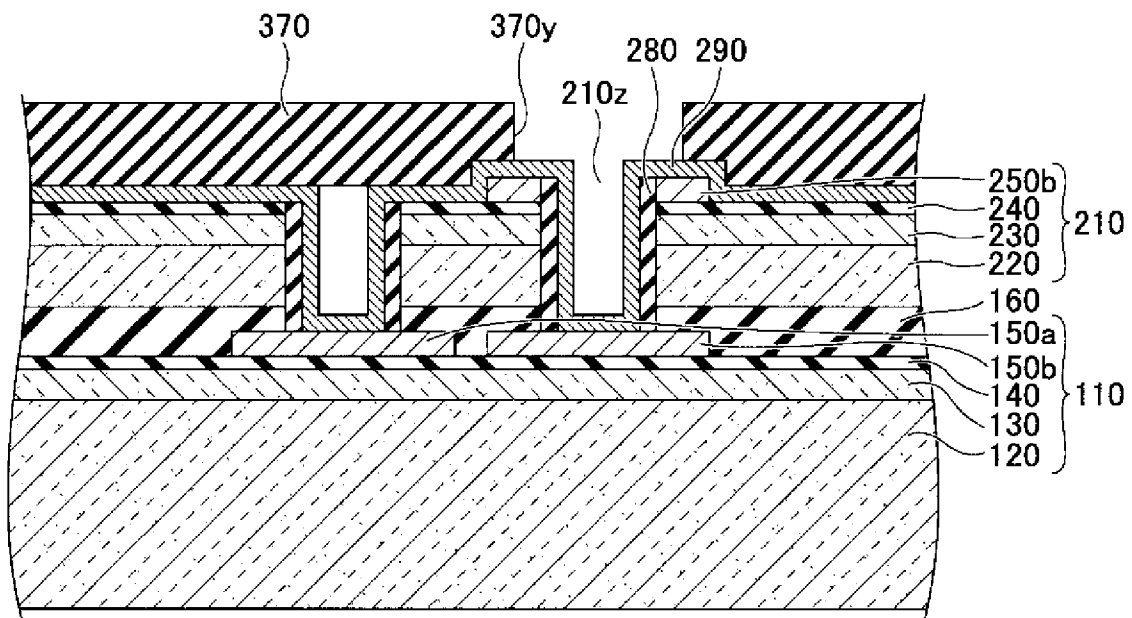
[図13D]



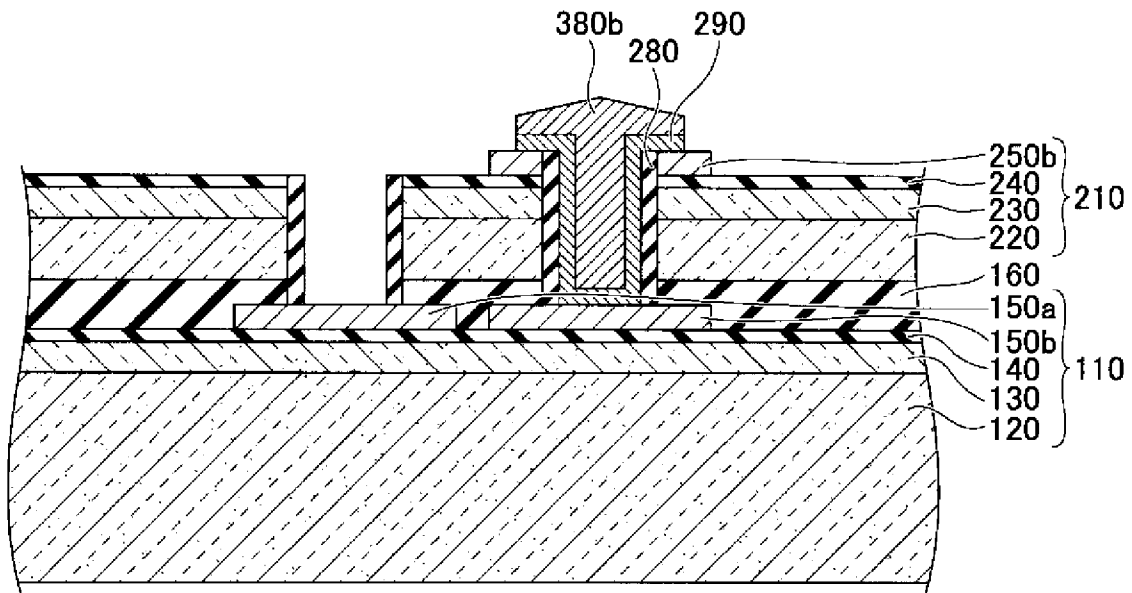
[図13E]



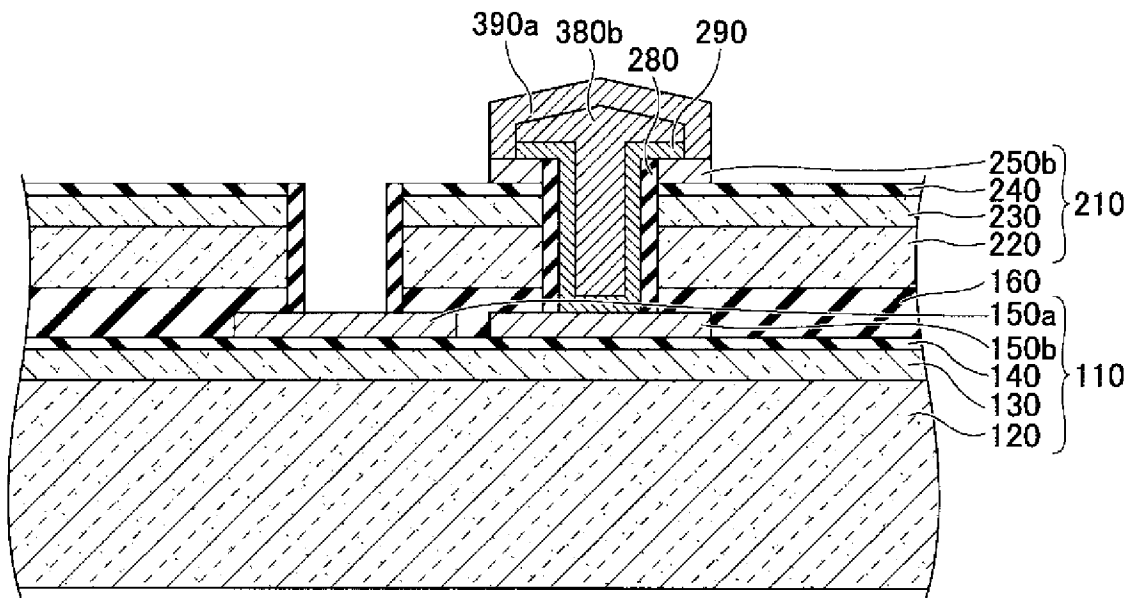
[図13F]



[図13G]

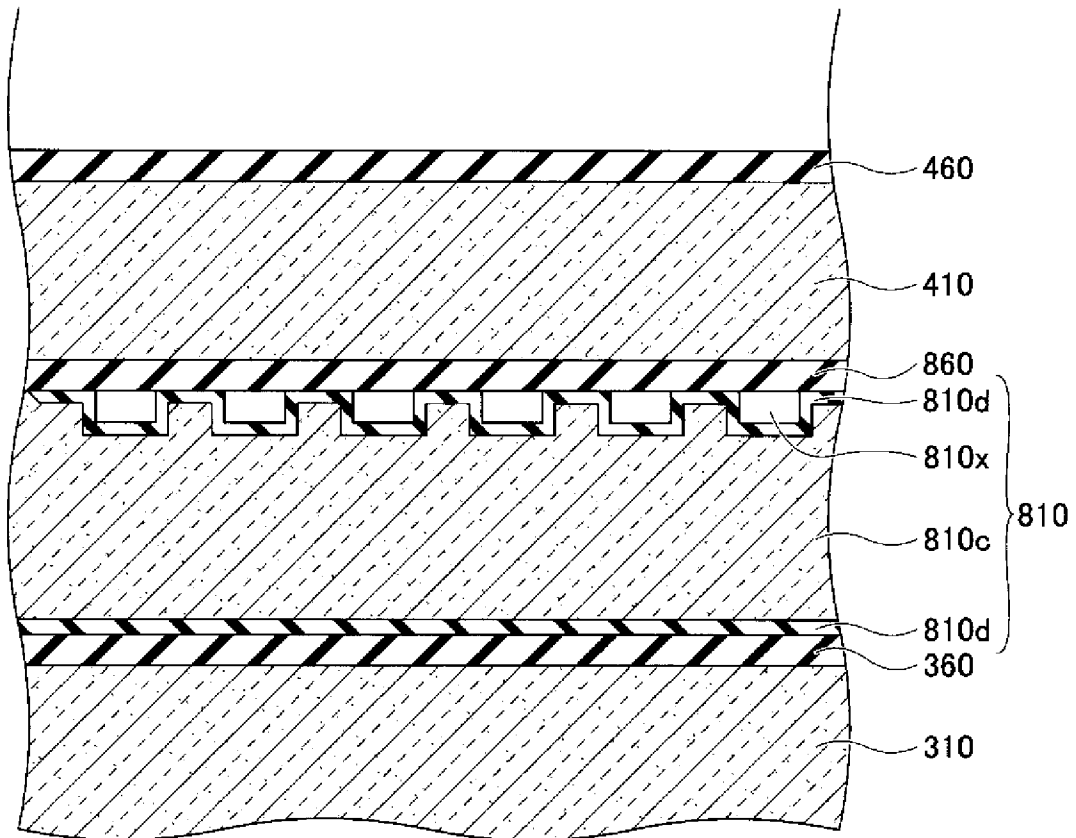


[図13H]



[図14]

100F



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/055486

A. CLASSIFICATION OF SUBJECT MATTER

H01L25/065(2006.01)i, H01L21/3205(2006.01)i, H01L23/52(2006.01)i,
H01L25/07(2006.01)i, H01L25/18(2006.01)i, H01L27/00(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L25/065, H01L21/3205, H01L23/52, H01L25/07, H01L25/18, H01L27/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	Takayuki OBA et al., "3D Large Scale Integration Technology Using Wafer-on-Wafer (WOW) Stacking", The Transactions of the Institute of Electronics, Information and Communication Engineers C, 01 November 2010 (01.11.2010), vol.J93-C, no.11, pages 464 to 476, page 464, righth column, line 13 to page 465, left column, line 20, fig. 1, 2	1-17

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier application or patent but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- "&" document member of the same patent family

Date of the actual completion of the international search
24 May, 2011 (24.05.11)

Date of mailing of the international search report
31 May, 2011 (31.05.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/055486

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2004-158537 A (Shinko Electric Industries Co., Ltd.), 03 June 2004 (03.06.2004), paragraphs [0027] to [0088], [0110] to [0118]; fig. 1 to 5, 10 & US 2004/0119166 A1 & US 2005/0212126 A1 & EP 1418617 A2 & EP 1801866 A2 & DE 60324376 D & DE 60327721 D & KR 10-2004-0040352 A & CN 1499590 A	1-17
Y	JP 2005-51150 A (Seiko Epson Corp.), 24 February 2005 (24.02.2005), paragraphs [0006] to [0041]; fig. 1 to 8 & US 2005/0048698 A1 & CN 1581483 A	1-17
Y	JP 2006-60067 A (Rohm Co., Ltd.), 02 March 2006 (02.03.2006), paragraphs [0104] to [0116]; fig. 10 to 14 & US 2006/0038300 A1 & US 2006/0267206 A1 & DE 102005040217 A & FR 2874456 A & KR 10-2006-0053177 A & CN 1738027 A	10
Y	JP 2010-161102 A (Elpida Memory, Inc.), 22 July 2010 (22.07.2010), claims 1, 8; paragraphs [0028] to [0031] & US 2010/0171208 A1	11-14
Y	JP 2001-217386 A (Seiko Epson Corp.), 10 August 2001 (10.08.2001), paragraph [0030] (Family: none)	11-14
Y	Fujimoto, K. et.al., TSV (through silicon via) interconnection on wafer-on-a-wafer (WOW) with MEMS technology, Solid-State Sensors, Actuators and Microsystems Conference, 2009. TRANSDUCERS 2009. International, 2009.10, p.1877-1880	11-14
A	JP 2009-505401 A (Ziptronix, Inc.), 05 February 2009 (05.02.2009), paragraphs [0016] to [0054]; fig. 1 to 11 & US 2007/0037379 A1 & US 2009/0068831 A1 & EP 1913631 A & WO 2007/021639 A3 & CA 2618191 A & KR 10-2008-0039899 A & CN 101558483 A & IL 189173 D	1-17
A	Kitada, H. et. al., Development of low temperature dielectrics down to 150°C for multiple TSVs structure with Wafer-on-Wafer (WOW) technology, Interconnect Technology Conference (IITC), 2010 International, 2010.07, p.1-3	1-17

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L25/065(2006.01)i, H01L21/3205(2006.01)i, H01L23/52(2006.01)i, H01L25/07(2006.01)i, H01L25/18(2006.01)i, H01L27/00(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L25/065, H01L21/3205, H01L23/52, H01L25/07, H01L25/18, H01L27/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2011年
日本国実用新案登録公報	1996-2011年
日本国登録実用新案公報	1994-2011年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	大場隆之 外7名, ウェーハ積層を用いた三次元高集積化技術, 電子情報通信学会論文誌 C, 2010.11.01, Vol. J93-C, No. 11, p. 464-476 464 頁右欄 13 行-465 頁左欄 20 行, 図 1、2	1-17
Y	JP 2004-158537 A (新光電気工業株式会社) 2004.06.03, 【0027】 - 【0088】 , 【0110】 - 【0118】 , 【図 1】 - 【図 5】 , 【図 10】 & US 2004/0119166 A1 & US 2005/0212126 A1 & EP 1418617 A2 & EP 1801866 A2 & DE 60324376 D & DE 60327721 D & KR 10-2004-0040352 A & CN 1499590 A	1-17

C 欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的な技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

24.05.2011

国際調査報告の発送日

31.05.2011

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
 郵便番号 100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

今井 拓也

4R

9169

電話番号 03-3581-1101 内線 3471

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2005-51150 A (セイコーエプソン株式会社) 2005. 02. 24, 【0006】 - 【0041】 , 【図 1】 - 【図 8】 & US 2005/0048698 A1 & CN 1581483 A	1-17
Y	JP 2006-60067 A (ローム株式会社) 2006. 03. 02, 【0104】 - 【0116】 , 【図 10】 - 【図 14】 & US 2006/0038300 A1 & US 2006/0267206 A1 & DE 102005040217 A & FR 2874456 A & KR 10-2006-0053177 A & CN 1738027 A	10
Y	JP 2010-161102 A (エルピーダメモリ株式会社) 2010. 07. 22, 【請求項 1】 , 【請求項 8】 , 【0028】 - 【0031】 & US 2010/0171208 A1	11-14
Y	JP 2001-217386 A (セイコーエプソン株式会社) 2001. 08. 10, 【0030】 (ファミリーなし)	11-14
Y	Fujimoto, K. et.al., TSV (through silicon via) interconnection on wafer-on-a-wafer (WOW) with MEMS technology, Solid-State Sensors, Actuators and Microsystems Conference, 2009. TRANSDUCERS 2009. International, 2009. 10, p.1877-1880	11-14
A	JP 2009-505401 A (ジプトロニクス・インコーポレイテッド) 2009. 02. 05, 【0016】 - 【0054】 , 【図 1】 - 【図 11】 & US 2007/0037379 A1 & US 2009/0068831 A1 & EP 1913631 A & WO 2007/021639 A3 & CA 2618191 A & KR 10-2008-0039899 A & CN 101558483 A & IL 189173 D	1-17
A	Kitada, H. et.al., Development of low temperature dielectrics down to 150° C for multiple TSVs structure with Wafer-on-Wafer (WOW) technology, Interconnect Technology Conference (IITC), 2010 International, 2010. 07, p.1-3	1-17