



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I570873 B

(45) 公告日：中華民國 106 (2017) 年 02 月 11 日

(21) 申請案號：102105861

(22) 申請日：中華民國 102 (2013) 年 02 月 20 日

(51) Int. Cl. : H01L23/544 (2006.01)

H01L21/027 (2006.01)

(71) 申請人：聯華電子股份有限公司 (中華民國) UNITED MICROELECTRONICS CORP. (TW)  
 新竹市新竹科學工業園區力行二路 3 號

(72) 發明人：李世偉 LI, SHIH WEI (TW)；王凱弘 WANG, KAI HONG (TW)；林恆慶 LIN, HENG CHING (TW)；徐長生 HSU, CHANG SHENG (TW)

(74) 代理人：祁明輝；林素華；涂綺玲

(56) 參考文獻：

US 6861186B1

US 7611960B2

US 2011/0207250A1

US 2013/0009268A1

審查人員：翁佑菱

申請專利範圍項數：10 項 圖式數：3 共 13 頁

(54) 名稱

半導體結構及其製造方法

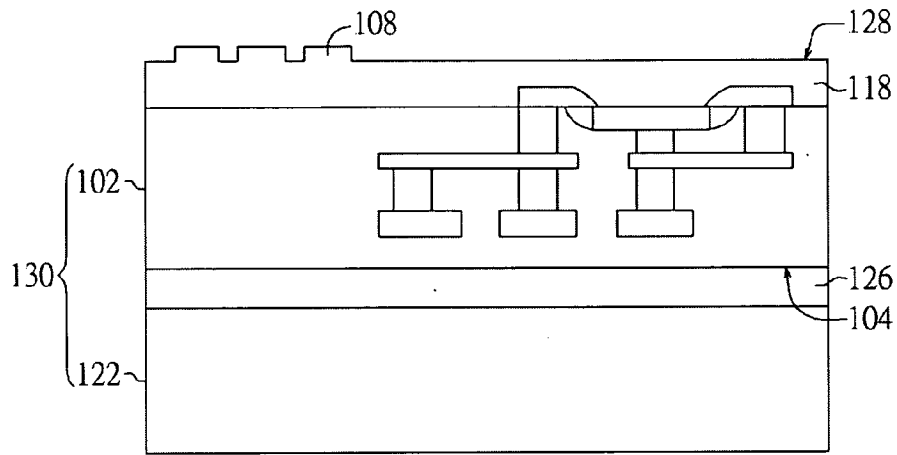
SEMICONDUCTOR STRUCTURE AND MANUFACTURING METHOD FOR THE SAME

(57) 摘要

一種半導體結構及其製造方法。製造方法包括以下步驟。提供一裝置晶圓。裝置晶圓包括一預對準標記、一前表面與一背表面。預對準標記是位在裝置晶圓的背表面。提供一支撐晶圓。將裝置晶圓的前表面貼合在支撐晶圓上，並露出裝置晶圓的背表面上的預對準標記，以形成一晶圓結構，其中在貼合步驟之前，未進行用以對準裝置晶圓與支撐晶圓的一對準步驟。在對裝置晶圓的背表面進行一曝光製程之前，利用裝置晶圓的背表面上的預對準標記，對晶圓結構進行一預對準步驟。

A semiconductor structure and a manufacturing method for the same are provided. The manufacturing method comprises following steps. A device wafer including a pre-alignment mark, a front surface and a back surface is provided. The pre-alignment mark is on the back surface of the device wafer. A supporting wafer is provided. A wafer structure is formed by binding the front surface of the device wafer to the supporting wafer and exposing the pre-alignment mark on the back surface of the device wafer. No alignment step for aligning the device wafer and the supporting wafer is performed before the bonding step. A pre-alignment step for the wafer structure is performed by aligning the pre-alignment mark on the back surface of the device wafer before a litho-exposing step.

指定代表圖：



符號簡單說明：

- 102 . . . 裝置晶圓
- 104 . . . 前表面
- 108 . . . 預對準標記
- 118 . . . 材料層
- 122 . . . 支撐晶圓
- 126 . . . 黏著層
- 128 . . . 背表面
- 130 . . . 晶圓結構

第 3A 圖

## 發明摘要

※ 申請案號：102105861

※ 申請日：102.2.20

※ IPC 分類：H01L 23/544 2006.01

H01L 21/027 2006.01

【發明名稱】(中文/英文)

半導體結構及其製造方法/SEMICONDUCTOR STRUCTURE  
AND MANUFACTURING METHOD FOR THE SAME

【中文】

一種半導體結構及其製造方法。製造方法包括以下步驟。提供一裝置晶圓。裝置晶圓包括一預對準標記、一前表面與一背表面。預對準標記是位在裝置晶圓的背表面。提供一支撐晶圓。將裝置晶圓的前表面貼合在支撐晶圓上，並露出裝置晶圓的背表面上的預對準標記，以形成一晶圓結構，其中在貼合步驟之前，未進行用以對準裝置晶圓與支撐晶圓的一對準步驟。在對裝置晶圓的背表面進行一曝光製程之前，利用裝置晶圓的背表面上的預對準標記，對晶圓結構進行一預對準步驟。

【英文】

A semiconductor structure and a manufacturing method for the same are provided. The manufacturing method comprises following steps. A device wafer including a pre-alignment mark, a front surface and a back surface is provided. The pre-alignment mark is on the back surface of the device wafer. A supporting wafer is provided. A wafer structure is formed by binding the front surface of the device wafer to the supporting wafer and exposing the pre-alignment mark on the back surface of the device wafer. No alignment step for aligning the device wafer and the supporting wafer is performed before the bonding step. A pre-alignment step for the wafer structure is performed by aligning the pre-alignment mark on the back surface of

the device wafer before a litho-exposing step.

**【代表圖】**

**【本案指定代表圖】**：第（ 3A ）圖。

**【本代表圖之符號簡單說明】**：

102：裝置晶圓；

104：前表面；

108：預對準標記；

118：材料層；

122：支撐晶圓；

126：黏著層；

128：背表面；

130：晶圓結構。

**【本案若有化學式時，請揭示最能顯示發明特徵的化學式】**：

無

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

## 【發明名稱】(中文/英文)

半導體結構及其製造方法/SEMICONDUCTOR STRUCTURE AND MANUFACTURING METHOD FOR THE SAME

## 【技術領域】

【0001】 本發明是有關於一種半導體結構及其製造方法，且特別是有關於一種背照式裝置及其製造方法。

## 【先前技術】

【0002】 近年來由於半導體結構不斷地改變，半導體結構的製程步驟因應增加。一個產品一般需要進行數十道黃光微影製程。黃光微影製程是製造半導體結構成敗與否的關鍵步驟。為使光罩的圖案能正確地轉移到晶片上，在製造半導體結構的過程中，在每一次執行光阻的曝光之前，必須做好對準，以避免不當的圖案轉移，而導致產品電性偏移甚至報廢的情況發生。然而，一般對準製程步驟繁雜，這會提高產品的製造週期而降低產率。

## 【發明內容】

【0003】 本發明係有關於一種半導體結構及其製造方法。製程簡單而能提升產率。

【0004】 根據本發明之一方面，提出一種半導體結構的製造方法，包括以下步驟。提供一裝置晶圓。裝置晶圓包括一預對準標記、一前表面與一背表面。預對準標記是位在裝置晶圓的背表面。提供一支撐晶圓。將裝置晶圓的前表面貼合在支撐晶圓上，並露出裝置晶圓的背表面上的預對準標記，以形成一晶圓結構，其中在貼合步驟之前，未進行用以對準裝置晶圓與支撐晶圓的一對準步驟。在對裝置晶圓的背表面進行一曝光製程之前，利用裝置晶圓的背表面上的預對準標記，對晶圓結構進行一預對準步驟。

【0005】 根據本發明之一方面，提出一種半導體結構的製造方法，包括以下步驟。提供一裝置晶圓。裝置晶圓包括一預對準標記、一前表面與一背表面。預對準標記是位在裝置晶圓的背表面。提供一支撐晶圓。支撐晶圓不具有對應於裝置晶圓之預對準標記的一標記。將裝置晶圓的前表面貼合在支撐晶圓上，並露出裝置晶圓的背表面上的預對準標記，以形成一晶圓結構。在對裝置晶圓的背表面進行一曝光製程之前，利用裝置晶圓的背表面上的預對準標記，對晶圓結構進行一預對準步驟。

【0006】 根據本發明之一方面，提出一種半導體結構。半導體結構包括一裝置晶圓以及一支撐晶圓。裝置晶圓包括一預對準標記、一前表面與一背表面。預對準標記是位在裝置晶圓的背表面。裝置晶圓的前表面是貼合至支撐晶圓上。支撐晶圓不具有對應於裝置晶圓之預對準標記的一標記。

【0007】 爲了對本發明之上述及其他方面有更佳的瞭解，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

#### 【圖式簡單說明】

【0008】 第 1A 圖至第 3B 圖繪示根據一實施例之半導體結構的製造方法。

#### 【實施方式】

【0009】 第 1A 圖至第 3B 圖繪示根據一實施例之半導體結構的製造方法。

【0010】 請參照第 1A 圖，提供一裝置晶圓 102。於一實施例中，裝置晶圓 102 是用於背照式(backside illuminated; BSI)裝置。裝置晶圓 102 包括相對的一前表面 104 與一背表面 106，與位在背表面 106 上的一預對準標記 108。預對準標記 108 可配置在裝置區域 110 以外的區域 112，例如晶圓的周緣區域或切割道區域等，因此不會影響裝置區域 110 中主要裝置的結構與製造。舉例來說，預對準標記 108 的形成方法可包括在基底 114 蝕刻出凹槽 116，然後在基底 114 上形成材料層 118 以填充凹槽 116，其中材

料層 118 填充在凹槽 116 中的部分是形成預對準標記 108。

【0011】 基底 114 可包括介電質、半導體例如矽、III-V 族材料或其他合適的材質。材料層 118 可包括例如以沉積或磊晶等方式形成的半導體材質。於一實施例中，基底 114 與材料層 118 可包括絕緣層上覆矽(SOI)。實施例的預對準標記 108 並不限於零層標記(Zero Mark)，而可形成在其他層例如擴散層(DIFFUSION)包括例如氮化矽、多晶層(poly)、金屬層例如第一金屬層(M1)、接觸層(CONT)、導孔層(via)等等。

【0012】 請參照第 1B 圖，其繪示面向裝置晶圓 102 之前表面 104 的示意圖，預對準標記 108 可為配置在裝置晶圓 102 的 5 點鐘方向及 11 點鐘方向，並呈左、右鏡像的標記。裝置晶圓 102 具有位在邊緣的 V 形槽口(notch)120。

【0013】 請參照第 2 圖，提供一支撐晶圓 122。於實施例中，支撐晶圓 122 的前、後表面可不具有對應於裝置晶圓 102(第 1B 圖)之預對準標記 108 的標記。因此，支撐晶圓 122 並不需要額外的製程來形成標記，成本低並且製造週期短。支撐晶圓 122 具有位在邊緣的 V 形槽口 124。

【0014】 請參照第 3A 圖，利用一黏著層 126，將裝置晶圓 102 的前表面 104 貼合至支撐晶圓 122 上，此外，從裝置晶圓 102 的背表面 106(第 1A 圖)移除基底 114，以露出材料層 118 的背表面 128，以及位在背表面 128 上的預對準標記 108，形成一晶圓結構 130。移除基底 114 的方式可包括蝕刻步驟，或利用化學機械研磨法薄化基底 114。

【0015】 請參照第 3B 圖，其繪示面向晶圓結構 130 之裝置晶圓 102 之背表面 128 的示意圖，往裝置晶圓 102 的背表面 128 來看，預對準標記 108 可為配置在裝置晶圓 102 的 1 點鐘方向及 7 點鐘方向，並呈左、右鏡像的標記。

【0016】 於實施例中，在貼合裝置晶圓 102 與支撐晶圓 122 之前，並沒有進行用以對準裝置晶圓 102 與支撐晶圓 122 的對準

步驟。因此，可以省去貼合對準的步驟，也不需要使⽤貼合用的對準機台，能降低製造成本並縮短製造週期。

【0017】 於一實施例中，在貼合步驟之後，是將晶圓結構 130 送入曝光機台(例如步進式或掃描式機台)執行黃光微影製程中的曝光步驟。在曝光機台執行製程的過程中，是先對晶圓結構 130 進行一預對準步驟，然後再對裝置晶圓 102 塗佈有光阻的背表面 128 進行曝光製程。用作預對準的腔室可為在曝光腔室之前的緩衝腔室。於實施例中，預對準步驟只利⽤裝置晶圓 102 的背表面 128 上的預對準標記 108 進行對位，而沒有利⽤裝置晶圓 102 與支撐晶圓 122 的 V 形槽口 120、124 進行對位，便能夠有效執行預對準的工作。再者，由於預對準步驟只利⽤裝置晶圓 102 的背表面 128 上的預對準標記 108 進行對位，因此即使裝置晶圓 102 與支撐晶圓 122 相對貼合的位置有移動或轉動的情況發生，也不會影響預對準工作的結果。在預對準步驟之後所進行的曝光製程中，也可繼續使⽤預對準標記 108 進行更精準的對位，或是使⽤預對準標記 108 以外的標記進行更精準的對位。在完成曝光製程之後，可繼續進行製程以形成裝置的其他元件例如濾光層等等。

【0018】 綜上所述，雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明。本發明所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾。因此，本發明之保護範圍當視後附之申請專利範圍所界定者為準。

#### 【符號說明】

##### 【0019】

102：裝置晶圓；

104：前表面；

106：背表面；

108：預對準標記；

110：裝置區域；



- 112：區域；
- 114：基底；
- 116：凹槽；
- 118：材料層；
- 120：V形槽口；
- 122：支撐晶圓；
- 124：V形槽口；
- 126：黏著層；
- 128：背表面；
- 130：晶圓結構。

## 申請專利範圍

1. 一種半導體結構的製造方法，包括：

提供一裝置晶圓，該裝置晶圓包括一材料層、一預對準標記、一前表面與一背表面，該材料層具有該背表面，其中該預對準標記是與該材料層相連接並從該材料層的該背表面凸出，且該預對準標記與該材料層是以相同的材料形成；

提供一支撐晶圓；

將該裝置晶圓的該前表面貼合在該支撐晶圓上，並露出該裝置晶圓的該背表面上的該預對準標記，以形成一晶圓結構，其中在該貼合步驟之前，未進行用以對準該裝置晶圓與該支撐晶圓的一對準步驟；以及

在對該裝置晶圓的該背表面進行一曝光製程之前，利用該裝置晶圓的該背表面上的該預對準標記，對該晶圓結構進行一預對準步驟。

2. 如申請專利範圍第 1 項所述之半導體結構的製造方法，其中該裝置晶圓的該預對準標記具有鏡像形狀。

3. 如申請專利範圍第 1 項所述之半導體結構的製造方法，其中該預對準步驟只利用該裝置晶圓的該背表面上的該預對準標記進行對位。

4. 如申請專利範圍第 1 項所述之半導體結構的製造方法，其中該裝置晶圓與該支撐晶圓各具有位在邊緣的 V 形槽口(notch)，該預對準步驟沒有利用該裝置晶圓與該支撐晶圓的該些 V 形槽口進行對位。

5. 一種半導體結構的製造方法，包括：

提供一裝置晶圓，該裝置晶圓包括一材料層、一預對準標記、一前表面與一背表面，該材料層具有該背表面，其中該預對準標記是與該材料層相連接並從該材料層的該背表面凸出，且該預對準標記與該材料層是以相同的材料形成；

提供一支撐晶圓，該支撐晶圓不具有對應於該裝置晶圓之該預對準標記的一標記；

將該裝置晶圓的該前表面貼合在該支撐晶圓上，並露出該裝置晶圓的該背表面上的該預對準標記，以形成一晶圓結構；以及

在對該裝置晶圓的該背表面進行一曝光製程之前，利用該裝置晶圓的該背表面上的該預對準標記，對該晶圓結構進行一預對準步驟。

6. 如申請專利範圍第 5 項所述之半導體結構的製造方法，其中該裝置晶圓的該預對準標記具有鏡像形狀。

7. 如申請專利範圍第 5 項所述之半導體結構的製造方法，其中該預對準步驟只利用該裝置晶圓的該背表面上的該預對準標記進行對位。

8. 如申請專利範圍第 5 項所述之半導體結構的製造方法，其中該裝置晶圓與該支撐晶圓各具有位在邊緣的 V 形槽口(notch)，該預對準步驟沒有利用該裝置晶圓與該支撐晶圓的該些 V 形槽口進行對位。

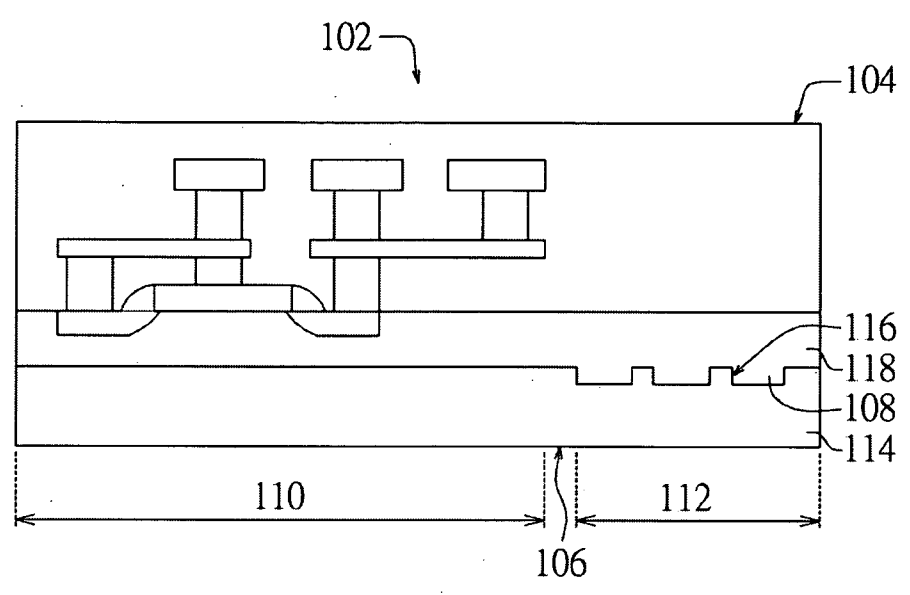
9. 一種半導體結構，包括：

一裝置晶圓，包括一材料層、一預對準標記、一前表面與一背表面，該材料層具有該背表面，其中該預對準標記是與該材料層相連接並從該材料層的該背表面凸出，且該預對準標記與該材料層是以相同的材料形成；以及

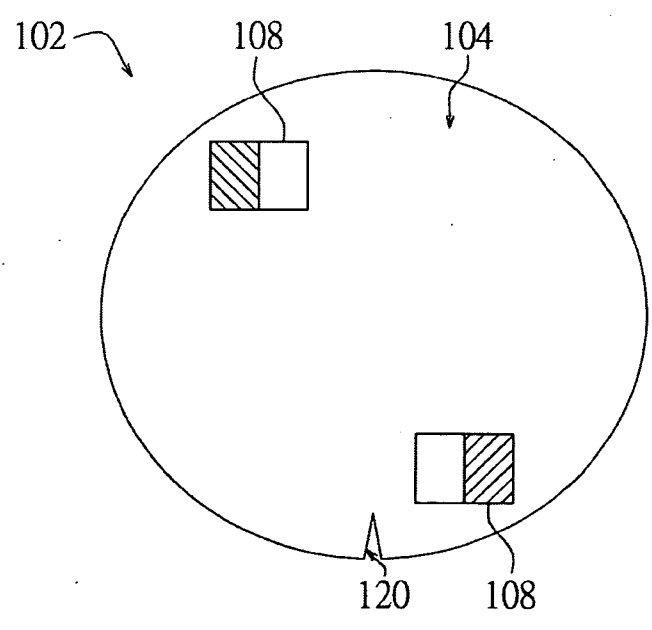
一支撐晶圓，其中該裝置晶圓的該前表面是貼合至該支撐晶圓上，該支撐晶圓不具有對應於該裝置晶圓之該預對準標記的一標記。

10. 如申請專利範圍第 9 項所述之半導體結構，其中該裝置晶圓的該預對準標記具有鏡像形狀。

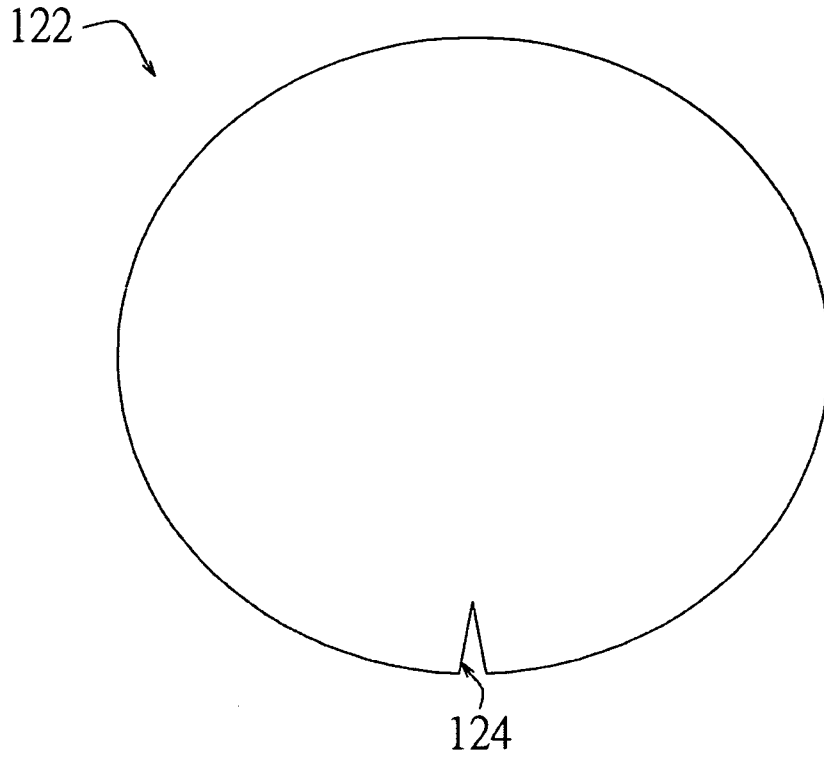
圖式



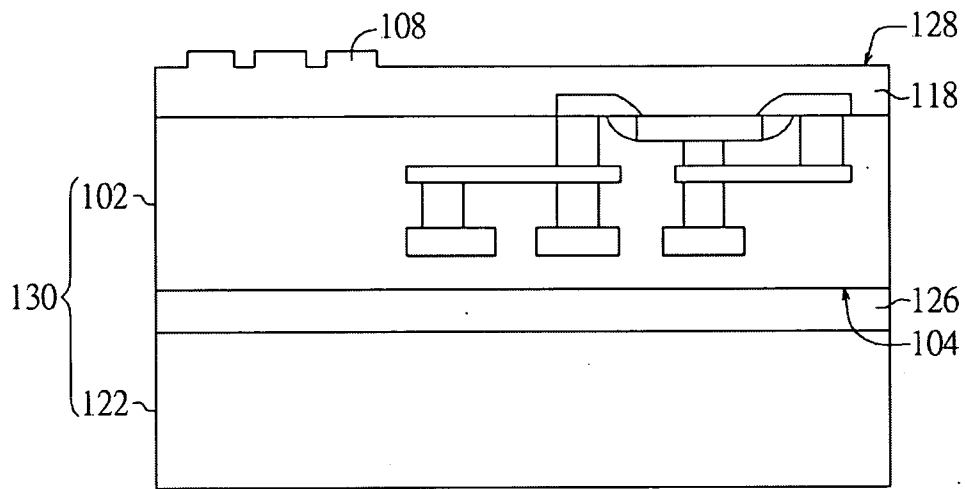
第 1A 圖



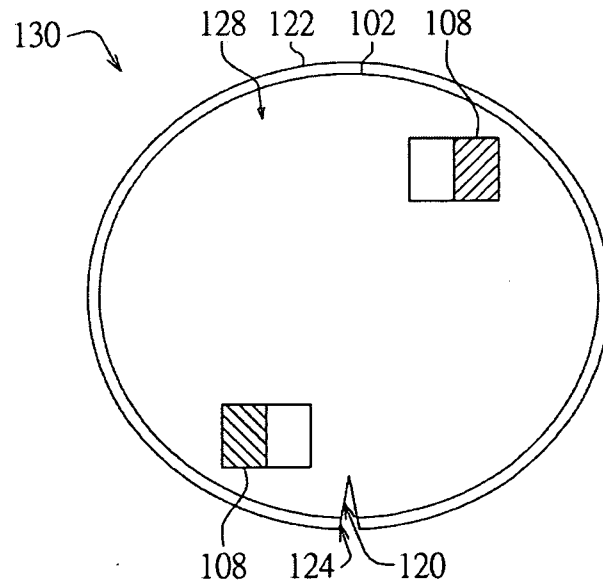
第 1B 圖



第 2 圖



第 3A 圖



第 3B 圖