



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 202420305 A

(43) 公開日：中華民國 113 (2024) 年 05 月 16 日

(21) 申請案號：112130027

(22) 申請日：中華民國 112 (2023) 年 08 月 10 日

(51) Int. Cl. : *G11C11/22 (2006.01)**H10N50/00 (2023.01)*

(30) 優先權：2022/11/14 南韓

10-2022-0151365

(71) 申請人：南韓商三星電子股份有限公司 (南韓) SAMSUNG ELECTRONICS CO., LTD. (KR)  
南韓(72) 發明人：李炅奐 LEE, KYUNGHWAN (KR)；金容錫 KIM, YONGSEOK (KR)；河大元 HA,  
DAEWON (KR)

(74) 代理人：林孟閱；盧珮君；陳怡如

申請實體審查：有 申請專利範圍項數：10 項 圖式數：38 共 68 頁

(54) 名稱

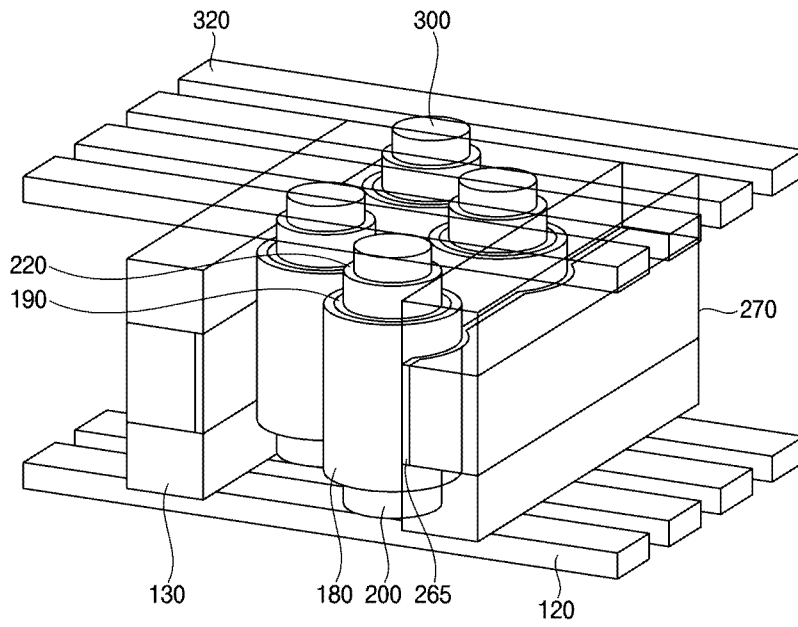
三維鐵電記憶體裝置

(57) 摘要

一種三維鐵電記憶體裝置包括：通道，位於基板上且在與基板的上表面實質上垂直的垂直方向上延伸；閘極絕緣圖案及導電圖案，在與基板的上表面實質上平行的水平方向上堆疊於通道的側壁上且環繞通道的側壁；鐵電圖案，接觸導電圖案的外側壁的一部分；閘極電極，接觸鐵電圖案；以及第一源極/汲極圖案及第二源極/汲極圖案，分別接觸通道的下表面及上表面。

A three-dimensional ferroelectric memory device includes a channel on a substrate and extending in a vertical direction substantially perpendicular to an upper surface of the substrate, a gate insulation pattern and a conductive pattern stacked on and surrounding a sidewall of the channel in a horizontal direction substantially parallel to the upper surface of the substrate, a ferroelectric pattern contacting a portion of an outer sidewall of the conductive pattern, a gate electrode contacting the ferroelectric pattern, and first and second source/drain patterns contacting lower and upper surfaces, respectively, of the channel.

指定代表圖：



符號簡單說明：

120:第一配線

130:第二層間絕緣層

180:導電圖案

190:第一閘極絕緣圖案

200:第一源極/汲極圖案

220:第二源極/汲極圖案

265:鐵電圖案

270:第二配線

300:第一接觸插塞

320:第三配線

【圖1】

## 【發明摘要】

【中文發明名稱】三維鐵電記憶體裝置

【英文發明名稱】THREE-DIMENSIONAL FERROELECTRIC

MEMORY DEVICES

【中文】一種三維鐵電記憶體裝置包括：通道，位於基板上且在與基板的上表面實質上垂直的垂直方向上延伸；閘極絕緣圖案及導電圖案，在與基板的上表面實質上平行的水平方向上堆疊於通道的側壁上且環繞通道的側壁；鐵電圖案，接觸導電圖案的外側壁的一部分；閘極電極，接觸鐵電圖案；以及第一源極/汲極圖案及第二源極/汲極圖案，分別接觸通道的下表面及上表面。

【英文】A three-dimensional ferroelectric memory device includes a channel on a substrate and extending in a vertical direction substantially perpendicular to an upper surface of the substrate, a gate insulation pattern and a conductive pattern stacked on and surrounding a sidewall of the channel in a horizontal direction substantially parallel to the upper surface of the substrate, a ferroelectric pattern contacting a portion of an outer sidewall of the conductive pattern, a gate electrode contacting the ferroelectric pattern, and first and second source/drain patterns contacting lower and upper surfaces, respectively, of the channel.

【指定代表圖】圖1。

【代表圖之符號簡單說明】

120:第一配線

130:第二層間絕緣層

180:導電圖案

190:第一閘極絕緣圖案

200:第一源極/汲極圖案

220:第二源極/汲極圖案

265:鐵電圖案

270:第二配線

300:第一接觸插塞

320:第三配線

【特徵化學式】

無

## 【發明說明書】

【中文發明名稱】三維鐵電記憶體裝置

【英文發明名稱】THREE-DIMENSIONAL FERROELECTRIC

MEMORY DEVICES

### 【技術領域】

【0001】 實例性實施例是有關於一種三維鐵電記憶體裝置。

[相關申請案的交叉參考]

【0002】 本申請案主張於 2022 年 11 月 14 日在韓國智慧財產局（Korean Intellectual Property Office, KIPO）提出申請的韓國專利申請案第 10-2022-0151365 號的優先權，所述韓國專利申請案的揭露內容全文併入本案供參考。

### 【先前技術】

【0003】 鐵電隨機存取記憶體（ferroelectric random access memory, FeRAM）裝置或鐵電場效電晶體（ferroelectric field effect transistor, FeFET）可用作記憶體裝置，其較動態隨機存取記憶體（dynamic random access memory, DRAM）裝置及非揮發性記憶體裝置（例如，快閃記憶體裝置）更為簡單。近年來，為了具有高的積體度，已開發了三維（three-dimensional, 3D）FeRAM 裝置。然而，需要一種增強 3D FeRAM 裝置的電特性的方法。

**【發明內容】**

**【0004】** 根據實例性實施例，提供一種三維鐵電記憶體裝置，所述三維鐵電記憶體裝置包括：通道，位於基板上且在與基板的上表面實質上垂直的垂直方向上延伸；閘極絕緣圖案及導電圖案，在與基板的上表面實質上平行的水平方向上堆疊於通道的側壁上且環繞通道的側壁；鐵電圖案，接觸導電圖案的外側壁的一部分；閘極電極，接觸鐵電圖案；以及第一源極/汲極圖案及第二源極/汲極圖案，分別接觸通道的下表面及上表面。

**【0005】** 根據實例性實施例，提供一種三維鐵電記憶體裝置，所述三維鐵電記憶體裝置包括：通道，位於基板上且在與基板的上表面實質上垂直的垂直方向上延伸；閘極絕緣圖案、導電圖案、鐵電圖案及閘極電極，在與基板的上表面實質上平行的水平方向上依序堆疊於通道的側壁上；以及第一源極/汲極圖案及第二源極/汲極圖案，分別接觸通道的下表面及上表面。閘極絕緣圖案的位於通道與導電圖案之間並與通道及導電圖案接觸的部分的面積可大於鐵電圖案的位於導電圖案與閘極電極之間並與導電圖案及閘極電極接觸的部分的面積。

**【0006】** 根據實例性實施例，存在一種三維鐵電記憶體裝置，所述三維鐵電記憶體裝置包括：位元線，位於基板上且在與基板的上表面實質上平行的第一方向上延伸；第一源極/汲極圖案，接觸位元線的上表面；通道，接觸第一源極/汲極圖案的上表面且在與基板的上表面實質上垂直的垂直方向上延伸；閘極絕緣圖案及導

電圖案，在與基板的上表面實質上平行的水平方向上堆疊於通道的側壁上並環繞通道的側壁；鐵電圖案，接觸導電圖案的外側壁的一部分；字元線，接觸鐵電圖案且在與基板的上表面實質上平行並與第一方向交叉的第二方向上延伸；第二源極/汲極圖案，接觸通道的上表面；以及源極線，接觸第二源極/汲極圖案的上表面，源極線在第一方向上延伸。

### 【圖式簡單說明】

【0007】 藉由參照附圖詳細闡述示例性實施例，對於熟習此項技術者而言，特徵將變得顯而易見，在附圖中：

圖 1 是根據實例性實施例的三維鐵電記憶體裝置的立體圖。

圖 2A 及圖 2B 分別是圖 1 的平面圖及圖 2A 所示放大部分「X」。

圖 3A 及圖 3B 分別是圖 2A 的剖視圖及圖 3A 所示放大部分「Y」。

圖 4 是根據第一閘極絕緣圖案的面積相對於鐵電圖案的面積的比率 ( $A_I/A_F$ ) 的極化遲滯曲線。

圖 5、圖 7、圖 9、圖 11、圖 13、圖 15、圖 17 及圖 19 是示出根據實例性實施例的製造三維鐵電記憶體裝置的方法中的各階段的平面圖，且圖 6、圖 8、圖 10、圖 12、圖 14、圖 16、圖 18 及圖 20 分別是沿著對應的平面圖所示線 A-A' 截取的剖視圖。

圖 21 及圖 22 是示出根據實例性實施例的三維鐵電記憶體裝

置的平面圖及剖視圖。

圖 23 是示出根據實例性實施例的三維鐵電記憶體裝置的剖視圖。

圖 24 及圖 25 是示出根據實例性實施例的製造三維鐵電記憶體裝置的方法中的各階段的剖視圖。

圖 26 及圖 27 是示出根據實例性實施例的三維鐵電記憶體裝置的平面圖及剖視圖。

圖 28 及圖 30 是示出根據實例性實施例的製造三維鐵電記憶體裝置的方法中的各階段的平面圖，且圖 29、圖 31 及圖 32 分別是沿著對應的平面圖所示線 A-A' 截取的剖視圖。

圖 33 是示出根據實例性實施例的三維鐵電記憶體裝置的剖視圖。

圖 34 是示出根據實例性實施例的三維鐵電記憶體裝置的平面圖，且圖 35 及圖 36 是三維鐵電記憶體裝置的剖視圖。

圖 37 是示出根據實例性實施例的三維鐵電記憶體裝置的剖視圖。

圖 38 是示出根據實例性實施例的三維鐵電記憶體裝置的剖視圖。

## 【實施方式】

【0008】 下面將參照附圖詳細闡述實例性實施例的以上及其他特徵。



【0009】 在下文中，可將水平方向之中的與基板的上表面實質上平行且彼此交叉的兩個方向分別定義為第一方向 D1 及第二方向 D2，且可將與基板的上表面實質上垂直的垂直方向定義為第三方向 D3。在實例性實施例中，第一方向 D1 與第二方向 D2 可彼此實質上垂直。

【0010】 圖 1 是根據實例性實施例的三維鐵電記憶體裝置的立體圖。圖 2A 是圖 1 的平面圖，且圖 2B 是圖 2A 中的部分「X」的放大平面圖。圖 3A 是沿著圖 2A 所示線 A-A'的剖視圖，且圖 3B 是圖 3A 中的部分「Y」的放大圖。

【0011】 為了避免圖式的複雜性，圖 2B 未示出第二源極/汲極圖案 220、第四層間絕緣層 290 及第五層間絕緣層 310 以及第三配線 320。另外，為了避免圖式的複雜性，圖 1 未示出一些元件且被繪製為透明樣式，例如，第一閘極絕緣圖案 190 的上部部分及導電圖案 180 的上部部分被刪除以示出第二源極/汲極圖案 220。第一閘極絕緣圖案 190、導電圖案 180 與第二源極/汲極圖案 220 之間的更詳細的位置關係可參照圖 3B。

【0012】 參照圖 1、圖 2A、圖 2B、圖 3A 及圖 3B，三維（3D）鐵電記憶體裝置可包括位於第一基板 100 上的第一配線 120、第二配線 270、鐵電圖案 265、導電圖案 180、第一閘極絕緣圖案 190、第一通道 210、第一源極/汲極圖案 200、第二源極/汲極圖案 220、第三配線 320 及第一接觸插塞 300。另外，3D 鐵電記憶體裝置可更包括第一層間絕緣層至第五層間絕緣層 110、130、150、290 及

310 以及第一絕緣圖案 145 及第二絕緣圖案 280。

【0013】 舉例而言，第一基板 100 可包含半導體材料（例如，矽、鍺、矽鍺等）或 III-V 族化合物半導體（例如，GaP、GaAs、GaSb 等）。在實例性實施例中，第一基板 100 可為絕緣體上矽（silicon-on-insulator，SOI）基板或絕緣體上鍺（germanium-on-insulator，GOI）基板。

【0014】 第一層間絕緣層 110 可定位於第一基板 100 上，且可包含氧化物（例如，氧化矽）。各種類型的電路圖案（例如，電晶體、接觸插塞、配線等）可形成於第一基板 100 上，且可被第一層間絕緣層 110 覆蓋。

【0015】 第一配線 120 可延伸穿過第一層間絕緣層 110 的上部部分。在實例性實施例中，第一配線 120 可在第一方向 D1 上延伸，且多條第一配線 120 可在第二方向 D2 上彼此間隔開。在實例性實施例中，第一配線 120 可用作 3D 鐵電記憶體裝置的位元線。

【0016】 第二層間絕緣層 130 可形成於第一層間絕緣層 110 及第一配線 120 上，且可包含氧化物（例如，氧化矽）。

【0017】 第一絕緣圖案 145 可形成於第二層間絕緣層 130 上，且可在第二方向 D2 上延伸。第一絕緣圖案 145 可包含絕緣氮化物（例如，氮化矽）。

【0018】 第二配線 270（即，閘極電極）可在第二層間絕緣層 130 上形成於第一絕緣圖案 145 在第一方向 D1 上的相對的側中的每一側上，且可在第二方向 D2 上延伸。第二配線 270 的下表面及上表

面以及與第一絕緣圖案 145 的側壁面對的側壁可被鐵電圖案 265 覆蓋。因此，鐵電圖案 265 可例如直接接觸第一絕緣圖案 145 的側壁。另外，鐵電圖案 265 的下表面及上表面可分別與第一絕緣圖案 145 的下表面及上表面實質上共面。

**【0019】** 在實例性實施例中，第二配線 270 可用作 3D 鐵電記憶體裝置的字元線。第二配線 270 可包含例如金屬、金屬氮化物、金屬矽化物等。

**【0020】** 鐵電圖案 265 可包含例如被摻雜銦、矽、鋁、鉍、釷、鏷、銦、鋇等的氧化鉛。舉例而言，鐵電圖案 265 可具有包括多個圖案的多層式結構，所述多個圖案中的每一者可具有以上材料中的一者。在另一實例中，鐵電圖案 265 可具有包含以上材料中的一者的第一圖案及包含絕緣材料（例如，氧化矽）的第二圖案。

**【0021】** 第三層間絕緣層 150 可形成於第一絕緣圖案 145 及鐵電圖案 265 上。第三層間絕緣層 150 可包含氧化物（例如，氧化矽）。

**【0022】** 第二絕緣圖案 280 可在第二方向 D2 上延伸穿過第三層間絕緣層 150、鐵電圖案 265、第二配線 270、及第二層間絕緣層 130 的上部部分。因此，第二配線 270 可在第一方向 D1 上被第二絕緣圖案 280 分隔開，且鐵電圖案 265 可在第一方向 D1 上被第二絕緣圖案 280 分隔開。第二絕緣圖案 280 可包含氧化物（例如，氧化矽）。

**【0023】** 在實例性實施例中，柱結構可延伸穿過第三層間絕緣層 150、第一絕緣圖案 145、及第二層間絕緣層 130 的上部部分。因

此，柱結構可接觸第一絕緣圖案 145 的側壁。柱結構亦可部分地延伸穿過在第二方向 D2 上延伸的第二配線 270，且第二配線 270 的與柱結構面對的側壁可被鐵電圖案 265 覆蓋。

【0024】 在實例性實施例中，多個柱結構可在第一方向 D1 及第二方向 D2 上彼此間隔開。舉例而言，如圖 2A 所示，柱結構可在第二方向 D2 上排列成鋸齒圖案（例如，如在俯視圖中所見）。在另一實例中，柱結構可在第一方向 D1 及第二方向 D2 上以恆定的距離排列。柱結構可在平面圖中（例如，在俯視圖中）具有例如圓形形狀、橢圓形狀、多邊形形狀、具有被修圓的隅角的多邊形形狀等。

【0025】 柱結構可包括：第一通道 210，在第三方向 D3 上延伸；第二源極/汲極圖案 220，例如位於第一通道 210 的上表面上；第一閘極絕緣圖案 190，覆蓋第一通道 210 的側壁及第二源極/汲極圖案 220 的側壁；以及導電圖案 180，覆蓋第一閘極絕緣圖案 190 的側壁。因此，第一通道 210 及第二源極/汲極圖案 220 中的每一者可具有例如圓柱形狀、橢圓柱形狀、方形柱形狀等，且第一閘極絕緣圖案 190 及導電圖案 180 中的每一者可具有例如中空圓柱形狀。

【0026】 舉例而言，第一通道 210 可包含半導體材料，例如複晶矽、矽鍺等。在另一實例中，第一通道 210 可包含氧化物半導體材料，例如 IGZO、Sn-IGZO、IWO、CuS<sub>2</sub>、CuSe<sub>2</sub>、WSe<sub>2</sub>、IZO、ZTO、YZO 等。

【0027】 第二源極/汲極圖案 220 可包含被摻雜 n 型雜質（例如，磷、砷等）的複晶矽或被摻雜 p 型雜質（例如，硼、鎵等）的複晶矽。第一閘極絕緣圖案 190 可包含氧化物（例如，氧化矽），且導電圖案 180 可包含例如金屬、金屬氮化物、金屬矽化物等。

【0028】 第一源極/汲極圖案 200 可延伸穿過第二層間絕緣層 130，且可接觸第一通道 210 的下表面。第一源極/汲極圖案 200 可具有例如圓柱形狀、橢圓柱形狀、方形柱形狀等。第一源極/汲極圖案 200 可包含被摻雜 n 型雜質（例如，磷、砷等）的複晶矽或被摻雜 p 型雜質（例如，硼、鎵等）的複晶矽。

【0029】 第四層間絕緣層 290 可形成於第三層間絕緣層 150、第二絕緣圖案 280 及柱結構上，且可包含氧化物（例如，氧化矽）。

【0030】 第一接觸插塞 300 可延伸穿過第四層間絕緣層 290，且可接觸第二源極/汲極圖案 220 的上表面。第一接觸插塞 300 可包含例如金屬、金屬氮化物、金屬矽化物等。

【0031】 第五層間絕緣層 310 可形成於第四層間絕緣層 290 及第一接觸插塞 300 上，且可包含氧化物（例如，氧化矽）。在實例性實施例中，第三配線 320 可在第一方向 D1 上延伸穿過第五層間絕緣層 310，且可接觸第一接觸插塞 300 的上表面。在實例性實施例中，多條第三配線 320 可在第二方向 D2 上彼此間隔開。第三配線 320 可用作 3D 鐵電記憶體裝置的源極線。第三配線 320 可包含例如金屬、金屬氮化物、金屬矽化物等。

【0032】 參照圖 2B 及圖 3B，位於可用作字元線（即，閘極電極）

的第二配線 270 與導電圖案 180 之間並與第二配線 270 及導電圖案 180 接觸的鐵電圖案 265 可在水平方向上具有第一寬度  $W1$  且在垂直方向上具有第一高度  $H1$ 。另外，位於導電圖案 180 與第一通道 210 之間的第一閘極絕緣圖案 190 可在水平方向上具有第二寬度  $W2$  且在垂直方向上具有第二高度  $H2$ 。

【0033】 鐵電圖案 265 可僅接觸導電圖案 180 的側壁的一部分，例如，僅接觸導電圖案 180 的側壁的與第二配線 270 面對並與第二配線 270 交疊的部分。因此，第一閘極絕緣圖案 190（其完全環繞第一通道 210 的側壁（例如，在俯視圖中））的第二寬度  $W2$  可大於鐵電圖案 265 的第一寬度  $W1$ 。舉例而言，如圖 2B 所示，圍繞第一通道 210 的整個周邊的第一閘極絕緣圖案 190 的長度（例如，在俯視圖中（沿著與  $W2$  對應的虛線））可大於鐵電圖案 265 的沿著導電圖案 180 的與第二配線 270 交疊的部分的長度（例如，在俯視圖中（沿著與  $W1$  對應的虛線））。

【0034】 另外，第二配線 270 在垂直方向上的長度可小於導電圖案 180 在垂直方向上的長度。因此，第一閘極絕緣圖案 190（其覆蓋導電圖案 180 的側壁的整個高度）的第二高度  $H2$  可大於鐵電圖案 265 的第一高度  $H1$ 。舉例而言，如圖 3B 所示，第一閘極絕緣圖案 190 的沿著第一通道 210 的位於第一通道 210 的上表面與下表面之間的整個高度的高度  $H2$ （例如，在垂直剖視圖中（沿著與  $H2$  對應的虛線））可大於在水平方向上與第一通道 210 交疊的鐵電圖案 265 的高度  $H1$ （例如，在垂直剖視圖中（沿著與  $H1$  對應

的虛線))。

【0035】 因此，第一閘極絕緣圖案 190 的位於導電圖案 180 與第一通道 210 之間的部分的面積（例如，第一閘極絕緣圖案 190 的表面的在水平方向上與導電圖案 180 及第一通道 210 二者交疊的部分的面積）可大於鐵電圖案 265 的位於第二配線 270 與導電圖案 180 之間的部分的面積（例如，鐵電圖案 265 的表面的與第二配線 270 及導電圖案 180 二者交疊的部分的面積）。因此，包括第一通道 210、第一閘極絕緣圖案 190 及導電圖案 180 的第二電容器的電容可大於包括第二配線 270、鐵電圖案 265 及導電圖案 180 的第一電容器的電容。

【0036】 因此，當對第二配線 270 施加電壓時，第一電容器與第二電容器進行串聯連接，使得被施加至第一電容器的電壓可大於被施加至第二電容器的電壓。因此，第二電容器中所包括的鐵電圖案 265 上的電場的量值可增大，以提高鐵電圖案 265 的切換效率，且第一電容器中所包括的第一閘極絕緣圖案 190 上的電場的量值可減小，以提高第一閘極絕緣圖案 190 的耐久性。

【0037】 圖 4 是根據第一閘極絕緣圖案 190 的面積相對於鐵電圖案 265 的面積的比率（ $A_I/A_F$ ）的極化遲滯曲線（polarization hysteresis curve）。

【0038】 參照圖 4，隨著第一電容器中所包括的第一閘極絕緣圖案 190 的面積（ $A_I$ ）相對於第二電容器中所包括的鐵電圖案 265 的面積（ $A_F$ ）的比率（ $A_I/A_F$ ）增大，記憶體窗口（memory window）

亦增大。

【0039】 如上所述，在 3D 鐵電記憶體裝置中，第二電容器中所包括的第一閘極絕緣圖案 190 的面積可大於第一電容器中所包括的鐵電圖案 265 的面積，使得 3D 鐵電記憶體裝置可具有增大的記憶體窗口，且第一閘極絕緣圖案 190 可具有提高的耐久性。

【0040】 圖 5、圖 7、圖 9、圖 11、圖 13、圖 15、圖 17 及圖 19 是示出根據實例性實施例的製造 3D 鐵電記憶體裝置的方法中的各階段的平面圖。圖 6、圖 8、圖 10、圖 12、圖 14、圖 16、圖 18 及圖 20 分別是沿著對應的平面圖所示線 A-A'截取的剖視圖。

【0041】 參照圖 5 及圖 6，可在第一基板 100 上形成第一層間絕緣層 110。可部分地移除第一層間絕緣層 110 的上部部分以形成溝渠，且可在溝渠中形成第一配線 120。

【0042】 在實例性實施例中，第一配線 120 可在第一方向 D1 上延伸，且多條第一配線 120 可在第二方向 D2 上彼此間隔開。在實例性實施例中，第一配線 120 可用作 3D 鐵電記憶體裝置的位元線。

【0043】 作為另外一種選擇，可在第一基板 100 上依序堆疊第一層間絕緣層 110 及第一配線層，可對第一配線層進行圖案化以形成第一配線 120，且可在第一基板 100 上形成層間絕緣層圖案以覆蓋第一配線 120 的側壁。

【0044】 各種電路元件（例如，電晶體、接觸插塞、配線）可形成於第一基板 100 上，且可被第一層間絕緣層 110 覆蓋。

【0045】 參照圖 7 及圖 8，可在第一層間絕緣層 110 及第一配線



120 上依序堆疊第二層間絕緣層 130、第一犧牲層 140 及第三層間絕緣層 150。可穿過第三層間絕緣層 150、第一犧牲層 140、及第二層間絕緣層 130 的上部部分形成第一開口，且可在第一開口中形成第二犧牲層 160。

**【0046】** 第一犧牲層 140 可包含絕緣氮化物（例如，氮化矽），且第二犧牲層 160 可包含例如複晶矽。在實例性實施例中，第二犧牲層 160 可在第二方向 D2 上延伸，且多個第二犧牲層 160 可在第一方向 D1 上彼此間隔開。

**【0047】** 可穿過第三層間絕緣層 150、第一犧牲層 140、及第二層間絕緣層 130 的上部部分形成第二開口 170。第二開口 170 可在平面圖中具有例如圓形形狀、橢圓形形狀、多邊形形狀、具有被修圓的隅角的多邊形形狀等。在實例性實施例中，在第二犧牲層 160 中的在第一方向 D1 上相鄰的第二犧牲層 160 之間多個第二開口 170 可在第一方向 D1 及第二方向 D2 上彼此間隔開。在實例性實施例中，第二開口 170 可如圖 7 所示在第二方向 D2 上排列。作為另外一種選擇，第二開口 170 可在第一方向 D1 及第二方向 D2 中的每一者上以恆定的距離排列。

**【0048】** 在一些實施例中，第一開口與第二開口 170 可藉由相同的蝕刻製程形成。舉例而言，參照圖 7，第一開口中的每一者可在第二方向 D2 上延伸（在圖 7 中所指示的兩條鄰近的實線之間），且可被填充第二犧牲層 160（如圖 8 所示），並且第二開口 170 中的每一者可為空的且暴露出第二層間絕緣層 130 的一部分（如圖 8

所示)，其中第一配線 120（即，圖 7 中的虛線）位於第二層間絕緣層 130 下方且藉由第一開口或第二開口 170 而不可見。

【0049】 參照圖 9 及圖 10，可例如在第二開口 170 的側壁及底部上、以及第三層間絕緣層 150 的上表面及第二犧牲層 160 的上表面上共形地形成導電層。可實行各向異性蝕刻以移除導電層的一些部分且例如僅在第二開口 170 的側壁上形成導電圖案 180。

【0050】 可例如在第二開口 170 的底部、導電圖案 180 的內側壁及上表面、以及第三層間絕緣層 150 的上表面及第二犧牲層 160 的上表面上共形地形成第一閘極絕緣層。可實行各向異性蝕刻以移除第一閘極絕緣層的一些部分且例如僅在導電圖案 180 的內側壁上形成第一閘極絕緣圖案 190。

【0051】 因此，導電圖案 180 及第一閘極絕緣圖案 190 中的每一者可具有中空圓柱形狀。舉例而言，參照圖 9 及圖 10，導電圖案 180 可具有完全且連續地覆蓋每一第二開口 170 的內側壁的中空圓柱形狀，且第一閘極絕緣圖案 190 可具有完全且連續地覆蓋導電圖案 180 的內側壁的中空圓柱形狀，例如，使得導電圖案 180 與第二開口 170 的內側壁及第一閘極絕緣圖案 190 完全分隔開。

【0052】 參照圖 11 及圖 12，可藉由蝕刻製程移除第二層間絕緣層 130 的位於第二開口 170 之下（例如，藉由第二開口 170 而被暴露出）的部分，以形成使第一配線 120 的上表面暴露出的第三開口。可在第三開口中形成第一源極/汲極圖案 200。

【0053】 在實例性實施例中，第三開口可具有與第二開口 170 的

形狀對應的形狀，且多個第三開口可在第一方向 D1 及第二方向 D2 上排列。舉例而言，第三開口的寬度可對應於第二開口 170 內的第一閘極絕緣圖案 190 的相面對的表面之間的距離。

【0054】可藉由在第一配線 120 的藉由第三開口而被暴露出的上表面、第一閘極絕緣圖案 190 的上表面、以及導電圖案 180 的上表面、第三層間絕緣層 150 的上表面及第二犧牲層 160 的上表面上形成第一源極/汲極層來形成第一源極/汲極圖案 200。然後，可例如藉由化學機械拋光（chemical mechanical polishing，CMP）製程將第一源極/汲極層平坦化至暴露出第三層間絕緣層 150 的上表面。可例如藉由回蝕製程例如自第二開口 170 完全移除第一源極/汲極層的上部部分，使得第一源極/汲極圖案 200 僅填充第三開口。

【0055】因此，第一源極/汲極圖案 200 可具有與第三開口的形狀對應的形狀，且多個第一源極/汲極圖案 200 可在第一方向 D1 及第二方向 D2 上排列。在實例性實施例中，第一源極/汲極圖案 200 可包含被摻雜 n 型雜質（例如，磷、砷等）的複晶矽或被摻雜 p 型雜質（例如，硼、鎵等）的複晶矽。

【0056】參照圖 13 及圖 14，可在第二開口 170 中形成第一通道 210，且可將雜質摻雜至第一通道 210 的上部部分中以形成第二源極/汲極圖案 220。

【0057】可藉由以下操作形成第一通道 210：在第一源極/汲極圖案 200、第一閘極絕緣圖案 190、導電圖案 180、第三層間絕緣層

150 及第二犧牲層 160 上形成第一通道層以填充第二開口 170；以及藉由例如 CMP 製程將第一通道層平坦化至暴露出第三層間絕緣層 150 的上表面。第一通道 210 可包含例如複晶矽。

**【0058】** 因此，第一通道 210 可具有與第二開口 170 的形狀對應的形狀，且多個第一通道 210 可在第一方向 D1 及第二方向 D2 上排列。

**【0059】** 在實例性實施例中，可藉由將雜質植入至包含半導體材料（例如，複晶矽、矽鍺等）的第一通道 210 的上部部分中來形成第二源極/汲極圖案 220。因此，第二源極/汲極圖案 220 可包含被摻雜 n 型雜質（例如，磷、砷等）的複晶矽或被摻雜 p 型雜質（例如，硼、鎵等）的矽鍺。

**【0060】** 作為另外一種選擇，可藉由以下操作形成第二源極/汲極圖案 220：移除第一通道 210 的上部部分以形成第一凹槽；以及使用例如氧化物半導體材料填充第一凹槽。

**【0061】** 第二源極/汲極圖案 220 可具有與第一通道 210 的形狀對應的形狀，且多個第二源極/汲極圖案 220 可在第一方向 D1 及第二方向 D2 上排列。

**【0062】** 參照圖 15 及圖 16，可移除第二犧牲層 160 以形成第四開口 240，且可移除第一犧牲層 140 的與第四開口 240 鄰近的部分以形成使導電圖案 180 的外側壁暴露出的間隙 250。舉例而言，參照圖 16，第四開口 240 可延伸穿過整個第三層間絕緣層 150、及第二層間絕緣層 130 的一部分（即，自己移除第二犧牲層 160 的位

置)，並且間隙 250 可形成於第四開口 240 的側向側處且與第四開口 240 流體連通（例如，間隙 250 可位於第三層間絕緣層 150 之下以及第四開口 240 與導電圖案 180 之間）。

**【0063】** 在實例性實施例中，可藉由對第一犧牲層 140 實行濕法蝕刻製程來形成間隙 250，且可移除第一犧牲層 140 的在第一方向 D1 上與第四開口 240 相距給定距離以內的部分以形成間隙 250。第一犧牲層 140 可不被濕法蝕刻製程完全移除，而是第一犧牲層 140 的一部分保留為第一絕緣圖案 145。因此，導電圖案 180 的外側壁可不被完全暴露出，而是導電圖案 180 的外側壁的僅一部分可藉由間隙 250 而被暴露出。

**【0064】** 參照圖 17 及圖 18，可在第四開口 240 的內壁及間隙 250 的內壁、第二源極/汲極圖案 220 的上表面、以及第一閘極絕緣圖案 190 的上表面、導電圖案 180 的上表面及第三層間絕緣層 150 的上表面上形成鐵電層 260。在實例性實施例中，可藉由以下沈積製程共形地形成鐵電層 260：例如，化學氣相沈積（chemical vapor deposition，CVD）製程、原子層沈積（atomic layer deposition，ALD）製程等。鐵電層 260 可例如直接接觸導電圖案 180 的外側壁的藉由間隙 250 而被暴露出的部分。

**【0065】** 參照圖 19 及圖 20，可在鐵電層 260 上形成第二配線層以填充間隙 250，且可對第二配線層實行濕法蝕刻製程以在間隙 250 中形成第二配線 270。舉例而言，如圖 20 所示，第二配線 270 的側向側壁可與第三層間絕緣層 150 的側向側壁共面。

【0066】 在濕法蝕刻製程期間，亦可移除鐵電層 260 的位於第二源極/汲極圖案 220 的上表面、第一閘極絕緣圖案 190 的上表面、導電圖案 180 的上表面及第三層間絕緣層 150 的上表面、以及第四開口 240 的側壁及底部上的部分。因此，可形成與間隙 250 的內壁、導電圖案 180 的外側壁的所述部分及第一絕緣圖案 145 的側壁接觸並覆蓋下表面及上表面以及與導電圖案 180 面對的側壁的铁電圖案 265。

【0067】 在實例性實施例中，在第一方向 D1 上的相對的側中的每一側處第二配線 270 可在第二方向 D2 上延伸。在實例性實施例中，第二配線 270 可用作 3D 鐵電記憶體裝置的字元線。

【0068】 可在第二層間絕緣層 130、第二源極/汲極圖案 220、第一閘極絕緣圖案 190、導電圖案 180 及第三層間絕緣層 150 上形成第二絕緣層以填充第四開口 240，且可將第二絕緣層平坦化至暴露出第三層間絕緣層 150 的上表面，以在第四開口 240 中形成第二絕緣圖案 280。第二絕緣圖案 280 可在第二方向 D2 上延伸，且多個第二絕緣圖案 280 可在第一方向 D1 上彼此間隔開。

【0069】 再次參照圖 2A 及圖 3A，可在第二源極/汲極圖案 220、第一閘極絕緣圖案 190、導電圖案 180、第三層間絕緣層 150 及第二絕緣圖案 280 上形成第四層間絕緣層 290，且可穿過第四層間絕緣層 290 形成第一接觸插塞 300 以接觸第二源極/汲極圖案 220 的上表面。第一接觸插塞 300 可在平面圖中具有例如圓形形狀、橢圓形形狀、多邊形形狀、具有被修圓的隅角的多邊形形狀等，且

多個第一接觸插塞 300 可在第一方向 D1 及第二方向 D2 上排列。

【0070】 可在第四層間絕緣層 290 及第一接觸插塞 300 上形成第五層間絕緣層 310。可穿過第五層間絕緣層 310 形成第五開口以暴露出第一接觸插塞 300 的上表面，且可在第五開口中形成第三配線 320。

【0071】 在實例性實施例中，第三配線 320 可在第一方向 D1 上延伸，且可共同接觸在第一方向 D1 上設置的第一接觸插塞 300 的上表面。多條第三配線 320 可在第二方向 D2 上彼此間隔開。在實例性實施例中，第三配線 320 中的每一者的至少一部分可在第三方向 D3 上與第一配線 120 中的對應的一個第一配線 120 交疊。在實例性實施例中，第三配線 320 可用作 3D 鐵電記憶體裝置的源極線。

【0072】 藉由以上製程，可完成 3D 鐵電記憶體裝置的製作。

【0073】 如以上所論述，可在第三方向 D3 上依序堆疊第二層間絕緣層 130、第一犧牲層 140 及第三層間絕緣層 150，可部分地穿過第二層間絕緣層 130、第一犧牲層 140 及第三層間絕緣層 150 來形成第二犧牲層 160 及第二開口 170，且可在第二開口 170 中形成導電圖案 180、第一閘極絕緣圖案 190 及第一通道 210。可移除第二犧牲層 160 以形成第四開口 240，可移除第一犧牲層 140 的與第四開口 240 鄰近的部分以形成使導電圖案 180 的外側壁的所述部分暴露出的間隙 250，可形成鐵電圖案 265 以接觸導電圖案 180 的外側壁的所述部分，且可形成下表面及上表面以及側壁可被鐵電圖

案 265 覆蓋的第二配線 270。

【0074】 因此，在 3D 鐵電記憶體裝置中，當相較於鐵電圖案 265 的位於第二配線 270 與導電圖案 180 之間並與第二配線 270 及導電圖案 180 接觸的部分的面積而言時，第一閘極絕緣圖案 190 的位於導電圖案 180 與第一通道 210 之間並與導電圖案 180 及第一通道 210 接觸的部分的面積可更大。

【0075】 圖 21 及圖 22 是示出根據實例性實施例的 3D 鐵電記憶體裝置的平面圖及剖視圖。圖 21 及圖 22 分別對應於圖 2A 及圖 3A。除了包括具有填充圖案的第二通道而非第一通道外，圖 21 及圖 22 的實施例實質上相同於或相似於圖 1 至圖 3 的實施例，且因此，此處省略重複的闡釋。

【0076】 參照圖 21 及圖 22，柱結構可更包括在第三方向 D3 上延伸的填充圖案 350，且可形成覆蓋填充圖案 350 的側壁的第二通道 212。亦即，第二通道 212 可具有中空圓柱形狀，且可環繞填充圖案 350。填充圖案 350 可包含氧化物（例如，氧化矽）。

【0077】 圖 23 是示出根據實例性實施例的 3D 鐵電記憶體裝置的剖視圖。圖 23 對應於圖 3A。除了包括具有填充圖案的第三通道及第四通道而非第一通道外，圖 23 的實施例實質上相同於或相似於圖 1 至圖 3 的實施例，且因此，此處省略重複的闡釋。

【0078】 參照圖 23，柱結構可更包括填充圖案 350，且填充圖案 350 的下表面及側壁可被第三通道 214 覆蓋。在實例性實施例中，第三通道 214 可具有杯形狀。



【0079】 可在填充圖案 350 的上表面及第三通道 214 的上表面上形成第四通道 216，且第二源極/汲極圖案 220 的下表面及側壁可被第四通道 216 覆蓋。在實例性實施例中，第四通道 216 可具有杯形狀。

【0080】 在實例性實施例中，第三通道 214 及第四通道 216 中的每一者可包含二維（two-dimensional，2D）材料，例如， $\text{MoS}_2$ 、 $\text{MoSe}_2$ 、 $\text{WS}_2$  等。

【0081】 圖 24 及圖 25 是示出根據實例性實施例的製造 3D 鐵電記憶體裝置的方法中的各階段的剖視圖。圖 24 及圖 25 的實施例包括與參照圖 5 至圖 20 及圖 1 至圖 3 所示的階段實質上相同或相似的階段，且因此，此處省略對其的重複闡釋。

【0082】 參照圖 24，可實行與參照圖 5 至圖 12 所示的製程實質上相同或相似的製程，且可在第二開口 170 的側壁及底部、以及第一閘極絕緣圖案 190 的上表面、導電圖案 180 的上表面、第三層間絕緣層 150 的上表面及第二犧牲層 160 的上表面上形成第三通道層。在實例性實施例中，第三通道層可包含 2D 材料。可在第三通道層上形成填充層，且可對填充層及第三通道層進行平坦化以在第二開口 170 中分別形成填充圖案 350 及第三通道 214。

【0083】 參照圖 25，可藉由例如回蝕製程移除填充圖案 350 的上部部分及第三通道 214 的上部部分，以形成第二凹槽，可在第二凹槽的側壁及底部、以及第一閘極絕緣圖案 190 的上表面、導電圖案 180 的上表面、第三層間絕緣層 150 的上表面及第二犧牲層

160 的上表面上形成第四通道層，且可在第四通道層上形成第二源極/汲極層以填充第二凹槽的剩餘部分。可對第二源極/汲極層及第四通道層進行平坦化以在第二凹槽中形成第二源極/汲極圖案 220 及第四通道 216。第四通道 216 可覆蓋第二源極/汲極圖案 220 的下表面及側壁。

【0084】 在實例性實施例中，第四通道 216 可包含 2D 材料。可實行與參照圖 15 至圖 20 及圖 1 至圖 3 所示的製程實質上相同或相似的製程以完成 3D 鐵電記憶體裝置的製作。

【0085】 圖 26 及圖 27 是示出根據實例性實施例的 3D 鐵電記憶體裝置的平面圖及剖視圖。圖 26 及圖 27 分別對應於圖 2A 及圖 3A。除了包括第三源極/汲極圖案而非第一源極/汲極圖案外，圖 26 及圖 27 的實施例實質上相同於或相似於圖 1 至圖 3 的實施例，且因此，此處省略重複的闡釋。

【0086】 參照圖 26 及圖 27，可在第一配線 120 上形成第三源極/汲極圖案 205。在實例性實施例中，第三源極/汲極圖案 205 可在第一配線 120 上在第一方向 D1 上延伸。作為另外一種選擇，多個第三源極/汲極圖案 205 可在第一配線 120 上在第一方向 D1 上彼此間隔開。第三源極/汲極圖案 205 可包含被摻雜 n 型雜質（例如，磷、砷等）的複晶矽或被摻雜 p 型雜質（例如，硼、鎵等）的複晶矽。

【0087】 第一配線 120 的側壁及第三源極/汲極圖案 205 的側壁可被位於第一層間絕緣層 110 上的第六層間絕緣層圖案 400（參照圖

28) 覆蓋，且可更在第六層間絕緣層圖案 400 及第三源極/汲極圖案 205 上形成蝕刻終止層 410。第一通道 210 可延伸穿過蝕刻終止層 410，且可接觸第三源極/汲極圖案 205 的上表面。第六層間絕緣層圖案 400 可包含氧化物（例如，氧化矽），且蝕刻終止層 410 可包含金屬氧化物（例如，氧化鋁）。

【0088】 圖 28 及圖 30 是示出根據實例性實施例的製造 3D 鐵電記憶體裝置的方法中的各階段的平面圖。圖 29、圖 31 及圖 32 分別是沿著對應的平面圖所示線 A-A' 截取的剖視圖。圖 28 至圖 32 的實施例包括與參照圖 5 至圖 20 及圖 1 至圖 3 所示的製程實質上相同或相似的製程，且因此，此處省略對其的重複闡釋。

【0089】 參照圖 28 及圖 29，可在第一基板 100 上依序堆疊第一層間絕緣層 110、第一配線層及第三源極/汲極層，可對第三源極/汲極層及第一配線層進行圖案化以分別形成第一配線 120 及第三源極/汲極圖案 205，第一配線 120 及第三源極/汲極圖案 205 中的每一者可在第一方向 D1 上延伸。第六層間絕緣層圖案 400 可被形成為覆蓋第一配線 120 的側壁及第三源極/汲極圖案 205 的側壁，且可在第六層間絕緣層圖案 400 及第三源極/汲極圖案 205 上形成蝕刻終止層 410。

【0090】 參照圖 30 及圖 31，可實行與參照圖 7 及圖 8 所示的製程實質上相同或相似的製程，使得可在蝕刻終止層 410 上依序堆疊第二層間絕緣層 130、第一犧牲層 140 及第三層間絕緣層 150，且可穿過第三層間絕緣層 150、第一犧牲層 140、及第二層間絕緣層

130的上部部分形成第二犧牲層 160。可穿過第三層間絕緣層 150、第一犧牲層 140、第二層間絕緣層 130 及蝕刻終止層 410 形成第六開口 175，以暴露出第三源極/汲極圖案 205 的上表面。

【0091】 參照圖 32，可實行與參照圖 9 至圖 14 所示的製程實質上相同或相似的製程，使得可在第六開口 175 中形成導電圖案 180、第一閘極絕緣圖案 190、第一通道 210 及第二源極/汲極圖案 220。第一通道 210 的下表面可接觸第二源極/汲極圖案 220 的上表面。

【0092】 參照圖 26 及圖 27，可實行與參照圖 15 至圖 20 及圖 1 至圖 3 所示的製程實質上相同或相似的製程，以完成 3D 鐵電記憶體裝置的製作。

【0093】 圖 33 是示出根據實例性實施例的 3D 鐵電記憶體裝置的剖視圖。

【0094】 參照圖 33，3D 鐵電記憶體裝置可包括堆疊結構，在所述堆疊結構中，圖 1 至圖 3 所示的 3D 鐵電記憶體裝置在第三方向 D3 上堆疊。亦即，可在 3D 鐵電記憶體裝置中的一者上形成第七層間絕緣層 390，可在第七層間絕緣層 390 上形成第一配線 120，且可在第一配線 120 上形成 3D 鐵電記憶體裝置中的另一者。圖 33 示出在第三方向 D3 上堆疊兩個 3D 鐵電記憶體裝置，然而，實施例可能並非僅限於此，例如，可在第三方向 D3 上堆疊多個 3D 鐵電記憶體裝置。

【0095】 圖 34 是示出根據實例性實施例的 3D 鐵電記憶體裝置的平面圖，且圖 35 及圖 36 是 3D 鐵電記憶體裝置的剖視圖。圖 34

示出柱結構中的下部柱結構及上部柱結構的佈局。

【0096】 參照圖 34 及圖 35，3D 鐵電記憶體裝置可具有堆疊結構，在所述堆疊結構中，圖 1 至圖 3 所示的 3D 鐵電記憶體裝置在第三方向 D3 上堆疊。然而，與圖 33 所示不同，在第三方向 D3 上堆疊的 3D 鐵電記憶體裝置可共享第三配線 320。亦即，3D 鐵電記憶體裝置中的上部 3D 鐵電記憶體裝置可不包括附加的第一配線 120。

【0097】 第三配線 320 可用作 3D 鐵電記憶體裝置中的下部 3D 鐵電記憶體裝置的源極線，且亦可用作 3D 鐵電記憶體裝置中的上部 3D 鐵電記憶體裝置的位元線。在實例性實施例中，3D 鐵電記憶體裝置中的下部 3D 鐵電記憶體裝置中所包括的第一柱結構與 3D 鐵電記憶體裝置中的上部 3D 鐵電記憶體裝置中所包括的第二柱結構在第三方向 D3 上可彼此不交疊，但是可彼此偏移。

【0098】 參照圖 36，第一柱結構與對應的第二柱結構可在第三方向 D3 上彼此交疊。

【0099】 圖 37 是示出根據實例性實施例的 3D 鐵電記憶體裝置的剖視圖。除了更包括下部電路圖案外，圖 37 的實施例實質上相同於或相似於圖 1 至圖 3 的實施例，且因此，此處省略重複的闡釋。

【0100】 參照圖 37，3D 鐵電記憶體裝置可包括位於第一基板 100 上的下部電路圖案，且因此可具有周邊上胞元 (cell over periphery, COP) 結構。在實例性實施例中，下部電路圖案可包括電晶體、第二接觸插塞至第四接觸插塞 440、470 及 490 以及第四配線 460

及第五配線 480。

【0101】電晶體可包括閘極結構 430 及在第一基板 100 的上部部分處與閘極結構 430 鄰近的雜質區 105。閘極結構 430 可包括在第三方向 D3 上堆疊的第二閘極絕緣圖案 415 及閘極電極 420，且雜質區 105 中的每一者可用作電晶體的源極/汲極。

【0102】第二接觸插塞 440 可接觸雜質區 105 中的每一者的上表面，且第四配線 460 及第五配線 480 可分別接觸第二接觸插塞 440 的上表面及第三接觸插塞 470 的上表面。第四接觸插塞 490 可接觸第五配線 480 的上表面，且第一配線 120 可接觸第四接觸插塞 490 的上表面。

【0103】可在第一基板 100 上堆疊第八層間絕緣層 450 及第九層間絕緣層 500。第八層間絕緣層 450 可覆蓋電晶體，且可包含第二接觸插塞 440。第九層間絕緣層 500 可包含第三接觸插塞 470 及第四接觸插塞 490 以及第四配線 460 及第五配線 480。

【0104】圖 38 是示出根據實例性實施例的 3D 鐵電記憶體裝置的剖視圖。除了下部電路圖案上的結構進行翻轉且更形成接合結構外，圖 38 的實施例實質上相同於或相似於圖 37 的實施例，且因此，此處省略重複的闡釋。

【0105】參照圖 38，3D 鐵電記憶體裝置可包括位於第二基板 600 上的下部電路圖案，且位於圖 37 所示第九層間絕緣層 500 上的結構可進行翻轉並設置於第二基板 600 上。然而，可在包含第三配線 320 的第五層間絕緣層 310 上在第三方向 D3 上堆疊第十層間絕

緣層 510 及第十一層間絕緣層 530，且可分別在第十層間絕緣層 510 及第十一層間絕緣層 530 中形成第一接合圖案 520 及第二接合圖案 540。第一接合圖案 520 及第二接合圖案 540 可包含金屬（例如，銅），且可形成接合結構。

**【0106】** 實例性實施例提供一種積體度得以提高的 3D 鐵電記憶體裝置。亦即，根據實例性實施例的 3D 鐵電記憶體裝置可具有增大的記憶體窗口，且 3D 鐵電記憶體裝置的閘極絕緣圖案可具有提高的耐久性。

**【0107】** 本文中揭露了實例性實施例，且儘管採用了特定用語，但是其僅出於一般性及描述性的含義使用及加以解釋，而並非出於限制的目的。在一些情況下，對於本申請案提出申請時此項技術中具有通常知識者而言顯而易見的是，除非另外特別說明，否則結合特定實施例闡述的特徵、特性及/或元件可單獨使用，或者與結合其他實施例闡述的特徵、特性及/或元件組合使用。因此，熟習此項技術者將理解，可在不背離以下申請專利範圍中所述的本發明的精神及範圍的情況下進行形式及細節上的各種改變。

### **【符號說明】**

#### **【0108】**

100:第一基板

105:雜質區

110:第一層間絕緣層

- 120:第一配線
- 130:第二層間絕緣層
- 140:第一犧牲層
- 145:第一絕緣圖案
- 150:第三層間絕緣層
- 160:第二犧牲層
- 170:第二開口
- 175:第六開口
- 180:導電圖案
- 190:第一閘極絕緣圖案
- 200:第一源極/汲極圖案
- 205:第三源極/汲極圖案
- 210:第一通道
- 212:第二通道
- 214:第三通道
- 216:第四通道
- 220:第二源極/汲極圖案
- 240:第四開口
- 250:間隙
- 260:鐵電層
- 265:鐵電圖案
- 270:第二配線



- 280:第二絕緣圖案
- 290:第四層間絕緣層
- 300:第一接觸插塞
- 310:第五層間絕緣層
- 320:第三配線
- 350:填充圖案
- 390:第七層間絕緣層
- 400:第六層間絕緣層圖案
- 410:蝕刻終止層
- 415:第二閘極絕緣圖案
- 420:閘極電極
- 430:閘極結構
- 440:第二接觸插塞
- 450:第八層間絕緣層
- 460:第四配線
- 470:第三接觸插塞
- 480:第五配線
- 490:第四接觸插塞
- 500:第九層間絕緣層
- 510:第十層間絕緣層
- 520:第一接合圖案
- 530:第十一層間絕緣層

540:第二接合圖案

600:第二基板

A-A':線

$A_I$ 、 $A_F$ :面積

D1:第一方向

D2:第二方向

D3:第三方向

H1:第一高度/高度

H2:第二高度/高度

W1:第一寬度

W2:第二寬度

X、Y:部分/放大部分

## 【發明申請專利範圍】

【請求項1】 一種三維鐵電記憶體裝置，包括：

基板；

通道，在所述基板上，所述通道在與所述基板的上表面實質上垂直的垂直方向上延伸；

閘極絕緣圖案及導電圖案，在與所述基板的所述上表面實質上平行的水平方向上堆疊於所述通道的側壁上且環繞所述通道的所述側壁；

鐵電圖案，接觸所述導電圖案的外側壁的一部分；

閘極電極，接觸所述鐵電圖案；

第一源極/汲極圖案，接觸所述通道的下表面；以及

第二源極/汲極圖案，接觸所述通道的上表面。

【請求項2】 如請求項1所述的三維鐵電記憶體裝置，其中所述導電圖案在所述垂直方向上的長度大於所述閘極電極在所述垂直方向上的長度。

【請求項3】 如請求項1所述的三維鐵電記憶體裝置，其中所述通道具有在所述垂直方向上延伸的柱形狀。

【請求項4】 如請求項1所述的三維鐵電記憶體裝置，其中所述通道具有在所述垂直方向上延伸的中空圓柱形狀。

【請求項5】 如請求項1所述的三維鐵電記憶體裝置，其中所述通道包括：

第一通道，具有杯形狀；以及

第二通道，具有杯形狀，所述第二通道接觸所述第一通道的上表面。

【請求項6】 如請求項5所述的三維鐵電記憶體裝置，更包括填充圖案，所述填充圖案的下表面及側壁被所述第一通道覆蓋，且所述填充圖案的上表面被所述第二通道覆蓋。

【請求項7】 如請求項5所述的三維鐵電記憶體裝置，其中所述第一通道及所述第二通道中的每一者包含二維材料。

【請求項8】 一種三維鐵電記憶體裝置，包括：

基板；

通道，在所述基板上，所述通道在與所述基板的上表面實質上垂直的垂直方向上延伸；

閘極絕緣圖案及導電圖案，在與所述基板的所述上表面實質上平行的水平方向上依序堆疊於所述通道的側壁上；

鐵電圖案，接觸所述導電圖案的外側壁的一部分；

閘極電極，接觸所述鐵電圖案；

第一源極/汲極圖案，接觸所述通道的下表面；以及

第二源極/汲極圖案，接觸所述通道的上表面，

其中所述閘極絕緣圖案的在所述通道與所述導電圖案之間且與所述通道及所述導電圖案接觸的部分的面積大於所述鐵電圖案的在所述導電圖案與所述閘極電極之間且與所述導電圖案及所述閘極電極接觸的部分的面積。

【請求項9】 如請求項8所述的三維鐵電記憶體裝置，其中所述閘極絕緣圖案的所述部分在所述水平方向上的寬度大於所述鐵電圖案的所述部分在所述水平方向上的寬度。

【請求項10】 一種三維鐵電記憶體裝置，包括：

基板；

位元線，在所述基板上，所述位元線在與所述基板的上表面實質上平行的第一方向上延伸；

第一源極/汲極圖案，接觸所述位元線的上表面；

通道，接觸所述第一源極/汲極圖案的上表面，所述通道在與所述基板的所述上表面實質上垂直的垂直方向上延伸；

閘極絕緣圖案及導電圖案，在與所述基板的所述上表面實質上平行的水平方向上堆疊於所述通道的側壁上且環繞所述通道的所述側壁；

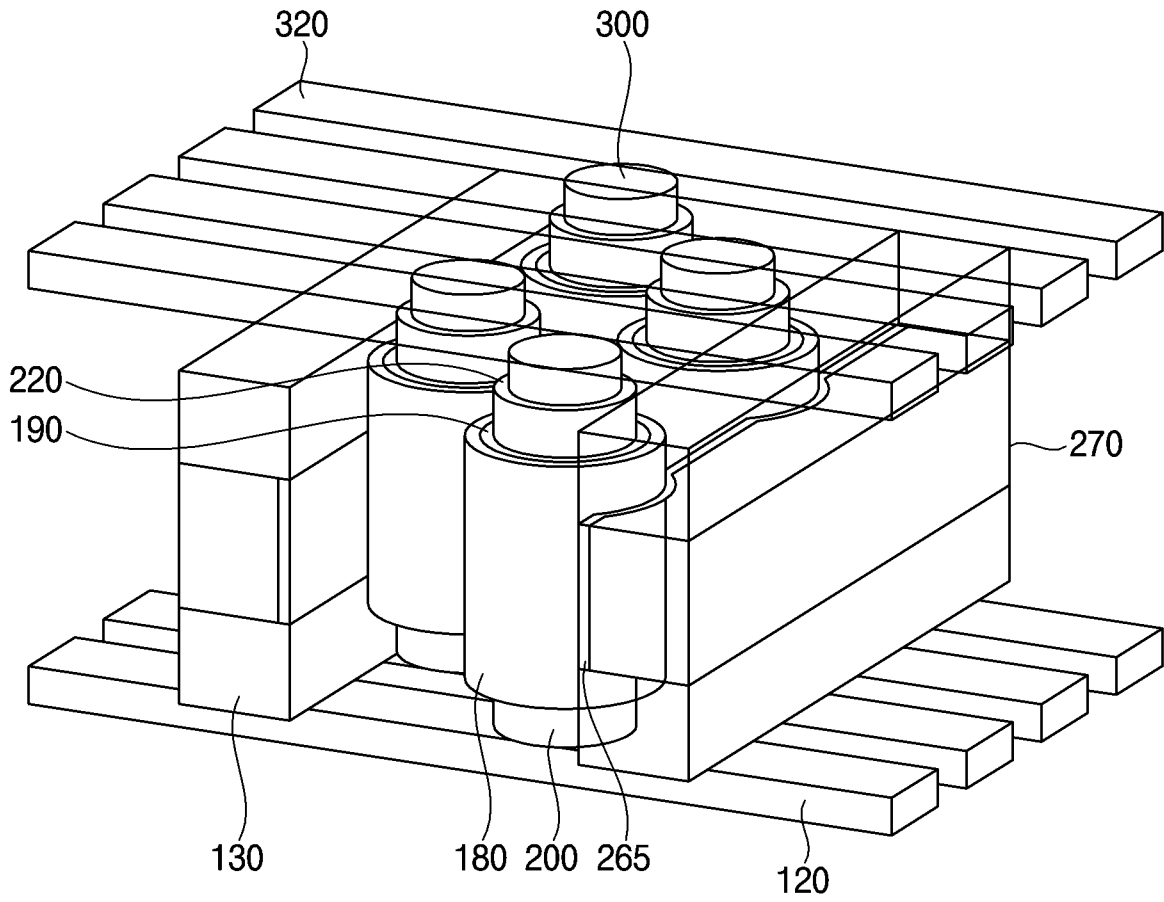
鐵電圖案，接觸所述導電圖案的外側壁的一部分；

字元線，接觸所述鐵電圖案，所述字元線在與所述基板的所述上表面實質上平行且與所述第一方向交叉的第二方向上延伸；

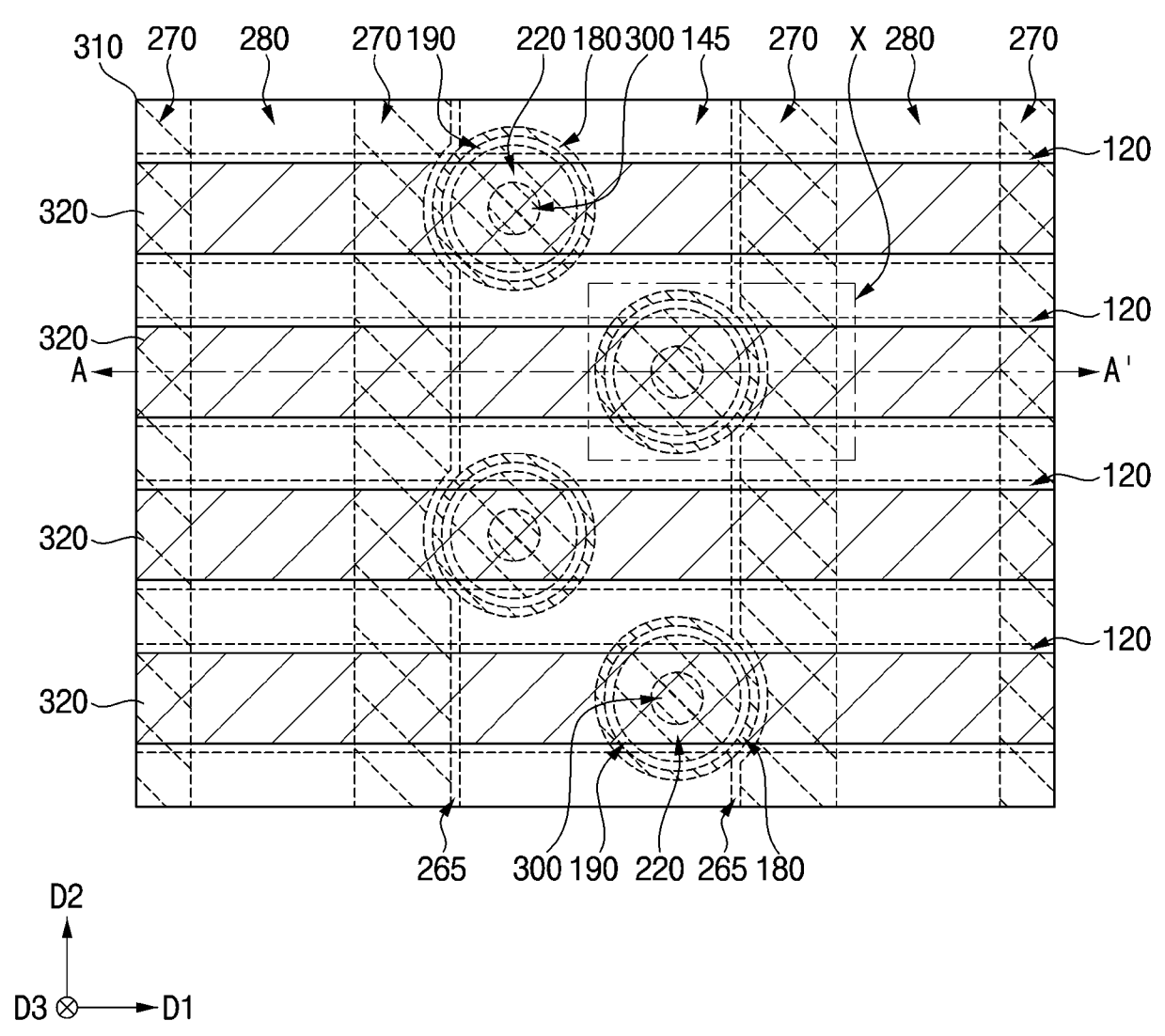
第二源極/汲極圖案，接觸所述通道的上表面；以及

源極線，接觸所述第二源極/汲極圖案的上表面，所述源極線在所述第一方向上延伸。

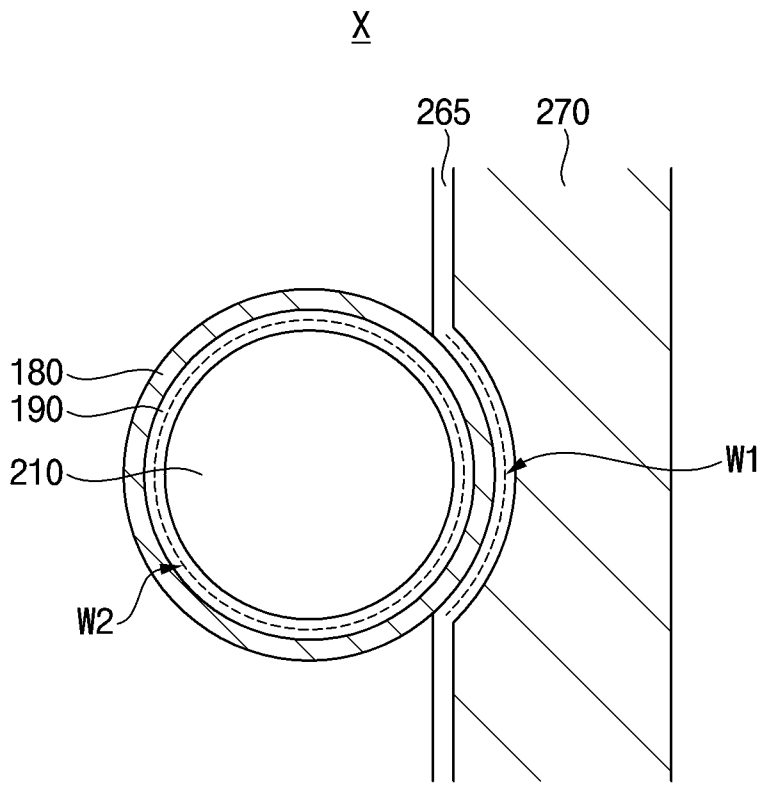
【發明圖式】



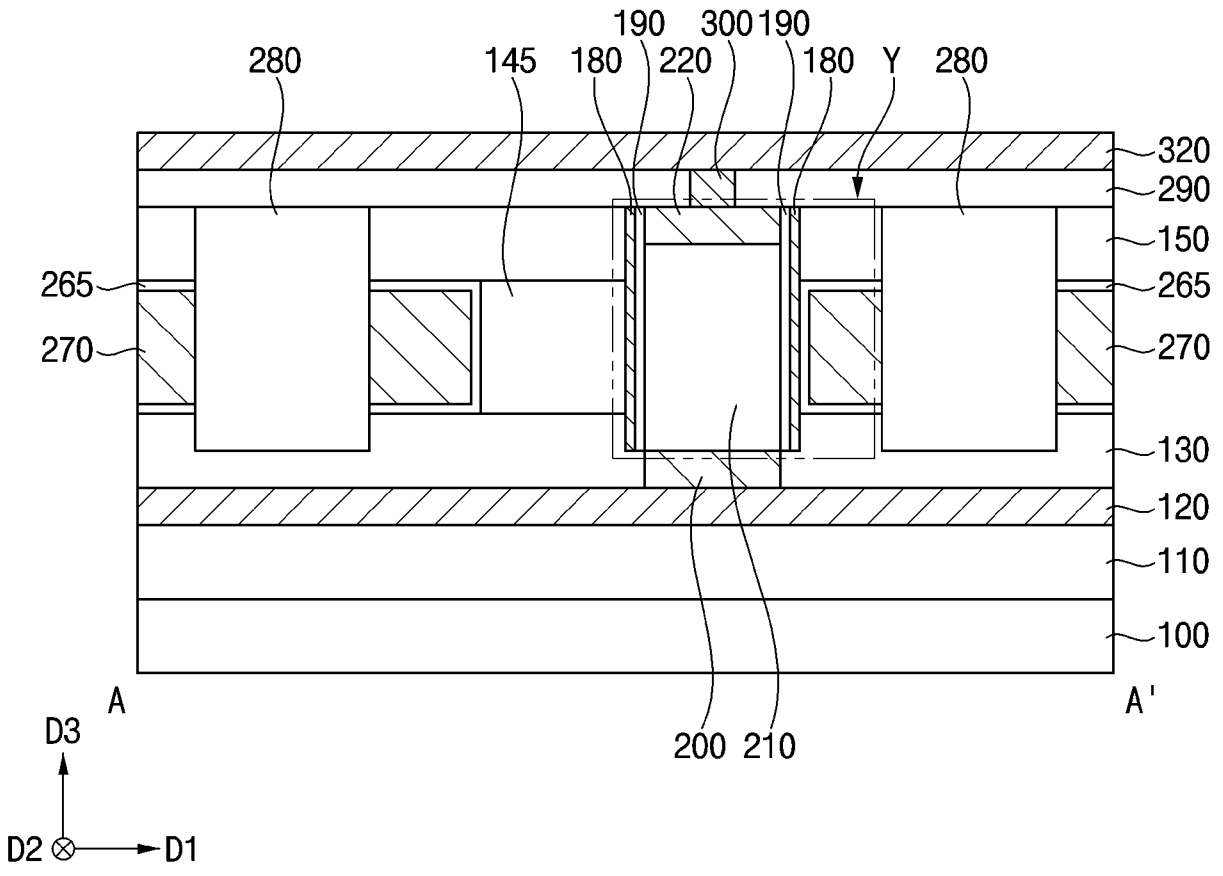
【圖1】



【圖2A】

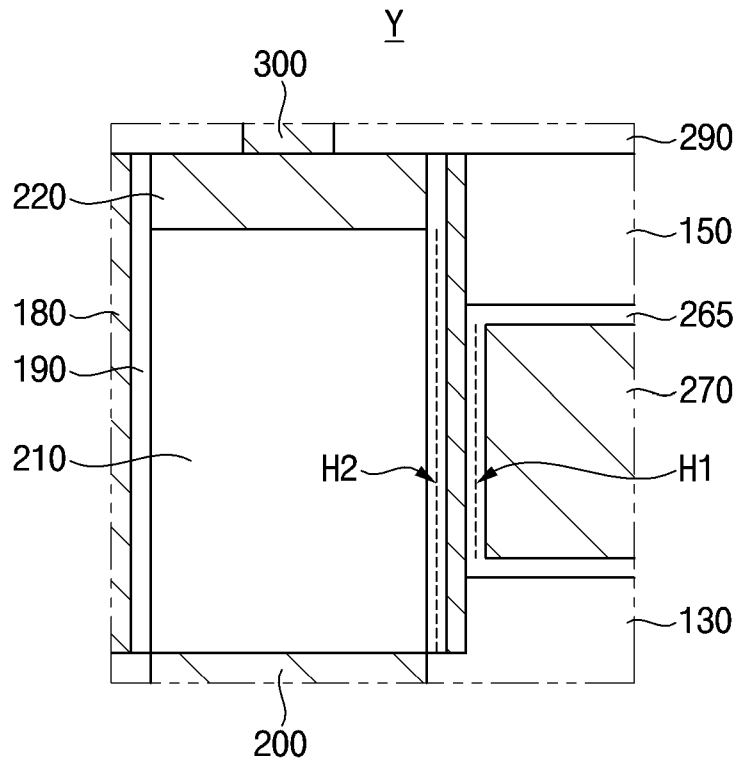


【圖2B】

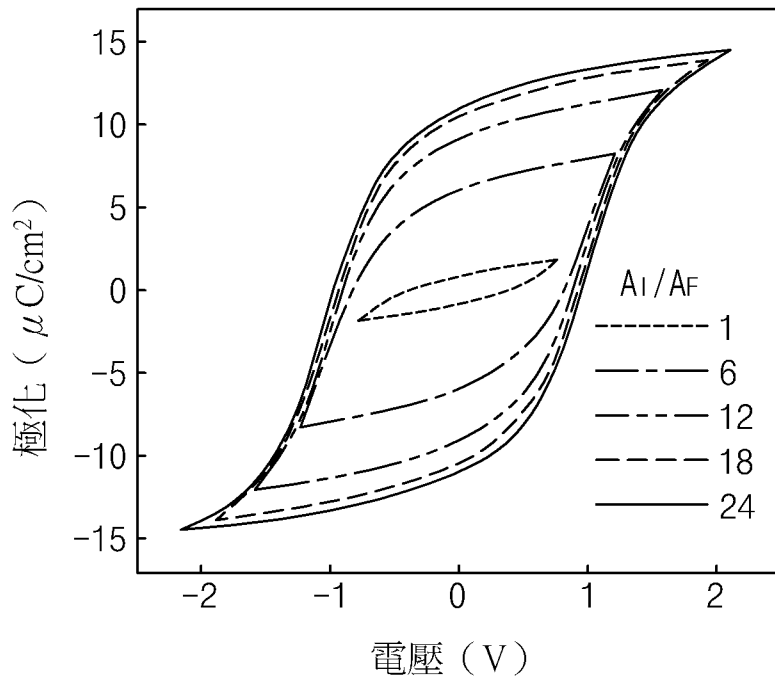


【圖3A】

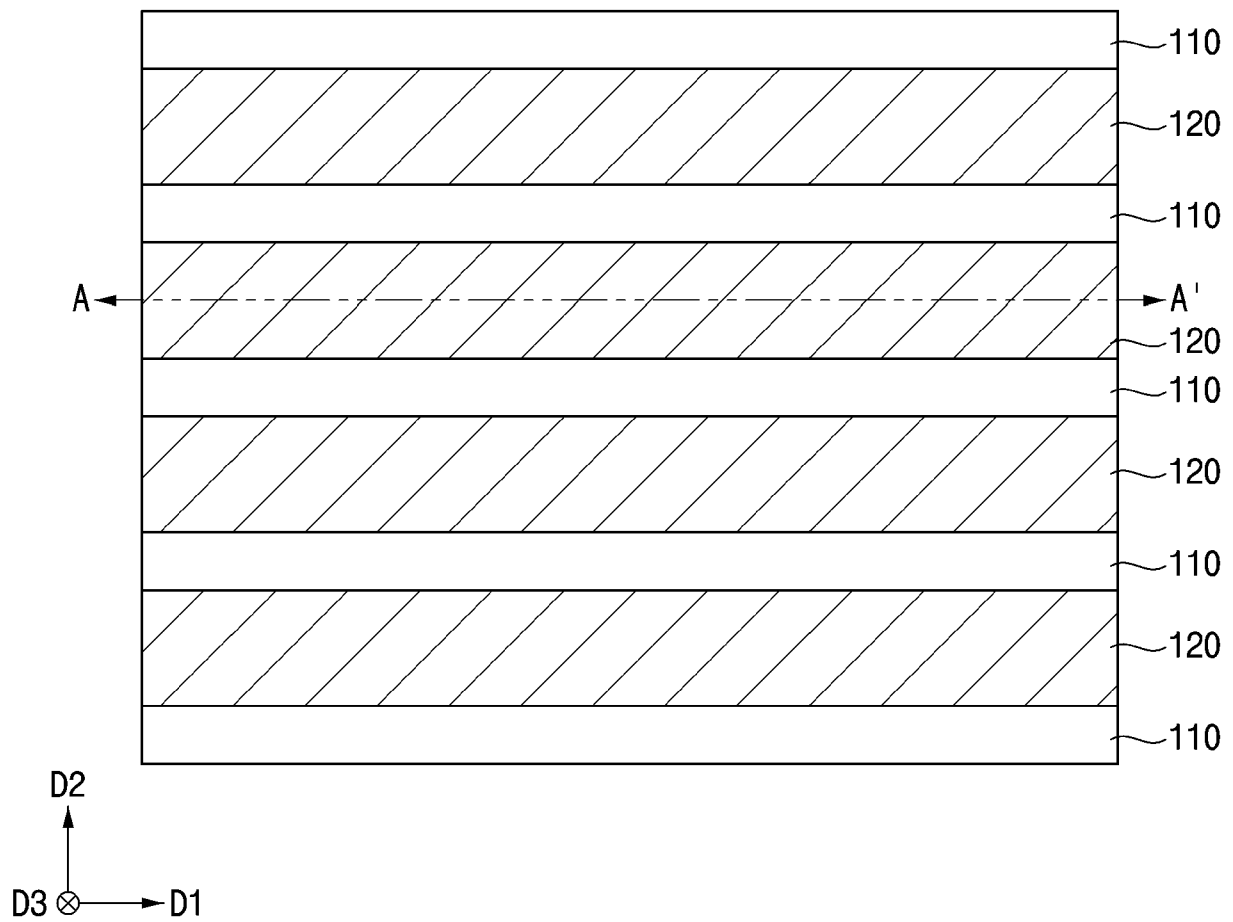




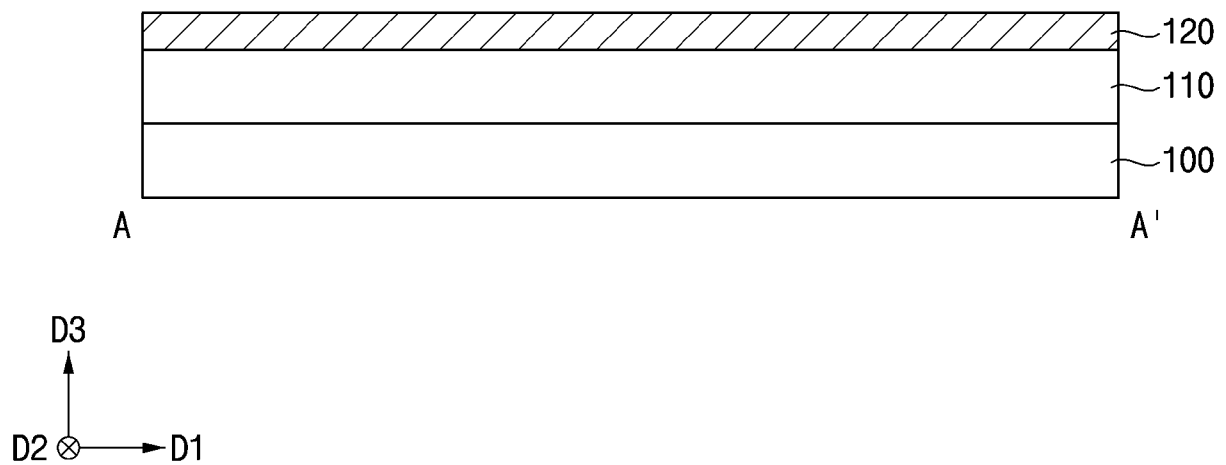
【圖3B】



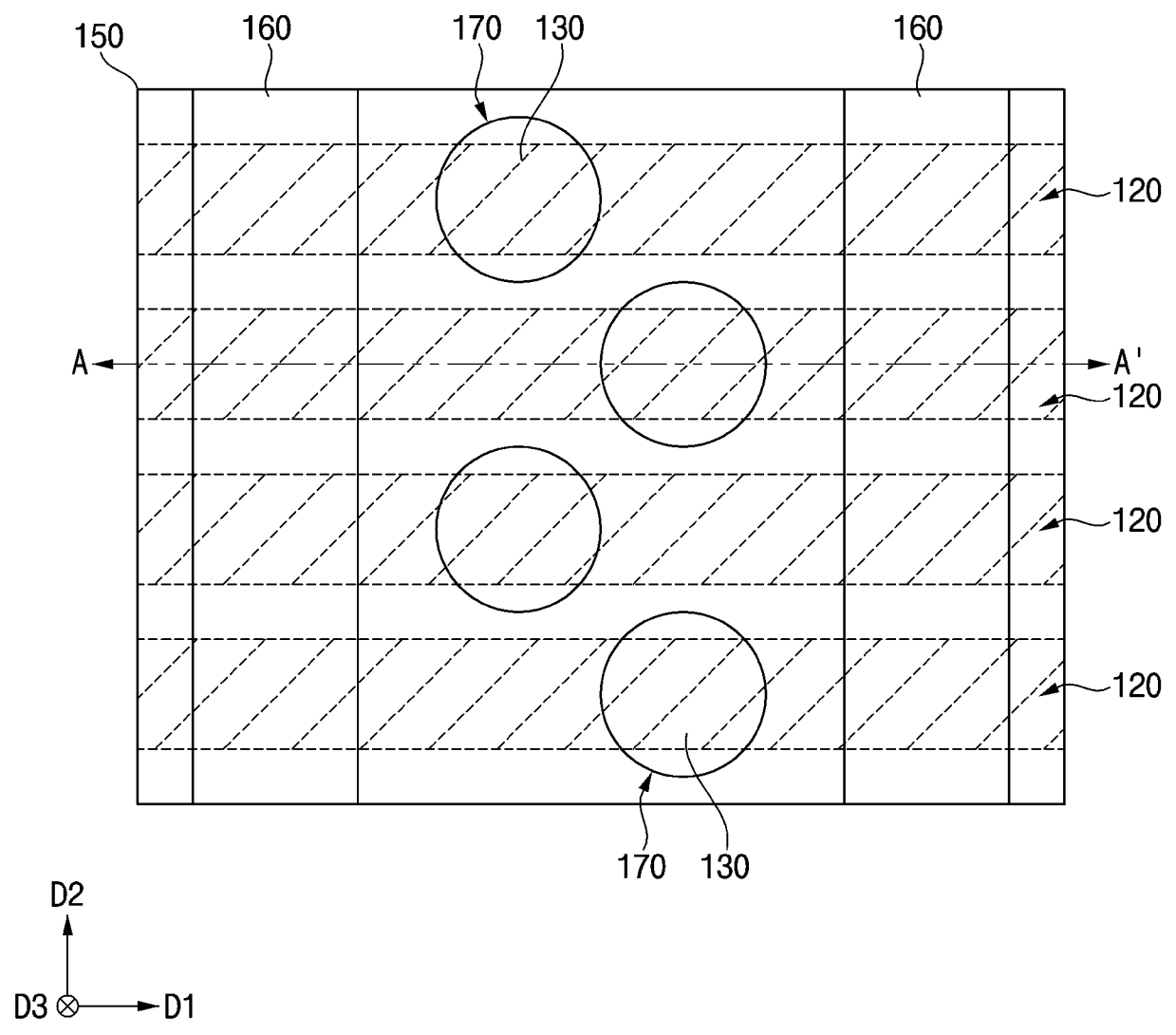
【圖4】



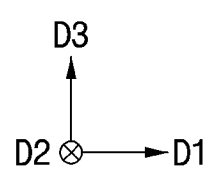
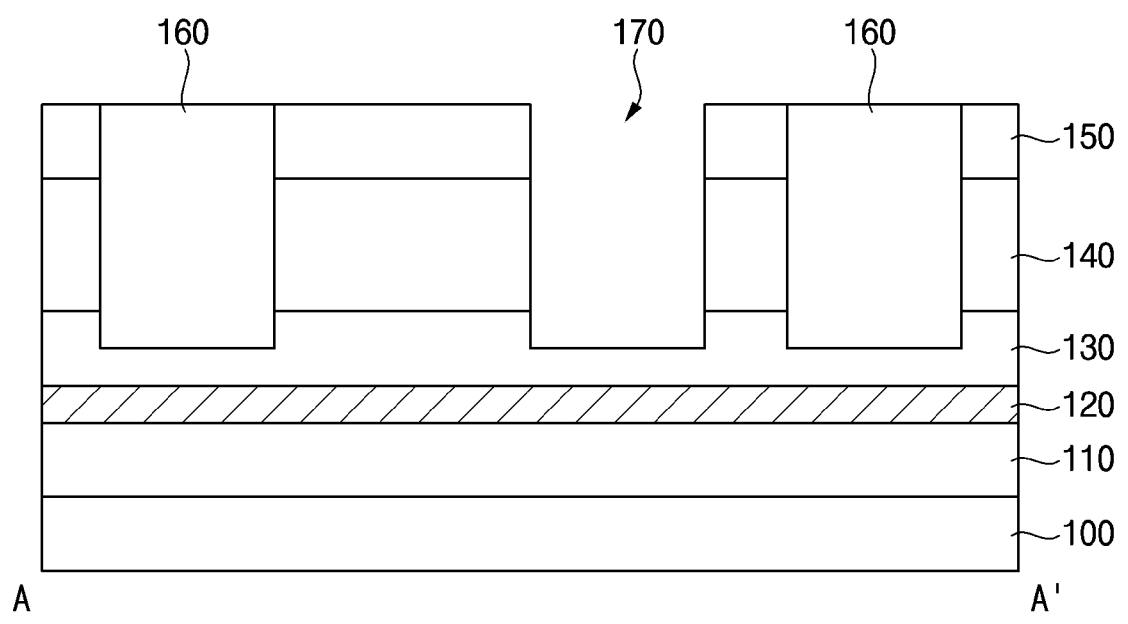
【圖5】



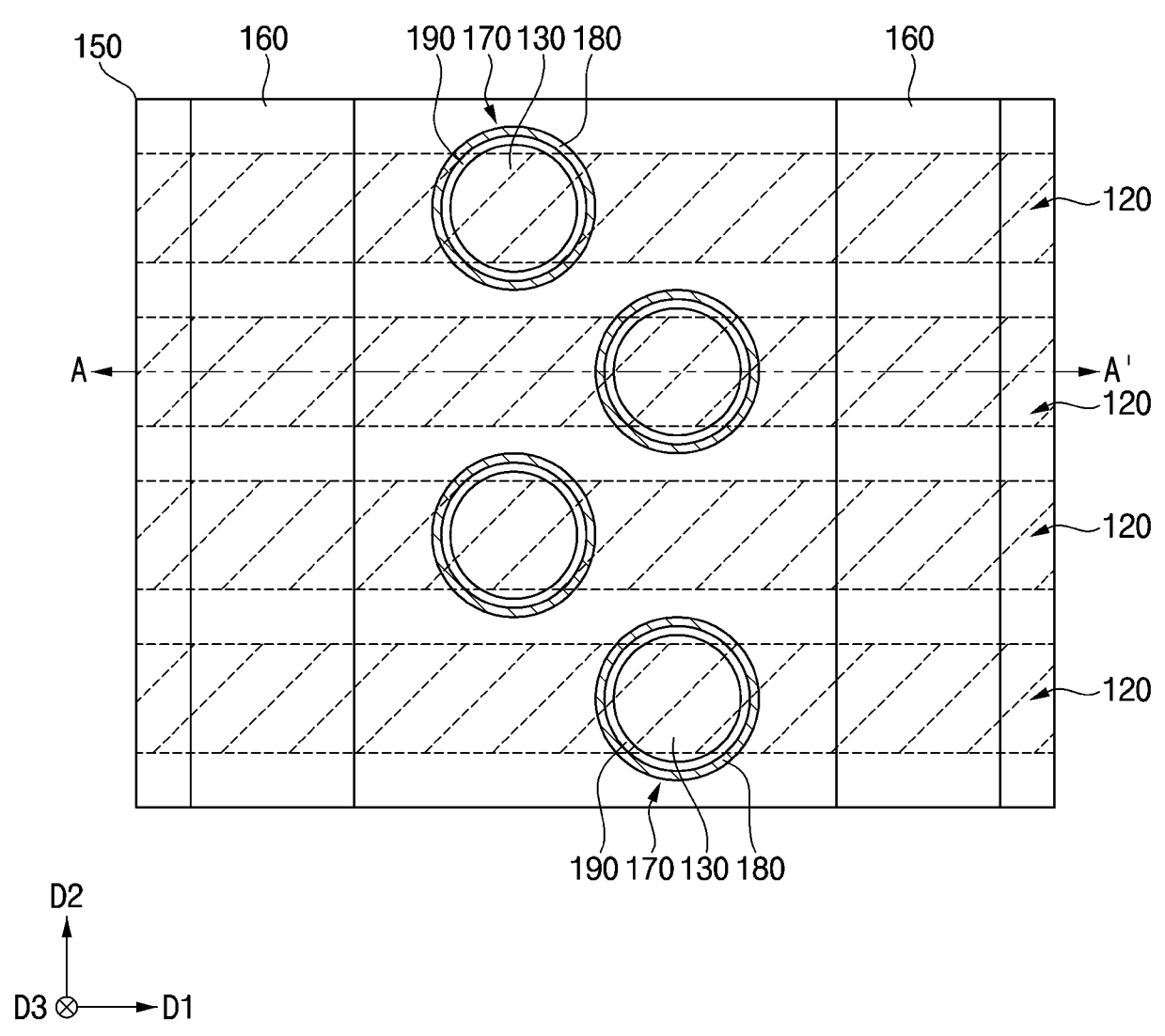
【圖6】



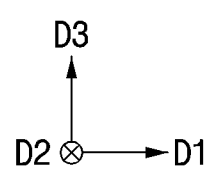
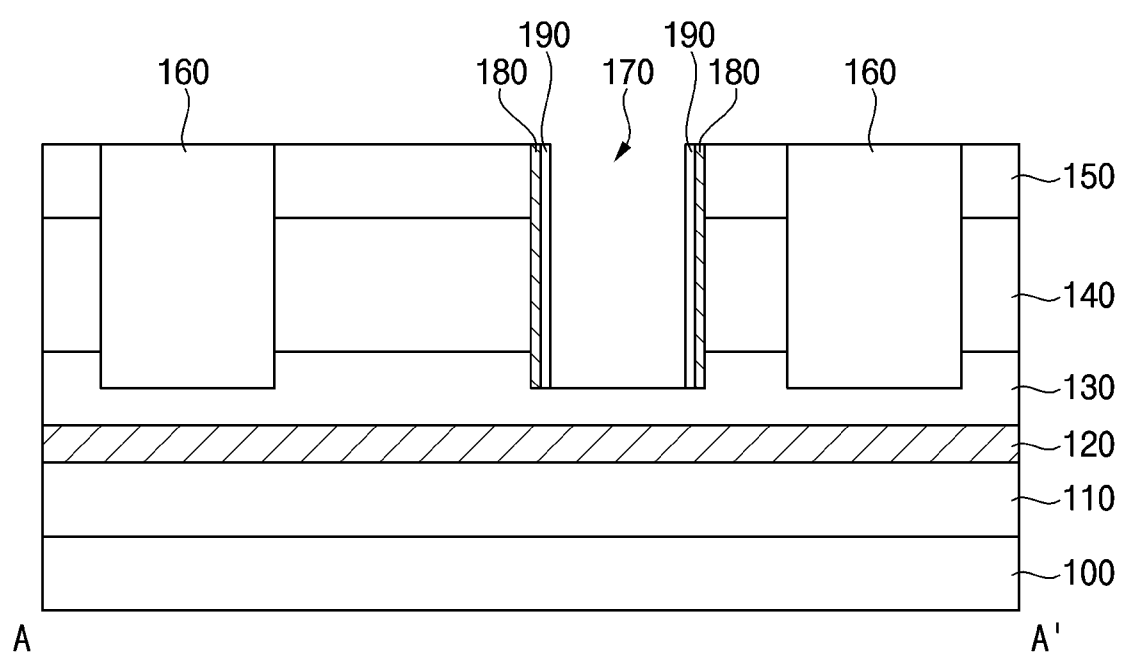
【圖7】



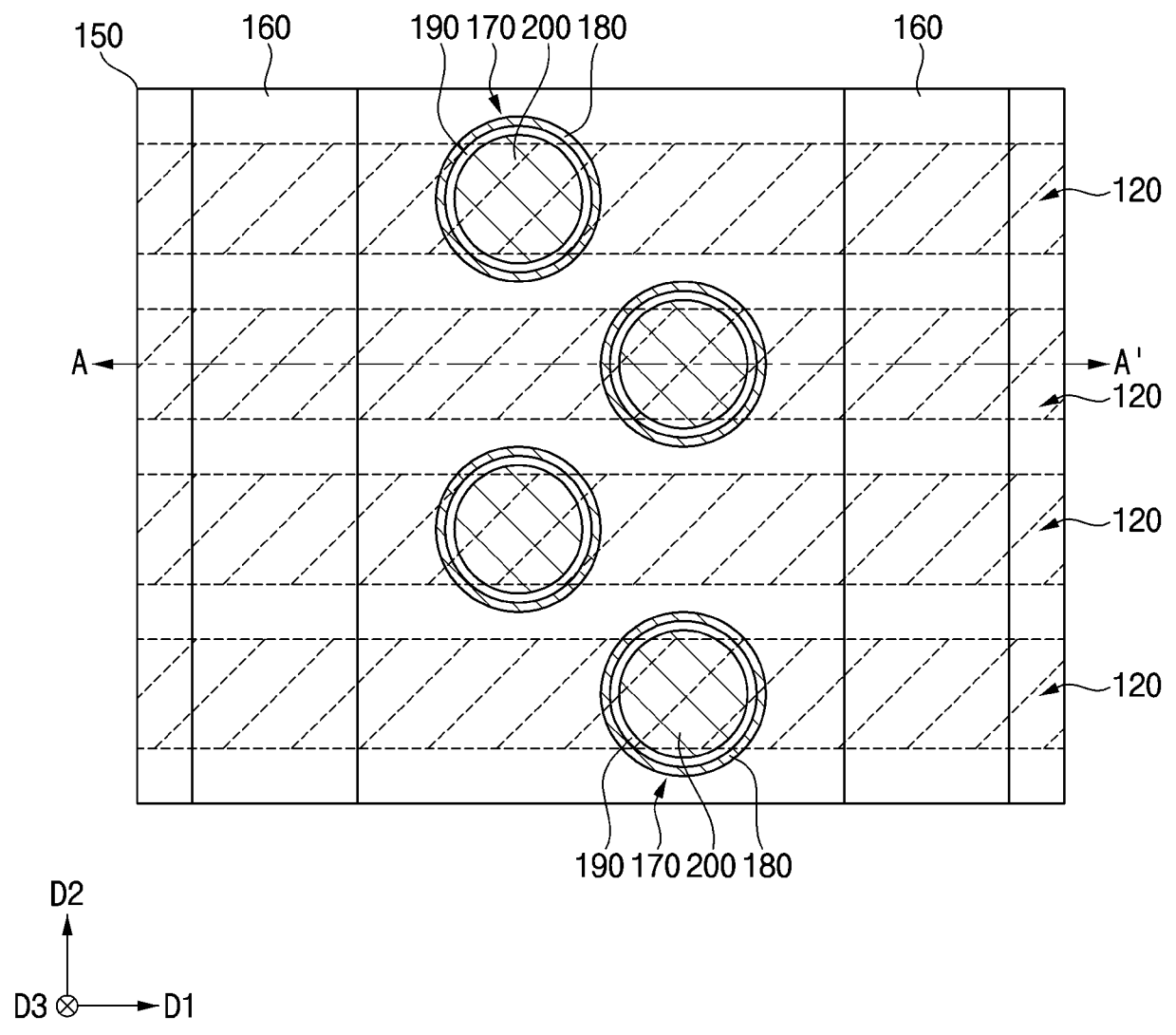
【圖8】



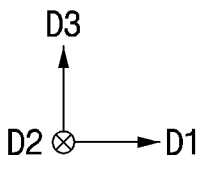
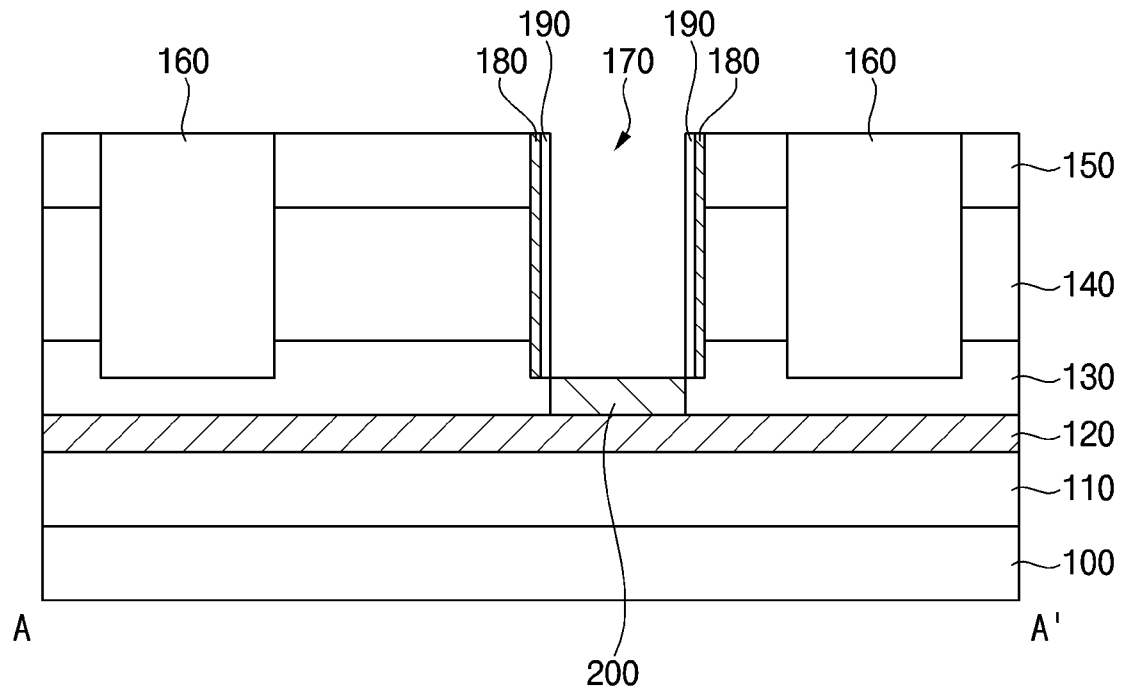
【圖9】



【圖10】

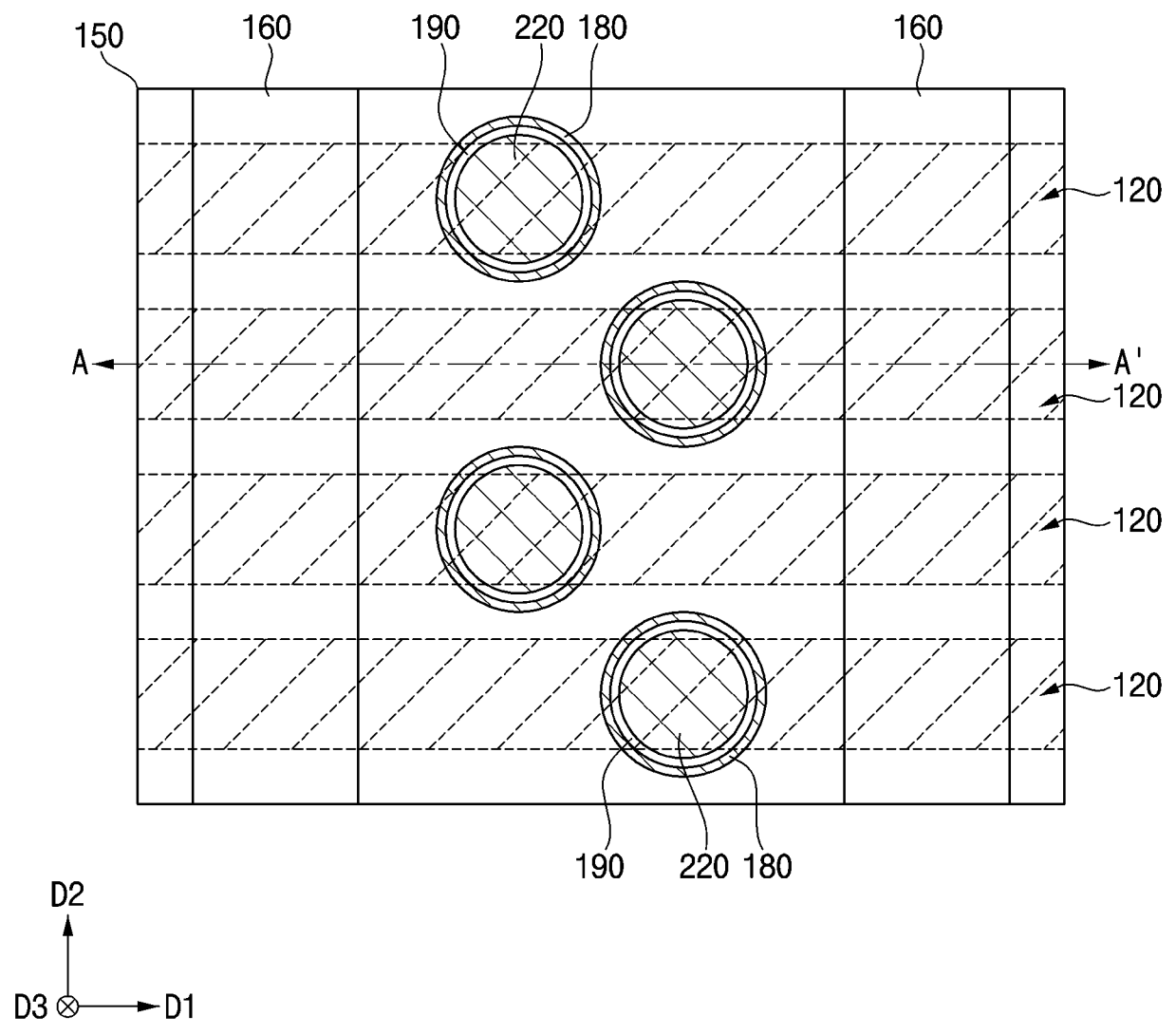


【圖11】

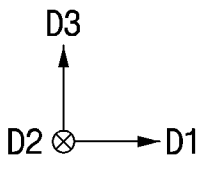
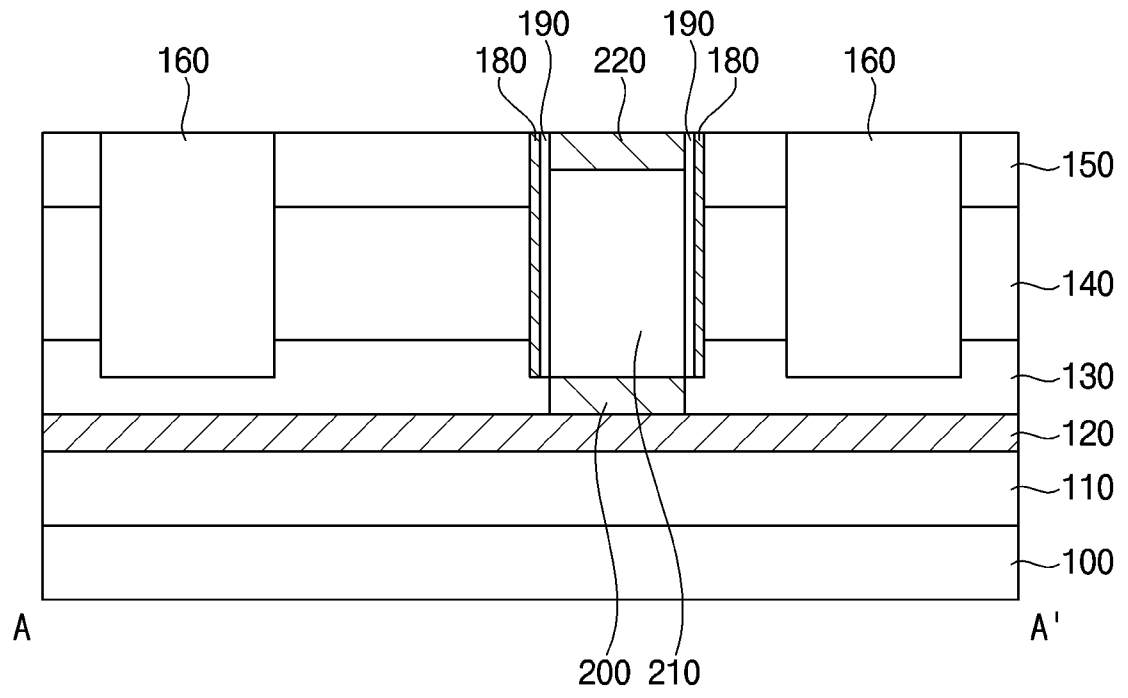


【圖12】

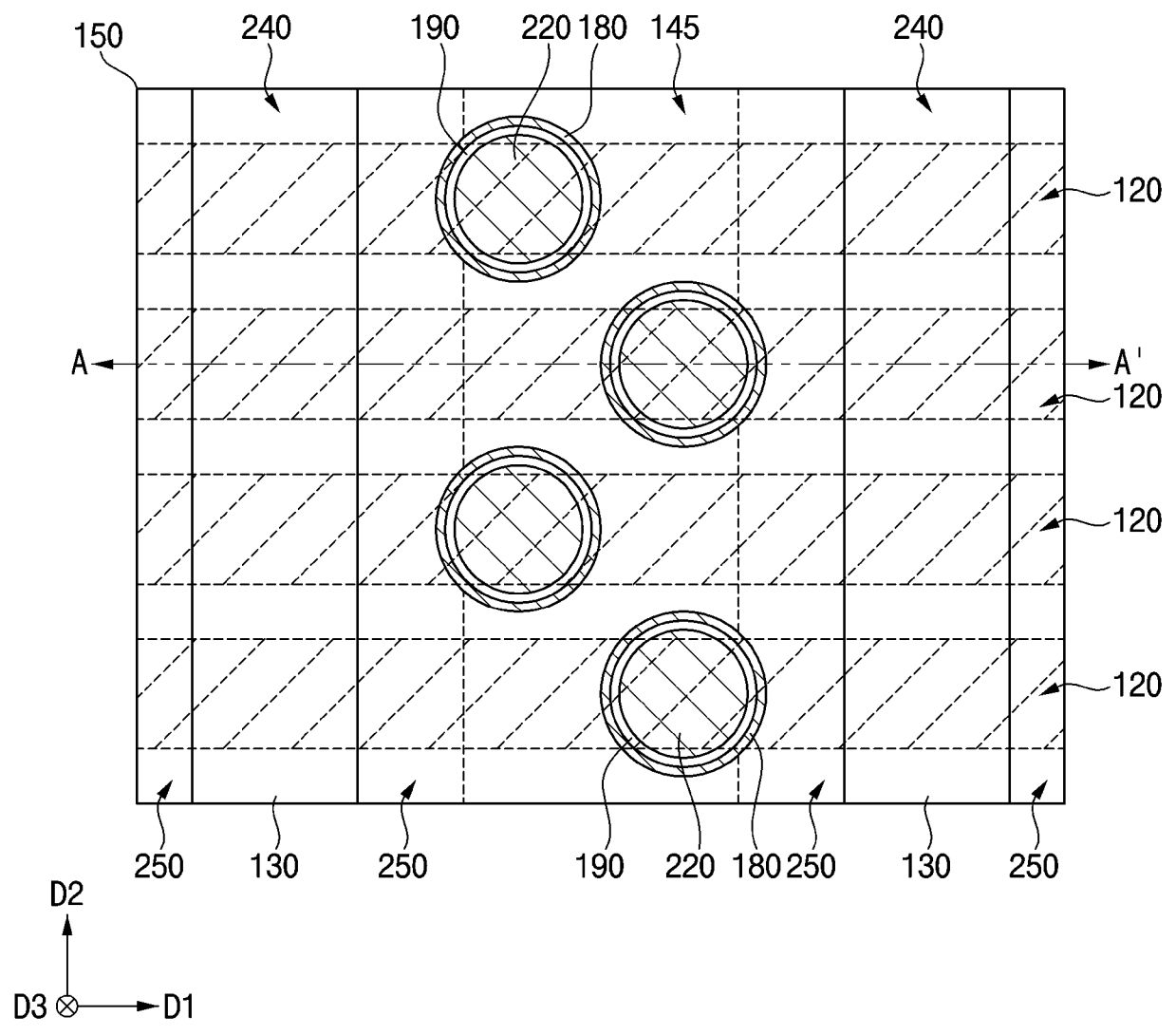




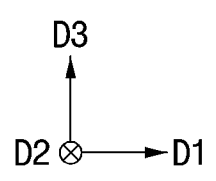
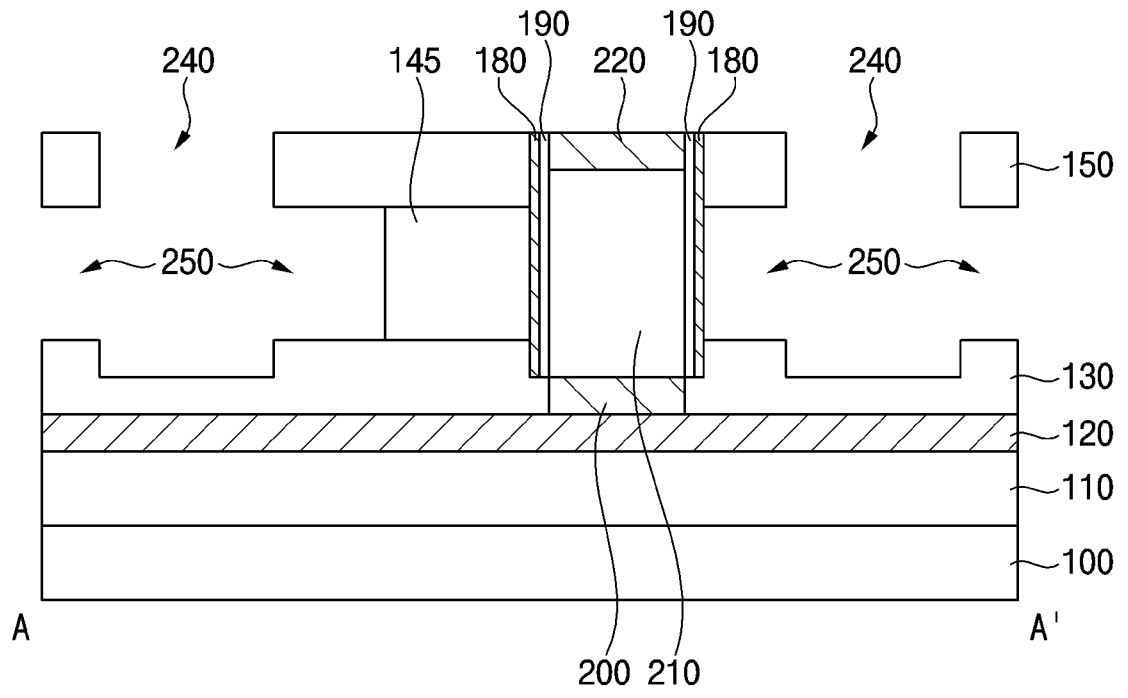
【圖13】



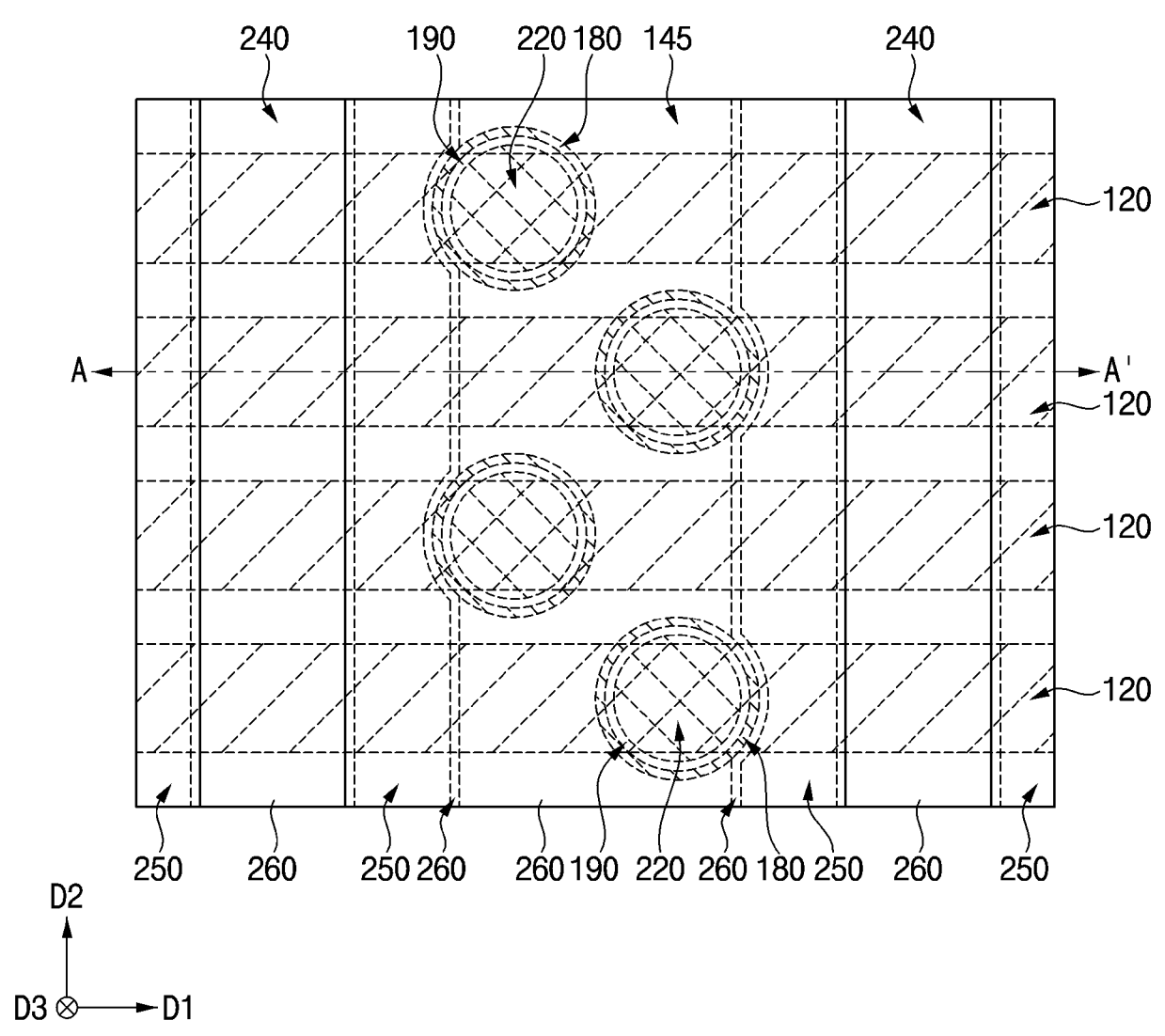
【圖14】



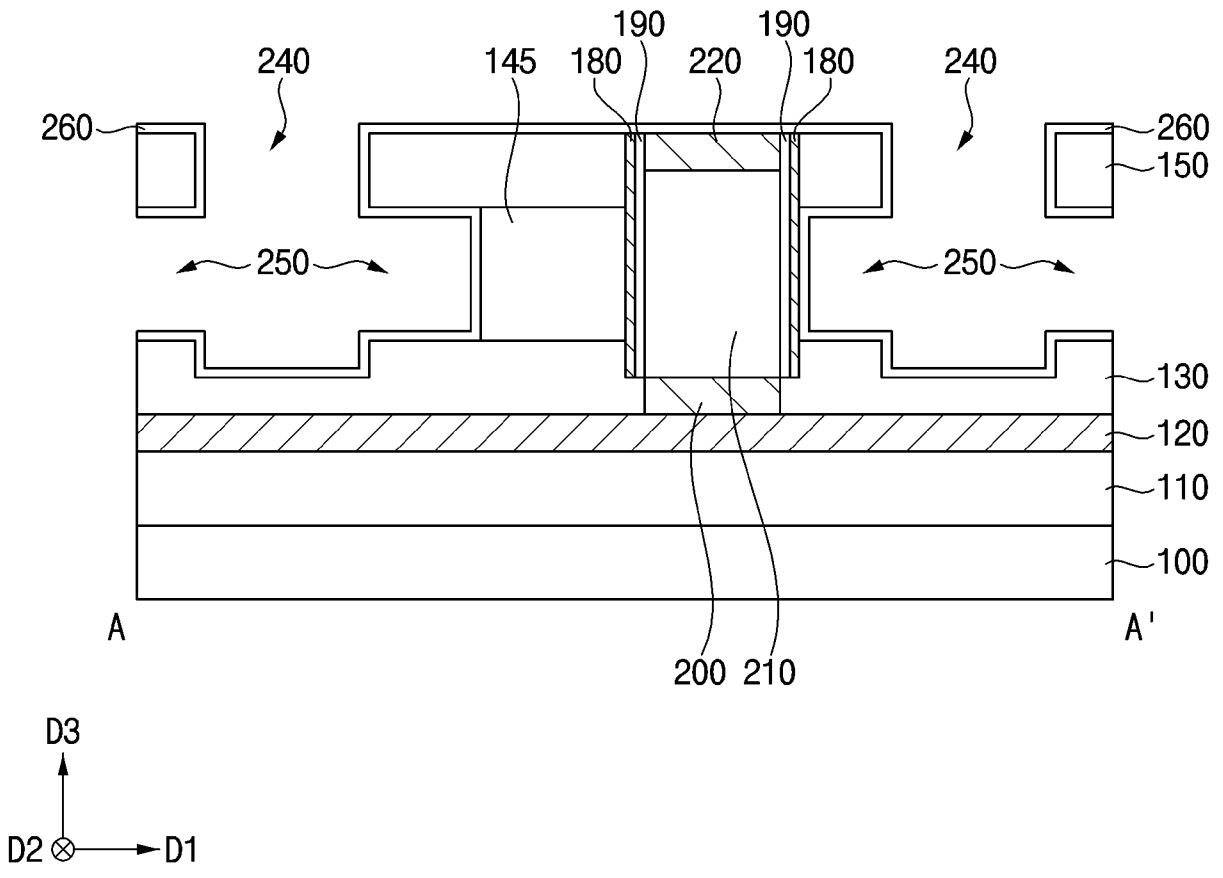
【圖15】



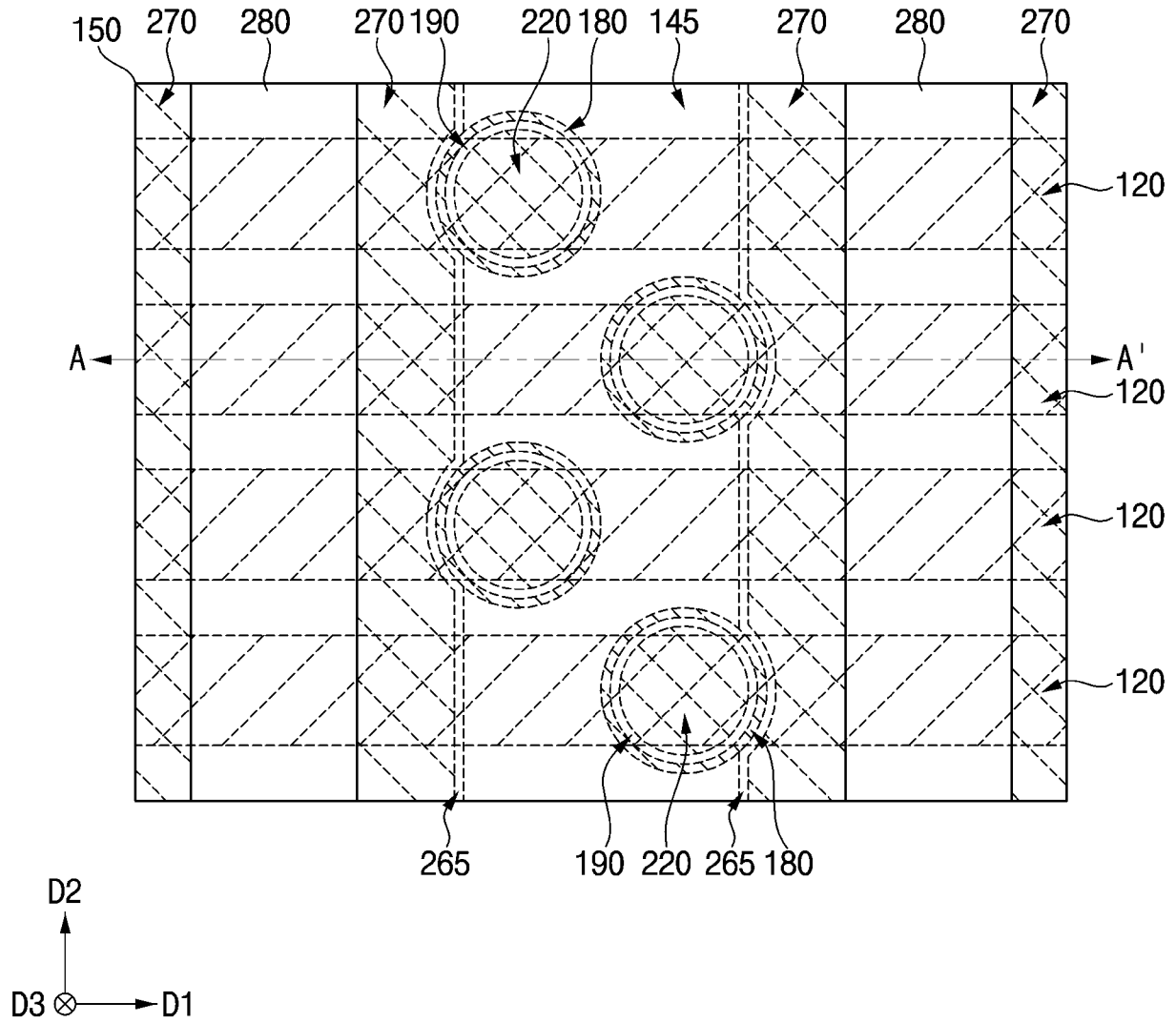
【圖16】



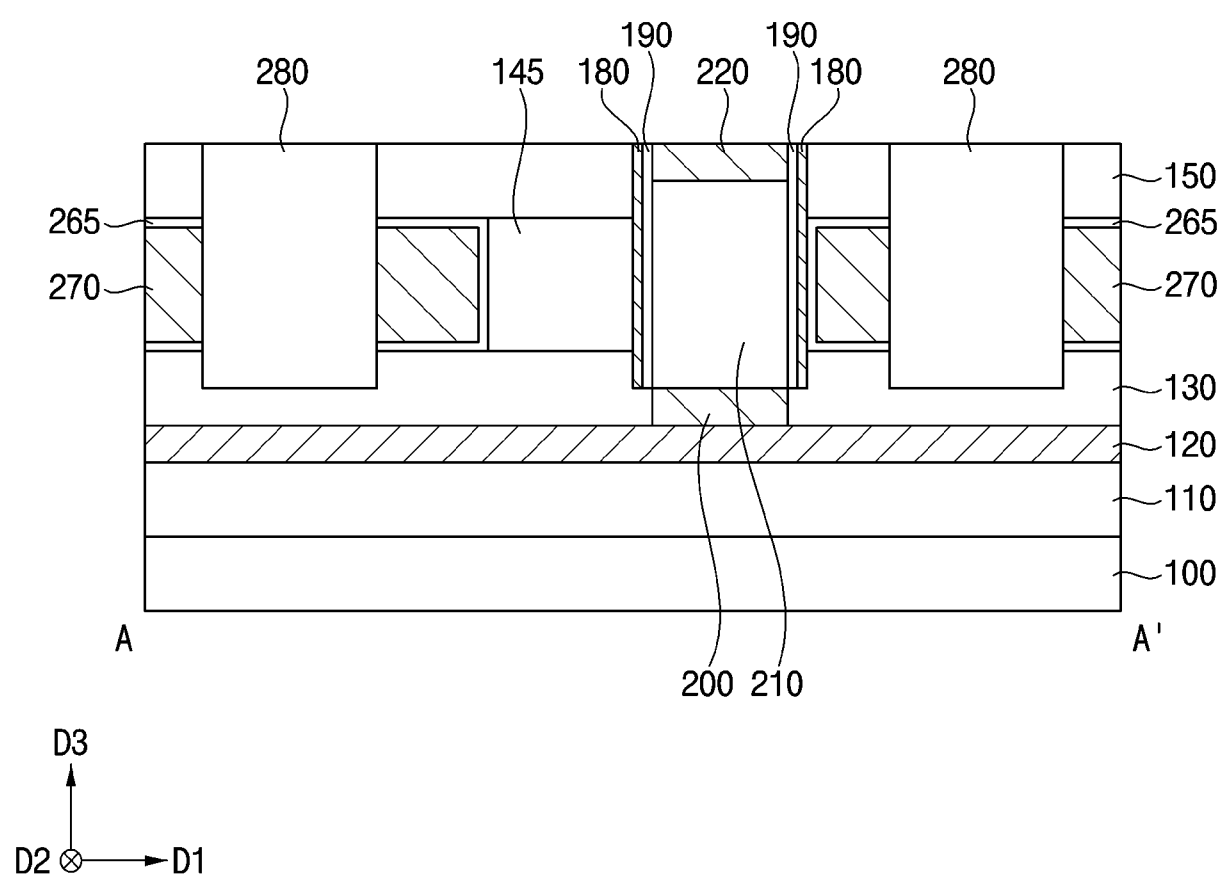
【圖17】



【圖18】

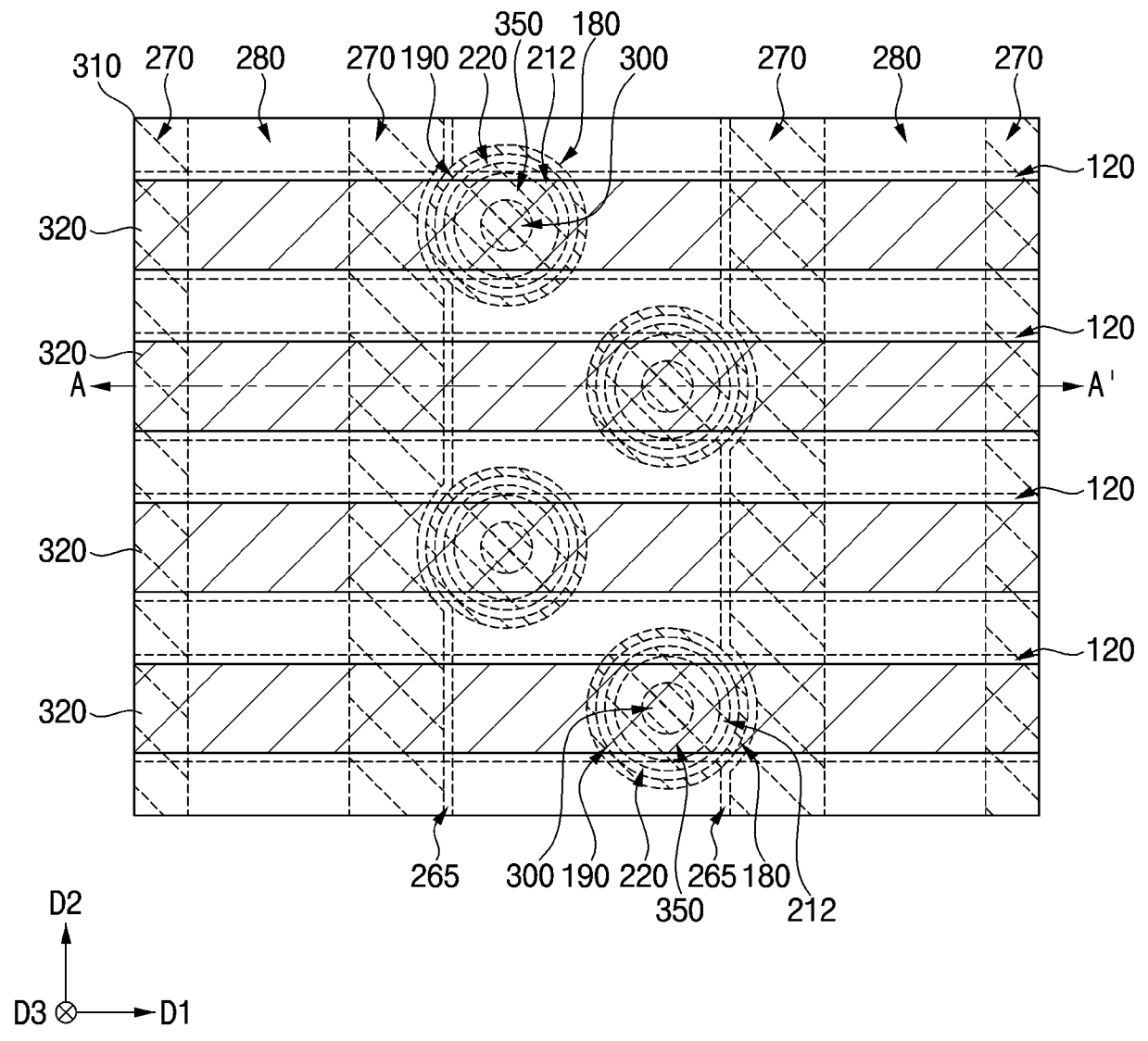


【圖19】

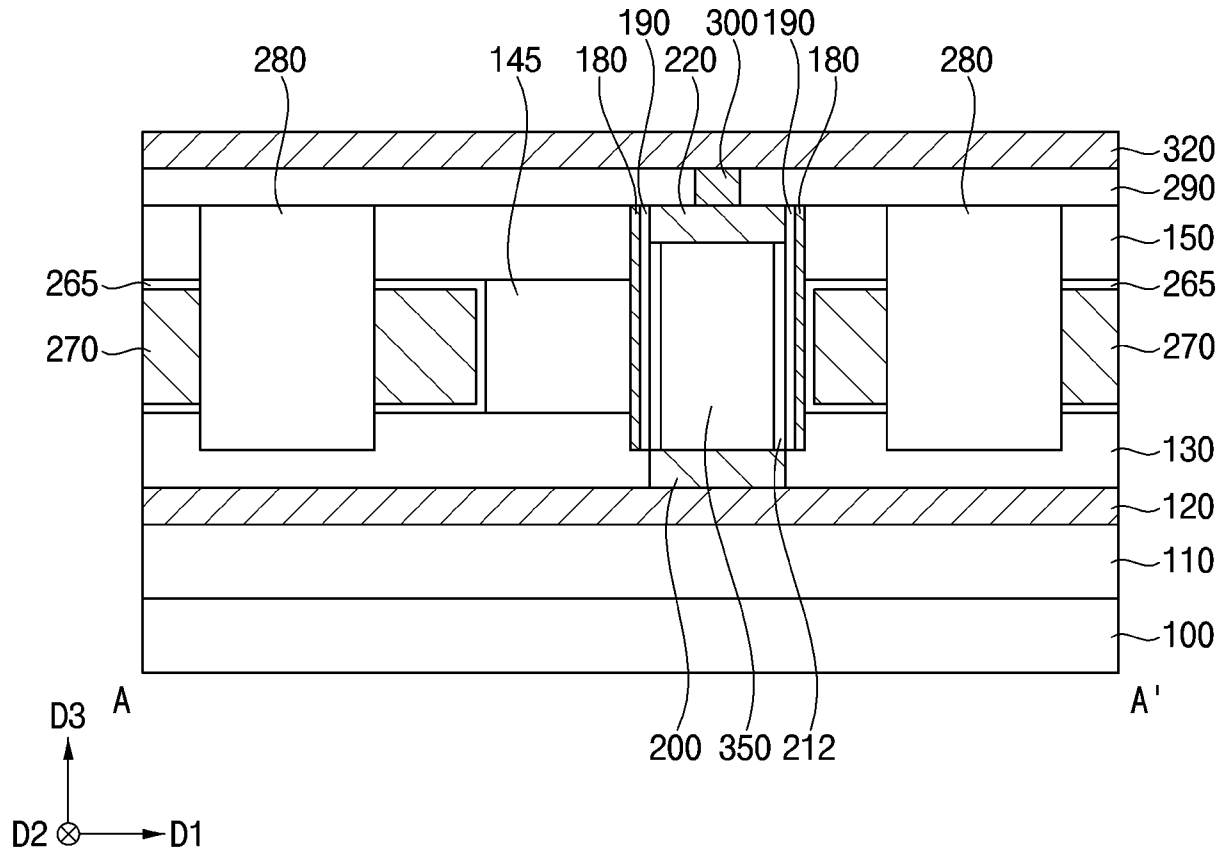


【圖20】

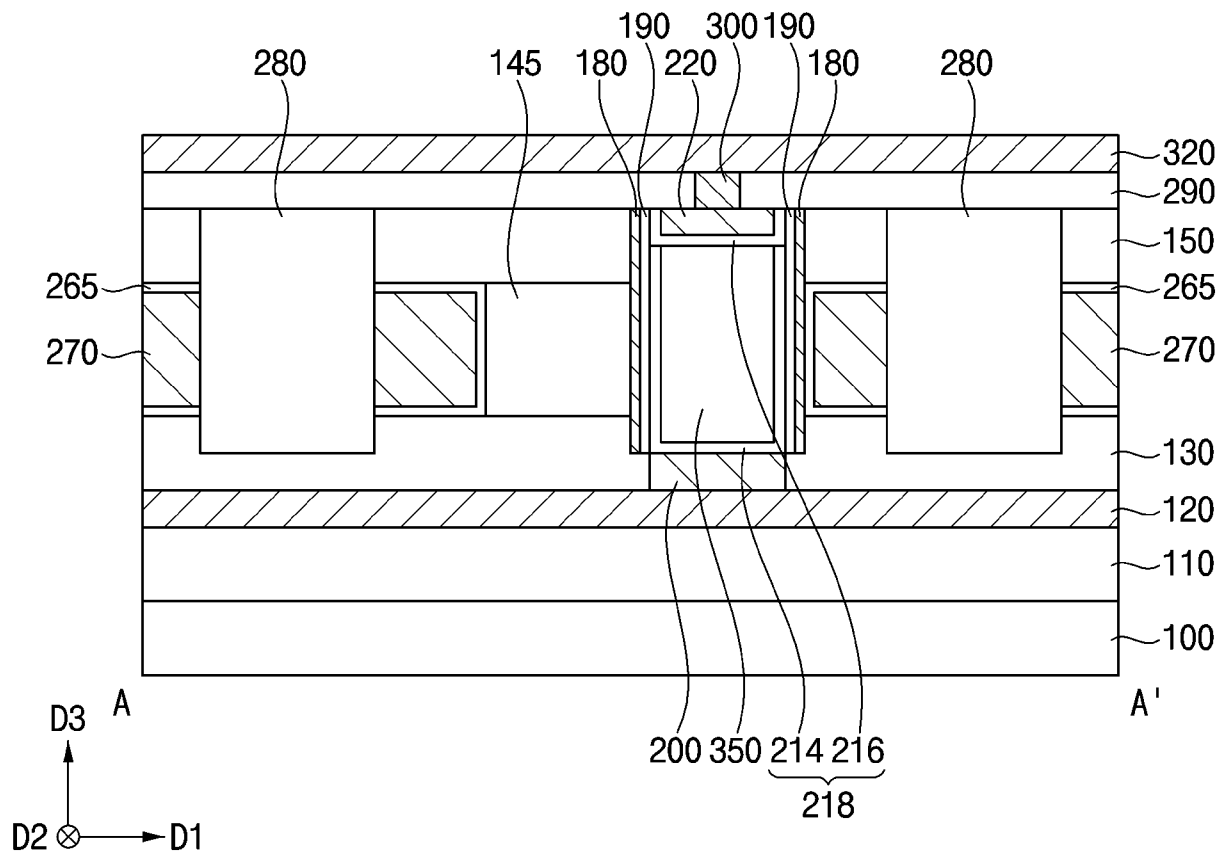




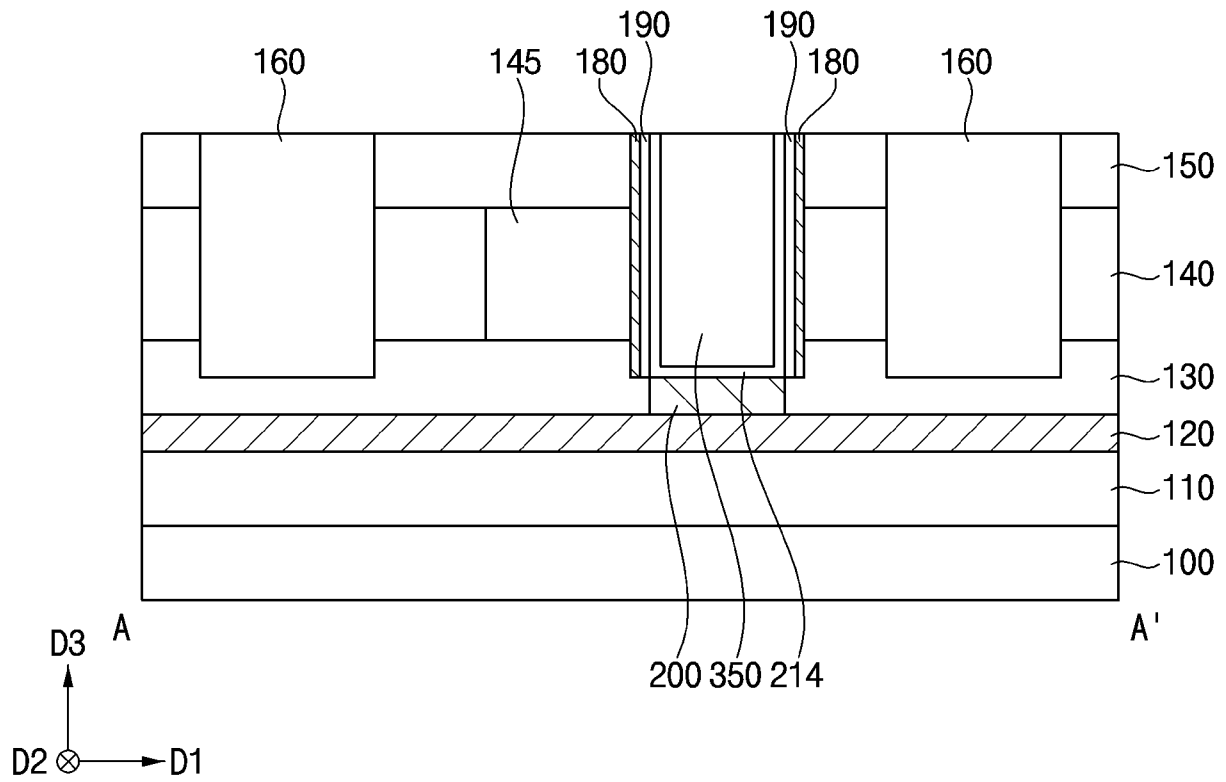
【圖21】



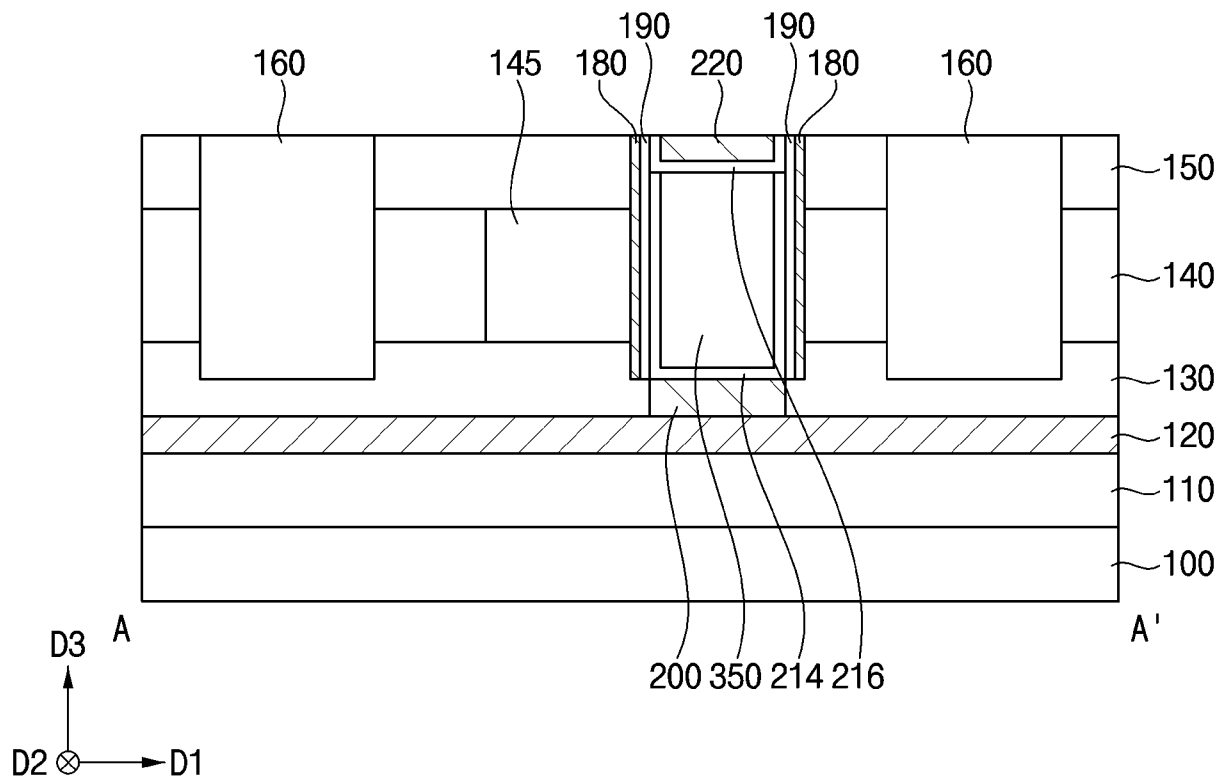
【圖22】



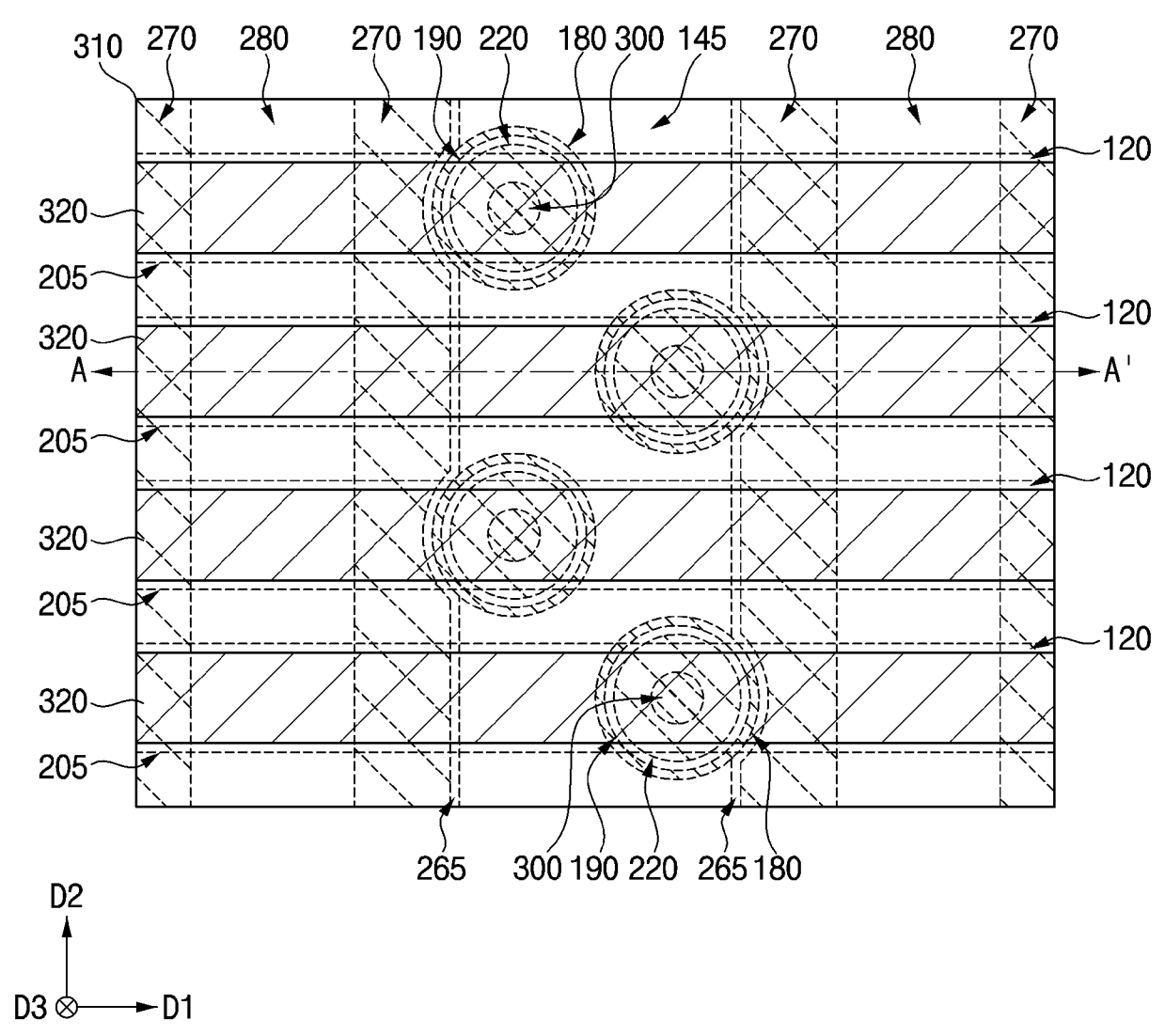
【圖23】



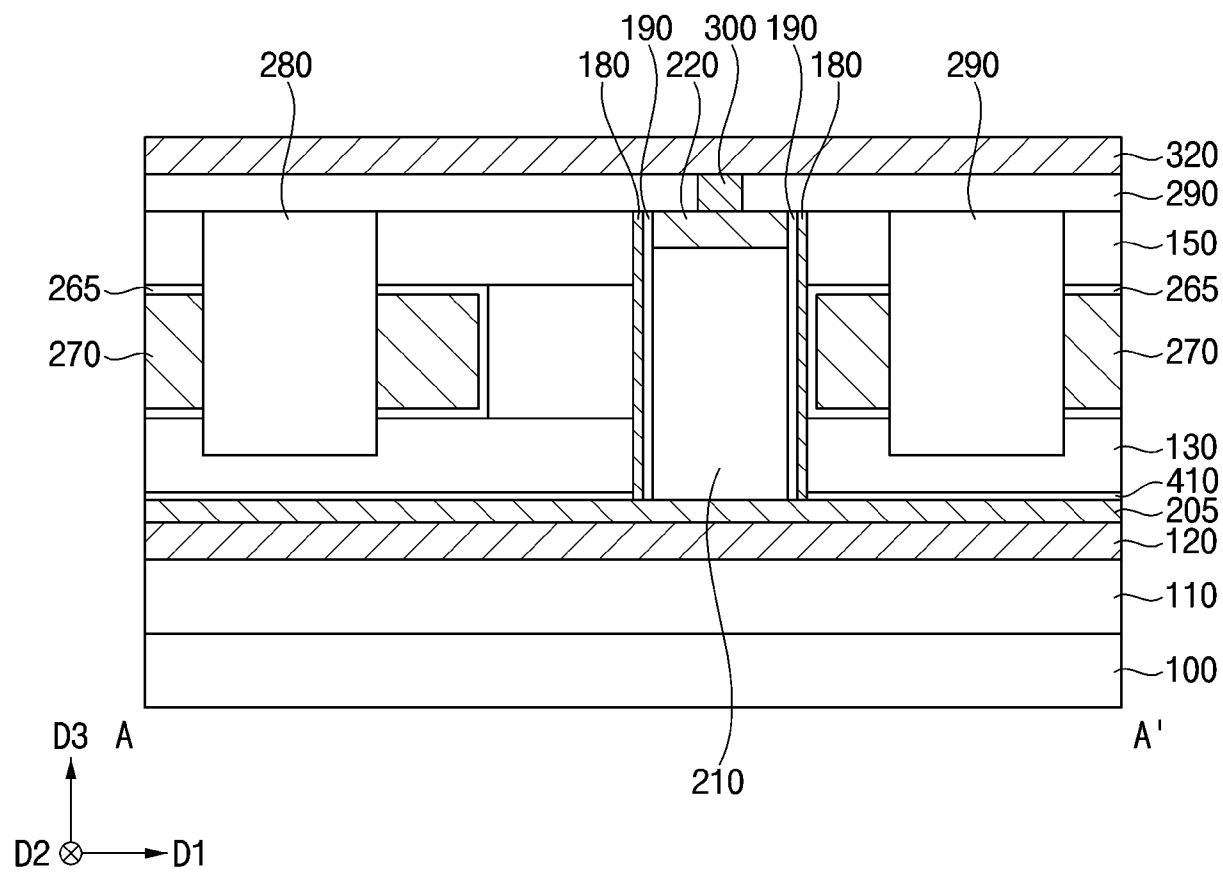
【圖24】



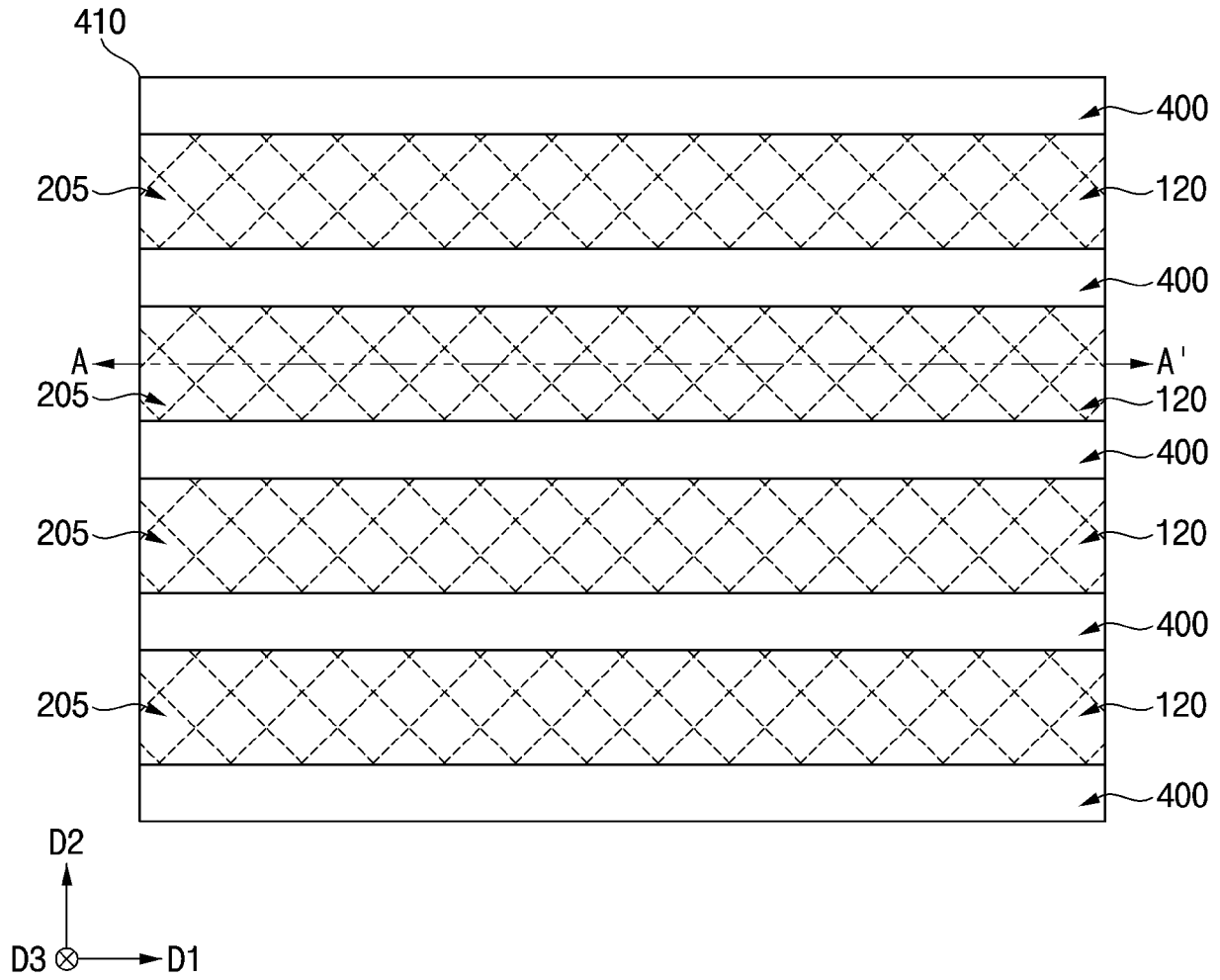
【圖25】



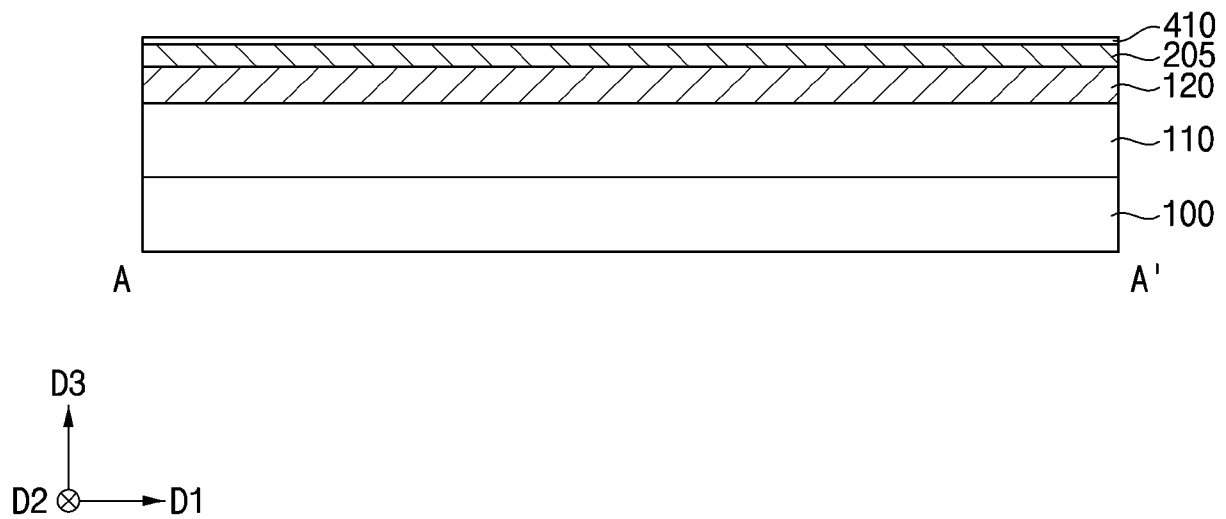
【圖26】



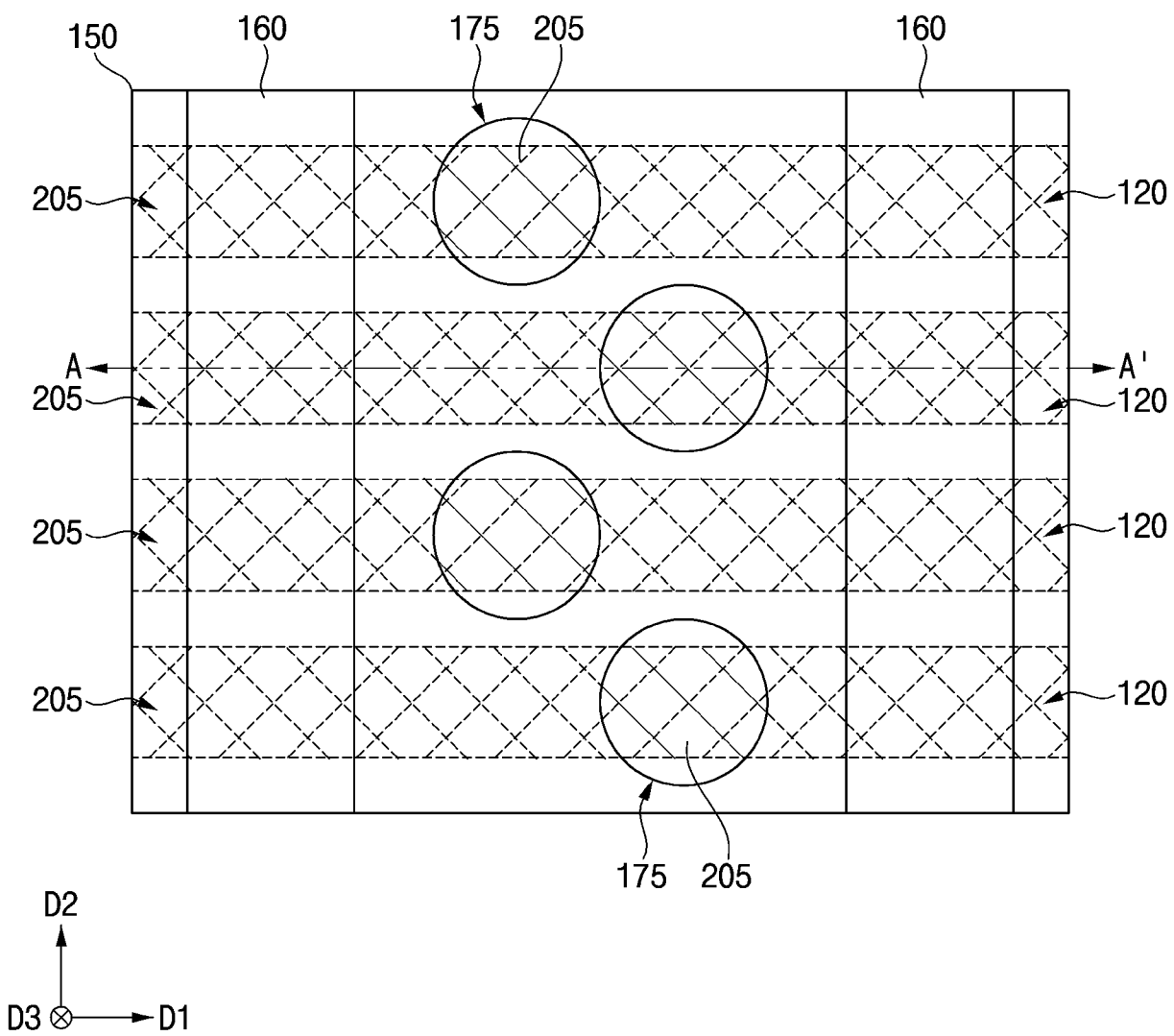
【圖27】



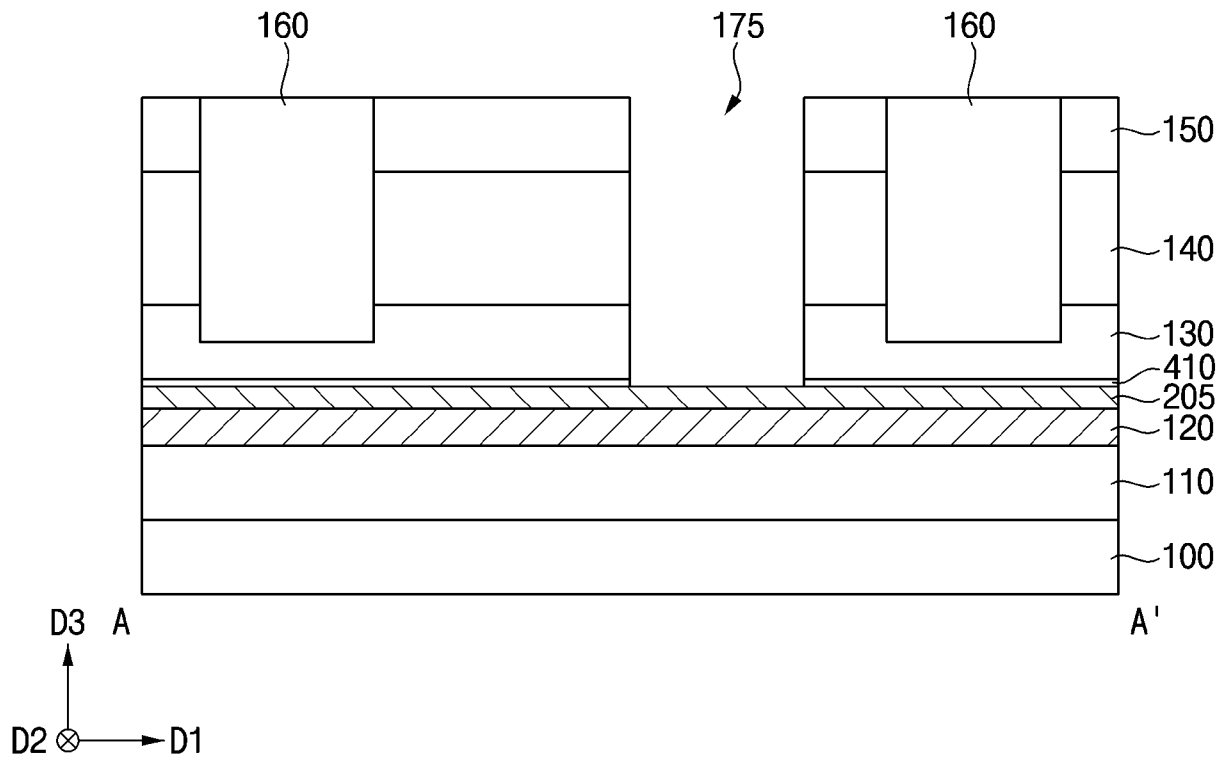
【圖28】



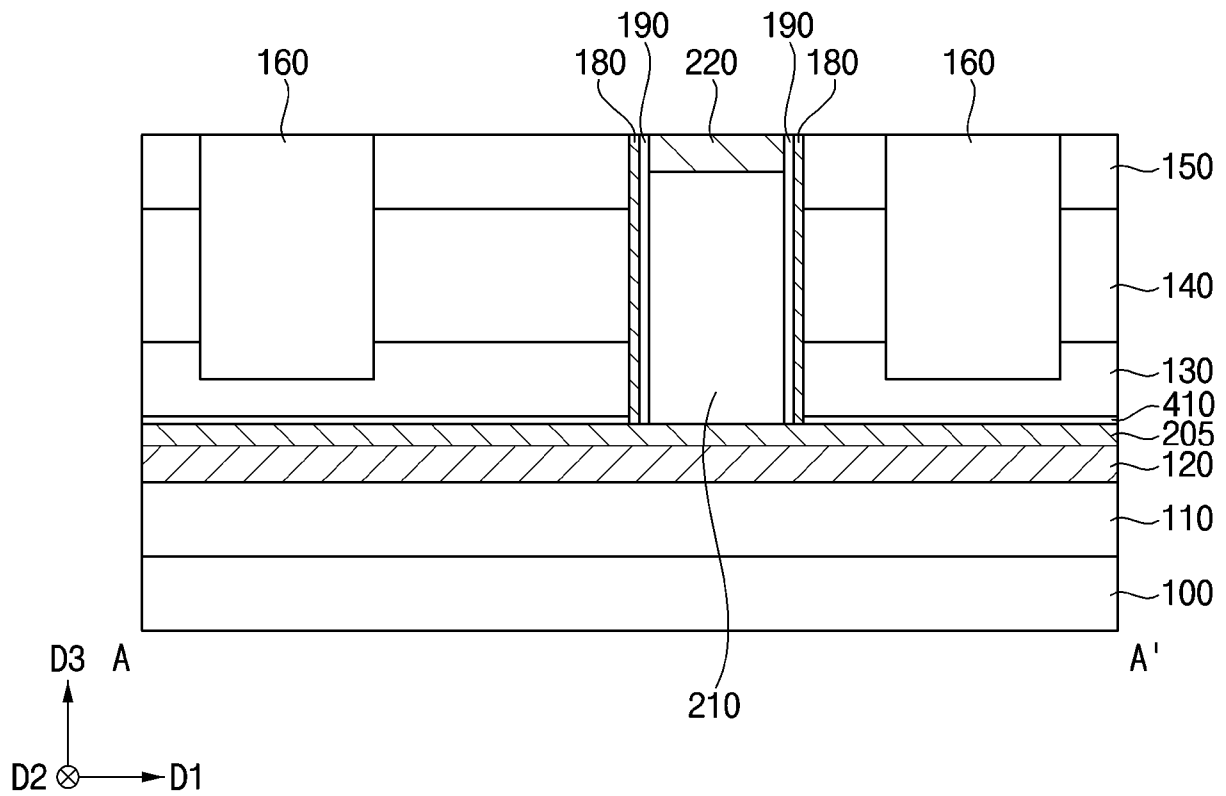
【圖29】



【圖30】

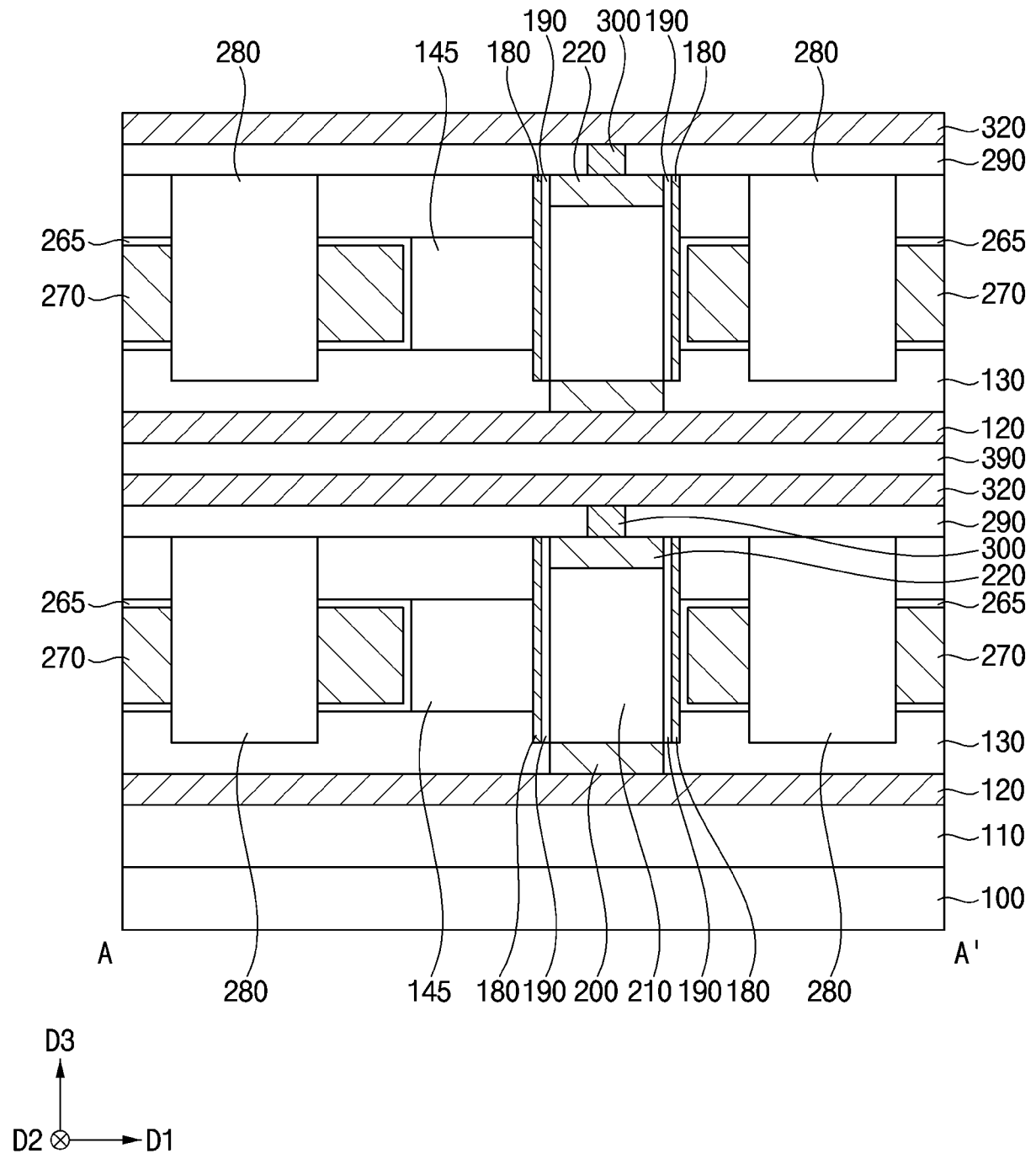


【圖31】

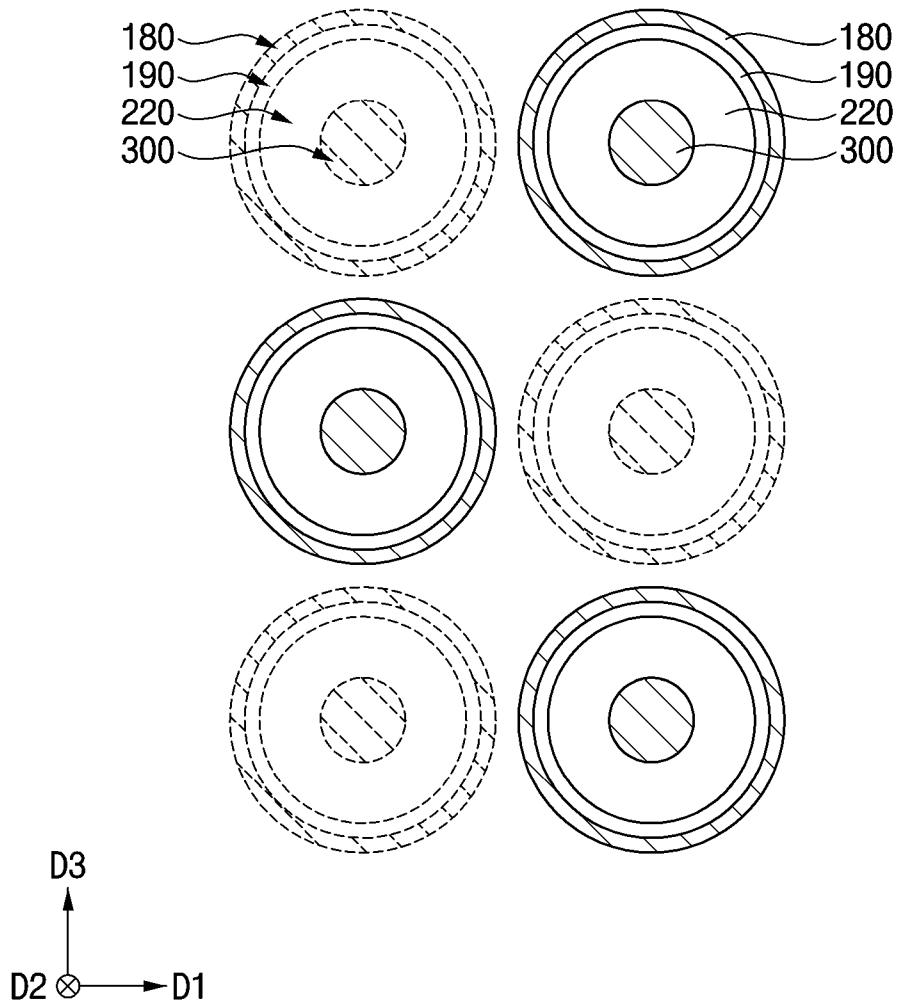


【圖32】

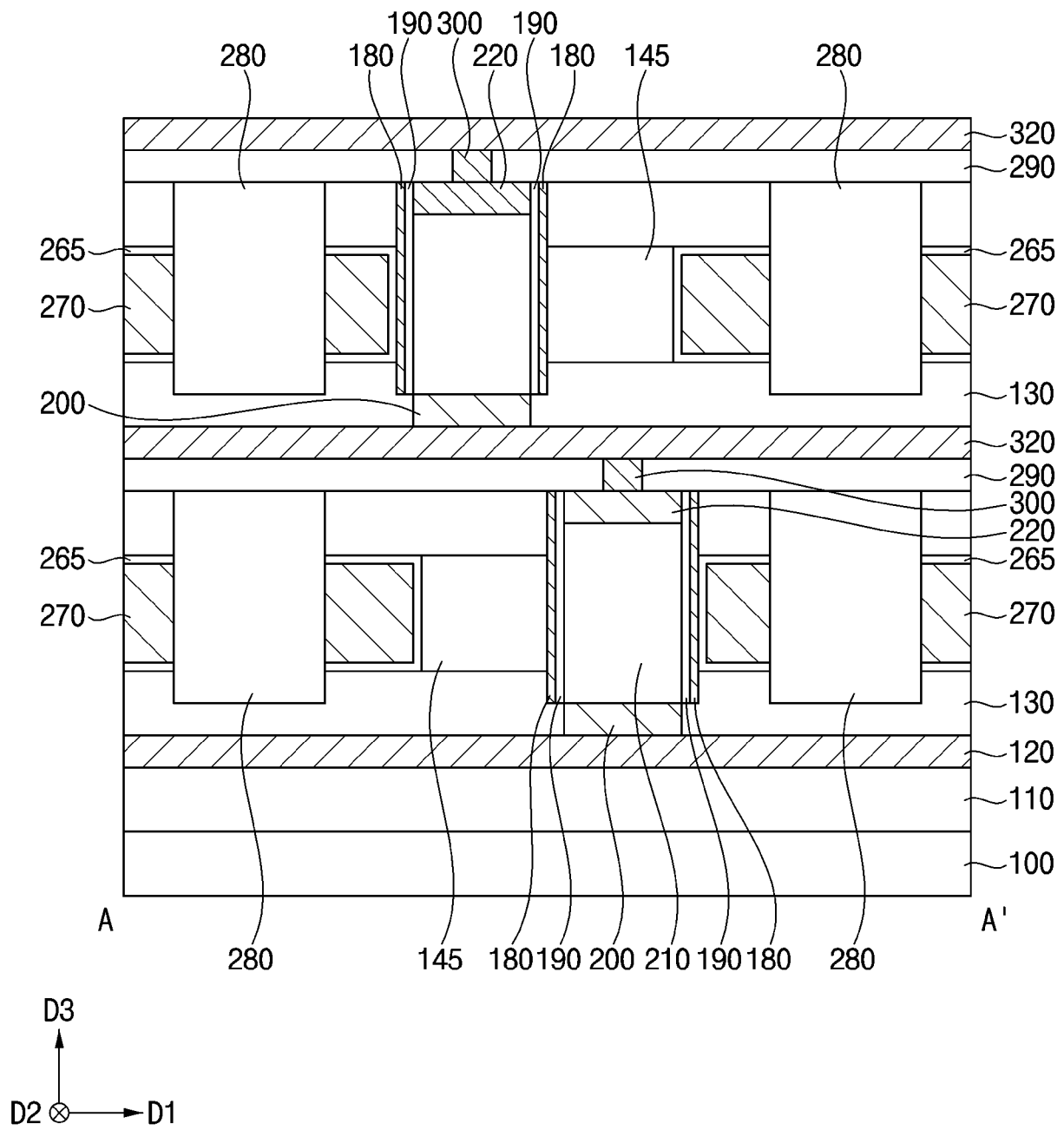




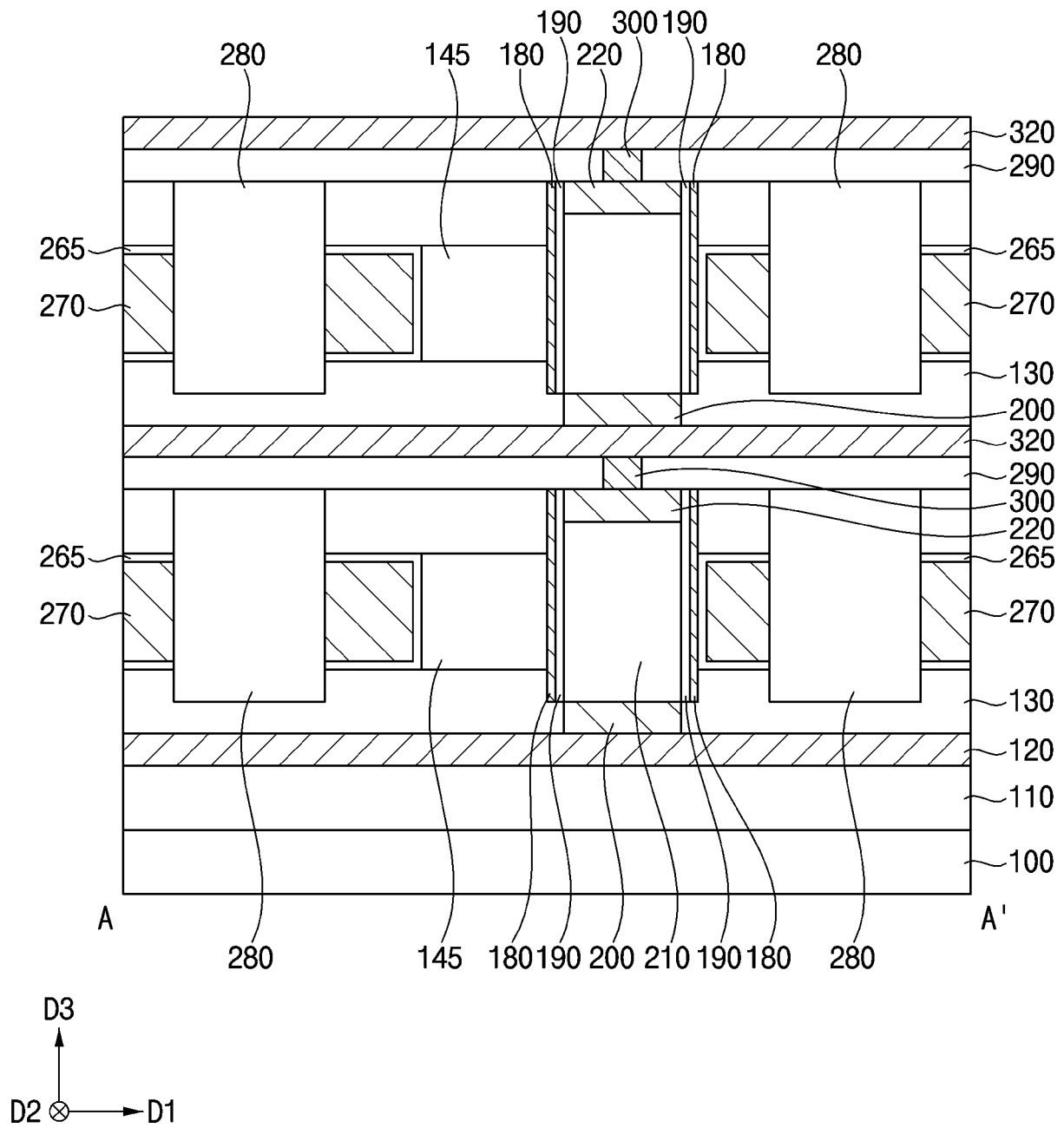
【圖33】



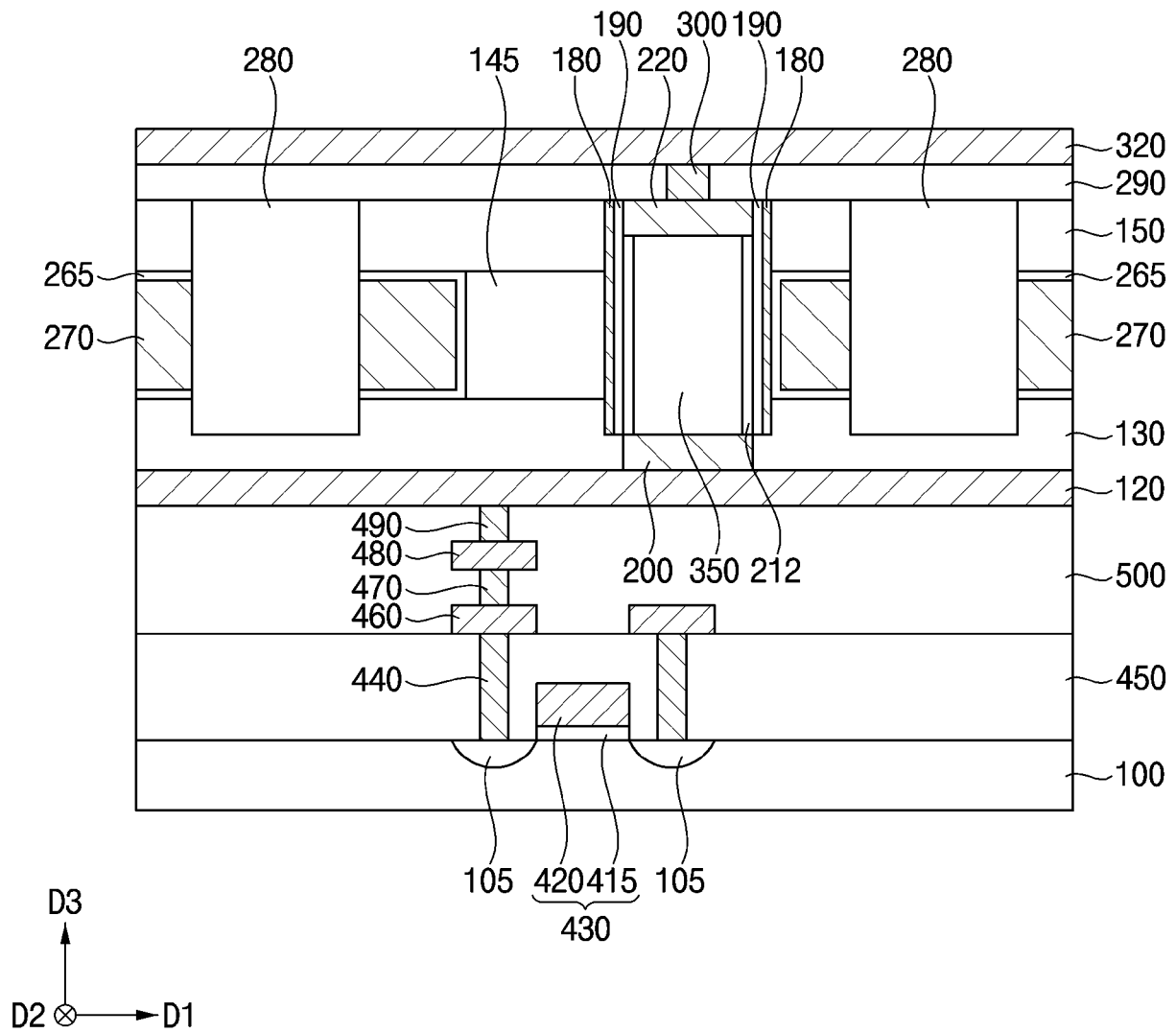
【圖34】



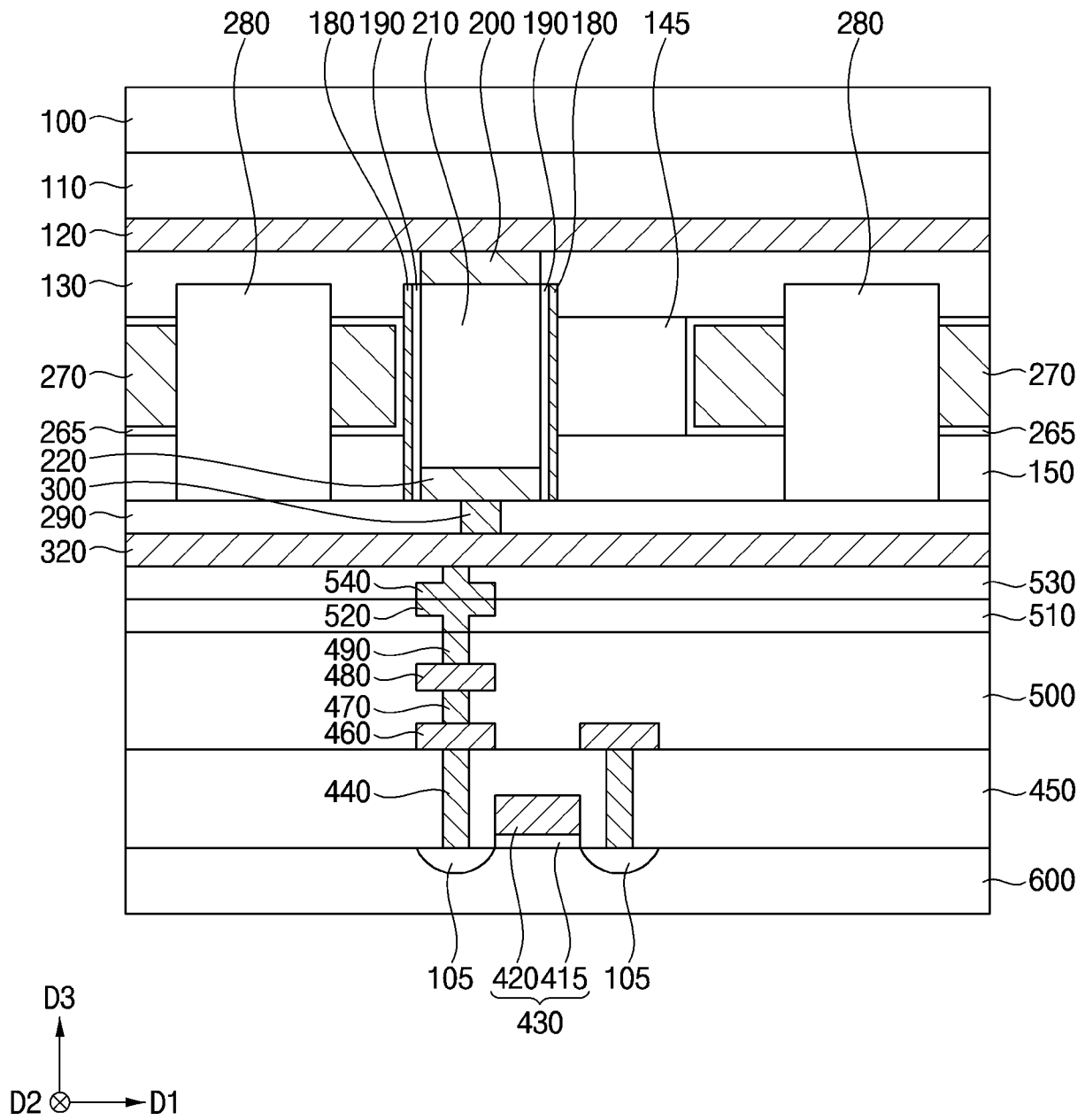
【圖35】



【圖36】



【圖37】



【圖38】