

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-244331
(P2008-244331A)

(43) 公開日 平成20年10月9日(2008.10.9)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/8238 (2006.01)	HO 1 L 27/08 3 2 1 D	4 M 1 0 4
HO 1 L 27/092 (2006.01)	HO 1 L 29/78 3 0 1 G	5 F 0 4 8
HO 1 L 29/78 (2006.01)	HO 1 L 29/58 G	5 F 1 4 0
HO 1 L 29/423 (2006.01)	HO 1 L 21/28 3 0 1 Z	
HO 1 L 29/49 (2006.01)	HO 1 L 21/28 A	

審査請求 有 請求項の数 10 O L (全 19 頁) 最終頁に続く

(21) 出願番号 特願2007-85709 (P2007-85709)
(22) 出願日 平成19年3月28日 (2007. 3. 28)

(71) 出願人 000003078
株式会社東芝
東京都港区芝浦一丁目1番1号
(74) 代理人 100058479
弁理士 鈴江 武彦
(74) 代理人 100091351
弁理士 河野 哲
(74) 代理人 100088683
弁理士 中村 誠
(74) 代理人 100108855
弁理士 蔵田 昌俊
(74) 代理人 100075672
弁理士 峰 隆司
(74) 代理人 100109830
弁理士 福原 淑弘

最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

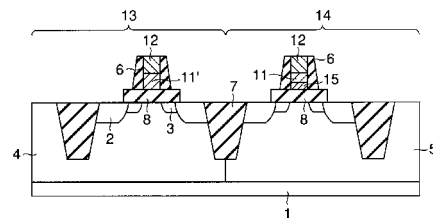
(57) 【要約】

【課題】従来のCMISデバイスにおいては、価電子帯端近くの高い仕事関数を有する金属は、還元雰囲気アニール後に実効仕事関数が低下する。

【解決手段】半導体装置は、ソースとドレイン間のN型半導体層上に形成された金属元素を含むゲート絶縁膜と、ゲート絶縁膜上に形成され、膜厚が3nm以下であるカーボン層と、カーボン層上に形成されたゲート電極とを有し、ゲート電極/ゲート絶縁膜界面へのカーボン層による仕事関数の上昇効果により、還元雰囲気アニール耐性のない価電子帯端近くの高い仕事関数を有する金属を用いずとも、PMISFETに必要な実効仕事関数を得ることができ、低い閾値電圧を実現する。

【選択図】 図1

図1



【特許請求の範囲】

【請求項 1】

基板と、
 前記基板上に形成された N 型半導体層と、
 前記 N 型半導体層に設けられた第 1 のソース領域及び第 1 のドレイン領域と、
 前記第 1 のソース領域及び第 1 のドレイン領域の間の前記 N 型半導体層上に形成された第 1 のゲート絶縁膜と、
 前記第 1 のゲート絶縁膜上に形成され、膜厚が 3 nm 以下であるカーボン層と、
 前記カーボン層上に形成された第 1 のゲート電極と、
 前記基板上に形成された P 型半導体層と、
 前記 P 型半導体層に設けられた第 2 のソース領域及び第 2 のドレイン領域と、
 前記第 2 のソース領域及び第 2 のドレイン領域の間の前記 P 型半導体層上に形成された第 2 のゲート絶縁膜と、
 前記第 2 のゲート絶縁膜上に形成された第 2 のゲート電極と、
 を具備することを特徴とする半導体装置。

10

【請求項 2】

前記第 1 のゲート電極の少なくともゲート絶縁膜側の仕事関数が、 4.4 eV 以上 4.9 eV 以下であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記第 2 のゲート電極の少なくとも前記第 2 のゲート絶縁膜側の実効仕事関数が、 4.4 eV 以下であることを特徴とする請求項 1 又は請求項 2 に記載の半導体装置。

20

【請求項 4】

前記第 1 のゲート電極及び前記第 2 のゲート電極の少なくとも前記第 1 のゲート絶縁膜側及び前記第 2 のゲート絶縁膜側がそれぞれ TaC カーバイドで形成されることを特徴とする請求項 1 乃至 3 の何れか一項に記載の半導体装置。

【請求項 5】

前記第 1 のゲート電極の少なくとも前記第 1 のゲート絶縁膜側のカーボン原子濃度が 60 at. \% 以上であることを特徴とする請求項 4 に記載の半導体装置。

【請求項 6】

前記第 2 のゲート電極の少なくとも前記第 2 のゲート絶縁膜側のカーボン原子濃度が 60 at. \% 以下であることを特徴とする請求項 4 に記載の半導体装置。

30

【請求項 7】

前記第 2 のゲート電極の少なくとも前記第 2 のゲート絶縁膜側において、膜厚方向に対する TaC (111) 面の結晶配向率 $[\text{TaC (111) 面} / \{\text{TaC (111) 面} + \text{TaC (200) 面}\} \times 100]$ が 60% 以下であることを特徴とする請求項 4 乃至請求項 6 の何れか一項に記載の半導体装置。

【請求項 8】

前記第 1 のゲート絶縁膜及び第 2 のゲート絶縁膜が HfSiON により形成されることを特徴とする請求項 1 乃至請求項 7 の何れか一項に記載の半導体装置。

【請求項 9】

素子分離された P 型半導体領域及び N 型半導体領域を有する半導体基板の前記 P 型半導体層領域に第 1 ダミーゲートを形成するとともに前記 N 型半導体領域に第 2 ダミーゲートを形成する工程と、

40

前記第 1 ダミーゲートの両側の前記 P 型半導体領域に N 型拡散層を形成する工程と、

前記第 2 ダミーゲートの両側の前記 N 型半導体領域に P 型拡散層を形成する工程と、

前記 N 型拡散層及び前記 P 型拡散層を覆う前記第 1 及び第 2 ダミーゲートの側部に絶縁膜を形成する工程と、

前記第 1 及び第 2 ダミーゲートを除去することにより前記絶縁層に第 1 及び第 2 の溝を形成する工程と、

前記第 1 及び第 2 の溝の少なくとも底部に第 1 及び第 2 のゲート絶縁膜を形成する工程

50

と、

前記第1ゲート絶縁膜上を覆わないが前記第2ゲート絶縁膜上を覆うカーボン層を形成する工程と、

前記第1ゲート絶縁膜上及び前記カーボン層上に、ゲート電極材料を形成する工程と、を具備することを特徴とする半導体装置の製造方法。

【請求項10】

素子分離されたP型半導体領域及びN型半導体領域を有する半導体基板の前記P型半導体領域に第1ゲート絶縁膜を形成するとともに前記N型半導体領域に第2ゲート絶縁膜を形成する工程と、

前記第1ゲート絶縁膜上を覆わないが前記第2ゲート絶縁膜上を覆うカーボン層を形成する工程と、

前記第1ゲート絶縁膜上及び前記カーボン層上に、ゲート電極材料を形成する工程と、

前記カーボン層及び前記ゲート電極材料をエッチングし、前記ゲート電極材料からなる第1ゲート電極と前記ゲート電極材料及び前記カーボン層からなる第2ゲート電極を形成する工程と、

その後、前記P型半導体領域内にN型拡散層を形成し、前記N型半導体領域内にP型拡散層を形成する工程と

を具備することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、メタルゲート電極を用いた素子構造の半導体装置に関する。

【背景技術】

【0002】

一般に、電子機器の高性能化や小型化の要求に従い、機器を構成する半導体装置の集積化及び性能向上が図られている。半導体装置例えば、MISFETであれば、回路素子の微細化を図るためには、ゲート絶縁膜をより薄膜化することが必要となる。これまで多用されたポリシリコンゲート電極では、ゲート長が50nm以下のデバイスに用いても、性能向上が実現されなくなっている。この技術世代では、ゲート絶縁膜のSiO₂換算膜厚が2nm以下となり、ポリシリコンゲート電極の界面空乏化によるゲート容量の低下が顕在化する。

【0003】

ゲート電極の空乏化は、電極の電荷密度を増加させることで低減できるが、Si中の不純物濃度は最大でも $2 \times 10^{20} \text{ cm}^{-3}$ 程度である。この場合でもSiO₂換算膜厚で0.5nmに相当する容量低下が発生する。絶縁膜厚のSiO₂換算膜厚が2nm以下であるCMOS技術世代では、この容量低下は深刻な問題となってくる。

【0004】

そこで、ゲート電極材料として金属を用いるメタルゲート技術が注目を集めている（例えば、特許文献1参照）。金属は、原子密度と同程度の高い電荷密度を持つため、金属をゲート電極として用いた場合、ゲート電極の空乏化は無視することができる。

【特許文献1】特開2006-245324号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

前述したように、次世代のCMISデバイスには、メタルゲート電極の導入が必須である。CMISデバイスにおいて、低い閾値電圧を実現するためには、NチャネルMISトランジスタ及びPチャネルMISトランジスタのゲート電極は、それぞれシリコンの伝導帯端（ $\sim 4.1 \text{ eV}$ ）及び価電子帯端（ $\sim 5.2 \text{ eV}$ ）に近い実効仕事関数（ ϕ_{eff} ）を示す必要がある。

【0006】

10

20

30

40

50

しかしながら、価電子帯端近くの高い仕事関数を有する金属は、HfSiONなどのhigh-k絶縁膜上で還元雰囲気アニール後に実効仕事関数が低下してしまうという問題がある。MISトランジスタ形成には400~450程度の還元雰囲気アニール処理工程が必須であるため、これらの問題により、低い閾値電圧を実現することができない。デュアルメタルゲートCMIS構造実現のためには、上記問題点を克服することができるデバイス構造を見出す必要がある。

【0007】

前述したように、CMISデバイスの性能向上のために、デュアルメタルゲート技術の導入が必須であるが、その実現にあたり、PMISメタルのeffの還元雰囲気アニールに対する不安定性が問題となっていた。

10

【0008】

そこで本発明は、還元雰囲気アニール耐性に優れるメタルゲートを用いた低い閾値電圧を実現するCMIS半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0009】

本発明に従う実施形態は、上記課題を解決するためのものであり、基板と、前記基板上に形成されたN型半導体層と、前記N型半導体層に設けられた第1のソース領域及び第1のドレイン領域と、前記第1のソース領域及び第1のドレイン領域の間の前記N型半導体層上に形成された第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に形成され、膜厚が3nm以下であるカーボン層と、前記カーボン層上に形成された第1のゲート電極と、前記基板上に形成されたP型半導体層と、前記P型半導体層に設けられた第2のソース領域及び第2のドレイン領域と、前記第2のソース領域及び第2のドレイン領域の間の前記P型半導体層上に形成された第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に形成された第2のゲート電極と、を備える半導体装置である。

20

【0010】

さらに実施形態は、素子分離されたP型半導体領域及びN型半導体領域を有する半導体基板の前記P型半導体層領域に第1ダミーゲートを形成するとともに前記N型半導体領域に第2ダミーゲートを形成する工程と、前記第1ダミーゲートの両側の前記P型半導体領域にN型拡散層を形成する工程と、前記第2ダミーゲートの両側の前記N型半導体領域にP型拡散層を形成する工程と、前記N型拡散層及び前記P型拡散層を覆う前記第1及び第2ダミーゲートの側部に絶縁膜を形成する工程と、前記第1及び第2ダミーゲートを除去することにより前記絶縁層に第1及び第2の溝を形成する工程と、前記第1及び第2の溝の少なくとも底部に第1及び第2のゲート絶縁膜を形成する工程と、前記1ゲート絶縁膜上を覆わないが前記第2ゲート絶縁膜上を覆うカーボン層を形成する工程と、前記第1ゲート絶縁膜上及び前記カーボン層上に、ゲート電極材料を形成する工程と、を備える半導体装置の製造方法である。

30

【0011】

また実施形態は、素子分離されたP型半導体領域及びN型半導体領域を有する半導体基板の前記P型半導体層領域に第1ゲート絶縁膜を形成するとともに前記N型半導体領域に第2ゲート絶縁膜を形成する工程と、前記第1ゲート絶縁膜上を覆わないが前記第2ゲート絶縁膜上を覆うカーボン層を形成する工程と、前記第1ゲート絶縁膜上及び前記カーボン層上に、ゲート電極材料を形成する工程と、前記カーボン層及び前記ゲート電極材料をエッチングし、前記ゲート電極材料からなる第1ゲート電極と前記ゲート電極材料及び前記カーボン層からなる第2ゲート電極を形成する工程と、その後、前記P型半導体領域内にN型拡散層を形成し、前記N型半導体領域内にP型拡散層を形成する工程と、を備える半導体装置の製造方法である。

40

【発明の効果】

【0012】

本発明によれば、還元雰囲気アニール耐性に優れるメタルゲートを用いた低い閾値電圧を実現するCMIS半導体装置を提供することができる。

50

【発明を実施するための最良の形態】

【0013】

以下、図面を参照して本発明の実施形態について詳細に説明する。

図1は、本発明の一実施形態に係る半導体装置の一構成例を示す断面図である。

本実施形態は、シリコン(Si)半導体基板1の表面領域にはP型半導体領域4とN型半導体領域5が設けられ、それぞれの領域にNチャネルMISトランジスタ13、PチャネルMISトランジスタ14が形成されている。P型、N型半導体領域4、5は、いわゆるウエル領域であり、それぞれにソース、ドレイン領域2及びエクステンション領域3が形成されている。ソース領域とドレイン領域は、任意のチャンネル長の電流通路となるチャンネル領域を挟んで設けられている。

10

【0014】

P型半導体領域4及びN型半導体領域5の表面上にはゲート絶縁膜8が形成されている。N型半導体領域のゲート絶縁膜8の表面上には、1モノレイヤ以上3nm以下のカーボン(C)層15が形成されている。N型半導体領域のゲート絶縁膜8の表面上にはゲート電極11'が形成されている。P型半導体領域のカーボン(C)層15の表面上にはゲート電極11が形成されている。ゲート電極11'及びゲート電極11上には、さらにWやTiNといった高融点金属等のゲート電極12が形成されていてもよい。これらの構成により、NチャネルMISトランジスタ13及びPチャネルMISトランジスタ14が形成される。尚、図1のその他の構成である素子分離領域7、ソース、ドレイン領域2、エクステンション領域3、ゲート側壁絶縁膜6は、通常のスパッタリング、CVD、RIE等の半導体プロセスより形成する。

20

尚、ソース領域・ドレイン領域2としては、上述した不純物拡散層で形成されたものの他、シリサイド層で形成されたいわゆるショットキートランジスタでも構わない。

【0015】

図2Aは、還元雰囲気アニール後のフラットバンド電圧(V_{fb})変調量とゲート電極/ゲート絶縁膜の間に形成されたカーボン層(以下、C層と称する)の厚さとの関係を示す図である。 V_{fb} 変調量とは、 V_{fb} 値からゲート電極/ゲート絶縁膜の間にC層が形成されていない場合の V_{fb} 値をひいた値である。これは、1000℃アニール無し(還元雰囲気アニールは実施)の結果を示し、ゲート電極はTaカーバイド(以下、 TaC_x と称する)、ゲート絶縁膜は SiO_2 及び $HfSiON$ による例である。

30

【0016】

図2Bは1000℃アニール後(1000℃アニール後に還元雰囲気アニールも実施)のフラットバンド電圧(V_{fb})変調量とゲート電極/ゲート絶縁膜の間に形成されたカーボン層(以下、C層と称する)の厚さとの関係を示す図である。このゲート電極は、 TaC_x 、ゲート絶縁膜は $HfSiON$ による例である。

【0017】

いずれの場合においても、ゲート電極/ゲート絶縁膜の間に形成されたC層の厚さが厚くなるとともに V_{fb} は正方向に変化する。

【0018】

ゲート電極として用いる金属の仕事関数に、この V_{fb} 変調量が足された値が、ゲート電極の実効的な仕事関数 ϕ_{eff} となるため、この効果を用いれば、ゲート電極11として、仕事関数が4.4eV以上の金属を用いれば、PMISFETに相応しい高い ϕ_{eff} を得ることができる。例えば、4.4eVの仕事関数を有する金属をゲート電極11として用いた場合でも、ゲート絶縁膜8とゲート電極11との間にC層を挿入することで4.7eV以上の ϕ_{eff} を実現することができる。一方、ゲート電極11の仕事関数は4.9eV以下であることが望ましい。還元雰囲気アニール耐性に優れるからである。

40

【0019】

ここで、pMISFETのゲート電極の還元雰囲気アニール耐性について説明する。価電子帯端近くの高い仕事関数を有する金属は、 $HfSiON$ などのhigh-k絶縁膜上で還元雰囲気アニール後に ϕ_{eff} が低下するという問題がある。MISトランジスタ形成には、

50

400～450 程度の還元雰囲気アニールが必須であるため、これらの問題により、高い仕事関数を有する金属をゲート電極に用いてもPMISFETで低い閾値電圧を実現することができない。そこで本実施形態では、上述したゲート電極/ゲート絶縁膜界面へのC層挿入による実効仕事関数上昇効果を用いる。この結果、還元雰囲気アニール耐性のない価電子帯端近くの高い仕事関数を有する金属を用いずとも、PMISFETに必要な実効仕事関数を得ることができ、低い閾値電圧を実現する。

【0020】

本実施形態において、ゲート絶縁膜8上に形成されるC層の厚さは3nm以下であることが望ましい。これは、C層の厚さが3nmよりも厚くなると、ゲート電極11の仕事関数が、 ϕ_{eff} に作用しなくなり、 ϕ_{eff} はCの仕事関数に本発明によるVfb変調効果が足された値になってしまうからである。尚、ゲート絶縁膜8上にCが存在すればVfbは変調すると考えられる。しかしながら、安定的にVfbを変調させるためにC層の厚さは1モノレイヤ以上であることが望ましい。

10

【0021】

ゲート電極11'及びゲート電極11としては、TaCxを用いることが望ましい。それは、TaCxの仕事関数は図3及び図4に示すように、組成や配向性によって制御可能であるため、ゲート電極11'及びゲート電極11に用いる金属種をTaの一種類に限定することができるためである。CMISFETのゲート電極に用いる金属種は少ないほど、製造プロセスの煩雑化を防ぐことができる。

20

【0022】

例えば組成による仕事関数制御を利用する場合、具体的には、ゲート電極11'としてはCの原子密度が60%以下であるTaCxを用いればよく、ゲート電極11としてはCの原子密度が60%以上であるTaCxを用いればよい。これは、図3に示すように、Cの原子密度が60%以下であるTaCxの仕事関数は4.4eV以下であり、Cの原子密度が60%以上であるTaCxの仕事関数は4.4eV以上であるためである。尚、このとき、後述するような結晶配向性と仕事関数との関係から、ゲート電極11'は、非晶質か、 $[TaC(111)面 / \{TaC(111)面 + TaC(200)面\}]$ が60%以下であることが望ましい。

【0023】

また、配向性による仕事関数制御を利用する場合、ゲート電極11'として膜厚方向のTaC(111)面の結晶配向率 $[TaC(111)面 / \{TaC(111)面 + TaC(200)面\}]$ が60%以下であるTaCxを用いることが望ましい。これは、図4に示すように、膜厚方向のTaC(111)面の結晶配向率 $[TaC(111)面 / \{TaC(111)面 + TaC(200)面\}]$ が60%以下であれば、絶縁膜と接するゲート電極部分のうちTaC(100)面が占める割合が増えるために、その ϕ_{eff} は4.4eV以下となるためである。この場合には、Cの原子密度が60%以上であっても4.4eV以下の ϕ_{eff} を得ることができる。さらに、Cの原子密度が60%以上のCリッチなTaCxは、結晶化しないため、トランジスタ形成工程において、P-chトランジスタのC層とゲート電極TaCxが混合してもP-chトランジスタとしては、ゲート絶縁膜表面上にTaC(100)配向面が形成されることはなく、P-chトランジスタにおいて結晶配向性によりゲート電極の ϕ_{eff} が低くなることはない。このため、Cの原子密度が60%以上である場合にはP-chトランジスタにおいては、Cの原子密度によって決定する4.4eV以上の仕事関数とC層によるVfb変調量との和が ϕ_{eff} となる。

30

40

【0024】

このため、ゲート電極11'とゲート電極11の組成を同一にすることができる。この場合には、ゲート電極11'とゲート電極11の加工を一括で行うことができるため、製造プロセスの煩雑化を回避する観点から最も望ましい。

【0025】

また、TaCx以外金属材料をN-chトランジスタのゲート電極として用いる場合、4.4eV以下の仕事関数を有する材料として、Ti、Ta、Zr、Hf、V、Nb、Cr

50

、Mo、W、La、Yなどの金属、又は、これら金属のホウ化物、珪化物、もしくは窒化珪化物を用いることが考えられる。Gate-Firstプロセスに適用する場合は、耐熱性や化学的安定性の観点から、Ti、Ta、Zr、Hf、V、Nb、Cr、Mo、W、La、Yなどの金属のホウ化物又は窒化珪化物を用いるのが最も好ましい。

【0026】

ゲート絶縁膜としては、例えば、Ti、Hf、Zr及びLa等希土類元素の酸化物或いは混合酸化物、Ti、Hf、Zr及びLa等希土類元素のシリケート、アルミネート或いはこれらに窒素を添加した絶縁膜、 Si_3N_4 、 Al_2O_3 、 Ta_2O_5 、 TiO_2 、 La_2O_3 、 CeO_2 、 ZrO_2 、 HfO_2 、 $SrTiO_3$ 、 Pr_2O_3 或いはこれらに窒素を添加した絶縁膜などを用いることができる。尚、例えばHfのシリケートもしくはこれに窒素を添加した絶縁膜を用いる場合、高誘電率化によるリークメリットの観点から、 $Hf/Hf+Si=0.5$ であることが望ましい。

10

【0027】

また、図2A及び2Bに示すように、1000℃アニールの有無にかかわらずC層挿入によるV_{fb}上昇効果は得られる。従って、製造方法としては、ダマシンプロセス及びゲートファースト(Gate-First)プロセスのいずれも適用することができる。ここで、1000℃アニール有の方がC層挿入によるV_{fb}上昇効果は高かった。従って、本実施形態はゲートファーストプロセスに特に適する。

【0028】

次に、本実施形態における半導体装置の製造工程として、ダマシン工程を含む第1の製造工程を適用した例について説明する。

20

【0029】

図5乃至図10に示す製造工程は、所謂、リプレースメントゲートプロセスを用いた例である。尚、この製造工程は、ゲート電極11'及び11にTaCxを使用した例である。

【0030】

まず、図5に示すように、シリコン半導体基板(以下、半導体基板と称する)1に、STI構造の素子分離層7によって分離されたウエル領域となるP型半導体領域4及びN型半導体領域5を形成する。P型半導体領域4及びN型半導体領域5にそれぞれダミーゲートを形成し(図示せず)、これらをマスクとして利用し、公知なイオン注入法を用いて、半導体基板1上のP型半導体領域4には、N型不純物を注入してN型エクステンション領域3を形成し、またN型半導体領域5には、P型不純物を注入してP型エクステンション領域3'を形成する。

30

【0031】

また、ダミーゲート及びゲート側壁6をマスクとしてP型半導体領域4にN型不純物を注入してN型拡散層2を形成するとともに、N型半導体領域5にP型不純物を注入してP型拡散層2'を形成する。

【0032】

その後、上記ダミーゲートを除去することにより、図5に示す構造を得る。図5からわかるように、ダミーゲートが除去された後に、それぞれに溝17が形成される。尚、拡散層2、2'上にサリサイド層を形成してもよい。

40

【0033】

次に、図6に示すようにゲート絶縁膜8を形成する。

ゲート絶縁膜8としては、例えば、[Ti、Hf、Zr及びLa等希土類元素の酸化物或いは混合酸化物]、[Ti、Hf、Zr及びLa等希土類元素のシリケート、アルミネート或いは、これらに窒素を添加した絶縁膜]、[Si_3N_4 、 Al_2O_3 、 Ta_2O_5 、 TiO_2 、 La_2O_3 、 CeO_2 、 ZrO_2 、 HfO_2 、 $SrTiO_3$ 、 Pr_2O_3 或いはこれらに窒素を添加した絶縁膜]などを用いることができる。ここでは一例として、MOCVD法(Metal Organic chemical vapor deposition)法によりハフニウムシリケートを堆積した。堆積法はダミーゲートが除去された後の溝17の底面及び側面に沿って

50

絶縁膜を形成することが可能であれば良く、ALD法などでも構わない。

【0034】

次に、図7に示すように、例えば、LPCVD法により、ゲート絶縁膜8上に酸化シリコン膜を堆積させ、引き続き、PEP(Photo ENgraving Process)により、この酸化シリコン膜をパターニングし、P型半導体領域4上のゲート絶縁膜8の表面上に酸化シリコン膜からなるマスク18を形成する。

【0035】

次に、N型半導体領域5上のゲート絶縁膜8及びマスク18上に、膜厚が1モノレイヤ以上で3nm以下のC層15を形成する。C層15の成膜方法は、特に限定されるものではなく、成膜方法として例えば、スパッタリング法やCVD法や蒸着法などを用いることができる。但し、後の工程でC層15は、リフトオフ法により剥離されるため、段差部分における被覆性(ステップカバレッジ)が悪いスパッタリング法により形成することがより好ましい。本実施形態では、Cターゲットのスパッタリング法により膜厚3nmのC層15を形成した。

10

【0036】

次に、図8に示すように、リフトオフ法により、図7に示すマスク材18と共に、マスク材18上のC層15を剥離する。例えば、希HF水溶液を用いて、酸化シリコンからなるマスク材18を剥離すれば、同時にマスク材18上のC層15も併せて剥離される。この時、N型半導体領域量のC層15は剥離されない。

20

【0037】

次に、図9に示すように、N、PチャネルMISトランジスタ13、14上においては、ゲート絶縁膜88及びC層15上に、ゲート電極11'及び11となる金属膜を形成する。

30

本実施形態ではゲート電極11'及び11として、例えば、C原子濃度が60at.%~80at.%であり、膜厚方向に対するTaC(111)面の結晶配向率 $[TaC(111)面 / \{TaC(111)面 + TaC(200)面\} \times 100]$ が60%以下であるTaCx(以下、第1のTaCxと称する)を形成する。このとき、NチャネルMISトランジスタ13では、第1のTaCxがゲート絶縁膜8に接していることによる結晶配向性の効果により4.4eV以下の実効仕事関数が得られ、低い閾値電圧を実現することができる。一方、Cの原子濃度が60%以上のCリッチなTaCxは、結晶化しないため、トランジスタ形成工程において、P-chトランジスタのC層と第1のTaCxが混合してもP-chトランジスタとしては、ゲート絶縁膜8の表面上にTaC(100)配向面が形成されることはない。C原子濃度が60%at.以上であるTaCxの仕事関数は、4.4eV以上である。つまり、P-chトランジスタにおいてはこの4.4eV以上の仕事関数にC層による+0.3V以上のVfb上昇効果が加わって、PチャネルMISトランジスタで低い閾値電圧を得ることができる。

40

【0038】

膜厚方向に対する上記第1のTaCxを形成するためには、TaとCが共存しながらTaC成膜が進行するような成膜方法を用いることが有効ある。CVD法を用いる場合には、TaソースとCソースを同時供給することが望ましい。スパッタリング法を用いる場合には、TaターゲットとCターゲットの同時スパッタリングを行うことが望ましい。

40

【0039】

本実施形態においては、TaターゲットとCターゲットの同時スパッタリングにより、上記第1のTaCxを50nm形成した。次に、例えばMOCVD法を用いて、それぞれのゲート電極11上の狭くなった溝17にWやTiN等の高融点金属材料を埋め込み、金属ゲート電極12を堆積させる。

【0040】

次に、通常の化学機械研磨(CMP)プロセスによって、表面側から層間絶縁膜16が露呈するまで平坦化を図りつつ除去する。このCMP工程の終了により、図10に示す構造のNチャネルMISトランジスタ及びPチャネルMISトランジスタが形成される。

50

【0041】

次に、本実施形態における半導体装置の製造工程として、図11乃至図22に示すゲートファースト工程を含む第2の製造工程を適用した例について説明する。

まず、図11に示すように、半導体基板1に、STI構造の素子分離層7によって分離されたP型半導体領域4及びN型半導体領域5にゲート絶縁膜8を形成する。

【0042】

ゲート絶縁膜としては、例えば、Ti、Hf、Zr及びLa等希土類元素の酸化物或いは混合酸化物、Ti、Hf、Zr及びLa等希土類元素のシリケート、アルミネート或いはこれらに窒素を添加した絶縁膜、 Si_3N_4 、 Al_2O_3 、 Ta_2O_5 、 TiO_2 、 La_2O_3 、 CeO_2 、 ZrO_2 、 HfO_2 、 $SrTiO_3$ 、 Pr_2O_3 或いは、これらに窒素を添加した絶縁膜などを用いることができる。ここでは一例として、MOCVD法(Metal Organic chemical vapor depositioN)法によりハフニウムシリケートを堆積した。堆積法はMBE(Molecular beam epitaxy)法、ALD(Atomic layer depositioN)法、PVD(Physical vapor depositioN)法などでも構わない。

10

【0043】

次に、図12に示すように、例えば、LPCVD法により、ゲート絶縁膜8上に酸化シリコン膜を堆積し、引き続き、PEP(Photo ENgraviNg Process)により、この酸化シリコン膜をパターンングし、P型半導体領域4上のゲート絶縁膜8の表面上に酸化シリコン膜からなるマスク18を形成する。

【0044】

20

次に、N型半導体領域5上のゲート絶縁膜8及びマスク18上に1モノレイヤ以上で3nm以下のC層15を形成する。C層15の成膜方法は特に限定されるものではなく、成膜方法として例えばスパッタ法やCVD法などが挙げられるが、後述するように、C層15はリフトオフ法により剥離されるため、段差部分における被覆性が悪いスパッタリング法により形成することがより好ましい。本実施形態では、Cターゲットを用いたスパッタリング法により、膜厚3nmのC層15を形成した。

【0045】

次に、図13に示すように、リフトオフ法により、図7に示すマスク材18と共に、マスク材18上のC層15を剥離する。例えば、希HF水溶液を用いて、酸化シリコン膜からなるマスク材18を剥離すれば、同時にマスク材18上のC層も剥離される。この時、N型半導体領域量のC層15は剥離されることはない。

30

【0046】

次に、図14に示すように、ゲート絶縁膜8上及びC層15上に、ゲート電極11'及び11を形成する。本実施形態のゲート電極11'及び11として、C原子濃度が60at.%~80at.%であり、膜厚方向に対するTaC(111)面の結晶配向率 $[TaC(111)面 / \{TaC(111)面 + TaC(200)面\} \times 100]$ が60%以下であるTaCx(以下、第2のTaCxと称する)を形成する。

【0047】

このとき、NチャンネルMISトランジスタ13では、第1のTaCxがゲート絶縁膜8に接していることによる結晶配向性の効果により4.4eV以下の実効仕事関数が得られ、低い閾値電圧を実現することができる。一方、C/Ta=1.5のCリッチなTaCxは、結晶化しないため、トランジスタ形成工程において、P-chトランジスタのC層と第2のTaCxが混合してもP-chトランジスタとしては、ゲート絶縁膜8の表面上にTaC(100)配向面が形成されることはない。C原子濃度が60%at.以上であるTaCxの仕事関数は、4.4eV以上である。つまり、P-chトランジスタにおいてはこの4.4eV以上の仕事関数にC層による+0.3V以上のVfb上昇効果が加わって、PチャンネルMISトランジスタで低い閾値電圧を得ることができる。

40

【0048】

膜厚方向に対する上記第2のTaCxを形成するためには、TaとCが共存しながらTaC成膜が進行するような成膜方法を用いることが有効ある。CVD法を用いる場合には

50

、T aソースとCソースを同時供給することが望ましい。スパッタリング法を用いる場合には、T aターゲットとCターゲットの同時スパッタリングを行うことが望ましい。本実施形態では、T aターゲットとCターゲットの同時スパッタリング法を用いて上記第2のT a C xを膜厚50nmで形成した。次に、ゲート電極11'及び11上に、例えばM O C V D法によりWやT i N等の高融点金属材料からなる高融点金属ゲート電極12を堆積させる。

【0049】

次に、図15に示すように、通常のリソグラフィ技術とエッチング技術を用いて、ゲート電極レジストパターン21を形成し、塩素系、臭素系などの通常のエッチングガスを用いてゲート電極11'、ゲート電極11、C層15及びゲート絶縁膜8を加工した。このプロセスで、PチャネルM I SトランジスタとNチャネルM I Sトランジスタのゲート構造は、3nm以下と非常に薄いC層の有無以外は同一であるため、両トランジスタの一括加工が可能となる。

10

【0050】

次に、O₂アッシャー処理によりレジストパターン21を除去する。その後、必要に応じて硫酸と過酸化水素水の混合液によってO₂アッシャー処理で除去しきれなかったレジスト、残渣物などを化学的に除去する。

【0051】

次に、図16に示すように、N型半導体領域5の上部をレジスト(図示せず)で保護し、P型半導体領域4の領域に、N型の不純物をイオン注入する。そして、N型半導体領域5上のレジストを除去した後、1000以上のスパイクアニールにより、N型エクステンション領域3を形成した。

20

【0052】

次に、図17に示すように、P型半導体領域4の上部をレジスト(図示せず)で保護し、N型半導体領域5の領域に、P型の不純物をイオン注入する。そして、P型半導体領域4上のレジストを除去した後、1000以上のスパイクアニールにより、P型エクステンション領域3'を形成した。

【0053】

次に、図18に示すように、通常のプロセスでゲート側壁6を形成した。即ち、基板上の全面にC V D法等により酸化膜などを堆積した後、ゲート電極12の上面が露出するまでR I E等でエッチバックする。

30

【0054】

次に、図19に示すように、N型半導体領域5の上部をレジスト19で保護し、P型半導体領域4の領域に、N型の不純物を注入し、N型注入領域2を形成した。

次に、図20に示すように、N型半導体領域5上のレジスト19を剥離した後に、P型半導体領域4の上部をレジスト20で保護し、N半導体領域5の領域に、P型の不純物を注入し、P型注入領域2'を形成した。

【0055】

次に、図21に示すように、P型半導体領域4上のレジスト20を剥離した後に、900以上の熱処理を行うことで、N型拡散層2及びP方拡散層2'を完全に活性化させた。この後は、層間絶縁膜16の形成、平坦化処理など通常の工程を経て、図22に示す構造が得られる。

40

【0056】

また、本発明は前述した各実施形態に限定されるものではなく、その要旨を逸脱しない限り、各構成要素を変形して具体化することができる。特に、ゲート電極に求められる実効的な仕事関数は、その用途・世代によって異なる。そのような場合にも、本発明をそれぞれで求められる実効仕事関数に適宜対応するように適用することができる。尚、本実施形態では、基板としてシリコン半導体基板を例として説明するが、これに限定されるものではなく、半導体層を有する基板であればよく、例えば、液晶基板のように、ガラス基板等の基板上に半導体層が形成されたものでも、通常の製造工程の熱処理に耐得るものであ

50

れば本発明を適用することもできる。また、低温プロセスで本発明の半導体装置を形成する場合には、樹脂基板であっても適用できる。

【図面の簡単な説明】

【0057】

【図1】本発明の実施形態に係わるC M I S半導体装置の断面図である。

【図2A】Vfbにおけるゲート電極/ゲート絶縁膜の間に形成されたC層厚さ依存性を示す図である。

【図2B】Vfbにおけるゲート電極/ゲート絶縁膜の間に形成されたC層厚さ依存性を示す図である。

【図3】T a C xの仕事関数の組成依存性を示す図である。

10

【図4】T a C xの仕事関数の配向性依存性を示す図である。

【図5】第1の実施形態に係わる半導体装置の第1の製造工程を示す断面図である。

【図6】第1の実施形態に係わる半導体装置の第1の製造工程を示す断面図である。

【図7】第1の実施形態に係わる半導体装置の第1の製造工程を示す断面図である。

【図8】第1の実施形態に係わる半導体装置の第1の製造工程を示す断面図である。

【図9】第1の実施形態に係わる半導体装置の第1の製造工程を示す断面図である。

【図10】第1の実施形態に係わる半導体装置の第1の製造工程を示す断面図である。

【図11】第1の実施形態に係わる半導体装置の第2の製造工程を示す断面図である。

【図12】第1の実施形態に係わる半導体装置の第2の製造工程を示す断面図である。

【図13】第1の実施形態に係わる半導体装置の第2の製造工程を示す断面図である。

20

【図14】第1の実施形態に係わる半導体装置の第2の製造工程を示す断面図である。

【図15】第1の実施形態に係わる半導体装置の第2の製造工程を示す断面図である。

【図16】第1の実施形態に係わる半導体装置の第2の製造工程を示す断面図である。

【図17】第1の実施形態に係わる半導体装置の第2の製造工程を示す断面図である。

【図18】第1の実施形態に係わる半導体装置の第2の製造工程を示す断面図である。

【図19】第1の実施形態に係わる半導体装置の第2の製造工程を示す断面図である。

【図20】第1の実施形態に係わる半導体装置の第2の製造工程を示す断面図である。

【図21】第1の実施形態に係わる半導体装置の第2の製造工程を示す断面図である。

【図22】第1の実施形態に係わる半導体装置の第2の製造工程を示す断面図である。

【符号の説明】

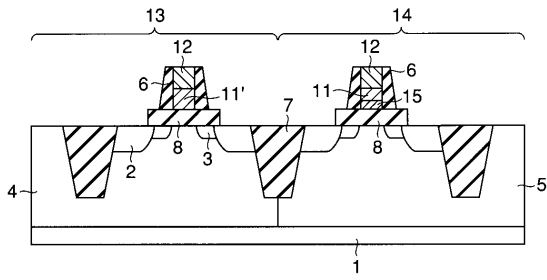
30

【0058】

1 ... S i半導体基板、2 ... ソース、ドレイン電極、3 ... エクステンション領域、4 ... P型半導体領域、5 ... N型半導体領域、6 ... ゲート側壁、7 ... 素子分離領域、8 ... ゲート絶縁膜、11' , 11 , 12 ... ゲート電極、13 ... NチャネルM I Sトランジスタ、14 ... PチャネルM I Sトランジスタ、15 ... カーボン層(C層)。

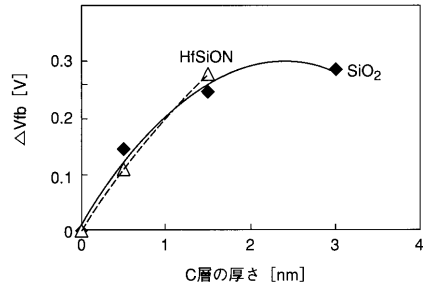
【 図 1 】

図 1



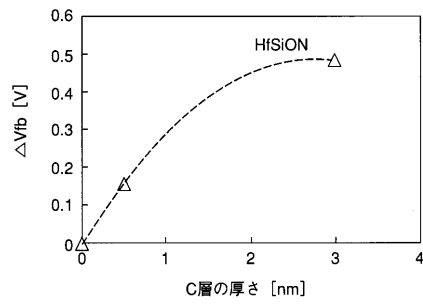
【 図 2 A 】

図 2A



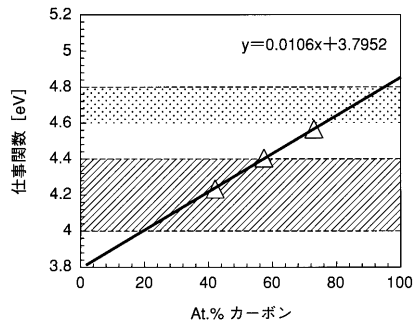
【 図 2 B 】

図 2B



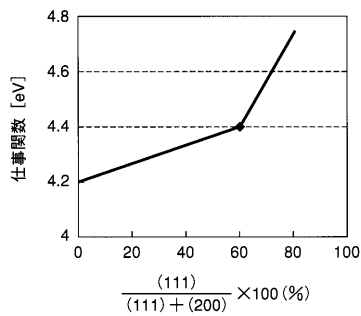
【 図 3 】

図 3



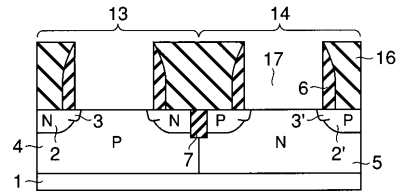
【 図 4 】

図 4



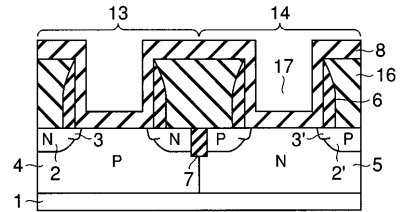
【 図 5 】

図 5



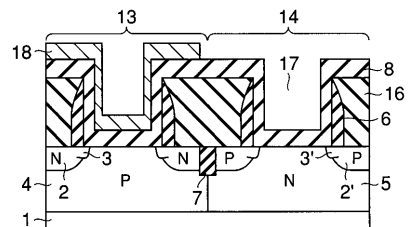
【 図 6 】

図 6

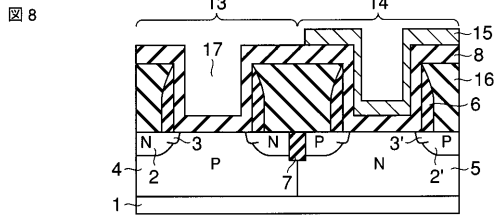


【 図 7 】

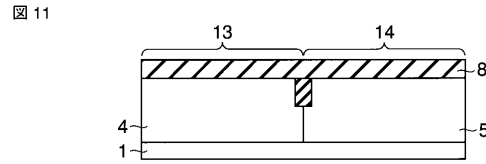
図 7



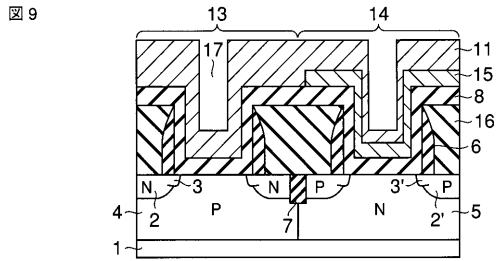
【 図 8 】



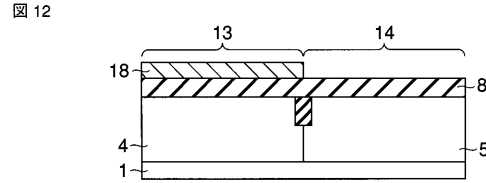
【 図 1 1 】



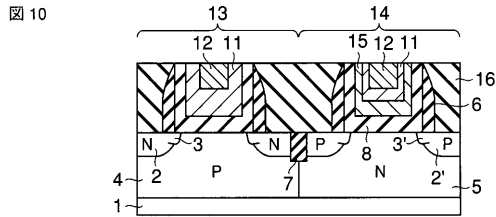
【 図 9 】



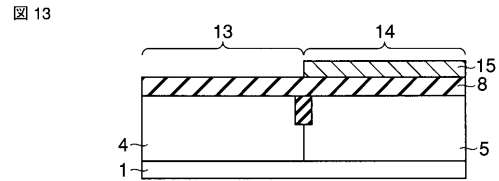
【 図 1 2 】



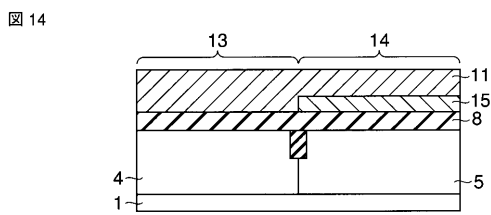
【 図 1 0 】



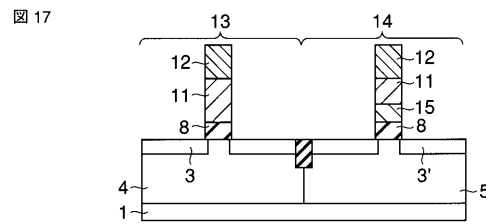
【 図 1 3 】



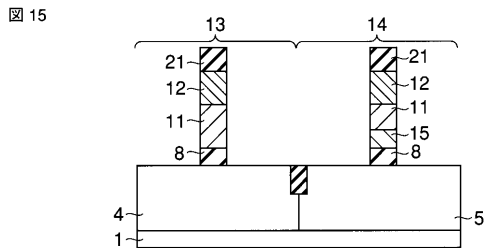
【 図 1 4 】



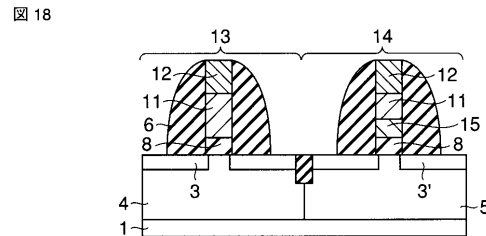
【 図 1 7 】



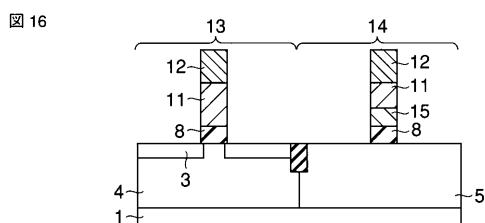
【 図 1 5 】



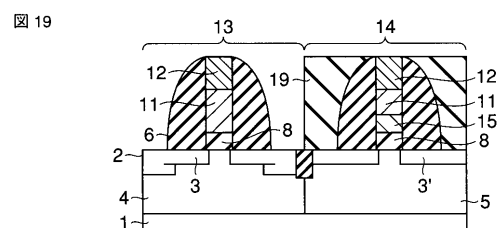
【 図 1 8 】



【 図 1 6 】

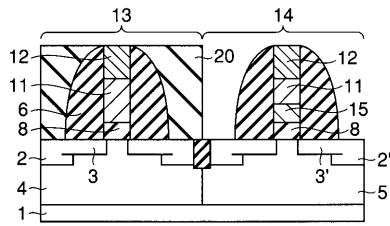


【 図 1 9 】



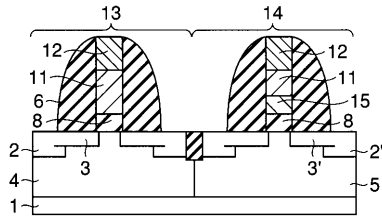
【 図 2 0 】

図 20



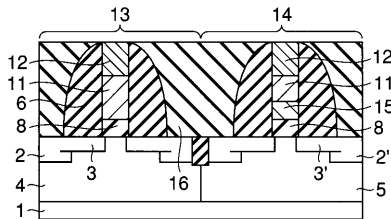
【 図 2 1 】

図 21



【 図 2 2 】

図 22



【 手続補正書 】

【 提出日 】 平成19年11月2日 (2007.11.2)

【 手続補正 1 】

【 補正対象書類名 】 特許請求の範囲

【 補正対象項目名 】 請求項 1

【 補正方法 】 変更

【 補正の内容 】

【 請求項 1 】

基板と、

前記基板上に形成された N 型半導体層と、

前記 N 型半導体層に設けられた第 1 のソース領域及び第 1 のドレイン領域と、

前記第 1 のソース領域及び第 1 のドレイン領域の間の前記 N 型半導体層上に形成された第 1 のゲート絶縁膜と、

前記第 1 のゲート絶縁膜上に形成され、膜厚が 3 nm 以下であるカーボン層と、

前記カーボン層上に形成された金属を含む第 1 のゲート電極と、

前記基板上に形成された P 型半導体層と、

前記 P 型半導体層に設けられた第 2 のソース領域及び第 2 のドレイン領域と、

前記第 2 のソース領域及び第 2 のドレイン領域の間の前記 P 型半導体層上に形成された第 2 のゲート絶縁膜と、

前記第 2 のゲート絶縁膜上に形成された第 2 のゲート電極と、

を具備することを特徴とする半導体装置。

【 手続補正 2 】

【 補正対象書類名 】 特許請求の範囲

【 補正対象項目名 】 請求項 9

【 補正方法 】 変更

【補正の内容】

【請求項 9】

素子分離された P 型半導体領域及び N 型半導体領域を有する半導体基板の前記 P 型半導体領域に第 1 ダミーゲートを形成するとともに前記 N 型半導体領域に第 2 ダミーゲートを形成する工程と、

前記第 1 ダミーゲートの両側の前記 P 型半導体領域に第 1 ソース/ドレイン領域を形成する工程と、

前記第 2 ダミーゲートの両側の前記 N 型半導体領域に第 2 ソース/ドレイン領域を形成する工程と、

前記第 1 及び第 2 ソース/ドレイン領域を覆う前記第 1 及び第 2 ダミーゲートの側部に絶縁層を形成する工程と、

前記第 1 及び第 2 ダミーゲートを除去することにより前記絶縁層に第 1 及び第 2 の溝を形成する工程と、

前記第 1 及び第 2 の溝の少なくとも底部に第 1 及び第 2 のゲート絶縁膜を形成する工程と、

前記 1 ゲート絶縁膜上を覆わないが前記第 2 ゲート絶縁膜上を覆うカーボン層を形成する工程と、

前記第 1 ゲート絶縁膜上及び前記カーボン層上に、金属を含むゲート電極材料を形成する工程と、

を具備することを特徴とする半導体装置の製造方法。

【手続補正 3】

【補正対象書類名】特許請求の範囲

【補正対象項目名】請求項 10

【補正方法】変更

【補正の内容】

【請求項 10】

素子分離された P 型半導体領域及び N 型半導体領域を有する半導体基板の前記 P 型半導体領域に第 1 ゲート絶縁膜を形成するとともに前記 N 型半導体領域に第 2 ゲート絶縁膜を形成する工程と、

前記第 1 ゲート絶縁膜上を覆わないが前記第 2 ゲート絶縁膜上を覆うカーボン層を形成する工程と、

前記第 1 ゲート絶縁膜上及び前記カーボン層上に、ゲート電極材料を形成する工程と、

前記カーボン層及び前記ゲート電極材料をエッチングし、前記ゲート電極材料からなる第 1 ゲート電極と前記ゲート電極材料及び前記カーボン層からなる第 2 ゲート電極を形成する工程と、

その後、前記 P 型半導体領域内に第 1 ソース/ドレイン領域を形成し、前記 N 型半導体領域内に第 2 ソース/ドレイン領域を形成する工程と、

を具備することを特徴とする半導体装置の製造方法。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0001

【補正方法】変更

【補正の内容】

【0001】

本発明は、メタルゲート電極を用いた素子構造の半導体装置およびその製造方法に関する。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正の内容】

【0009】

本発明に従う実施形態は、上記課題を解決するためのものであり、基板と、前記基板上に形成されたN型半導体層と、前記N型半導体層に設けられた第1のソース領域及び第1のドレイン領域と、前記第1のソース領域及び第1のドレイン領域の間の前記N型半導体層上に形成された第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に形成され、膜厚が3nm以下であるカーボン層と、前記カーボン層上に形成された金属を含む第1のゲート電極と、前記基板上に形成されたP型半導体層と、前記P型半導体層に設けられた第2のソース領域及び第2のドレイン領域と、前記第2のソース領域及び第2のドレイン領域の間の前記P型半導体層上に形成された第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に形成された第2のゲート電極と、を備える半導体装置である。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正の内容】

【0010】

さらに実施形態は、素子分離されたP型半導体領域及びN型半導体領域を有する半導体基板の前記P型半導体領域に第1ダミーゲートを形成するとともに前記N型半導体領域に第2ダミーゲートを形成する工程と、前記第1ダミーゲートの両側の前記P型半導体領域に第1ソース/ドレイン領域を形成する工程と、前記第2ダミーゲートの両側の前記N型半導体領域に第2ソース/ドレイン領域を形成する工程と、前記第1及び第2ソース/ドレイン領域を覆う前記第1及び第2ダミーゲートの側部に絶縁層を形成する工程と、前記第1及び第2ダミーゲートを除去することにより前記絶縁層に第1及び第2の溝を形成する工程と、前記第1及び第2の溝の少なくとも底部に第1及び第2のゲート絶縁膜を形成する工程と、前記第1ゲート絶縁膜上を覆わないが前記第2ゲート絶縁膜上を覆うカーボン層を形成する工程と、前記第1ゲート絶縁膜上及び前記カーボン層上に、金属を含むゲート電極材料を形成する工程と、を備える半導体装置の製造方法である。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】変更

【補正の内容】

【0011】

また実施形態は、素子分離されたP型半導体領域及びN型半導体領域を有する半導体基板の前記P型半導体領域に第1ゲート絶縁膜を形成するとともに前記N型半導体領域に第2ゲート絶縁膜を形成する工程と、前記第1ゲート絶縁膜上を覆わないが前記第2ゲート絶縁膜上を覆うカーボン層を形成する工程と、前記第1ゲート絶縁膜上及び前記カーボン層上に、ゲート電極材料を形成する工程と、前記カーボン層及び前記ゲート電極材料をエッチングし、前記ゲート電極材料からなる第1ゲート電極と前記ゲート電極材料及び前記カーボン層からなる第2ゲート電極を形成する工程と、その後、前記P型半導体領域内に第1ソース/ドレイン領域を形成し、前記N型半導体領域内に第2ソース/ドレイン領域を形成する工程と、を備える半導体装置の製造方法である。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0033

【補正方法】変更

【補正の内容】

【0033】

次に、図6に示すようにゲート絶縁膜8を形成する。

ゲート絶縁膜 8 としては、例えば、[Ti、Hf、Zr 及び La 等希土類元素の酸化物
或いは混合酸化物]、[Ti、Hf、Zr 及び La 等希土類元素のシリケート、アルミネ
ート或いは、これらに窒素を添加した絶縁膜]、[Si₃N₄、Al₂O₃、Ta₂O₅
、TiO₂、La₂O₃、CeO₂、ZrO₂、HfO₂、SrTiO₃、Pr₂O₃ 或
いはこれらに窒素を添加した絶縁膜]などを用いることができる。ここでは一例として、
MOCVD法(Metal Organic chemical vapor deposition)法によりハフニウムシリケート
を堆積した。堆積法はダミーゲートが除去された後の溝 17 の底面及び側面に沿って絶
縁膜を形勢することが可能であれば良く、ALD法などでも構わない。

【手続補正 10】

【補正対象書類名】明細書

【補正対象項目名】0037

【補正方法】変更

【補正の内容】

【0037】

次に、図 9 に示すように、N、PチャネルMISトランジスタ 13、14 上においては、
ゲート絶縁膜 8 及び C 層 15 上に、ゲート電極 11' 及び 11 となる金属膜を形成する
。

本実施形態ではゲート電極 11' 及び 11 として、例えば、C 原子濃度が 60at.% ~ 8
0at.% であり、膜厚方向に対する TaC (111) 面の結晶配向率 [TaC (111)
面 / {TaC (111) 面 + TaC (200) 面} × 100] が 60% 以下である TaC
x (以下、第 1 の TaC x と称する) を形成する。このとき、NチャネルMISトランジ
スタ 13 では、第 1 の TaC x がゲート絶縁膜 8 に接していることによる結晶配向性の効
果により 4.4 eV 以下の実効仕事関数が得られ、低い閾値電圧を実現することができる
。一方、C の原子密度が 60% 以上の C リッチな TaC x は、結晶化しないため、トラン
ジスタ形成工程において、P-chトランジスタの C 層と第 1 の TaC x が混合しても P-ch
トランジスタとしては、ゲート絶縁膜 8 の表面上に TaC (100) 配向面が形成される
ことはない。C 原子濃度が 60%at. 以上である TaC x の仕事関数は、4.4 eV 以上
である。つまり、P-chトランジスタにおいてはこの 4.4 eV 以上の仕事関数に C 層に
よる +0.3 V 以上の V_{fb} 上昇効果が加わって、PチャネルMISトランジスタで低い閾
値電圧を得ることができる。

【手続補正 11】

【補正対象書類名】明細書

【補正対象項目名】0042

【補正方法】変更

【補正の内容】

【0042】

ゲート絶縁膜としては、例えば、Ti、Hf、Zr 及び La 等希土類元素の酸化物或い
は混合酸化物、Ti、Hf、Zr 及び La 等希土類元素のシリケート、アルミネート或い
はこれらに窒素を添加した絶縁膜、Si₃N₄、Al₂O₃、Ta₂O₅、TiO₂、L
a₂O₃、CeO₂、ZrO₂、HfO₂、SrTiO₃、Pr₂O₃ 或いは、これらに
窒素を添加した絶縁膜などを用いることができる。ここでは一例として、MOCVD法
(Metal Organic chemical vapor deposition)法によりハフニウムシリケートを堆積した
。堆積法はMBE(Molecular Beam Epitaxy)法、ALD(Atomic layer deposition)法
、PVD(Physical vapor deposition)法などでも構わない。

【手続補正 12】

【補正対象書類名】明細書

【補正対象項目名】0045

【補正方法】変更

【補正の内容】

【0045】

次に、図 1 3 に示すように、リフトオフ法により、図 7 に示すマスク材 1 8 と共に、マスク材 1 8 上の C 層 1 5 を剥離する。例えば、希 H F 水溶液を用いて、酸化シリコン膜からなるマスク材 1 8 を剥離すれば、同時にマスク材 1 8 上の C 層も剥離される。この時、N 型半導体領域の C 層 1 5 は剥離されることはない。

【手続補正 1 3】

【補正対象書類名】明細書

【補正対象項目名】0 0 4 7

【補正方法】変更

【補正の内容】

【0 0 4 7】

このとき、NチャネルM I Sトランジスタ 1 3 では、第 2 の T a C x がゲート絶縁膜 8 に接していることによる結晶配向性の効果により 4 . 4 e V 以下の実効仕事関数が得られ、低い閾値電圧を実現することができる。一方、C / T a 1 . 5 の C リッチな T a C x は、結晶化しないため、トランジスタ形成工程において、P-chトランジスタの C 層と第 2 の T a C x が混合しても P-chトランジスタとしては、ゲート絶縁膜 8 の表面上に T a C (1 0 0) 配向面が形成されることはない。C 原子濃度が 6 0 %at . 以上である T a C x の仕事関数は、4 . 4 e V 以上である。つまり、P-chトランジスタにおいてはこの 4 . 4 e V 以上の仕事関数に C 層による + 0 . 3 V 以上の V fb 上昇効果が加わって、PチャネルM I Sトランジスタで低い閾値電圧を得ることができる。

フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H 0 1 L 21/28 (2006.01)

(74)代理人 100084618

弁理士 村松 貞男

(74)代理人 100092196

弁理士 橋本 良郎

(72)発明者 市原 玲華

東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 土屋 義規

東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 小山 正人

東京都港区芝浦一丁目1番1号 株式会社東芝内

Fターム(参考) 4M104 AA01 BB04 BB13 BB14 BB16 BB17 BB18 BB19 BB24 BB25
 BB26 BB27 BB28 BB29 BB30 BB31 BB32 BB33 BB34 BB35
 BB36 CC01 CC03 CC05 DD03 DD28 DD68 DD75 DD79 DD91
 EE03 EE14 EE16 EE17 FF13 GG09 GG10 GG14 HH20
 5F048 AC03 BA01 BB04 BB09 BB10 BB11 BB12 BB13 BB14 BC06
 BE03 BG13 DA23 DA25
 5F140 AA06 AB03 BA01 BD04 BD07 BD11 BD12 BD13 BE09 BE10
 BF03 BF06 BF11 BF13 BF16 BF17 BF20 BF21 BF27 BF30
 BG01 BG08 BG12 BG28 BG30 BG36 BG38 BG40 BG52 BG53
 BH14 BK02 BK05 BK13 BK21 CB04 CE02