

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4538034号
(P4538034)

(45) 発行日 平成22年9月8日(2010.9.8)

(24) 登録日 平成22年6月25日(2010.6.25)

(51) Int.Cl.		F I			
G 0 6 F	12/16	(2006.01)	G 0 6 F	12/16	3 2 0 G
G 1 1 C	29/42	(2006.01)	G 1 1 C	29/00	6 3 1 D
G 1 1 C	16/06	(2006.01)	G 1 1 C	17/00	6 3 9 C

請求項の数 13 (全 18 頁)

(21) 出願番号	特願2007-249509 (P2007-249509)	(73) 特許権者	000003078
(22) 出願日	平成19年9月26日 (2007.9.26)		株式会社東芝
(65) 公開番号	特開2009-80651 (P2009-80651A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成21年4月16日 (2009.4.16)	(74) 代理人	100058479
審査請求日	平成21年3月27日 (2009.3.27)		弁理士 鈴江 武彦
早期審査対象出願		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100075672
			弁理士 峰 隆司
		(74) 代理人	100109830
			弁理士 福原 淑弘

最終頁に続く

(54) 【発明の名称】 半導体記憶装置、及びその制御方法

(57) 【特許請求の範囲】

【請求項1】

複数の第1データを受け、かつ前記複数の第1データを行列状に格納する一時記憶回路と、

前記複数の第1データの誤りをそれぞれ検出するための複数の検出符号を生成する検出符号生成部と、

前記一時記憶回路において列方向に配列された複数の第1データから第1単位データが構成され、列数に対応する複数の第1単位データの誤りをそれぞれ訂正するための複数の第1訂正符号を生成する第1訂正符号生成部と、

前記一時記憶回路において行方向に配列された複数の第1データから第2単位データが構成され、行数に対応する複数の第2単位データの誤りをそれぞれ訂正するための複数の第2訂正符号を生成する第2訂正符号生成部と、

前記複数の第1データ、前記複数の検出符号、前記複数の第1訂正符号、及び前記複数の第2訂正符号を不揮発に記憶する半導体メモリと、
を具備することを特徴とする半導体記憶装置。

【請求項2】

前記複数の第1訂正符号を用いて、前記複数の第1単位データの誤りをそれぞれ訂正する第1訂正部と、

前記複数の検出符号を用いて、前記第1訂正部により訂正された訂正済データの誤りを検出する検出部と、

10

20

前記複数の第2訂正符号を用いて、前記検出部により検出された第1データの誤りを訂正する第2訂正部と、

をさらに具備することを特徴とする請求項1に記載の半導体記憶装置。

【請求項3】

前記第1単位データは、前記列方向に配列された複数の第1データに対応して生成された複数の検出符号を含むことを特徴とする請求項1又は2に記載の半導体記憶装置。

【請求項4】

前記検出符号生成部は、前記複数の第2訂正符号の誤りをそれぞれ検出するための複数の検出符号を生成することを特徴とする請求項1乃至3のいずれかに記載の半導体記憶装置。

【請求項5】

前記第1訂正符号生成部は、前記複数の第2訂正符号からなる第3単位データの誤りを訂正するための第1訂正符号を生成することを特徴とする請求項4に記載の半導体記憶装置。

【請求項6】

前記第3単位データは、前記複数の第2訂正符号に対応して生成された複数の検出符号を含むことを特徴とする請求項5に記載の半導体記憶装置。

【請求項7】

前記第1訂正部と前記第2訂正部とは、それぞれの訂正動作を交互に繰り返すことを特徴とする請求項2に記載の半導体記憶装置。

【請求項8】

前記一時記憶回路は、前記訂正済データを更新することを特徴とする請求項7に記載の半導体記憶装置。

【請求項9】

前記検出部は、誤りが検出された第1データを特定する誤り情報を生成し、

前記第2訂正部は、前記誤り情報に基づいて、誤り訂正を行うことを特徴とする請求項2、7、及び8のいずれかに記載の半導体記憶装置。

【請求項10】

前記半導体メモリは、第1サイズを最小単位としてデータの読み出し、及び書き込みを行い、

前記第1単位データのサイズは、前記第1サイズと等しいことを特徴とする請求項1乃至9のいずれかに記載の半導体記憶装置。

【請求項11】

前記半導体メモリは、NAND型フラッシュメモリであることを特徴とする請求項1乃至10のいずれかに記載の半導体記憶装置。

【請求項12】

複数の第1データを受けて、この複数の第1データを一時記憶回路に行列状に格納する工程と、

前記複数の第1データの誤りをそれぞれ検出するための複数の検出符号を生成する工程と、

前記一時記憶回路において列方向に配列された複数の第1データから第1単位データが構成され、列数に対応する複数の第1単位データの誤りをそれぞれ訂正するための複数の第1訂正符号を生成する工程と、

前記一時記憶回路において行方向に配列された複数の第1データから第2単位データが構成され、行数に対応する複数の第2単位データの誤りをそれぞれ訂正するための複数の第2訂正符号を生成する工程と、

前記複数の第1データ、前記複数の検出符号、前記複数の第1訂正符号、及び前記複数の第2訂正符号を、半導体メモリに不揮発に記憶する工程と、

を具備することを特徴とする半導体記憶装置の制御方法。

【請求項13】

10

20

30

40

50

前記複数の第1訂正符号を用いて、前記複数の第1単位データの誤りをそれぞれ訂正する工程と、

前記複数の検出符号を用いて、前記第1訂正符号を用いて訂正された訂正済データの誤りを検出する工程と、

前記複数の第2訂正符号を用いて、誤りが検出された第1データの誤りを訂正する工程と、

をさらに具備することを特徴とする請求項12に記載の半導体記憶装置の制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体記憶装置、及びその制御方法に係り、例えば、不揮発に情報を記憶する半導体メモリの誤りを訂正する訂正回路を備えた半導体記憶装置、及びその制御方法に関する。

【背景技術】

【0002】

不揮発性の記憶装置の種類によっては、時間の経過とともに、データの記憶を担っている物理量の状態が変化する。時間の経過が、ある一定の長さに達すると、データが失われることもある。このような特徴を有する記憶装置には、様々なものが含まれる。そのような記憶装置の1つとして、例えば、いわゆる積層ゲート構造を有するトランジスタをメモリセルとして用いた不揮発性半導体記憶装置がある。

【0003】

積層ゲート構造は、基板上に順に積層されたトンネル絶縁膜、浮遊ゲート電極、ゲート間絶縁膜、制御ゲート電極を有する。メモリセルに情報を記憶させるには、トンネル絶縁膜を介して浮遊ゲート電極に基板から電子を注入する。そして、浮遊ゲート電極に蓄積された電荷によって情報が保持される。浮遊ゲート電極に蓄積された電荷は、時間の経過とともに、トンネル絶縁膜を介して基板へと漏れ出す。このため、時間の経過とともに、メモリセルが保持する情報が失われ得る（情報に誤りが生じ得る）。

【0004】

情報を格納した時点からの時間の経過が短ければ、情報に誤りが生じている可能性は低い。一方、情報を格納した時点からの時間の経過が長ければ、情報に誤りが生じている可能性は高い。このようなメモリセルを複数個有する記憶装置では、誤った情報を正しく復元するための誤り訂正機構が設けられていることがある。

【0005】

一般に、複数のビットからなるデータに、情報の記録から時間が経過したこと等を理由として誤りが多く含まれている場合でも誤りを訂正するには、高い誤り訂正能力を有する訂正機構が必要である。高い誤り訂正能力を有する訂正機構は、回路規模が大きく、消費電力が大きく、処理に時間を要する。通常、情報の記憶から長時間が経過した後も正しい情報を復元できることを保証しておくために、高い誤り訂正能力を有する訂正機構が設けられている。そして、情報の記憶からの時間の経過の長短によらずに、一律に、高性能の誤り訂正機構が適用される。

【0006】

このため、記憶から短い時間しか経過していない情報を読み出す際にも、このような高性能の誤り訂正機構が用いられる。すると、それほど多くの誤りが含まれていない情報の読み出しであるにも係らず、無駄に、高性能の誤り訂正機構が用いられる。このことは、記憶装置の消費電力が無駄に消費されることにつながる。

【0007】

さらに、一般に、誤り訂正能力を高めるには、誤り訂正の対象となる情報を大きくすることが求められる。例えば、512バイトのデータに対して誤り訂正符号が生成される代わりに、複数個の512バイトのデータが連結された例えば4kバイトのデータを1つの単位として用いて誤り訂正符号が生成される。こうすることにより、誤り訂正能力を高め

10

20

30

40

50

ることができる。しかしながら、この手法は、例えば、512バイトのデータを読み出したいにも係らず、4kバイトのデータを読み出さなければならないことにつながる。このことによっても、記憶装置は、無駄な電力を消費することを強いられる。

【0008】

この出願の発明に関連する先行技術文献情報としては次のものがある。

【特許文献1】特開昭63-275225号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

本発明は、誤り訂正能力を損なうことなく消費電力及び回路規模を低減することが可能な半導体記憶装置、及び半導体記憶装置の制御方法を提供する。

10

【課題を解決するための手段】

【0010】

本発明の一態様に係る半導体記憶装置は、複数の第1データを受け、かつ前記複数の第1データを行列状に格納する一時記憶回路と、前記複数の第1データの誤りをそれぞれ検出するための複数の検出符号を生成する検出符号生成部と、前記一時記憶回路において列方向に配列された複数の第1データから第1単位データが構成され、列数に対応する複数の第1単位データの誤りをそれぞれ訂正するための複数の第1訂正符号を生成する第1訂正符号生成部と、前記一時記憶回路において行方向に配列された複数の第1データから第2単位データが構成され、行数に対応する複数の第2単位データの誤りをそれぞれ訂正するための複数の第2訂正符号を生成する第2訂正符号生成部と、前記複数の第1データ、前記複数の検出符号、前記複数の第1訂正符号、及び前記複数の第2訂正符号を不揮発に記憶する半導体メモリとを具備する。

20

【0011】

本発明の一態様に係る半導体記憶装置の制御方法は、複数の第1データを受けて、この複数の第1データを一時的記憶回路に行列状に格納する工程と、前記複数の第1データの誤りをそれぞれ検出するための複数の検出符号を生成する工程と、前記一時記憶回路において列方向に配列された複数の第1データから第1単位データが構成され、列数に対応する複数の第1単位データの誤りをそれぞれ訂正するための複数の第1訂正符号を生成する工程と、前記一時記憶回路において行方向に配列された複数の第1データから第2単位データが構成され、行数に対応する複数の第2単位データの誤りをそれぞれ訂正するための複数の第2訂正符号を生成する工程と、前記複数の第1データ、前記複数の検出符号、前記複数の第1訂正符号、及び前記複数の第2訂正符号を、半導体メモリに不揮発に記憶する工程とを具備する。

30

【発明の効果】

【0012】

本発明によれば、誤り訂正能力を損なうことなく消費電力及び回路規模を低減することが可能な半導体記憶装置、及び半導体記憶装置の制御方法を提供することができる。

【発明を実施するための最良の形態】

【0013】

以下に本発明の実施形態について図面を参照して説明する。なお、以下の説明において、略同一の機能及び構成を有する構成要素については、同一符号を付し、重複説明は必要な場合にのみ行う。

40

【0014】

また、以下に示す各実施形態は、この発明の技術的思想を具体化するための装置や方法を例示するものであって、この発明の技術的思想は、構成部品の材質、形状、構造、配置等を下記のものに特定するものでない。この発明の技術的思想は、特許請求の範囲において、種々の変更を加えることができる。

【0015】

また、本発明の各実施形態における各機能ブロックは、ハードウェア、コンピュータソ

50

ソフトウェア、のいずれかまたは両者の組み合わせとして実現することができる。このため、各ブロックは、これらのいずれでもあることが明確となるように、概してそれらの機能の観点から以下に説明される。このような機能が、ハードウェアとして実行されるか、またはソフトウェアとして実行されるかは、具体的な実施態様またはシステム全体に課される設計制約に依存する。当業者は、具体的な実施態様ごとに、様々な方法でこれらの機能を実現し得るが、そのような実現を決定することは本発明の範疇に含まれるものである。

【0016】

図1は、本発明の実施形態に係る半導体記憶装置10を概略的に示すブロック図である。半導体記憶装置10は、誤り訂正回路11と半導体メモリ12とを備えている。誤り訂正回路11と半導体メモリ12とは、例えば、1つの半導体集積回路として1つの半導体チップ上に設けられる。半導体メモリ12は、情報を不揮発に記憶し、時間の経過に伴って記憶されているデータに変化が生じ得る特徴を有すれば、どのような記憶装置であっても構わない。そのような半導体メモリ12として、例えば、NAND型フラッシュメモリが挙げられる。本実施形態では、半導体メモリ12として、NAND型フラッシュメモリを一例として説明する。

10

【0017】

NAND型フラッシュメモリは、データ消去の単位である複数のメモリブロックBLKから構成されている。メモリブロックBLKの構成について、図2を用いて説明する。図2は、いずれかのメモリブロックBLKの構成を示す等価回路図である。

【0018】

メモリブロックBLKは、X方向に沿って配置された m (m は、1以上の整数)個のNANDストリングを備えている。各NANDストリングは、選択トランジスタST1、ST2、及び n (n は、1以上の整数)個のメモリセルトランジスタMTを備えている。 m 個のNANDストリングにそれぞれ含まれる選択トランジスタST1は、ドレインがビット線BL1~BL m に接続され、ゲートが選択ゲート線SGDに共通接続されている。また、選択トランジスタST2は、ソースがソース線SLに共通接続され、ゲートが選択ゲート線SGSに共通接続されている。

20

【0019】

各メモリセルトランジスタMTは、半導体基板上にゲート絶縁膜を介在して形成された積層ゲート構造を備えたMOSFET (metal oxide semiconductor field effect transistor) である。積層ゲート構造は、ゲート絶縁膜上に形成された電荷蓄積層 (浮遊ゲート電極) と、電荷蓄積層上にゲート間絶縁膜を介在して形成された制御ゲート電極とを含んでいる。各NANDストリングにおいて、 n 個のメモリセルトランジスタMTは、選択トランジスタST1のソースと選択トランジスタST2のドレインとの間に、それぞれの電流経路が直列接続されるように配置されている。すなわち、 n 個のメモリセルトランジスタMTを、隣接するもの同士でソース領域若しくはドレイン領域を共有するような形でY方向に直列接続させる。

30

【0020】

そして、最もドレイン側に位置するメモリセルトランジスタMTから順に、制御ゲート電極がワード線WL1~WL n にそれぞれ接続されている。従って、ワード線WL1に接続されたメモリセルトランジスタMTのドレインは選択トランジスタST1のソースに接続され、ワード線WL n に接続されたメモリセルトランジスタMTのソースは選択トランジスタST2のドレインに接続されている。

40

【0021】

ワード線WL1~WL n は、メモリブロックBLK内のNANDストリング間で、メモリセルトランジスタMTの制御ゲート電極を共通に接続している。つまり、メモリブロックBLK内において同一行にあるメモリセルトランジスタMTの制御ゲート電極は、同一のワード線WLに接続される。この同一のワード線WLに接続される複数のメモリセルは1ページとして取り扱われ、このページごとにデータの書き込み及びデータの読み出しが行われる。

50

【 0 0 2 2 】

また、ビット線 B L 1 ~ B L n は、メモリブロック B L K 間で、選択トランジスタ S T 1 のドレインを共通に接続している。つまり、複数のメモリブロック B L K 内において同一列にある N A N D ストリングは、同一のビット線 B L に接続される。

【 0 0 2 3 】

メモリセルトランジスタ M T は、浮遊ゲート電極に蓄えられる電子の数に応じて閾値電圧が変化し、この閾値電圧の違いに応じた情報を記憶する。メモリセルトランジスタ M T は、1 ビットの情報を記憶するように構成されていてもよいし、複数ビットの情報を記憶するように構成されていてもよい。そして、半導体メモリ 1 2 内のセンスアンプ、及び電位発生回路等を含む制御回路（図示せず）は、半導体メモリ 1 2 に供給されたデータをメモリセルトランジスタ M T に書き込み、メモリセルトランジスタ M T に記憶されているデータを半導体メモリ 1 2 の外部に出力することが可能な構成を有している。

10

【 0 0 2 4 】

半導体記憶装置 1 0 には、外部から半導体メモリ 1 2 への書き込みを要求されているデータ（書き込みデータ）が供給される。誤り訂正回路 1 1 は、書き込みデータに誤り訂正符号及び誤り検出符号を付加して、半導体メモリ 1 2 に供給する。半導体メモリ 1 2 は、誤り訂正符号及び誤り検出符号を付加された書き込みデータを不揮発に記憶する。

【 0 0 2 5 】

また、半導体メモリ 1 2 は、外部から半導体記憶装置 1 0 に供給される制御信号にตอบสนองして、読み出しを要求されているデータ（読み出しデータ）と、これに付加された誤り訂正符号及び誤り検出符号を誤り訂正回路 1 1 に供給する。誤り訂正回路 1 1 は、読み出しデータの誤りを検出する。そして、誤りが存在した場合にこれを訂正し、誤り訂正符号及び誤り検出符号を除去し、読み出しデータを外部へ出力する。以下に、誤り訂正回路 1 1 の具体的な回路構成について説明する。

20

【 0 0 2 6 】

[書き込み系回路の構成]

図 3 は、誤り訂正回路 1 1 のデータ書き込みに関する主要部を示すブロック図である。図 4 は、誤り訂正回路 1 1 から半導体メモリ 1 2 へ転送されるデータのフォーマットを示す図である。

【 0 0 2 7 】

誤り訂正回路 1 1 は、所定サイズの書き込みデータ D を 1 つの単位として、誤り検出符号を生成する。各書き込みデータ D のサイズは、例えば 5 1 2 バイトである。また、誤り訂正回路 1 1 は、列方向に配列された複数の書き込みデータ（誤り検出符号を含む）を 1 つの単位として、第 1 の誤り訂正符号を生成する。さらに、誤り訂正回路 1 1 は、行方向に配列された複数の書き込みデータを 1 つの単位として、第 2 の誤り訂正符号を生成する。誤り訂正符号を生成する単位となる書き込みデータの数は、達成することが望まれる誤り訂正能力及び採用される誤り訂正符号に応じて決定される。

30

【 0 0 2 8 】

誤り検出符号としては、C R C (cyclic redundancy checksum) 3 2、C R C 1 6 等を用いることができる。従って、本実施形態では、誤り検出符号生成部 2 1 は、C R C 生成部 2 1 から構成される。C R C 生成部 2 1 の詳細な構成は、当業者にとって既知であり、ここでは説明を省略する。C R C 生成部 2 1 は、書き込みデータ D (5 1 2 バイト) ごとに、C R C を生成する。本実施形態では、C R C のサイズは、4 バイトである。

40

【 0 0 2 9 】

第 1 の誤り訂正符号としては、1 ビット或いは複数ビットの誤りを訂正できる誤り訂正符号 (E C C : error correcting code) が用いられる。具体的には、B C H 符号 (bose-chaudhuri hooquenghem code)、或いは L D P C 符号 (low density parity check code) 等を用いることができる。本実施形態では、第 1 の誤り訂正符号生成部 2 2 は、E C C 生成部 2 2 と表記するものとする。E C C 生成部 2 2 の詳細な構成は、当業者にとって既知であり、ここでは説明を省略する。E C C 生成部 2 2 は、例えば 8 個の書き込みデータ

50

Dと、これらに対応する8個のCRCとからなる第1単位データUDaごとに、ECCを生成する。この場合、ECCのサイズは、24バイトである。

【0030】

第2誤り訂正符号としては、例えば、複数ビット単位で誤り訂正ができる、第1誤り訂正符号を用いた誤り訂正よりも高い能力の誤り訂正を可能とするものが用いられる。具体的には、第2誤り訂正符号としては、リード・ソロモン符号(RS: reed-solomon code)等を用いることができる。従って、本実施形態では、第2の誤り訂正符号生成部23は、RS生成部23から構成される。RS生成部23の詳細な構成は、当業者にとって既知であり、ここでは説明を省略する。RS生成部23は、例えば1024個の書き込みデータDからなる第2単位データUDbごとに、RSを生成する。

10

【0031】

また、RS生成部23は、512バイトの書き込みデータDを復元するようにして、この書き込みデータD内の誤りを訂正する。この場合、RSのサイズは、書き込みデータDと同じ512バイトである。そして、RS生成部23は、1個の第2単位データUDbに対して、例えば4個のRSを生成する。従って、RS生成部23は、1個の第2単位データUDbを構成する1024個の書き込みデータDのうち4個の書き込みデータの誤りを訂正することができる。

【0032】

誤り訂正回路11は、一時記憶回路20を備えている。一時記憶回路20は、例えば揮発性の記憶回路からなり、例えばDRAM(dynamic random access memory)とすることができる。誤り訂正回路11は、複数の書き込みデータD(1, 1)~D(8, 1024)を外部から受ける。一時記憶回路20は、複数の書き込みデータD(1, 1)~D(8, 1024)を行列状に一時的に格納する。図5は、書き込み時における一時記憶回路20内のデータ構造を示す図である。

20

【0033】

図5に示すように、一時記憶回路20は、ECC生成部22の処理単位である8個の書き込みデータD(1, p)~D(8, p)を列方向に格納し、RS生成部23の処理単位である1024個の書き込みデータD(q, 1)~D(q, 1024)を行方向に格納する。pは1~1024のうちの任意の数、qは1~8のうちの任意の数である。

【0034】

CRC生成部21は、列方向に配列された8個の書き込みデータD(1, p)~D(8, p)に対応して、8個のCRC生成部21-1~21-8を備えている。8個のCRC生成部21-1~21-8はそれぞれ、8個の書き込みデータD(1, p)~D(8, p)に対して、8個のCRCを生成する。この8個のCRCはそれぞれ、これらに対応する8個の書き込みデータD(1, p)~D(8, p)の誤りを検出するために用いられる。この8個のCRCは、ECC生成部22に送られる。

30

【0035】

ECC生成部22は、8個の書き込みデータD(1, p)~D(8, p)とこれらに対応する8個のCRCとからなる第1単位データUDapごとに、1個のECCを生成する。このECCは、第1単位データUDap内の誤りを訂正するために用いられる。本実施形態では、第1単位データUDapとECCとからなるデータのサイズ、1ページ分のサイズに対応する(図4を参照)。

40

【0036】

また、本実施形態では、RS生成部23は、行方向に配列された1024個の書き込みデータD(q, 1)~D(q, 1024)からなる第2単位データUDbごとに、1個のRSを生成する。RS生成部23は、一時記憶回路20に格納される書き込みデータの行に対応する8個のRS生成部23-1~23-8を備えている。RS生成部23-1は、データD(1, 1)~D(1, 1024)からなる第2単位データUDb1に対して、4個のRS(1, 1)~RS(1, 4)を生成する。2~8行にそれぞれ対応するRS生成部23-2~23-8についても同様である。

50

【0037】

なお、CRC生成部21-1~21-8はそれぞれ、列方向に配列された8個のRS(1, r)~RS(8, r)に対しても、CRCを生成する。rは、1~4のうちの任意の数である。同様に、ECC生成部22は、8個のRS(1, r)~RS(8, r)と、これらの対応する8個のCRCとからなる第3単位データUDcに対して、ECCを生成する。第3単位データUDcのサイズは、第1単位データUDaのそれと同じである。

【0038】

書き込みデータD、CRC、ECC、及びRSは、図4に示したページごとに、誤り訂正回路11から半導体メモリ12に送られる。半導体メモリ12は、これらのデータを、ページ順に格納する。例えば、1つのメモリブロックBLKが1028ページで構成されている場合、図4に示したデータは、半導体メモリ12内の1つのメモリブロックBLKに格納される。

10

【0039】

[データ書き込み動作]

次に、データ書き込み動作における誤り訂正回路11の誤り検出符号生成動作及び誤り訂正符号生成動作について、図6乃至図8を参照して説明する。

【0040】

まず、図6に示すように、半導体メモリ12への書き込み対象となる8個の書き込みデータD(1, 1)~D(8, 1)が誤り訂正回路11に供給される。書き込みデータD(1, 1)~D(8, 1)は、一時記憶回路20に格納される。

20

【0041】

続いて、図7に示すように、8個の書き込みデータD(1, 1)~D(8, 1)はそれぞれ、CRC生成部21-1~21-8に送られる。CRC生成部21-1~21-8はそれぞれ、8個の書き込みデータD(1, 1)~D(8, 1)に対して、8個の誤り検出符号(CRC)を生成する。この8個のCRCが、これらに対応する書き込みデータDの後ろにそれぞれ繋がられて、1個の第1単位データUDa1が構成される。本実施形態では、CRC生成部21-1~21-8は、検出符号生成動作を並行して行っている。このように、CRC生成部21-1~21-8を並行して動作させることによって、処理時間を短縮させることができる。

【0042】

続いて、図8に示すように、第1単位データUDa1は、ECC生成部22に送られる。ECC生成部22は、第1単位データUDa1を用いて、この第1単位データUDa1内の誤りを訂正するための第1の誤り訂正符号(ECC)を生成する。このECCが、第1単位データUDa1の後ろに繋がられて、ページ1が構成される。このページ1は、半導体メモリ12に送られ、半導体メモリ12に格納される。

30

【0043】

ページ2~ページ1024についても、上記同様の生成動作により、図4に示すデータが生成される。そして、ページ2~ページ1024は、半導体メモリ12に送られ、半導体メモリ12に格納される。

【0044】

次に、RS生成部23により、第2の誤り訂正符号(RS)が生成される。なお、現時点において、一時記憶回路20には、図5に示すように行列状に、書き込みデータD(1, 1)~D(8, 1024)が格納されている。

40

【0045】

まず、図9に示すように、列方向に配列された1024個の書き込みデータD(1, 1)~D(1, 1024)から第2単位データUDb1が構成され、この第2単位データUDb1が、一時記憶回路20からRS生成部23-1に送られる。同様に、第2単位データUDb2~UDb8は、一時記憶回路20からRS生成部23-2~23-8に送られる。

【0046】

50

続いて、図10に示すように、RS生成部23-1は、第2単位データUDb1を用いて、4個のRS(1,1)~RS(1,4)を生成する。RS生成部23-2~23-8によるRS生成動作についても、RS生成部23-1と同様である。本実施形態では、RS生成部23-1~23-8は、訂正符号生成動作を並行して行っている。このように、RS生成部23-1~23-8を並行して動作させることによって、処理時間を短縮させることができる。

【0047】

誤り訂正符号としてリード・ソロモン符号を用いた場合、通常は、4個の冗長符号を用いて2個の誤り位置情報と2個の誤り訂正情報を得るため、2個の誤りの訂正が可能である。しかし、本実施形態では、書き込みデータDの誤り位置を特性するために、別途CRCを用いている。従って、本実施形態では、4個の冗長符号を用いて4個の誤りを訂正することが可能となる。すなわち、1024個の書き込みデータD(1,1)~D(1,1024)のうち4個の誤りを訂正することが可能となる。

10

【0048】

続いて、書き込みデータDの場合と同様に、CRC生成部21-1~21-8はそれぞれ、列方向に配列された8個のRS(1,1)~RS(8,1)に対して、8個のCRCを生成する。この8個のCRCが、これらに対応するRSの後ろにそれぞれ繋がられて、1個の第3単位データUDc1が構成される。ECC生成部22は、この第3単位データUDc1を用いて、第3単位データUDc1内の誤りを訂正するためのECCを生成する。このECCが、第3単位データUDc1の後ろに繋がられて、ページ1025が構成される。このページ1025は、半導体メモリ12に送られ、半導体メモリ12に格納される。

20

【0049】

ページ1026~ページ1028についても、上記同様の生成動作により、図4に示すデータが生成される。そして、ページ1026~ページ1028は、半導体メモリ12に送られ、半導体メモリ12に格納される。

【0050】

[読み出し系回路の構成]

図11は、誤り訂正回路11のデータ読み出しに関する主要部を示すブロック図である。

30

【0051】

データ読み出しの際には、半導体メモリ12内の1つのメモリブロックBLKに格納されたブロックデータ(図4に示すデータ)が、一時記憶回路20に送られる。そして、一時記憶回路20は、図4に示すブロックデータを格納する。

【0052】

誤り訂正回路11は、ECC訂正部31を備えている。ECC訂正部31は、ページごとに生成された誤り訂正符号(ECC)を用いて、8個の読み出しデータ(1,p)~D(8,p)と、これらに対応する8個のCRCとからなる第1単位データUDap内の誤りを訂正する。ECC訂正部31により訂正された第1の訂正済データDC1は、一時記憶回路20に送られる。一時記憶回路20は、格納されたデータのうち、第1の訂正済データDC1に対応するデータを更新する。

40

【0053】

また、誤り訂正回路11は、CRC検出部32を備えている。CRC検出部32は、列方向に配列された8個の読み出しデータD(1,p)~D(8,p)(すなわち、行数)に対応して、8個のCRC検出部32-1~32-8を備えている。8個のCRC検出部32-1~32-8はそれぞれ、8個の読み出しデータD(1,p)~D(8,p)に対して生成された8個のCRCを用いて、読み出しデータD(1,p)~D(8,p)内の誤りを検出する。CRC検出部32の詳細な構成は、当業者にとって既知であり、ここでは説明を省略する。

【0054】

50

さらに、誤り訂正回路 11 は、RS 訂正部 33 を備えている。RS 訂正部 33 は、列方向に配列された 8 個の読み出しデータ $D(1, p) \sim D(8, p)$ に対応して、8 個の RS 訂正部 33-1 ~ 33-8 を備えている。RS 訂正部 33-1 は、4 個の RS(1, 1) ~ RS(1, 4) を用いて、行方向に配列された 1024 個の読み出しデータ $D(1, 1) \sim D(1, 1024)$ からなる第 2 単位データ $U D b 1$ 内の誤りを訂正する。RS 訂正部 33 の詳細な構成は、当業者にとって既知であり、ここでは説明を省略する。

【0055】

本実施形態では、第 2 の誤り訂正符号としてリード・ソロモン符号 (RS) を用い、かつ 4 個の RS(1, 1) ~ RS(1, 4) は全て誤り訂正に用いられる。従って、RS 訂正部 33-1 は、1024 個の読み出しデータ $D(1, 1) \sim D(1, 1024)$ のうち 4 個の読み出しデータを復元することができる。2 ~ 8 行にそれぞれ対応する RS 訂正部 33-2 ~ 33-8 についても同様である。RS 訂正部 33-1 ~ 33-8 により訂正された第 2 の訂正済データ DC2 は、一時記憶回路 20 に送られる。一時記憶回路 20 は、格納されたデータのうち、第 2 の訂正済データ DC2 に対応するデータを更新する。

10

【0056】

ECC 訂正部 31、及び RS 訂正部 33-1 ~ 33-8 により訂正された読み出しデータ $D(1, 1) \sim D(8, 1024)$ は、誤り訂正回路 11 から外部に出力される。

【0057】

[データ読み出し動作]

次に、データ読み出し動作における誤り訂正回路 11 の誤り検出動作及び誤り訂正動作について、図 12 乃至図 15 を参照して説明する。

20

【0058】

誤り訂正動作に先立って、半導体メモリ 12 内の 1 個のメモリブロック BLK に格納されたブロックデータ (図 4 に示すデータ) が、一時記憶回路 20 に送られる。一時記憶回路 20 は、図 4 に示すブロックデータを格納する。

【0059】

まず、ECC 訂正部 31 による 1 回目の誤り訂正動作が行われる。すなわち、ページ 1 のデータが、一時記憶回路 20 から ECC 訂正部 31 に送られる。ECC 訂正部 31 は、ページ 1 に含まれる誤り訂正符号 (ECC) を用いて、同じくページ 1 に含まれる第 1 単位データ $U D a 1$ 内の誤りを訂正する。同様に、ECC 訂正部 31 は、ページ 2 ~ ページ 1028 にそれぞれ含まれる第 1 単位データ $U D a 1 \sim U D a 1028$ 内の誤りを訂正する。ECC 訂正部 31 により訂正された第 1 の訂正済データ DC1 は、一時記憶回路 20 に送られる。一時記憶回路 20 は、格納されたデータのうち、第 1 の訂正済データ DC1 に対応するデータを更新する。

30

【0060】

続いて、CRC 検出部 32 による 1 回目の誤り検出動作が行われる。すなわち、CRC 検出部 32-1 ~ 32-8 にはそれぞれ、8 個の読み出しデータ $D(1, 1) \sim D(8, 1)$ と、これらに対応して生成された 8 個の CRC とが、一時記憶回路 20 から送られる。CRC 検出部 32-1 ~ 32-8 はそれぞれ、8 個の CRC を用いて、読み出しデータ $D(1, 1) \sim D(8, 1)$ 内の誤りを検出する。そして、CRC 検出部 32-1 ~ 32-8 はそれぞれ、誤り検出の結果、どの読み出しデータ D に誤りが存在するかを示す誤り情報 $S 1 \sim S 8$ を生成する。この誤り情報 $S 1 \sim S 8$ はそれぞれ、RS 訂正部 33-1 ~ 33-8 に送られる。同様に、CRC 検出部 32-1 ~ 32-8 は、ページ 2 ~ ページ 1028 についても、誤りを検出する。本実施形態では、CRC 検出部 32-1 ~ 32-8 は、誤り検出動作を並行して行っている。このように、CRC 検出部 32-1 ~ 32-8 を並行して動作させることによって、処理時間を短縮させることができる。

40

【0061】

図 12 は、ECC 訂正部 31 による 1 回目の誤り訂正後のブロックデータの一例を示す図である。斜線は、ECC 訂正部 31 による 1 回目の誤り訂正によっても訂正不能であるため、CRC 検出部 32-1 ~ 32-8 により誤りが検出されたデータを示している。

50

【 0 0 6 2 】

なお、E C C 訂正部 3 1 による 1 回目の誤り訂正の結果、全ての読み出しデータに誤りが存在しない場合は、誤り訂正動作はここで終了する。すなわち、後述する R S 訂正部 3 3 による誤り訂正は行われない。例えば、R S 訂正部 3 3 は電源回路（図示せず）からの電源供給の停止、或いはクロック回路（図示せず）からのクロック信号の供給の停止等によって、誤り訂正動作を停止する。これにより、誤りが少ない場合のデータ読み出し時間を短縮することができる。また、R S 訂正部 3 3 による誤り訂正動作が行われないため、消費電力を低減することができる。

【 0 0 6 3 】

続いて、R S 訂正部 3 3 による 1 回目の誤り訂正動作が行われる。すなわち、行方向に配列された 1 0 2 4 個の読み出しデータ $D(1, 1) \sim D(1, 1024)$ からなる第 2 単位データ $U D b 1$ と、これらに対応して生成された 4 個の $R S(1, 1) \sim R S(1, 4)$ とが、一時記憶回路 2 0 から R S 訂正部 3 3 - 1 に送られる。R S 訂正部 3 3 - 1 は、 $R S(1, 1) \sim R S(1, 4)$ を用いて、読み出しデータ $D(1, 1) \sim D(1, 1024)$ 内の誤りを訂正する。2 ~ 8 行にそれぞれ対応する R S 訂正部 3 3 - 2 ~ 3 3 - 8 についても同様である。

【 0 0 6 4 】

本実施形態では、R S 訂正部 3 3 - 1 ~ 3 3 - 8 は、訂正動作を並行して行っている。このように、R S 訂正部 3 3 - 1 ~ 3 3 - 8 を並行して動作させることによって、処理時間を短縮させることができる。R S 訂正部 3 3 - 1 ~ 3 3 - 8 により訂正された第 2 の訂正済データ $D C 2$ は、一時記憶回路 2 0 に送られる。一時記憶回路 2 0 は、格納されたデータのうち、第 2 の訂正済データ $D C 2$ に対応するデータを更新する。

【 0 0 6 5 】

図 1 3 は、R S 訂正部 3 3 による 1 回目の誤り訂正後のブロックデータの一例を示す図である。図 1 3 に示すように、読み出しデータ $D(1, 2)$ 及び $(1, 6)$ 内の誤りが、R S 訂正部 3 3 - 1 により訂正されている。また、読み出しデータ $D(8, 1)$ 及び $(8, 1022)$ 内の誤りが、R S 訂正部 3 3 - 8 により訂正されている。

【 0 0 6 6 】

なお、前述したように、R S 訂正部 3 3 による誤り訂正に先立って、C R C 検出部 3 2 を用いて誤りが存在する読み出しデータの位置を特定している。よって、R S 訂正部 3 3 は、誤りが検出された読み出しデータのみに対して誤り訂正を行えばよい。これにより、R S 訂正部 3 3 による訂正時間を短縮することができ、また消費電力を低減することができる。

【 0 0 6 7 】

続いて、ページ 1 ~ ページ 1 0 2 8 に対して、E C C 訂正部 3 1 による 2 回目の誤り訂正が行われる。この誤り訂正動作は、前述した E C C 訂正部 3 1 による 1 回目の誤り訂正と同じである。図 1 4 は、E C C 訂正部 3 1 による 2 回目の誤り訂正後のブロックデータの一例を示す図である。図 1 4 に示すように、読み出しデータ $D(2, 1)$ 、 $(3, 2)$ 、及び $(2, 1022)$ 内の誤りが、E C C 訂正部 3 1 により訂正されている。

【 0 0 6 8 】

続いて、C R C 検出部 3 2 - 1 ~ 3 2 - 8 は、全ての読み出しデータ D 及び誤り訂正符号 (R S) の誤りを検出する。この検出動作は、前述した C R C 検出部 3 2 - 1 ~ 3 2 - 8 による 1 回目の誤り検出動作と同じである。続いて、第 2 単位データ $U D b 1 \sim U D b 8$ に対してそれぞれ、R S 訂正部 3 3 - 1 ~ 3 3 - 8 による 2 回目の誤り訂正が行われる。この誤り訂正動作は、前述した R S 訂正部 3 3 - 1 ~ 3 3 - 8 による 1 回目の誤り訂正と同じである。

【 0 0 6 9 】

図 1 5 は、R S 訂正部 3 3 による 2 回目の誤り訂正後のブロックデータの一例を示す図である。図 1 5 に示すように、読み出しデータ $D(2, 5)$ 内の誤りが、R S 訂正部 3 3 - 2 により訂正されている。また、読み出しデータ $D(3, 4)$ 、 $(3, 7)$ 、及び $(3$

10

20

30

40

50

、1023)内の誤りが、RS訂正部33-3により訂正されている。これにより、読み出しデータD(1,1)~D(8,1024)の誤りが全て訂正されたことになる。

【0070】

その後、誤りが全て訂正された読み出しデータD(1,1)~D(8,1024)が、一時記憶回路20から外部に出力される。

【0071】

図16は、半導体メモリ12にデータを書き込んでからの経過時間と、必要訂正能力との関係を示す図である。図16に示すように、経過時間が長くなると、半導体メモリ12に書き込まれたデータのうち誤りの数が増加する。そこで、誤りの数の増加に合わせて誤り訂正能力を変化させる。そして、過剰または不十分な誤り訂正能力が使用されないように、第1の誤り訂正部(ECC訂正部)31及び第2の誤り訂正部(RS訂正部)33の誤り訂正能力が決定される。具体的には、経過時間が短い間は、第1の誤り訂正部31のみによって誤り訂正ができるとともに、経過時間が所定時間(誤り数が急激に増加する時間)を過ぎた後は第1の誤り訂正部31及び第2の誤り訂正部33によって誤りが訂正できるように、第1の誤り訂正部31及び第2の誤り訂正部33の誤り訂正能力が決定される。

10

【0072】

以上詳述したように本実施形態によれば、まず、第1の誤り訂正符号(ECC)を用いて誤り訂正をし、この訂正結果を、第2の誤り訂正符号(RS)を用いてさらに誤り訂正することができる。従って、第1の誤り訂正符号及び第2の誤り訂正符号の訂正能力を低くした場合でも、所望の訂正能力を確保することができ、また、回路規模を低減することができる。

20

【0073】

また、ECC訂正部31による1回目の誤り訂正の結果、全ての読み出しデータに誤りが存在しない場合は、RS訂正部33による誤り訂正は行われぬ。これにより、誤りが少ない場合のデータ読み出し時間を短縮することができる。すなわち、誤りが少ない場合のデータ読み出し時間を短縮と、誤りが多い場合の高い訂正能力との両立が可能となる。さらに、RS訂正部33の動作を停止することにより、消費電力を低減することができる。

【0074】

また、第1の誤り訂正符号(ECC)を用いて列方向のデータの誤りを訂正し、一方、第2の誤り訂正符号(RS)を用いて行方向のデータの誤りを訂正している。よって、半導体メモリ12としてNAND型フラッシュメモリを用いた場合には、メモリブロック内の全ページに跨る誤り訂正が可能となる。さらに、記憶されるデータの位置に起因して誤り発生確率が大きく異なるような半導体メモリに対しては、誤り発生確率が大きい領域を何度も誤り訂正することができるため、本実施形態は特に有効である。

30

【0075】

また、CRC検出部32を用いて誤りが存在する読み出しデータの位置を特定できるため、RS訂正部33は、誤りが検出された読み出しデータの誤り訂正を行えばよい。これにより、RS訂正部33による処理時間を短縮することができる。

40

【0076】

また、誤り検出符号(CRC)により誤りが存在するデータDの位置が検出できるため、RS訂正部33は、誤り検出を行う必要がない。これにより、全てのRS(本実施形態では、4個のRS)を誤り訂正に使用することができる。

【0077】

その他、本発明の思想の範疇において、当業者であれば、各種の変更例及び修正例に想到し得るものであり、それら変更例及び修正例についても本発明の範囲に属するものと解される。

【図面の簡単な説明】

【0078】

50

【図 1】本発明の実施形態に係る半導体記憶装置 10 を概略的に示すブロック図。

【図 2】NAND 型フラッシュメモリに含まれるメモリブロック BLK の構成を示す等価回路図。

【図 3】誤り訂正回路 11 のデータ書き込みに関する主要部を示すブロック図。

【図 4】誤り訂正回路 11 から半導体メモリ 12 へ転送されるデータのフォーマットを示す図。

【図 5】書き込み時における一時記憶回路 20 内のデータ構造を示す図。

【図 6】誤り訂正回路 11 の誤り検出符号生成動作及び誤り訂正符号生成動作を説明する図。

【図 7】図 6 に続く、誤り検出符号生成動作及び誤り訂正符号生成動作を説明する図。

10

【図 8】図 7 に続く、誤り検出符号生成動作及び誤り訂正符号生成動作を説明する図。

【図 9】図 8 に続く、誤り検出符号生成動作及び誤り訂正符号生成動作を説明する図。

【図 10】図 9 に続く、誤り検出符号生成動作及び誤り訂正符号生成動作を説明する図。

【図 11】誤り訂正回路 11 のデータ読み出しに関する主要部を示すブロック図。

【図 12】ECC 訂正部 31 による 1 回目の誤り訂正後のブロックデータを示す図。

【図 13】RS 訂正部 33 による 1 回目の誤り訂正後のブロックデータを示す図。

【図 14】ECC 訂正部 31 による 2 回目の誤り訂正後のブロックデータを示す図。

【図 15】RS 訂正部 33 による 2 回目の誤り訂正後のブロックデータを示す図。

【図 16】書き込みからの経過時間と必要訂正能力との関係を示す図。

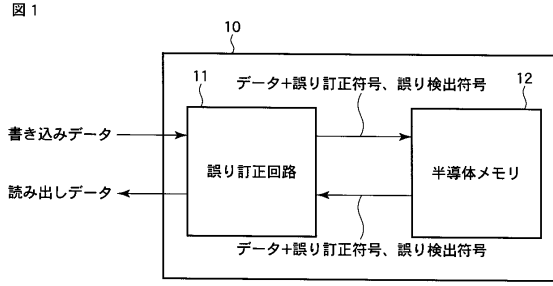
【符号の説明】

20

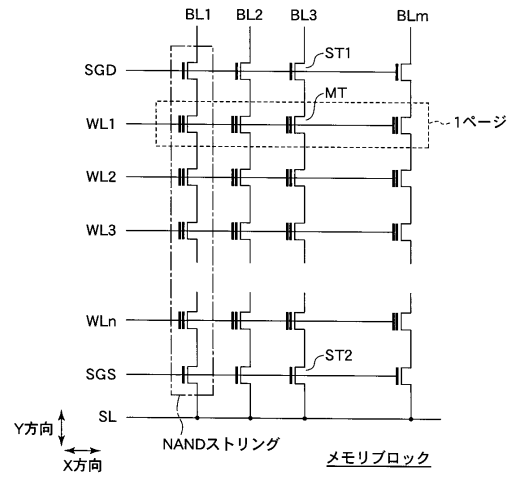
【0079】

MT ... メモリセルトランジスタ、ST1, ST2 ... 選択トランジスタ、SGD, SGS ... 選択ゲート線、SL ... ソース線、WL ... ワード線、BL ... ビット線、10 ... 半導体記憶装置、11 ... 誤り訂正回路、12 ... 半導体メモリ、20 ... 一時記憶回路、21 ... 誤り検出符号生成部 (CRC 生成部)、22 ... 第 1 の誤り訂正符号生成部 (ECC 生成部)、23 ... 第 2 の誤り訂正符号生成部 (RS 生成部)、31 ... 第 1 の誤り訂正部 (ECC 訂正部)、32 ... 誤り検出部 (CRC 検出部)、33 ... 第 2 の誤り訂正部 (RS 訂正部)。

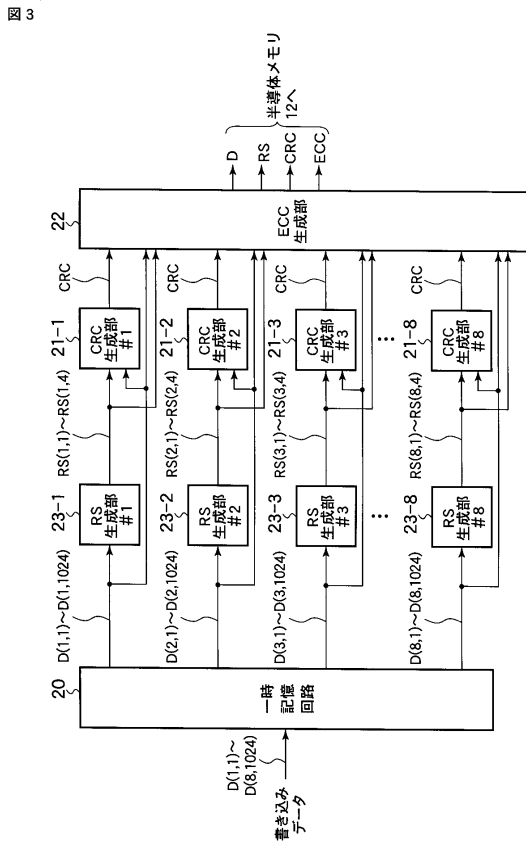
【図1】



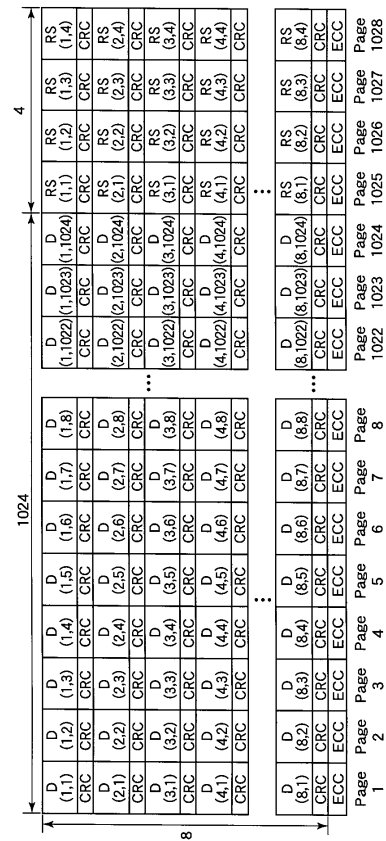
【図2】



【図3】

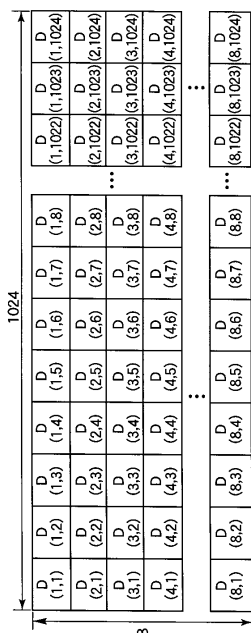


【図4】



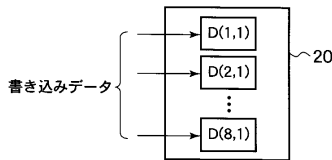
【 図 5 】

図 5



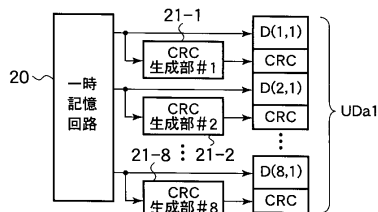
【 図 6 】

図 6



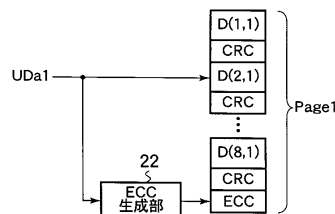
【 図 7 】

図 7



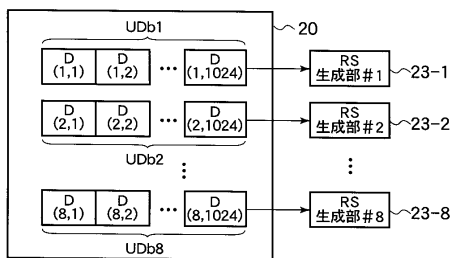
【 図 8 】

図 8



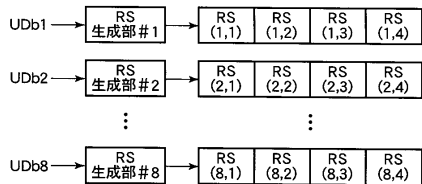
【 図 9 】

図 9



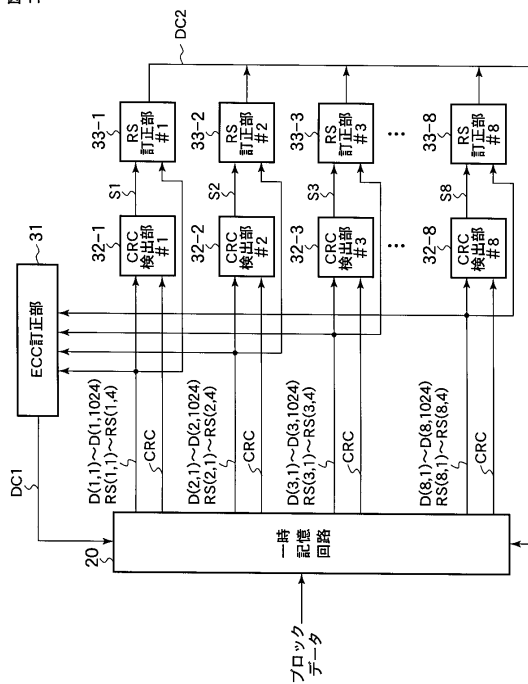
【 図 10 】

図 10



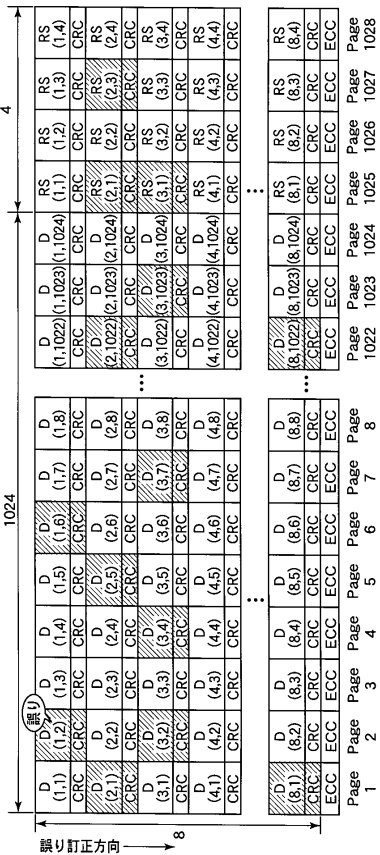
【 図 11 】

図 11



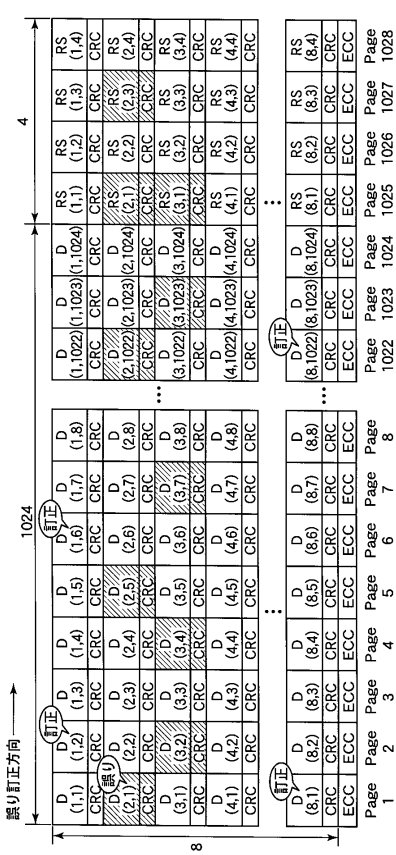
【 図 1 2 】

図 12



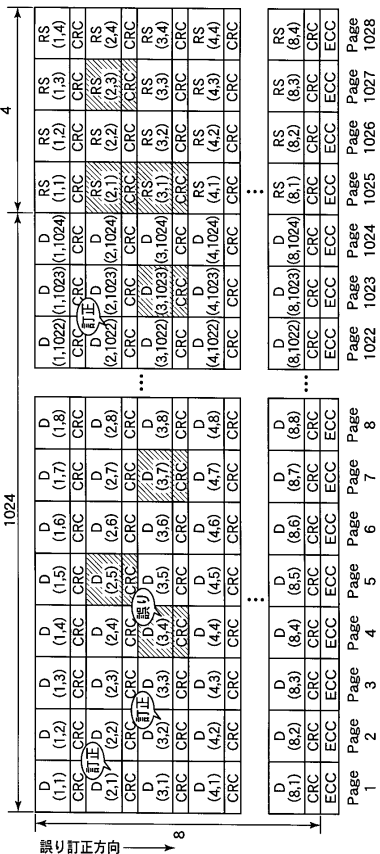
【 図 1 3 】

図 13



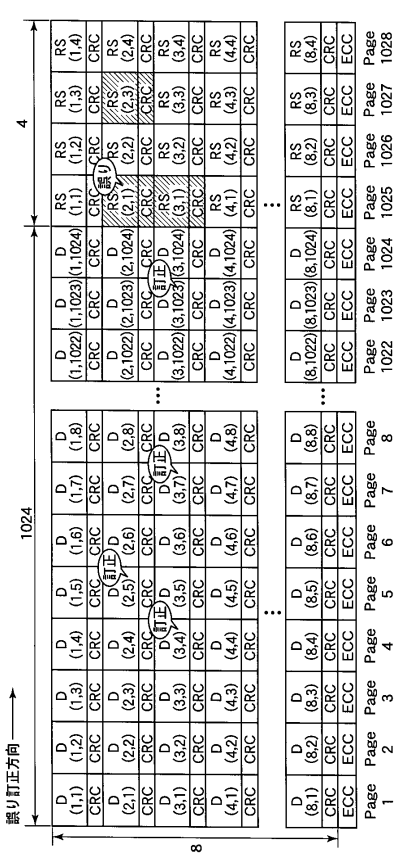
【 図 1 4 】

図 14



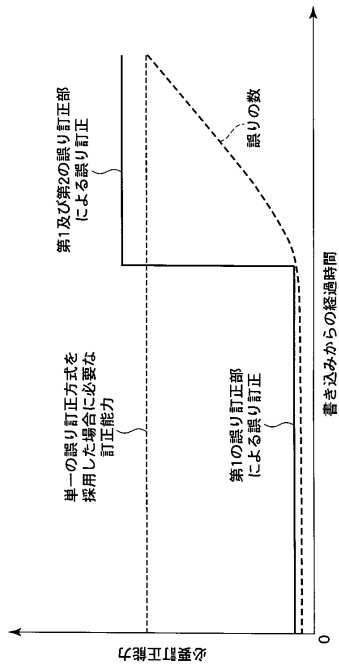
【 図 1 5 】

図 15



【図16】

図16



フロントページの続き

- (74)代理人 100084618
弁理士 村松 貞男
- (74)代理人 100092196
弁理士 橋本 良郎
- (72)発明者 菅野 伸一
東京都港区芝浦一丁目1番1号 株式会社東芝内

審査官 堀江 義隆

- (56)参考文献 特開2009-59422(JP,A)
特表2004-501466(JP,A)
特開2000-181807(JP,A)
特開2003-196165(JP,A)
特開2000-269824(JP,A)
特開2005-216437(JP,A)
特開2002-367296(JP,A)

- (58)調査した分野(Int.Cl., DB名)
- | | |
|---------|-----------|
| G 0 6 F | 1 2 / 1 6 |
| G 1 1 C | 1 6 / 0 6 |
| G 1 1 C | 2 9 / 4 2 |