



(12) 发明专利

(10) 授权公告号 CN 1689146 B

(45) 授权公告日 2010.05.26

(21) 申请号 03824140.4
 (22) 申请日 2003.03.24
 (85) PCT申请进入国家阶段日
 2005.04.12
 (86) PCT申请的申请数据
 PCT/JP2003/003510 2003.03.24
 (87) PCT申请的公布数据
 W02004/086484 JA 2004.10.07
 (73) 专利权人 富士通微电子株式会社
 地址 日本东京都
 (72) 发明人 杉田义博
 (74) 专利代理机构 隆天国际知识产权代理有限公司 72003
 代理人 高龙鑫 王玉双

(56) 对比文件
 EP 1124262 A2, 2001.08.16, 说明书第 5 栏
 第 0030 段, 图 1、2.
 US 6020243 A, 2000.02.01, 全文.
 US 2001/0023120 A1, 2001.09.20, 说明书第
 3 页第 0041 段 - 第 4 页第 0069 段、图 1A-1B、2A-
 2I.
 JP 昭 63-182847 A, 1988.07.28, 全文.

审查员 范崇飞

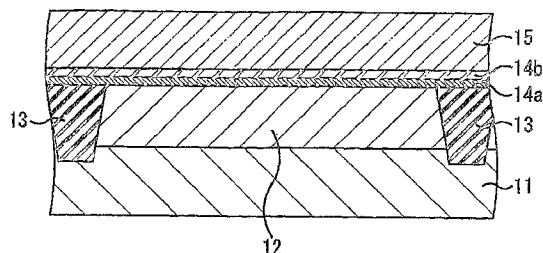
(51) Int. Cl.
 H01L 21/316(2006.01)
 H01L 29/78(2006.01)
 H01L 21/336(2006.01)
 H01L 27/04(2006.01)
 H01L 21/822(2006.01)

权利要求书 2 页 说明书 7 页 附图 15 页

(54) 发明名称
 半导体器件及其制造方法

(57) 摘要

在 Si 衬底 (11) 的表面形成 p 阱 (12), 形成元件分离绝缘膜 (13)。接着, 在整个面上形成薄的 SiO₂ 膜 (14a), 在其上作为绝缘膜 (14b) 形成含有稀土类金属 (例如 La、Y) 和 Al 的氧化膜。而且, 在绝缘膜 (14b) 上形成多晶硅膜 (15)。然后, 通过进行例如 1000℃ 左右的热处理, 使 SiO₂ 膜 (14a) 和绝缘膜 (14b) 进行反应, 形成含有稀土类金属和 Al 的硅酸盐膜。即, 将 SiO₂ 膜 (14a) 和绝缘膜 (14b) 成为单一的硅酸盐膜。



1. 一种半导体器件,其特征在于,包括:
第 1 和第 2 导电层,
由所述第 1 和第 2 导电层所夹持的电介质膜,所述电介质膜是含有稀土类金属以及 Al 的绝缘性的硅酸盐膜;
所述电介质膜中的 Al 原子数目少于稀土类金属的原子数目。
2. 如权利要求 1 所述的半导体器件,其特征在于,所述电介质膜还含有 N。
3. 如权利要求 1 所述的半导体器件,其特征在于,
所述第 1 导电层是形成于半导体衬底的表面的沟道,
所述第 2 导电层是栅电极。
4. 如权利要求 1 所述的半导体器件,其特征在于,
所述第 1 导电层是电容器的一个电极,
所述第 2 导电层是所述电容器的另一个电极。
5. 如权利要求 1 所述的半导体器件,其特征在于,
所述电介质膜是非晶质。
6. 一种半导体器件的制造方法,其特征在于,包括:
在第 1 导电层上形成含有 Si 的第 1 绝缘膜的工序;
在所述第 1 绝缘膜上形成第 2 绝缘膜的工序,其中,所述第 2 绝缘膜含有稀土类金属以及 Al,
通过热处理使所述第 1 绝缘膜和所述第 2 绝缘膜进行反应,从而形成电介质膜的工序,
其中,所述电介质膜是含有稀土类金属以及 Al 的绝缘性的硅酸盐膜;
使所述第 2 绝缘膜中的 Al 原子数目少于稀土类金属的原子数目。
7. 如权利要求 6 所述的半导体器件的制造方法,其特征在于,
具有在所述电介质膜上形成第 2 导电层的工序。
8. 如权利要求 6 所述的半导体器件的制造方法,其特征在于,
在形成所述电介质膜的工序之前,具有在所述第 2 绝缘膜上形成第 2 导电层的工序。
9. 如权利要求 6 所述的半导体器件的制造方法,其特征在于,
所述第 1 绝缘膜是从硅氧化膜、氮化硅膜和氮氧化硅膜构成的组中选择的一种。
10. 如权利要求 6 所述的半导体器件的制造方法,其特征在于,
在形成所述电介质膜的工序之前,具有在所述第 2 绝缘膜上形成含有 Si 和 N 的第 3 绝缘膜的工序,
在形成所述电介质膜的工序中,使所述第 1 绝缘膜和所述第 2 绝缘膜及所述第 3 绝缘膜进行反应。
11. 如权利要求 6 所述的半导体器件的制造方法,其特征在于,在形成所述电介质膜的工序中,形成非晶质的膜。
12. 一种半导体器件的制造方法,其特征在于,包括:
在第 1 导电层上,通过化学气相生长法形成电介质膜的工序,其中,所述电介质膜是含有稀土类金属以及 Al 的绝缘性的硅酸盐膜,
在所述电介质膜上形成第 2 导电层的工序;
使所述硅酸盐膜中的 Al 原子数目少于稀土类金属的原子数目。

13. 一种电介质膜,其特征在于,

该电介质膜是含有稀土类金属以及 Al 的绝缘性的硅酸盐膜,
所述电介质膜中的 Al 原子数目少于稀土类金属的原子数目。

14. 如权利要求 13 所述的电介质膜,其特征在于,其还含有 N。

15. 一种电介质膜的形成方法,其特征在于,包括:

形成含有 Si 的第 1 绝缘膜的工序;

在所述第 1 绝缘膜上,形成第 2 绝缘膜的工序,其中,所述第 2 绝缘膜含有稀土类金属
以及 Al,

通过热处理使所述第 1 绝缘膜和所述第 2 绝缘膜进行反应,并使所述第 1 绝缘膜和所
述第 2 绝缘膜成为单一膜的工序;

使所述第 2 绝缘膜中的 Al 原子数目少于稀土类金属的原子数目。

16. 如权利要求 15 所述的电介质膜的形成方法,其特征在于,所述第 1 绝缘膜是从硅氧
化膜、氮化硅膜和氮氧化硅膜构成的组中选择的一种。

17. 如权利要求 15 所述的电介质膜的形成方法,其特征在于,

在使所述第 1 绝缘膜和所述第 2 绝缘膜成为单一膜的工序之前,具有在所述第 2 绝缘
膜上形成含有 Si 和 N 的第 3 绝缘膜的工序,

在所述成为单一膜的工序中,使所述第 1 绝缘膜和所述第 2 绝缘膜及所述第 3 绝缘膜
进行反应。

半导体器件及其制造方法

技术领域

[0001] 本发明涉及适合于 MOSFET 或电容器的电介质膜、其形成方法、具有该电介质膜的半导体器件及半导体器件的制造方法。

背景技术

[0002] 作为用于 MOSFET 等的场效应晶体管的栅绝缘膜和电容器的电容绝缘膜的高介电常数绝缘膜,寻求介电常数高的绝缘膜来取代硅氧化膜 (SiO_2 膜) 及氮氧化硅膜 (SiON 膜)。

[0003] 作为这样的高介电常数绝缘膜,正在进行与包含稀土类金属的绝缘膜有关的研究。但是,在将稀土类金属表示为 M 时,单纯组成的 M_2O_3 膜在热和化学性上是不稳定的,所以不能原封不动地使用。

[0004] 因此,提出有具有多层氧化膜结构的 MOSFET,该多层氧化膜结构为在硅衬底上设置与硅衬底之间的界面能级良好的薄的 SiO_2 膜,且在其上形成高介电常数的金属氧化物膜。此外,作为这样的金属氧化物膜,还提出使用稀土类金属氧化物膜。

[0005] 但是,在这样的多层氧化膜结构中,如果在低温中进行成膜,且在低温中进行试验,则可获得相应的结果,但不能适用于实际的半导体器件。

[0006] 即,在制造包含有大量硅材料的电子器件时,特别是在形成金属布线以前,频繁地进行 $600^\circ\text{C} \sim 1050^\circ\text{C}$ 高温的热处理。因此,高介电常数绝缘膜也需要是能抗高温热处理的膜。但是,如果对上述那样的多层氧化膜结构进行高温热处理,则其特性在处理期间发生变化。其结果,例如产生界面能级的恶化和介电常数下降等问题。

[0007] 专利文献 1 日本专利特开 2002-324901 号公报

[0008] 专利文献 2 日本专利特开 2002-184773 号公报

[0009] 专利文献 3 日本专利特开 2002-329847 号公报

发明内容

[0010] 本发明的目的在于提供耐高温性和介电常数高的电介质膜、其形成方法、具备该电介质膜的半导体器件及半导体器件的制造方法。

[0011] 在与本发明相关的半导体器件中,设有第 1 和第 2 导电层,含有 Si、稀土类金属、Al 及 O 的电介质膜被所述第 1 及第 2 导电层夹持。所述电介质膜中的 Al 原子数目少于稀土类金属的原子数目。

[0012] 在与本发明相关的半导体器件的制造方法中,在第 1 导电层上,形成含有 Si 的第 1 绝缘膜。接着,在所述第 1 绝缘膜上,形成含有稀土类金属、Al 及 O 的第 2 绝缘膜,其中,使所述第 2 绝缘膜中的 Al 原子数目少于稀土类金属的原子数目。然后,通过热处理使所述第 1 绝缘膜和第 2 绝缘膜进行反应,从而形成含有 Si、稀土类金属、Al 及 O 的电介质膜。

[0013] 与本发明相关的电介质膜的特征在于含有 Si、稀土类金属、Al 及 O。所述电介质膜中的 Al 原子数目少于稀土类金属的原子数目。

[0014] 在与本发明相关的电介质膜的形成方法中,形成含有 Si 的第 1 绝缘膜。接着,在

所述第 1 绝缘膜上,形成含有稀土类金属、Al 及 O 的第 2 绝缘膜,其中,使所述第 2 绝缘膜中的 Al 原子数目少于稀土类金属的原子数目。然后,通过热处理使所述第 1 绝缘膜和所述第 2 绝缘膜进行反应而使所述第 1 绝缘膜和所述第 2 绝缘膜形成为单一的膜。

[0015] 本发明的半导体器件,其特征在于,包括:第 1 和第 2 导电层,由所述第 1 和第 2 导电层所夹持的电介质膜,所述电介质膜是含有稀土类金属以及 A 的绝缘性的硅酸盐膜;所述电介质膜中的 Al 原子数目少于稀土类金属的原子数目。

[0016] 本发明的半导体器件的制造方法,其特征在于,包括:在第 1 导电层上形成含有 Si 的第 1 绝缘膜的工序;在所述第 1 绝缘膜上形成第 2 绝缘膜的工序其中,所述第 2 绝缘膜含有稀土类金属以及 Al,通过热处理使所述第 1 绝缘膜和所述第 2 绝缘膜进行反应,从而形成电介质膜的工序,其中,所述电介质膜是含有稀土类金属以及 Al 的绝缘性的硅酸盐膜;使所述第 2 绝缘膜中的 A 原子数目少于稀土类金属的原子数目。

[0017] 本发明的半导体器件的制造方法,其特征在于,包括:在第 1 导电层上通过化学气相生长法形成电介质膜的工序,其中,所述电介质膜是含有稀土类金属以及 Al 的绝缘性的硅酸盐膜,在所述电介质膜上形成第 2 导电层的工序使所述硅酸盐膜中的 Al 原子数目少于稀土类金属的原子数目。

[0018] 本发明的电介质膜,其特征在于,该电介质膜是含有稀土类金属以及 Al 的绝缘性的硅酸盐膜,所述电介质膜中的 Al 原子数目少于稀土类金属的原子数目。

[0019] 本发明的电介质膜的形成方法,其特征在于,包括:形成含有 Si 的第 1 绝缘膜的工序;在所述第 1 绝缘膜上,形成第 2 绝缘膜的工序,其中,所述第 2 绝缘膜含有稀土类金属以及 Al,通过热处理使所述第 1 绝缘膜和所述第 2 绝缘膜进行反应,并使所述第 1 绝缘膜和所述第 2 绝缘膜成为单一膜的工序;使所述第 2 绝缘膜中的 Al 原子数目少于稀土类金属的原子数目。

附图说明

[0020] 图 1 是表示用红外吸收法来评价在 Si 衬底上通过自然氧化膜而形成的 La_2O_3 膜的热处理造成的变化的结果的曲线图。

[0021] 图 2 是表示在图 1 所示的评价中使用的各膜的 X 线衍射频谱的曲线图。

[0022] 图 3 是表示用红外吸收法来评价在 Si 衬底上通过自然氧化膜而形成的铝酸钪膜的热处理造成的变化的结果的曲线图。

[0023] 图 4 是表示在图 3 所示的评价中使用的各膜的 X 线衍射频谱的曲线图。

[0024] 图 5 是表示 $\text{Y}_x\text{Al}_y\text{O}_z$ 的膜厚为 6nm 时获得的 X 线衍射频谱的曲线图。

[0025] 图 6 是表示不含有 Al 的 Y_2O_3 膜(厚度:41nm)的 X 线衍射频谱的曲线图。

[0026] 图 7A 和图 7B 是按工序顺序表示与本发明第 1 实施方式相关的半导体器件的制造方法的剖视图。

[0027] 图 8 是表示根据第 1 实施方式实际制作的 MOSFET 的高频 CV 特性的曲线图。

[0028] 图 9A 和图 9B 是按工序顺序表示与本发明第 1 实施方式相关的半导体器件的制造方法的剖视图。

[0029] 图 10 是表示深度和 SIMS 强度的关系的曲线图。

[0030] 图 11A 至图 11D 是按工序顺序表示采用本发明来制造 MOSFET 的方法的剖视图。

- [0031] 图 12A 至图 12C 是按工序顺序表示采用了本发明来制造电容器的方法的剖视图。
- [0032] 图 13 是表示分批式装置的模式图。
- [0033] 图 14 是表示片叶式装置的模式图。

具体实施方式

[0034] 本发明人在对以往的多层氧化膜结构中特性因高温热处理而发生变化的原因进行调查时,发现硅氧化膜和稀土类金属氧化物膜发生反应的情况。

[0035] 图 1 是表示用红外吸收法 (FTIR) 评价在 Si 衬底上通过自然氧化膜而形成的 La_2O_3 膜的热处理造成的变化的结果的曲线图。 La_2O_3 是代表性的稀土类氧化物。图 1 所示的结果是在 500°C 下形成 La_2O_3 膜时的结果。实线表示形成后未实施热处理的结果,虚线表示形成后在 800°C 下实施 10 分钟的热处理的结果,点划线表示在 900°C 下实施 10 分钟的热处理的结果,双点划线表示在 1000°C 下实施 10 分钟的热处理的结果。再有,自然氧化膜的厚度为 1nm 左右, La_2O_3 膜的厚度为 40nm。

[0036] 如图 1 所示,在热处理前,表示自然氧化膜的存在着的 SiO_2 的峰值显著。但是,仅通过 800°C 的热处理该峰值就完全消失,La 的硅酸盐 (silicate) 的峰值变得显著。该硅酸盐是二氧化硅 (SiO_2) 和 La_2O_3 的复合氧化物。

[0037] 图 2 是表示图 1 所示的评价中使用的各膜的 X 线衍射频谱的曲线图。如图 2 所示,在热处理前,表示 La_2O_3 的存在着的峰值 ($2\theta = 21.89、25.94$) 显著。但是,在 800°C 或其以上的热处理后,这些峰值消失,表示热力学上稳定的硅酸盐结晶 (La_2SiO_5) 的存在着的峰值 ($2\theta = 27.28、30.11$ 等) 变得显著。

[0038] 从如图 1 和图 2 所示的结果可知,在采用了 La_2O_3 膜的多层氧化膜结构中,通过高温热处理,自然氧化膜和 La_2O_3 膜进行反应。此外,由于 La_2O_3 膜的厚度为 40nm,所以只有自然氧化膜中的 Si, Si 不足。即,在 La_2SiO_5 中,需要 1/2 的 La 原子的数目的 Si 原子,但在自然氧化膜中不存在足够的 Si 原子。因此,从 Si 衬底中补充 Si 的不足部分。

[0039] 另一方面,在一般的半导体器件的制造方法中,在 MOS 晶体管被层间绝缘膜等覆盖的状态下,进行各种高温的热处理。因此,不从外部补充氧,在生成的 La_2SiO_5 膜中,氧不足,从而导致膜的介电常数会大幅度地下降。

[0040] 此外,随着自然氧化膜的消失,界面特性 (界面能级) 也会大幅度地劣化。

[0041] 这样,为了稳定地制造包括 MOSFET 的半导体器件,该 MOSFET 具有 SiO_2 膜和稀土类金属氧化物膜的多层氧化膜结构的栅绝缘膜,在形成栅绝缘膜后,只能够进行 $500^\circ\text{C} \sim 600^\circ\text{C}$ 或其以下的低温处理。与此相对,为了制造目前的包括具有由多晶硅构成的栅电极的 MOSFET 的半导体器件,需要频繁地进行 800°C 或其以上的热处理。即,以往的多层氧化膜结构的栅绝缘膜不能适用于具有由多晶硅构成的栅电极的 MOSFET。

[0042] 因此,本申请发明人考虑到这样的实验结果等后,在栅绝缘膜 (电介质膜) 中,为了获得高的介电常数,同时获得优良的耐高温性,而深入研究的结果,发现以下事实:作为栅绝缘膜,采用不仅含有稀土类金属,而且含有 Al 的硅氧化膜,由此可以获得非常高的介电常数,而且可以防止界面特性的劣化。而且,还发现含有这样的稀土类金属和 Al 的硅氧化膜还适合作为电容器的电容绝缘膜。

[0043] 图 3 是表示用红外吸收法 (FTIR) 评价在 Si 衬底上通过自然氧化膜而形成的铝酸

钇 ($Y_xAl_yO_z$) 膜 (厚度:42nm) 的热处理造成的变化的结果的曲线图。其中, Al 原子数目是 Y 原子数目的 1/2。图 3 所示的结果, 是在 500°C 下形成 $Y_xAl_yO_z$ 膜时的结果。与图 1 同样, 实线表示形成后未实施热处理的结果, 虚线表示形成后在 800°C 下实施 10 分钟的热处理的结果, 点划线表示在 900°C 下实施 10 分钟的热处理的结果, 双点划线表示在 1000°C 下实施 10 分钟的热处理的结果。

[0044] 如图 3 所示, 在热处理前, 表示自然氧化膜的存在 SiO_2 的峰值显著。但是, 仅仅通过 800°C 的热处理该峰值减小, 通过 900°C 的热处理则完全消失, 而硅酸盐的峰值变得显著。这种硅酸盐是二氧化硅 (SiO_2) 和 $Y_xAl_yO_z$ 的复合氧化物。此外, 无论是哪个温度, 都显现出表示稀土类金属的铝酸盐 (Aluminate) 的 $Y_xAl_yO_z$ 的存在峰值。

[0045] 图 4 是表示图 3 所示的评价中使用的各膜的 X 线衍射频谱的曲线图。此外, 图 5 是表示 $Y_xAl_yO_z$ 的膜厚为 6nm 时获得的 X 线衍射频谱的曲线图。

[0046] 如图 4 和图 5 所示, 与膜厚无关地, 在热处理前, 不存在显著的峰值, 形成的铝酸钇膜为非晶质状态。这种状态在进行 800°C 的热处理后也被维持。然后, 如果进行 900°C 或其以上的热处理, 则含有百分之几的硅的 $Y_xAl_yO_z$ 结晶化。

[0047] 为了参考, 图 6 中示出不含有 Al 的 Y_2O_3 膜 (厚度:41nm) 的 X 线衍射频谱。如图 6 所示, 在 Y_2O_3 膜中, 在 500°C 下成膜的状态中, 已经被结晶化。因此, 若对图 4 及图 5 和图 6 进行比较可知那样, 通过含有 Al, 结晶化被抑制。这样的内部中不存在粒界的非晶质膜非常适合于电容器的电容绝缘膜。

[0048] 以下, 参照附图来具体地说明基于这些认识而成的本发明的实施方式。

[0049] (第 1 实施方式)

[0050] 首先, 说明本发明的第 1 实施方式。但是, 在这里, 为了方便起见, 对于半导体器件的一部分结构, 与其形成方法同时进行说明。图 7A 和图 7B 是按工序顺序表示与本发明第 1 实施方式相关的半导体器件的制造方法的剖视图。

[0051] 在第 1 实施方式中, 首先, 如图 7A 所示, 在 Si 衬底 1 上形成 SiO_2 膜 2。 SiO_2 膜 2 的厚度例如为 1nm 左右。这里, 作为 SiO_2 膜 2, 也可以原封不动地使用自然氧化膜。接着, 在 SiO_2 膜 2 上作为含有稀土类金属和 Al 的氧化膜, 形成绝缘膜 3。绝缘膜 3 的厚度例如为 3nm 左右。然后, 在绝缘膜 3 上形成多晶硅膜 4。

[0052] 接着, 对于这些叠层体, 例如在氧化气氛中实施 700°C 或其以上的热处理。其结果, 如图 7B 所示, SiO_2 膜 2 和绝缘膜 3 进行反应, 形成含有稀土类金属及 Al 的绝缘性的硅酸盐膜 (电介质膜) 6。该硅酸盐膜 6 不是以往所提出的多层结构的绝缘膜, 而是四元类或其以上的多元类的单层膜。

[0053] 然后, 通过将多晶硅膜 4 构图为栅电极的平面形状, 可以形成将硅酸盐膜 6 作为栅绝缘膜的 MOSFET。

[0054] 进而, 形成杂质扩散层和层间绝缘膜, 而完成半导体器件。

[0055] 在这样的第 1 实施方式中, SiO_2 膜 2 和绝缘膜 3 进行反应而形成硅酸盐膜 6, 但由于在绝缘膜 3 中含有 Al, 所以从 Si 衬底 1 的 Si 的取入量非常低。即, 在硅酸盐膜 6 中几乎没有 Si 进入的余地。因此, 可以避免介电常数的下降。此外, 还可防止界面能级的劣化。

[0056] 再有, 在第 1 实施方式中, 通过 SiO_2 膜 2 的厚度、绝缘膜 3 的厚度和绝缘膜 3 的组成, 可以对硅酸盐膜 6 的组成和从 Si 衬底 1 的 Si 取入量进行控制。

[0057] 图 8 是表示根据第 1 实施方式实际制作的 MOSFET 的高频 CV 特性的曲线图。图 8 所示的结果是使用表面的表面方位为 (100) 的 Si 衬底 1, 在其上形成自然氧化膜的状态下, 形成厚度为 6nm 的绝缘膜 3, 作为栅电极形成了 Pt 电极时所获得的结果。再有, 热处理温度是 1000°C, 在绝缘膜 3 中作为稀土类金属含有 Y。

[0058] 如图 8 所示, 尽管进行了 1000°C 的高温热处理, 但仍可获得高介电常数和良好的高频 CV 特性。即, 几乎不发生滞后现象, 漏电流的增加也小。因而, 没有因热处理而造成介电常数下降, 表示对从 Si 衬底被取入到硅酸盐膜的 Si 的量被限制得很适当。即, 根据第 1 实施方式, 可以根据 SiO₂ 膜 2 的厚度等来控制多元类的组成, 同时形成具有良好的绝缘特性的高介电常数薄膜。

[0059] (第 2 实施方式)

[0060] 下面, 说明本发明的第 2 实施方式。但是, 在这里, 为了方便起见, 对于半导体器件的一部分结构, 与其形成方法同时进行说明。图 9A 和图 9B 是按工序顺序表示与本发明第 1 实施方式相关的半导体器件的制造方法的剖视图。

[0061] 在第 2 实施方式中, 首先, 如图 9A 所示, 在 Si 衬底 1 上形成绝缘膜 2。绝缘膜 2 的厚度例如为 1nm 左右。这里, 作为绝缘膜 2, 可以原封不动地使用自然氧化膜, 也可以形成 SiO₂ 膜、SiN 膜或 SiON 膜。接着, 在绝缘膜 2 上作为含有稀土类金属和 Al 的氧化膜, 形成绝缘膜 3。绝缘膜 3 的厚度例如为 6nm 左右。然后在绝缘膜 3 上形成氮化硅膜 (SiN_x 膜) 5, 在其上形成多晶硅膜 4。

[0062] 接着, 对于这些叠层体, 例如在氧化气氛中实施 700°C 或其以上的热处理。其结果, 如图 9B 所示, 绝缘膜 2 和绝缘膜 3 及氮化硅膜 5 进行反应, 形成含有稀土类金属、Al 和 N 的绝缘性的硅酸盐膜 (电介质膜) 7。该硅酸盐膜 7 不是以往所提出的多层结构的绝缘膜, 而是五元类或其以上的多元类单层膜。

[0063] 根据这样的第 2 实施方式, 也可获得与第 1 实施方式同样的效果。此外, 硅酸盐膜 7 的结晶化因 N 的存在而被抑制, 硅酸盐膜 7 处于非晶质状态。因此, 可以进一步抑制漏电流。

[0064] 图 10 是表示深度和 SIMS (二次离子质量分析) 强度的关系的曲线图。图 10 所示的曲线是对于在 Y₂O₃ 膜和 Si 衬底之间设置有氮化硅膜的试料, 在 1000°C 下进行 10 分钟的热处理后得到的曲线。

[0065] 如图 10 所示, 在浅的部分, 即 Y₂O₃ 膜和氮化硅膜进行反应所生成的硅酸盐膜中, N 以大致一定的浓度存在。在图 10 所示的实验中使用的试料中, 形成有不含 Al 的稀土类金属氧化物膜, 但被认为如第 2 实施方式那样, 在形成有含有 Al 的稀土类金属氧化物膜的情况下, 也可获得同样的结果。因而, 该结果表示在 Si 衬底和稀土类金属氧化物膜之间, 以合适的浓度含有 N 的膜, 例如以合适的厚度形成 SiN 膜或 SiON 膜, 并进行热处理, 由此可以获得以要求的浓度大致均匀地含有 N 的硅酸盐膜。此外, 这样的硅酸盐膜为非晶质, 粒界不存在。即, 不存在漏电流的路径, 漏电流被抑制。

[0066] 再有, 在第 2 实施方式中, 由于在绝缘膜 3 和多晶硅膜 4 之间形成有氮化硅膜 5, 所以氮化硅膜 5 还成为向硅酸盐膜 7 的 N 的供给源。因此, 在第 2 实施方式中, 通过绝缘膜 2 的厚度、绝缘膜 3 的厚度、绝缘膜 3 的组成及氮化硅膜 5 的厚度, 可以对硅酸盐膜 7 的组成和从 Si 衬底 1 的 Si 取入量进行控制。

[0067] 此外,在第 1 及第 2 实施方式中,在形成了多晶硅膜 4 后进行热处理,但也可以在形成多晶硅膜 4 前进行。

[0068] 而且,在第 1 及第 2 实施方式中,将绝缘膜 3 和多晶硅膜 4(氮化硅膜 5) 进行反应时的气氛作为氧化性气氛。这是因为从 Si 衬底 1 可能有若干 Si 的取入,所以为了此时硅酸盐膜 6 和 7 不能出现氧不足的情况。

[0069] 下面,说明采用了第 1 实施方式的 MOSFET 的制造方法和电容器的制造方法。

[0070] 在制造 MOSFET 时,首先,如图 11A 所示,在 Si 衬底 11 的表面上形成 p 阱 12,且形成元件分离绝缘膜 13。接着,在整个面上形成 SiO₂ 膜 14a,并在其上作为绝缘膜 14b 形成含有稀土类金属(例如 La、Y) 和 Al 的氧化膜。进而,在绝缘膜 14b 上形成多晶硅膜 15。再有,作为 SiO₂ 膜 14a,也可以使用自然氧化膜。

[0071] 然后,例如进行 1000°C 左右的热处理,从而使 SiO₂ 膜 14a 和绝缘膜 14b 进行反应,如图 11B 所示,形成含有稀土类金属和 Al 的硅酸盐膜 14。即,将 SiO₂ 膜 14a 和绝缘膜 14b 作为单一的硅酸盐膜 14。接着,将多晶硅膜 15 和硅酸盐膜 14 构图为栅电极的平面形状。接着,通过进行 N 型杂质、例如 P 的离子注入,形成低浓度扩散层 16。

[0072] 接着,如图 11C 所示,在栅电极(多晶硅膜 15) 的侧方形成侧壁绝缘膜 17。然后,通过以比低浓度扩散层 16 形成时高的剂量来进行 N 型杂质的离子注入,形成源极扩散层 18 和漏极扩散层 19。

[0073] 接着,如图 11D 所示,在源极扩散层 18、漏极扩散层 19 和栅电极(多晶硅膜 15) 的表面上,分别形成硅化钴层 20、21、22。

[0074] 然后,虽未图示,但进行层间绝缘膜的形成和布线的形成等。

[0075] 此外,在制造电容器时,首先,如图 12A 所示,在 Si 衬底 31 的表面上形成 N⁺ 层 32,且在整个面上形成层间绝缘膜 33。接着,在层间绝缘膜 33 上形成直至 N⁺ 层 32 的接触孔。接着,在层间绝缘膜 33 上形成通过接触孔接合到 N⁺ 层 32 的下部电极 34。下部电极 34 例如由多晶硅膜形成。

[0076] 然后,如图 12B 所示,在整个面上形成薄的 SiO₂ 膜 35a,并在其上作为绝缘膜 35b 形成含有稀土类金属(例如 La、Y) 和 Al 的氧化膜。

[0077] 然后,如图 12C 所示,在硅酸盐膜 35 上形成上部电极 36。接着,例如通过进行 800°C 左右的热处理,使 SiO₂ 膜 35a 和绝缘膜 35b 进行反应,而形成含有稀土类金属和 Al 的硅酸盐膜 35。即, SiO₂ 膜 35a 和绝缘膜 35b 作为单一的硅酸盐膜 35。

[0078] 然后,虽未图示,但进行层间绝缘膜的形成和布线的形成等。

[0079] 再有,在这些 MOSFET 的制造方法和电容器的制造方法中,也可以用第 2 实施方式取代第 1 实施方式。

[0080] 下面,说明 Al 的含量。在以往的多层结构绝缘膜中,通过采用普通的 Si 的器件的制造中所需的高温热处理,有可能导致在稀土类金属氧化膜中取入稀土类金属原子的 1/2 左右数目的 Si 原子。与此相对,如上所述,使稀土类金属氧化膜中预先含有 Al,进行铝酸盐(Aluminate) 化处理,从而可以控制在热处理中被取入到稀土类金属氧化膜中的 Si 的量。但是,在稀土类金属氧化膜中所含有的 Al 原子的数目比稀土类金属原子多的情况下,与自然氧化膜等的稀土类金属氧化膜和 Si 衬底之间存在的介电常数低的绝缘膜的反应不充分,残存介电常数低的绝缘膜,难以获得高的介电常数。因此,Al 原子的数目最好比稀土

类金属原子的数目少。相反地,如果 Al 原子的数目比稀土类金属原子的数目的 1/2 少,则从 Si 衬底取入的 Si 的量增多。因此,Al 原子的数目最好大于等于稀土类金属原子的数目的 1/2。因而,通过使用这样组成的稀土类金属氧化膜,可以抑制低介电常数层的生成,获得单层的多元类复合氧化膜。

[0081] 再有,作为稀土类金属,也可以采用 Y、La、Ce、Pr、Nd、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Lu 的其中之一。

[0082] 这里,说明适用于形成含有稀土类金属、例如 Y 和 Al 的硅氧化膜的装置。图 13 是表示分批式的装置的模式图,图 14 是表示片叶式的装置的模式图。

[0083] 如图 13 所示,在分批式的装置中,设置有容纳多片 Si 晶片(Si 衬底)51 的成膜室 52,在其周围配置有加热器 53。在成膜室 52 中,连接有 O₂ 的供给配管、TMA(三甲基铝)用的供给配管和 Y(DPM)₃(三(二叔戊酰甲烷)钇)用的供给配管。作为 Y(DPM)₃ 的溶剂,例如使用 THF(四氢呋喃)。在 O₂ 的供给配管中,设置有 O₂ 用的质量流控制器(MFC)54 和 N₂ 用的 MFC55。在 TMA 用的供给配管中,设置有气化器 56、TMA 用的液体 MFC57 和 N₂ 用的 MFC58。在 Y(DPM)₃ 用的供给配管中,设置有气化器 59、Y(DPM)₃ 用的液体 MFC60 和 N₂ 用的 MFC61。

[0084] 如图 14 所示,在片叶式的装置中,设置有容纳一片 Si 晶片 51 的成膜室 62,在成膜室 62 内设置有加热 Si 晶片 51 的加热器 63、以及喷淋头 64。而且,与分批式的装置同样的三根配管连接到喷淋头 64。

[0085] 这些装置中使用的 Y(DPM)₃ 的浓度例如为 0.01 ~ 0.05mol/升左右,气化器 59 的温度例如为 200 ~ 250°C, Y(DPM)₃ 的流量例如为 1mm³/分。此外,在 TMA 的供给时,例如不使用溶剂而以液体本身的状态进行供给,其流量为 1mm³/分,气化器 56 的温度例如为 80°C。而且, O₂ 的流量例如为 100 ~ 1000sccm。而且,例如,成膜室 52 或 62 的压力为 66.7 ~ 667Pa(0.5 ~ 5.0Torr),成膜温度为 400 ~ 650°C,进行成膜。

[0086] 作为含有稀土类金属和 Al 的硅氧化膜,在形成 La_xAl_yO_z 的情况下,也可以使用 La(DPM)₃(三(二叔戊酰甲烷)镧)来取代 Y(DPM)₃。

[0087] 再有,含有 Si、稀土类金属、Al 及 O 的绝缘膜不仅可通过上述两个膜的反应来形成,例如也可以用化学气相生长法(CVD 法)等来形成。

[0088] 工业实用性

[0089] 如上所述那样,根据本发明,在含有稀土类金属的硅酸盐膜中,还含有 Al,所以能够比较容易地控制其组成,可以容易地形成耐高温性和介电常数高的电介质膜。因此,即使在采用了多晶硅的半导体器件的制造中,也可以如以往那样进行高温热处理,可以获得高性能的半导体器件。

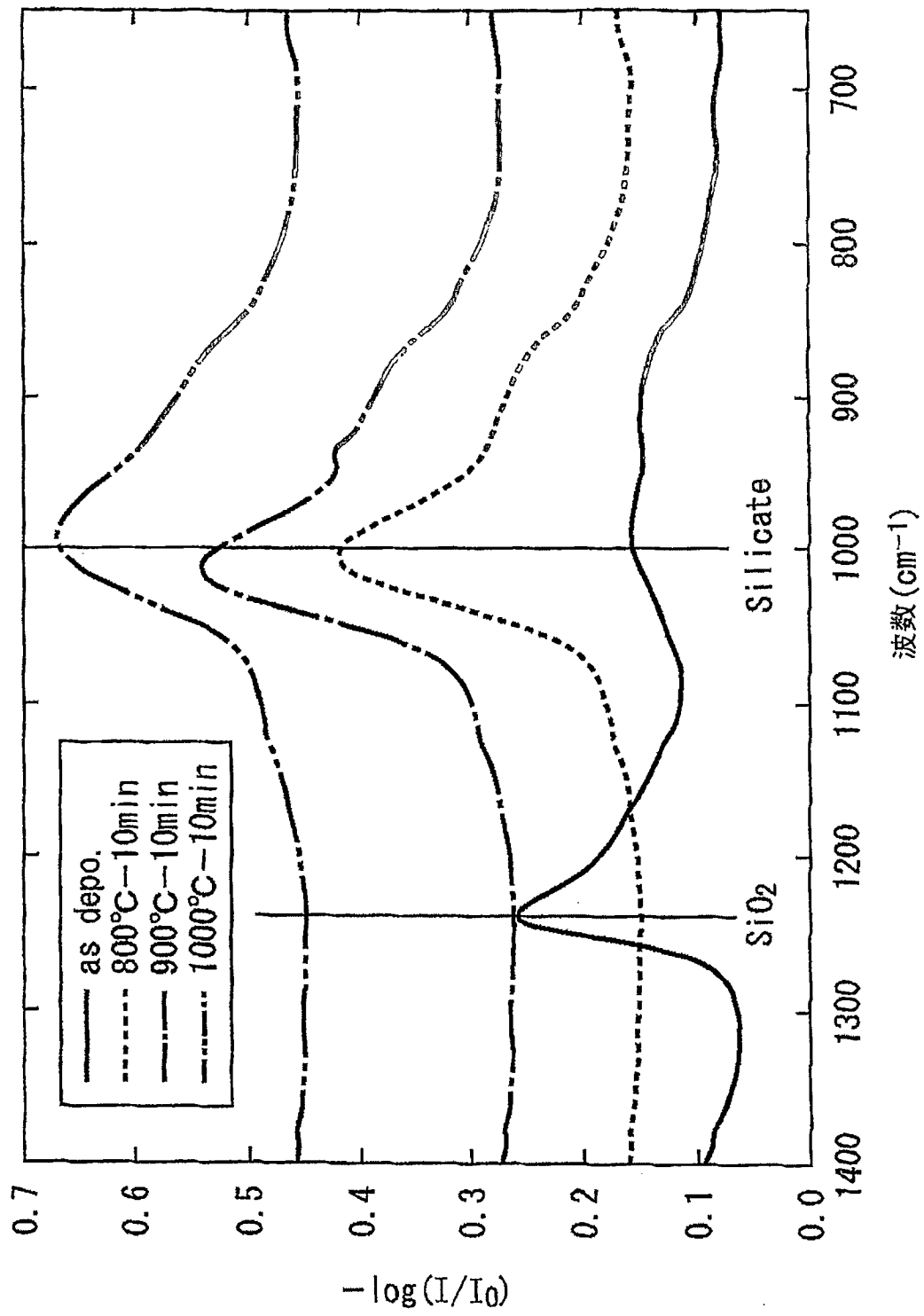


图 1

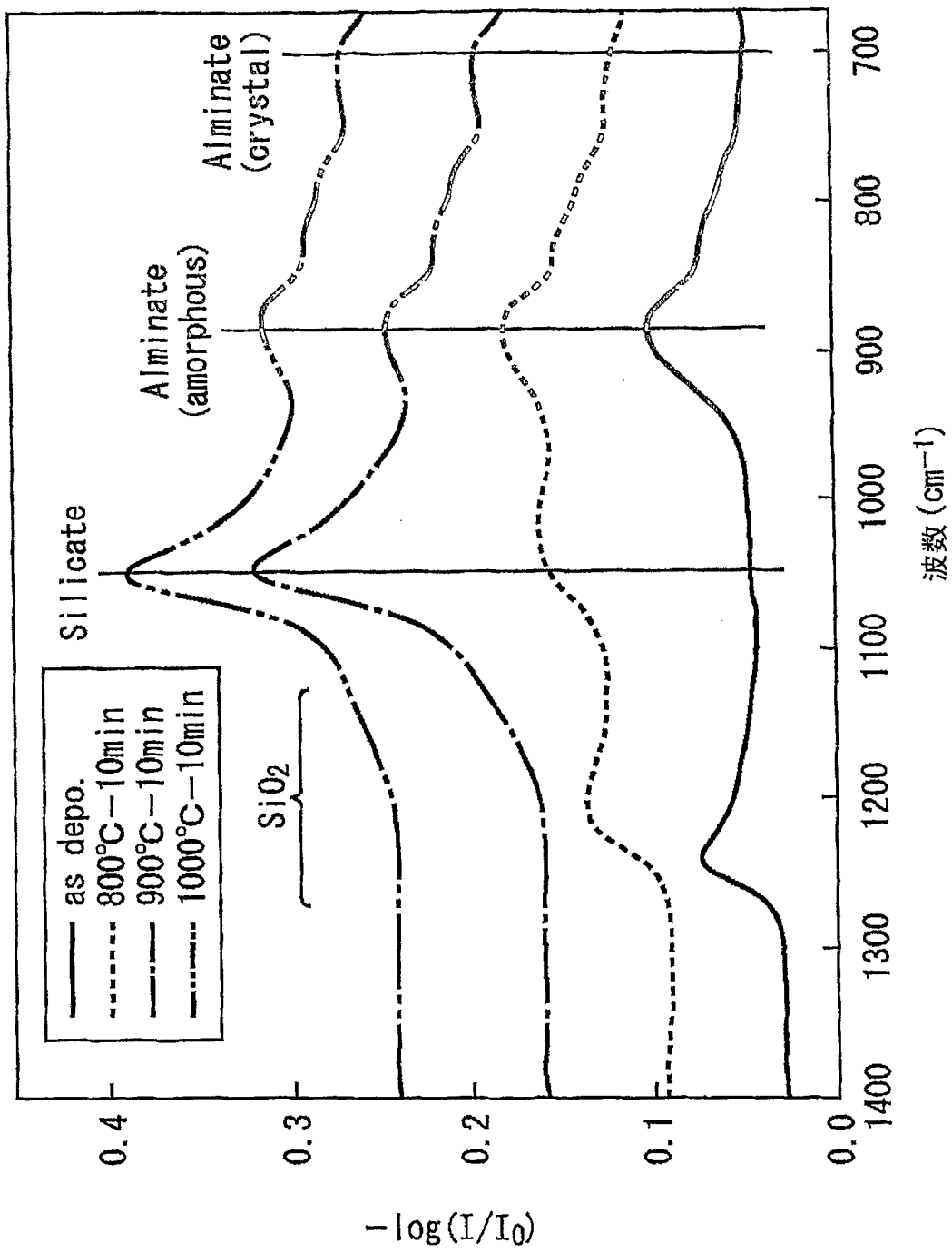


图 3

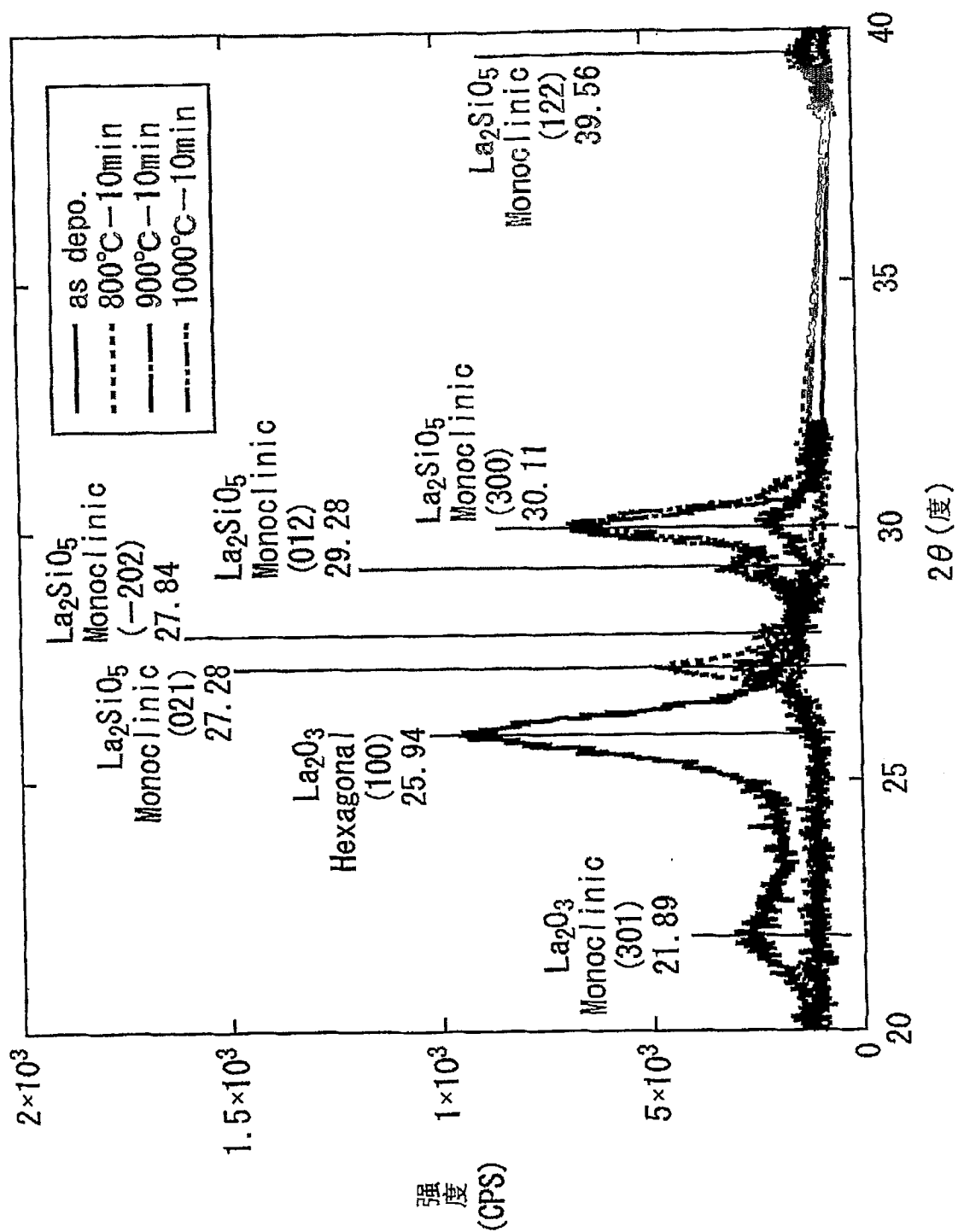


图 2

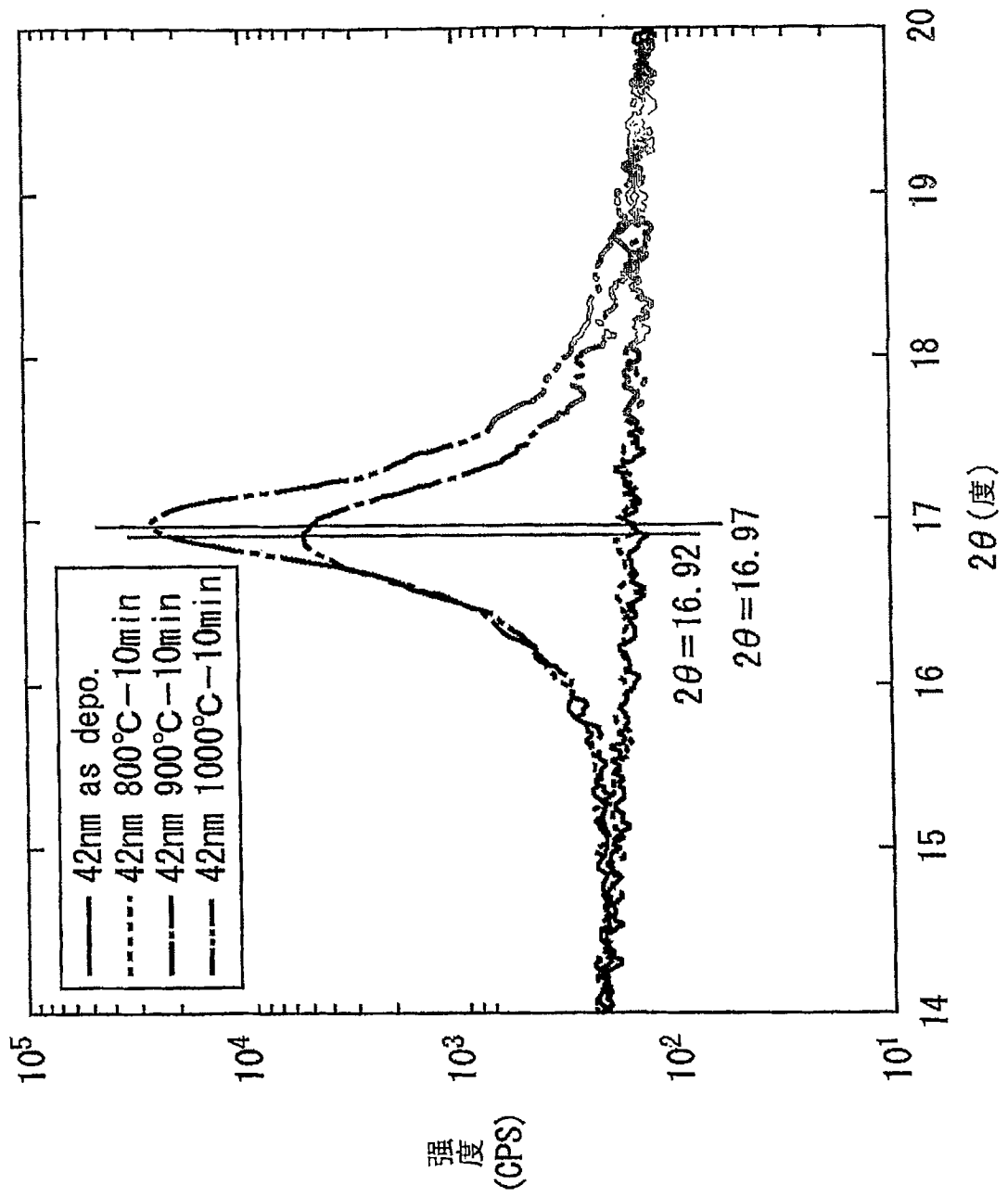


图 4

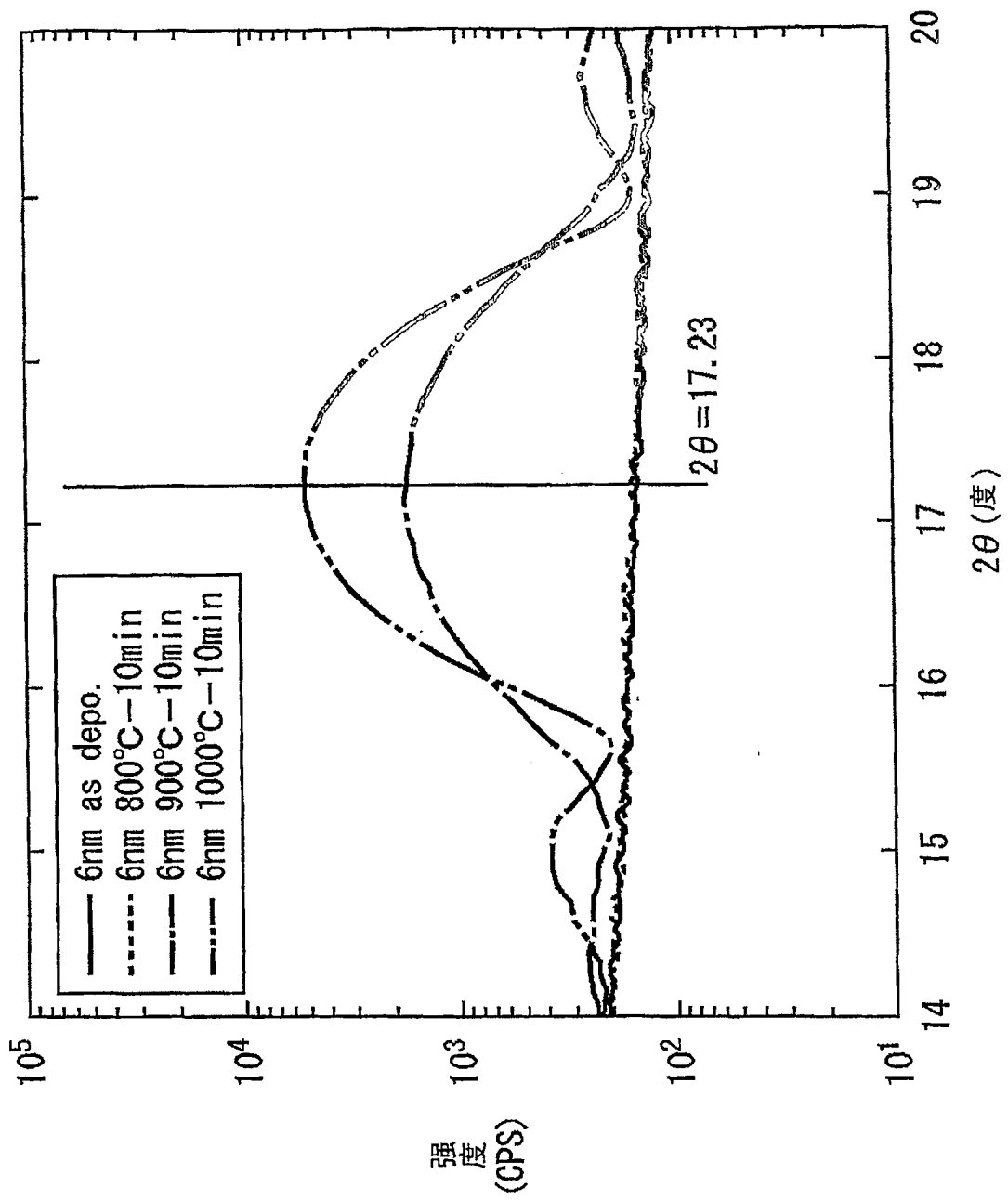


图 5

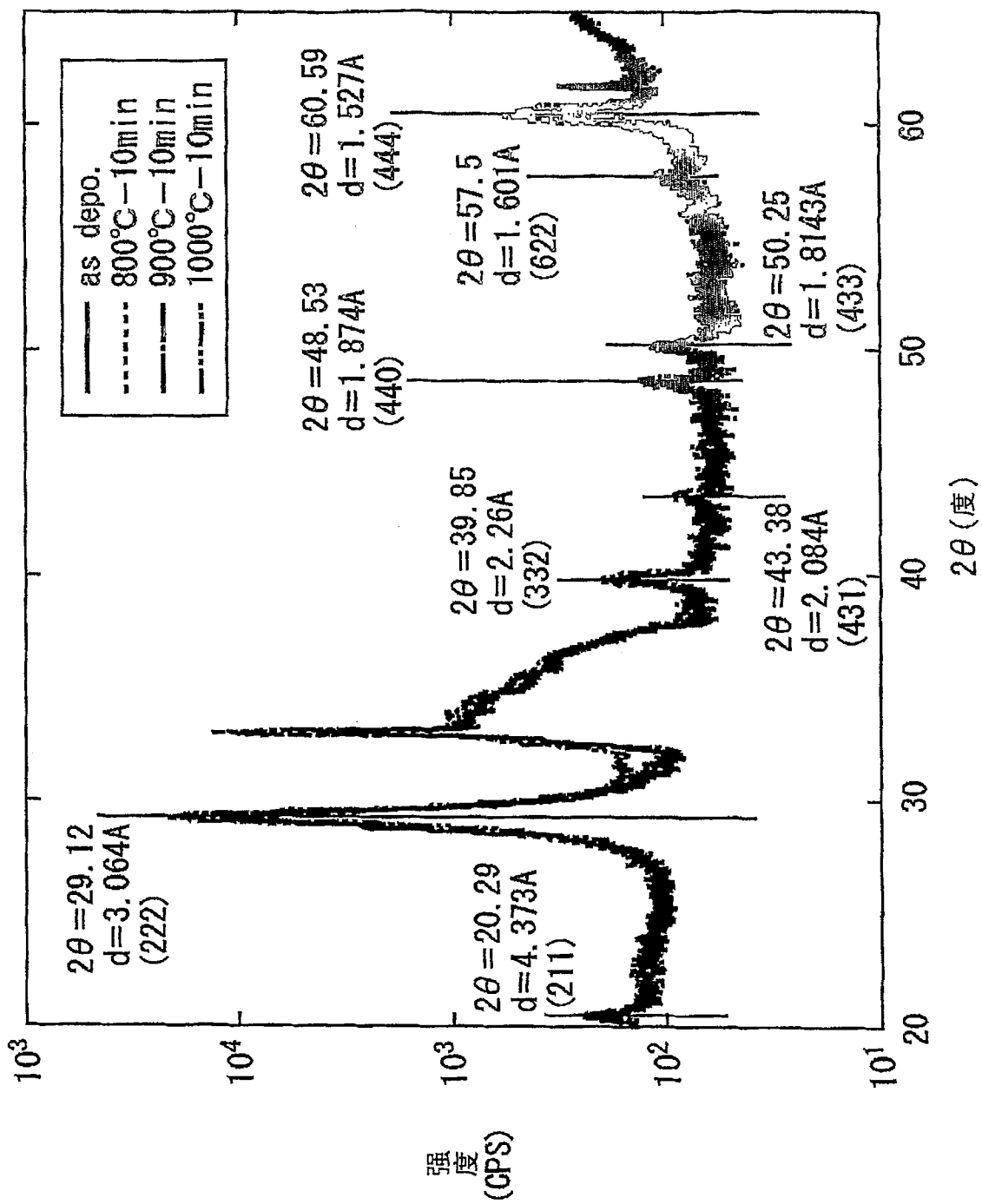


图 6

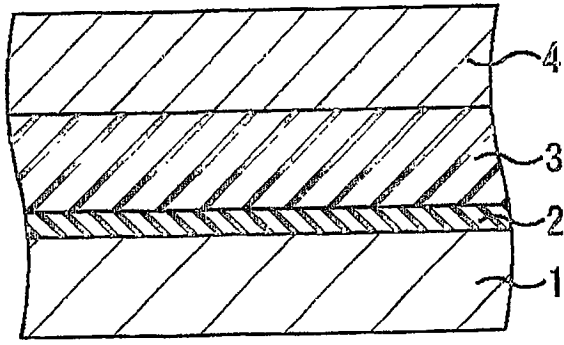


图 7A

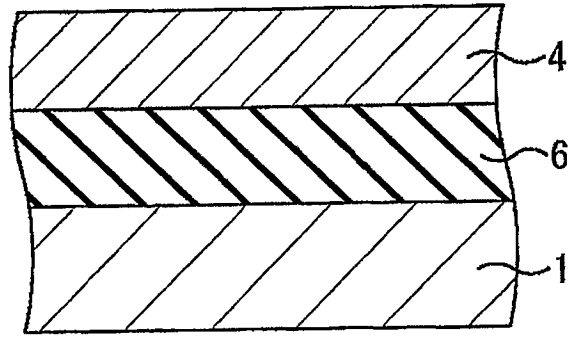


图 7B

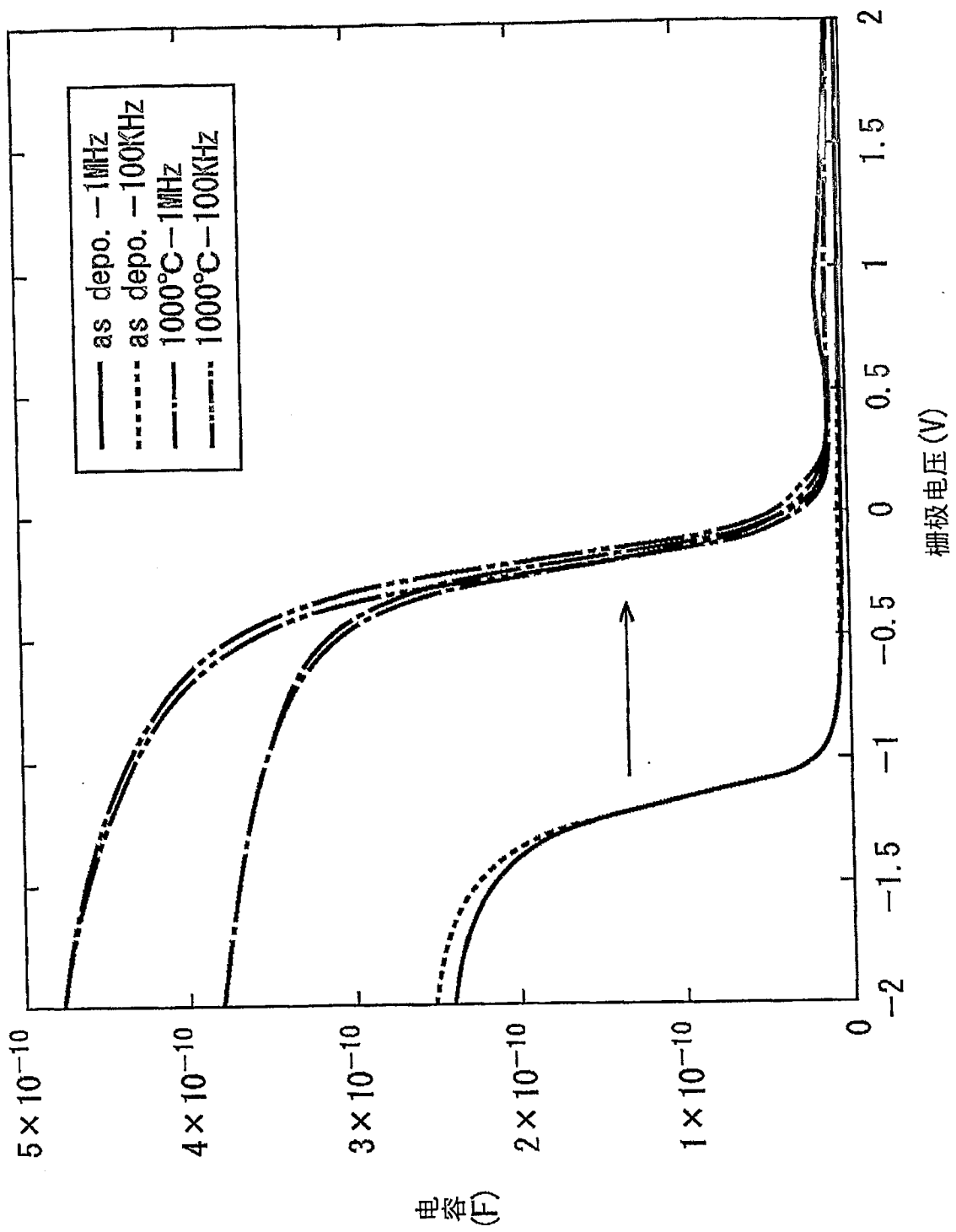


图 8

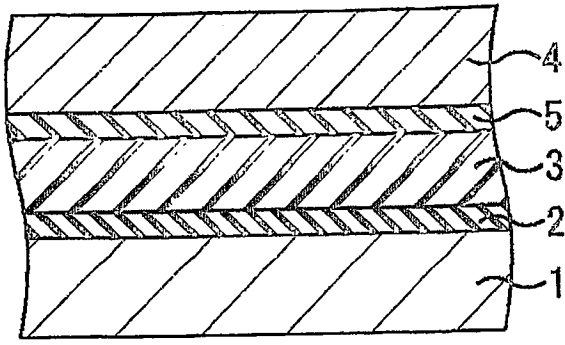


图 9A

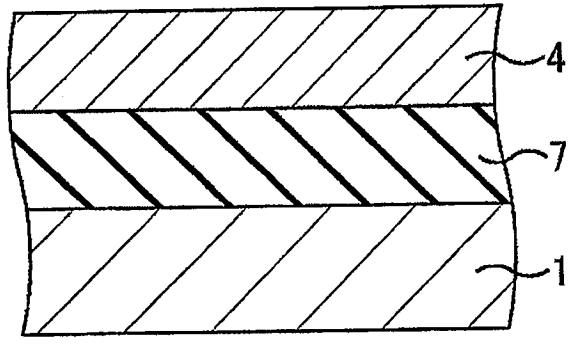


图 9B

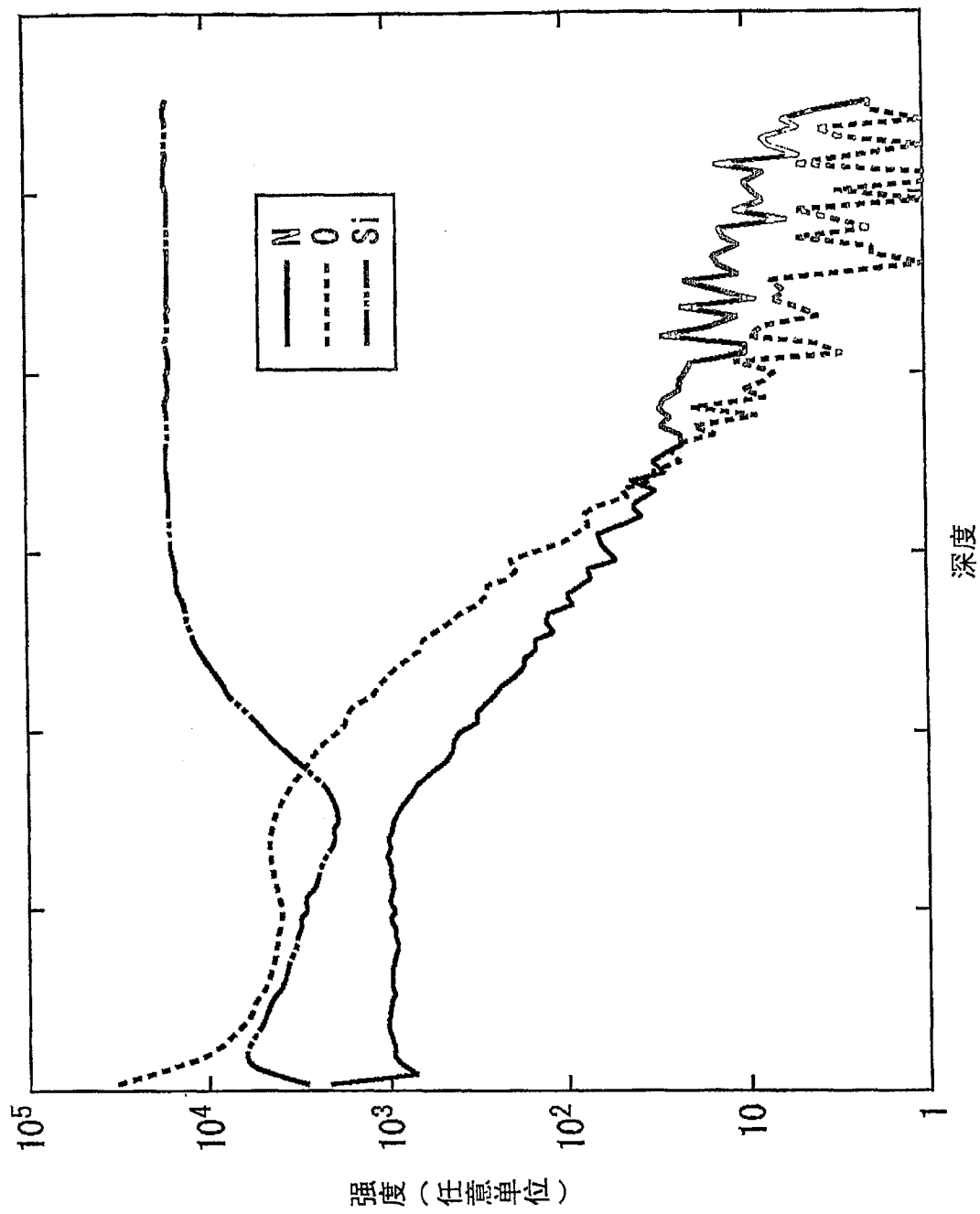


图 10

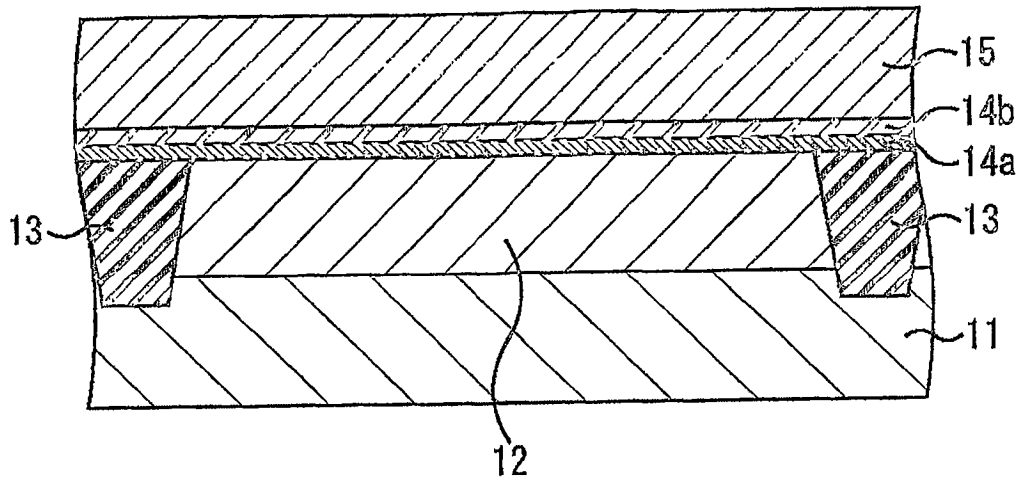


图 11A

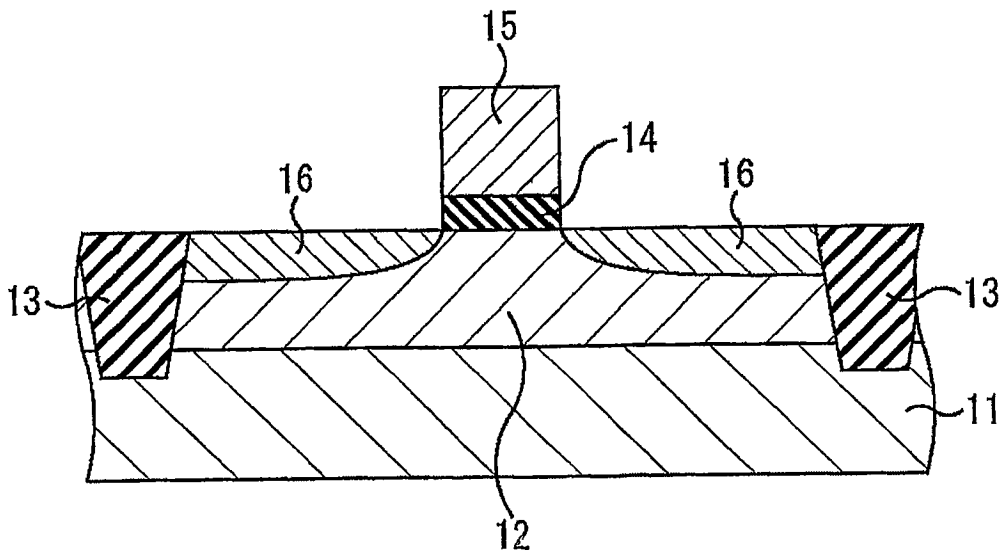


图 11B

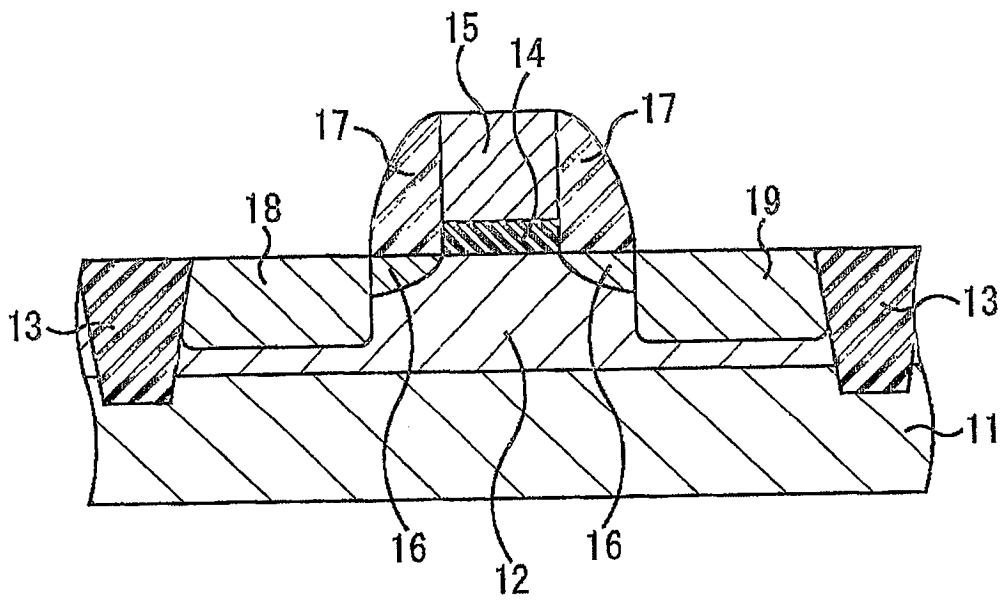


图 11C

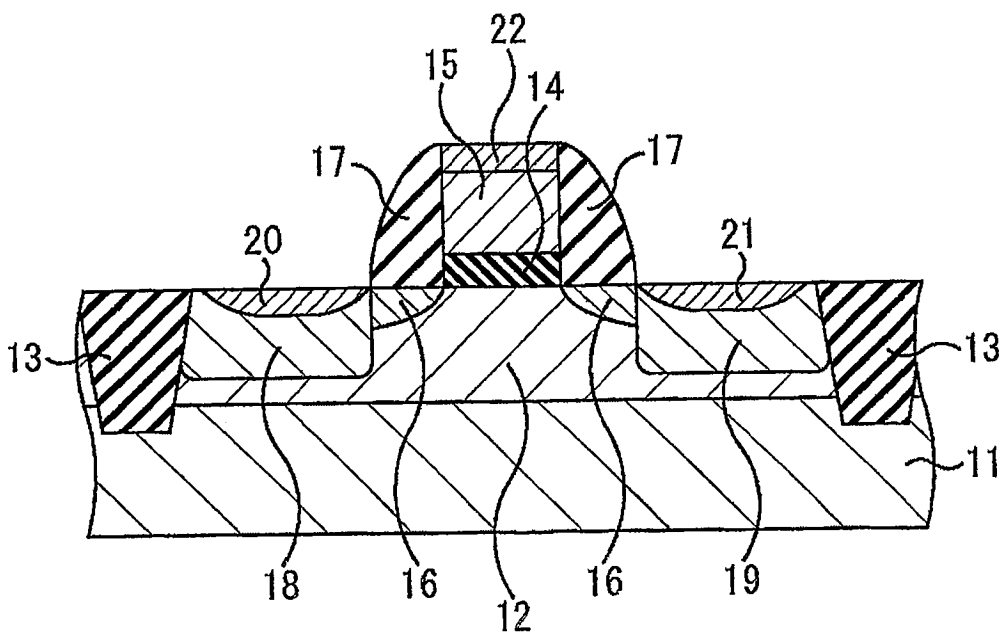


图 11D

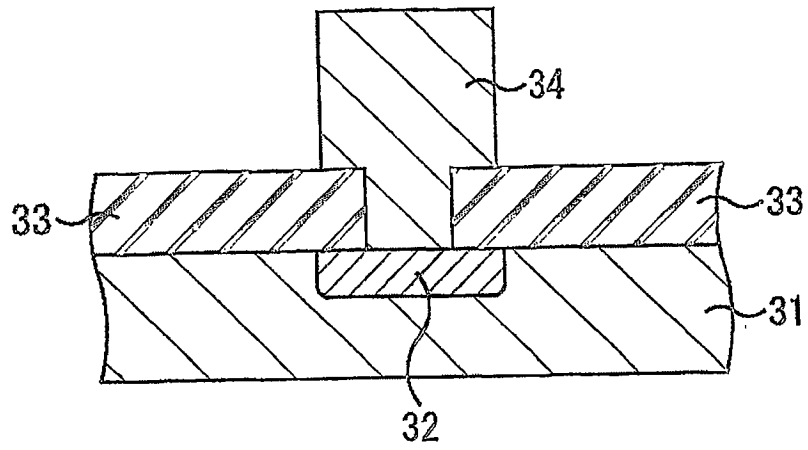


图 12A

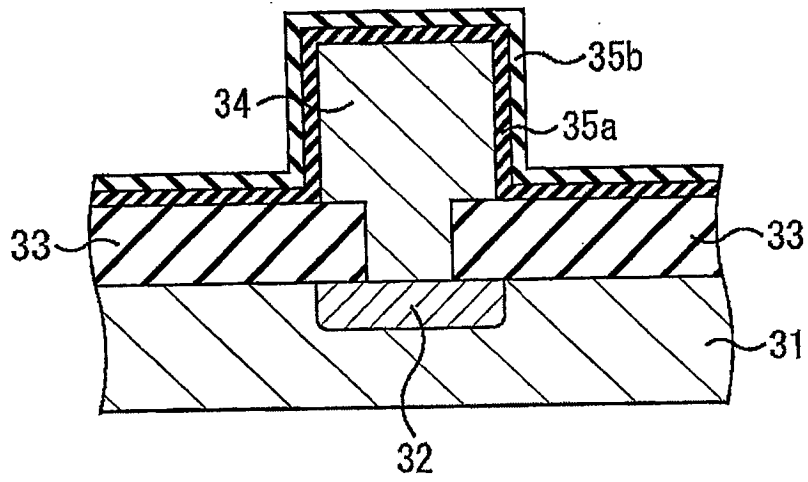


图 12B

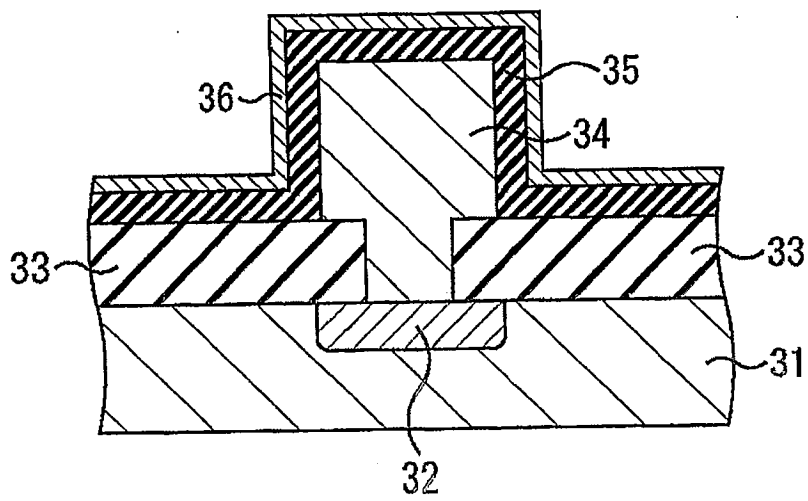


图 12C

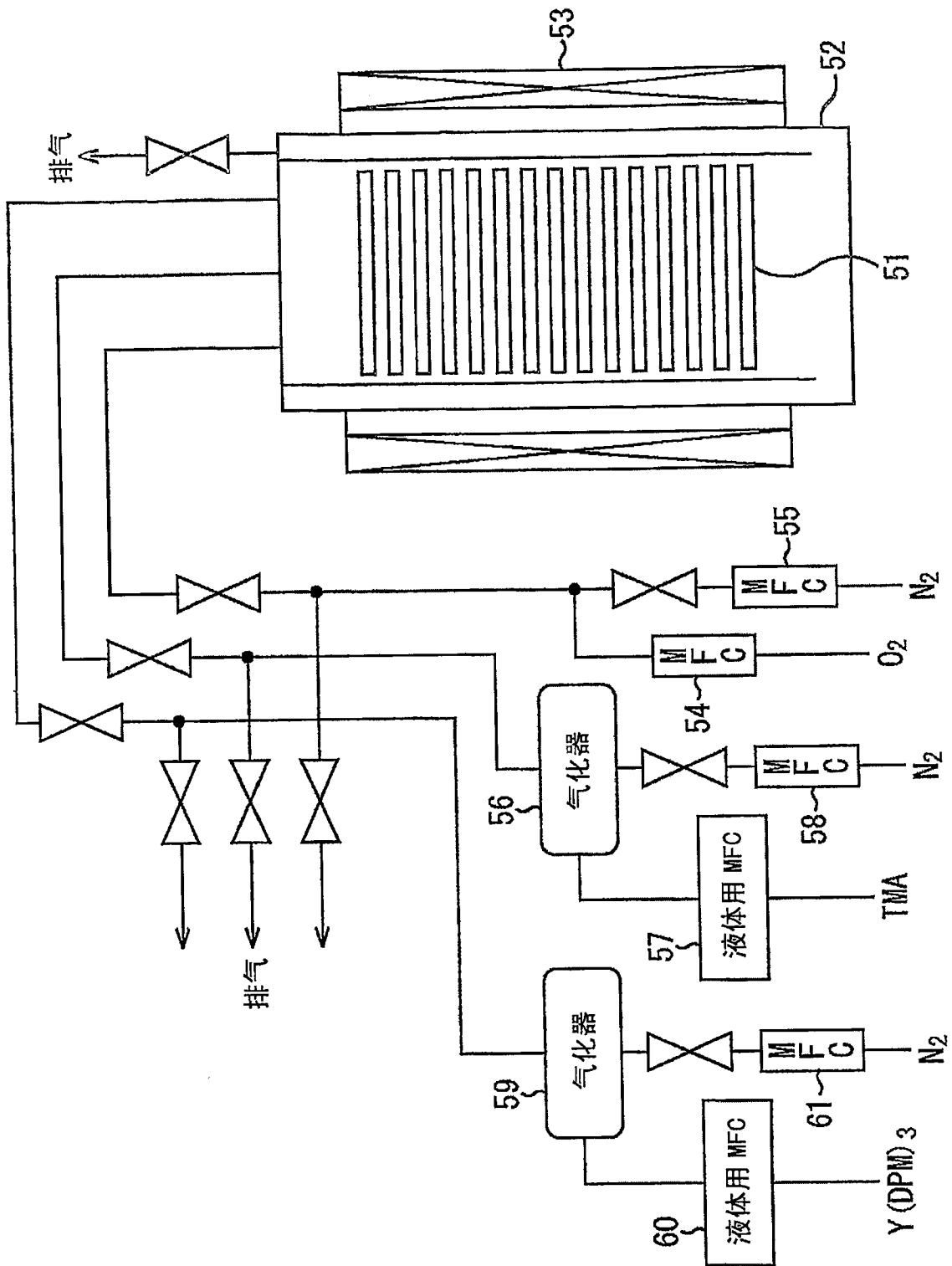


图 13

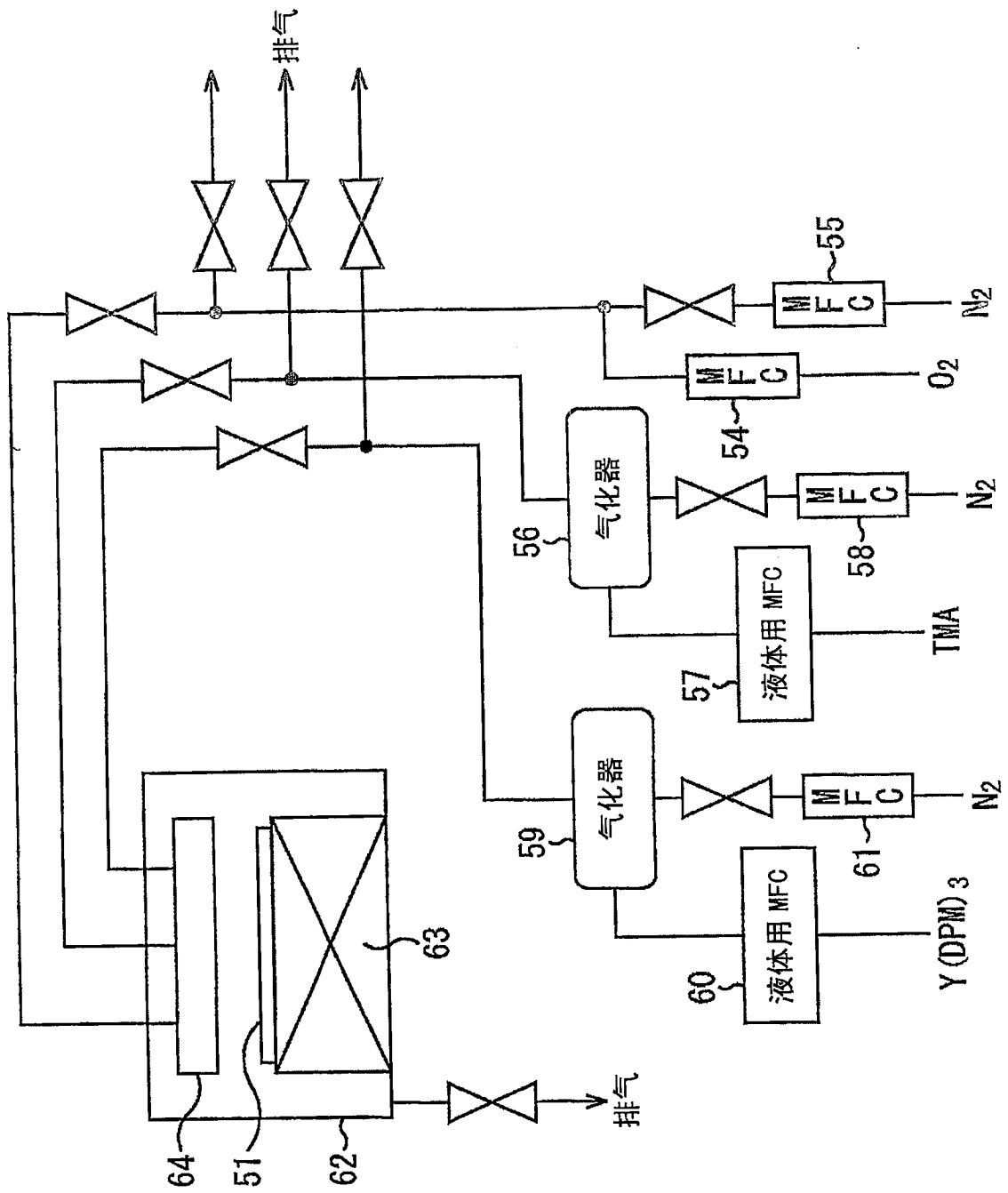


图 14