



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201721623 A

(43) 公開日：中華民國 106 (2017) 年 06 月 16 日

(21) 申請案號：105115144

(22) 申請日：中華民國 105 (2016) 年 05 月 17 日

(51) Int. Cl. : **G09G3/3225 (2016.01)**

(30) 優先權：2015/12/03 美國 62/262,430

2015/12/24 美國 62/387,213

(71) 申請人：群創光電股份有限公司 (中華民國) INNOLUX CORPORATION (TW)

苗栗縣竹南鎮新竹科學工業園區科學路 160 號

(72) 發明人：陳聯祥 CHEN, LIEN HSIANG (TW)；郭拱辰 KUO, KUNG CHEN (TW)；曾名駿 TSENG, MING CHUN (TW)；周政旭 CHOU, CHENG HSU (TW)；李冠鋒 LEE, KUAN FENG (TW)

(74) 代理人：林志鴻；陳聰浩

申請實體審查：有 申請專利範圍項數：10 項 圖式數：20 共 41 頁

(54) 名稱

具有混合電晶體的主動矩陣有機發光二極體之驅動電路

DRIVING CIRCUIT OF ACTIVE-MATRIX ORGANIC LIGHT-EMITTING DIODE WITH HYBRID TRANSISTORS

(57) 摘要

本發明提出一種具有混合電晶體的主動矩陣有機發光二極體之驅動電路，包括一驅動電流單元及一重置補償及發光控制電路。該驅動電流單元包含一第一電晶體及一第二電晶體，其中，該第一電晶體及該第二電晶體為低溫多晶矽電晶體。該重置補償及發光控制電路耦合至該驅動電流單元，該重置補償及發光控制電路包含一第三電晶體。該第三電晶體連接至該第一電晶體的一控制端，其中，該第三電晶體為一氧化物半導體電晶體。

The invention provides a driving circuit of active-matrix organic light-emitting diode with hybrid transistors, which comprises a driving current unit and a reset compensation and light emitting control circuit. The driving current unit has a first transistor and a second transistor, wherein the first transistor and the second transistor are low temperature poly-silicon (LTPS) transistors. The reset compensation and light emitting control circuit has a third transistor connected to a control terminal of the first transistor, wherein the third transistor is an oxide semiconductor transistor.

指定代表圖：

200

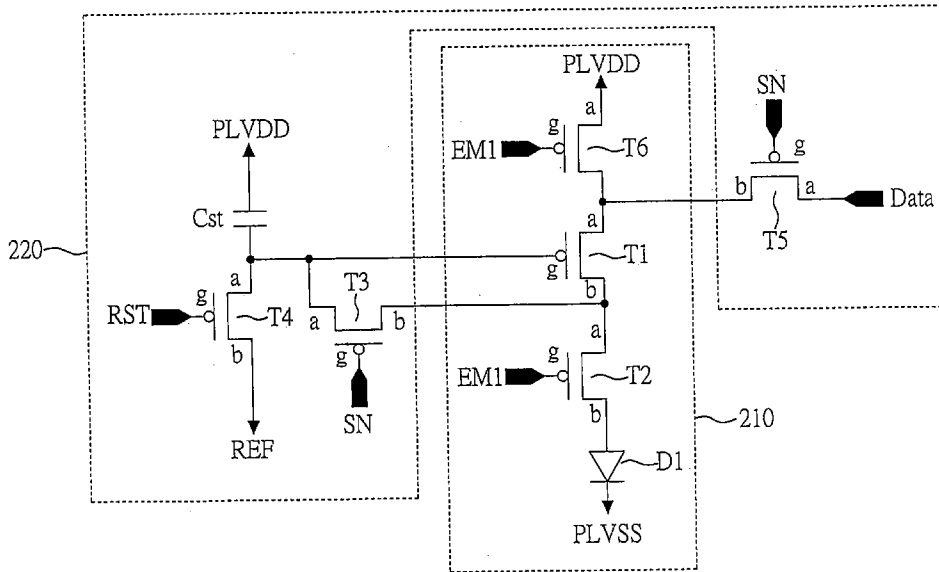


圖3

符號簡單說明：

200 . . . 具有混合電晶體的主動矩陣有機發光二極體之驅動電路

210 . . . 驅動電流單元

220 . . . 重置補償及發光控制電路

(T1) . . . 第一電晶體

(T2) . . . 第二電晶體

(T3) . . . 第三電晶體

(g) . . . 控制端

(Cst) . . . 第一電容

(T4) . . . 第四電晶體

(T5) . . . 第五電晶體

(T6) . . . 第六電晶體

(PLVDD) . . . 高電位

(a) . . . 第一端

(b) . . . 第二端

(RST) . . . 重置訊號

(REF) . . . 參考訊號

(SN) . . . 第一控制訊號

(D1) . . . 有機發光二極體

(EM1) . . . 第二控制訊號

(Data) . . . 資料線

(PLVDD) . . . 高電位

(PLVSS) . . . 低電
位

201721623

【發明摘要】

【中文發明名稱】具有混合電晶體的主動矩陣有機發光二極體之驅動電路

【英文發明名稱】 Driving circuit of active-matrix organic light-emitting diode with hybrid transistors

【中文】

本發明提出一種具有混合電晶體的主動矩陣有機發光二極體之驅動電路，包括一驅動電流單元及一重置補償及發光控制電路。該驅動電流單元包含一第一電晶體及一第二電晶體，其中，該第一電晶體及該第二電晶體為低溫多晶矽電晶體。該重置補償及發光控制電路耦合至該驅動電流單元，該重置補償及發光控制電路包含一第三電晶體。該第三電晶體連接至該第一電晶體的一控制端，其中，該第三電晶體為一氧化物半導體電晶體。

【英文】

The invention provides a driving circuit of active-matrix organic light-emitting diode with hybrid transistors, which comprises a driving current unit and a reset compensation and light emitting control circuit. The driving current unit has a first transistor and a second transistor, wherein the first transistor and the second transistor are low temperature poly-silicon (LTPS) transistors. The reset compensation and light emitting control circuit has a third transistor connected to a control terminal of the first transistor, wherein the third transistor is an oxide semiconductor transistor.

【指定代表圖】圖3

【代表圖之符號簡單說明】

具有混合電晶體的主動矩陣有機發光二極體之驅動電路200

驅動電流單元210

重置補償及發光控制電路220

第一電晶體(T1)

第二電晶體(T2)

第三電晶體(T3)

控制端(g)

第一電容(Cst)

第四電晶體(T4)

第五電晶體(T5)

第六電晶體(T6)

高電位(PLVDD)

第一端(a)

第二端(b)

重置訊號(RST)

參考訊號(REF)

第一控制訊號(SN)

有機發光二極體(D1)

第二控制訊號(EM1)

資料線(Data)

高電位(PLVDD)

低電位(PLVSS)

【特徵化學式】

無

【發明說明書】

【中文發明名稱】具有混合電晶體的主動矩陣有機發光二極體之驅動電路

【英文發明名稱】 Driving circuit of active-matrix organic light-emitting diode with hybrid transistors

【技術領域】

【0001】 本發明係關於液晶顯示裝置之技術領域，尤指一種具有混合電晶體的主動矩陣有機發光二極體之驅動電路。

【先前技術】

【0002】 主動矩陣有機發光二極體(AMOLED)畫素之驅動電晶體依背板製程技術可區分為 P-type 及 N-type 驅動型式。圖 1 為習知 2T1C(two transistors one capacitor)的 P-type 驅動電晶體之畫素電路，其係搭配一般(Normal)OLED 元件。P-type 驅動電晶體大都應用低溫多晶矽(Low Temperature Poly-silicon、LTPS)背板技術。

【0003】 P-type 驅動電晶體 PTFT_dri 之閘源極電壓(V_{gs})所對應之電壓為資料電位及高電位 ELVDD 之電壓，其中高電位 ELVDD 為一固定相對高電位。對於習知 P-type 驅動電晶體 PTFT_dri 而言，其會有驅動電晶體之臨界電壓偏移(threshold voltage deviation)的現象。亦即，LTPS 之 P-type 驅動電晶體的臨界電壓(threshold voltage, V_t)因多晶結晶製程，容易造成區域性之 V_t 變異。亦即對二尺寸相同之 P-type 驅動電晶體而言，當輸入同等驅動電壓時，卻無法輸出相同之電流，而造成亮度不均勻(mura)或均勻性不佳之問題。因此需對 P-type 驅

動電晶體的臨界電壓(V_t)進行電壓補償。

【0004】 由於進行電壓補償時，會使用多顆電晶體，導致電流消耗增加。而於高解析度應用時(例如：FHD_1080RGB*1920、QHD_1440RGB*2560)，可能因驅動電路過多，而導致電流消耗過巨，進而影響手持式裝置的使用時間。因此，習知之畫素驅動電路實仍有予以改善的空間。。

【發明內容】

【0005】 本發明之目的主要係在提供一具有混合電晶體的主動矩陣有機發光二極體之驅動電路，其於一驅動電流單元上的電晶體使用低溫多晶矽電晶體。低溫多晶矽電晶體於導通時可提供較大的電流，具有較大的驅動能力，以驅動一有機發光二極體。同時於一重置補償及發光控制電路中，部分電晶體改用氧化物半導體電晶體，以提供較低的漏電流，如此可消除驅動電流單元上的驅動電晶體的控制端的電壓變動，進而使該驅動電晶體可提供穩定的驅動電流至一有機發光二極體，而可改善習知技術亮度不均勻或均勻性不佳之問題。同時本發明提出兩個驅動電路的部分電晶體共享的架構，如此可大量減少電晶體的數目。

【0006】 為達成前述之目的，本發明提出一種具有混合電晶體的主動矩陣有機發光二極體之驅動電路，包括一驅動電流單元、及一重置補償及發光控制電路。該驅動電流單元包含一第一電晶體及一第二電晶體，其中，該第一電晶體及該第二電晶體為低溫多晶矽電晶體。該重置補償及發光控制電路，耦合至該驅動電流單元，該重置補償及發光控制電路包含一第三電晶體，該第三電晶體連接至該第一電晶體的一控制

端，其中，該第三電晶體為一氧化物半導體電晶體。

【圖式簡單說明】

【0007】

圖1為習知2T1C的P-type驅動電晶體之畫素電路的示意圖。

圖2係本發明之一種具有混合電晶體的主動矩陣有機發光二極體之驅動電路的方塊圖。

圖3係本發明之一種具有混合電晶體的主動矩陣有機發光二極體之驅動電路之一實施例的電路圖。

圖4係本發明之圖3的運作示意圖。

圖5係本發明之一種具有混合電晶體的主動矩陣有機發光二極體之驅動電路之另一實施例的電路圖。

圖6係本發明之圖5的運作示意圖。

圖7係本發明之一種具有混合電晶體的主動矩陣有機發光二極體之驅動電路之再一實施例的電路圖。

圖8係本發明之圖7的運作示意圖。

圖9係低溫多晶矽電晶體、氧化物半導體電晶體、及非晶矽電晶體於導通及關閉時之電流的示意圖。

圖10係對本發明圖3、圖5、圖7中電路模擬結果之示意圖。

圖11係本發明之一種具有混合電晶體的主動矩陣有機發光二極體之驅動電路之又一實施例的電路圖。

圖12係本發明之圖11的運作示意圖。

圖13係本發明之圖5中之具有混合電晶體的主動矩陣有機發光二極體之驅動電路之二個實施例的電路圖。

圖14係本發明圖13部分電晶體的剖面示意圖。

圖15係本發明之圖7中之具有混合電晶體的主動矩陣有機發光二極體之驅動電路之二個實施例的電路圖。

圖16至圖20係本發明之圖5中之具有混合電晶體的主動矩陣有機發光二極體之驅動電路之應用的示意圖。

【實施方式】

【0008】 圖 2 係本發明之一種具有混合電晶體的主動矩陣有機發光二極體之驅動電路 200 的方塊圖，如圖 2 所示，該驅動電路 200 包括有一驅動電流單元 210、及一重置補償及發光控制電路 220，其係用以驅動一有機發光二極體(D1)。該驅動電流單元 210 至少包含一第一電晶體(T1)及一第二電晶體(T2)，其中，該第一電晶體(T1)及該第二電晶體(T2)為低溫多晶矽(Low Temperature Poly-silicon、LTPS)電晶體。該重置補償及發光控制電路 220 耦合至該驅動電流單元 210，該重置補償及發光控制電路 220 至少包含一第三電晶體(T3)。該第三電晶體(T3)連接至該第一電晶體(T1)的一控制端(g)，其中，該第三電晶體(T3)為一氧化物半導體電晶體。該氧化物半導體電晶體可為一氧化銦鎵鋅(Indium Gallium Zinc Oxide、IGZO)電晶體。

【0009】 圖 3 係依據本發明一實施例之具有混合電晶體的主動矩陣有機發光二極體之驅動電路 200 的電路圖，其中，該重置補償及發光控制電路 220 係包含一第一電容(Cst)、該第三電晶體(T3)、一第四電

晶體(T4)及一第五電晶體(T5)。該驅動電流單元 210 係包含該第一電晶體(T1)、該第二電晶體(T2)及一第六電晶體(T6)。該第一電容(Cst)一端連接至一高電位(PLVDD)，其另一端連接至該第一電晶體(T1)的該控制端(g)、該第三電晶體(T3)的一第一端(a)及該第四電晶體(T4)的一第一端(a)。

【0010】 該第四電晶體(T4)的一控制端(g)連接至一重置訊號(RST)，該第四電晶體(T4)的一第二端(b)連接至一參考訊號(REF)。在本發明中，第一端(a)和第二端(b)可以是電晶體的汲極(Drain)和源極(Source)或是電晶體的源極(Source)和汲極(Drain)。如果該電晶體被用來為一個 MOS 開關，第一端(a)和第二端(b)可以互換。

【0011】 該第三電晶體(T3)的一第二端(b)連接該第一電晶體(T1)的一第二端(b)及該第二電晶體(T2)的一第一端(a)，該第三電晶體(T3)的一控制端(G)連接至一第一控制訊號(SN)。該第二電晶體(T2)的一第二端(b)連接至一有機發光二極體(D1)的一端，該第二電晶體(T2)的一控制端(g)連接至一第二控制訊號(EM1)。該第五電晶體(T5)的一第一端(a)連接至一資料線(Data)，該第五電晶體(T5)的一第二端(b)連接至該第一電晶體(T1)的一第一端(a)及該第六電晶體(T6)的一第二端(b)。該第六電晶體(T6)的一第一端(a)連接至該高電位(PLVDD)，該第六電晶體(T6)的一控制端(g)連接至該第二控制訊號(EM1)。該有機發光二極體(D1)的另一端連接至一低電位(PLVSS)。其中，該第四電晶體(T4)為一氧化物半導體電晶體，該第二電晶體(T2)及該第六電晶體(T6)為一低溫多晶矽(LTPS)電晶體，該第五電晶體(T5)可為一氧化物半導體電晶體或一低溫多晶矽(LTPS)電晶體。

【0012】 圖 4 係本發明之圖 3 之運作示意圖。於圖 4 中，其繪示驅

動電路 200 之時序、各個電晶體之開啟/關閉狀態、及該第一電晶體(T1)的節點之電壓。

【0013】 於一重置週期時，該重置訊號(RST)為一控制低電位(VSS)、第二控制訊號(SN)為一控制高電位(VDD)、第一控制訊號(EM1)為一控制高電位(VDD)。該控制高電位(VDD)的電壓位準可相同於該高電位 PLVDD 的電壓位準，亦可異於該高電位 PLVDD 的電壓位準。該控制低電位(VSS)的電壓位準可相同於該低電位 PLVSS 的電壓位準，亦可異於該低電位 PLVSS 的電壓位準。

【0014】 於該重置週期時，該第二電晶體(T2)、該第三電晶體(T3)、該第五電晶體(T5)及該第六電晶體(T6)係關閉，該第一電晶體(T1)及該第四電晶體(T4)係導通，因此該第一電晶體(T1)的控制端(g)被重置，其上的電壓為參考訊號(REF)。由於該第六電晶體(T6)係關閉，因此該第一電晶體(T1)的該第一端(a)係懸浮(floating)。

【0015】 於一補償週期時，該重置訊號(RST)為控制高電位(VDD)、第二控制訊號(SN)為控制低電位(VSS)、第一控制訊號(EM1)為控制高電位(VDD)。該第二電晶體(T2)、該第四電晶體(T4)及該第六電晶體(T6)係關閉，該第一電晶體(T1)、該第三電晶體(T3)、及該第五電晶體(T5)係導通。資料線上的訊號經由該第五電晶體(T5)、該第一電晶體(T1)、及該第三電晶體(T3)而傳送至該第一電晶體(T1)的控制端(g)，因此該第一電晶體(T1)的控制端(g)的電壓為 $V_{data} + |V_{tp}|$ ，該第一電晶體(T1)的第一端(a)的電壓為 V_{data} ，其中， V_{data} 為資料線上的訊號之電壓， V_{tp} 為該第一電晶體(T1)的臨界電壓(threshold voltage, V_{tp})。

【0016】 於一發光週期時，該重置訊號(RST)為控制高電位(VDD)、第二控制訊號(SN)為控制高電位(VDD)、第一控制訊號(EM1)為控制低

電位(VSS)。該第三電晶體(T3)、該第四電晶體(T4)及該第五電晶體(T5)係關閉,該第一電晶體(T1)、第二電晶體(T2)、及該第六電晶體(T6)係導通。該高電位 PLVDD 的電流經由該第六電晶體(T6)、該第一電晶體(T1)、及該第二電晶體(T2)而流經該有機發光二極體(D1)。由於該第三電晶體(T3)及該第四電晶體(T4)係關閉,因此該第一電晶體(T1)的控制端(g)的電壓為 $V_{data}+|V_{tp}|$ 。由於該第六電晶體(T6)係導通,該第一電晶體(T1)的第一端(a)的電壓為 PLVDD。

【0017】 圖 5 係依據本發明另一實施例之具有混合電晶體的主動矩陣有機發光二極體之驅動電路 200 的電路圖。該重置補償及發光控制電路 220 係包含一第一電容(Cst)、該第三電晶體(T3)、一第四電晶體(T4)、一第五電晶體(T5)、及一第六電晶體(T6)。該驅動電流單元 210 係包含該第一電晶體(T1)及該第二電晶體(T2)。該第一電晶體(T1)的一第一端(a)連接至該高電位(PLVDD),其一第二端(b)連接至該第二電晶體(T2)的一第一端(a)及該第三電晶體(T3)的一第一端(a)。

【0018】 該第二電晶體(T2)的一第二端(b)連接至一有機發光二極體(D1)及該第四電晶體(T4)的一第二端(b),其一控制端(g)連接至一第一控制訊號(EM)。該有機發光二極體(D1)的另一端連接至一低電位(PLVSS)。該第三電晶體(T3)的一第二端(b)連接至該第一電晶體(T1)的一控制端(g)及該第一電容(Cst)的一端,其一控制端(g)連接至一第二控制訊號(SN)。該第一電容(Cst)的另一端連接至該第五電晶體(T5)的一第二端(b)及該第六電晶體(T6)的一第一端(a)。該第五電晶體(T5)的一第一端(a)連接至一資料線(Data),其一控制端(g)連接至該第二控制訊號(SN)。該第六電晶體(T6)的一第二端(b)連接至一第一參考訊號(REFN),其一控制端(g)連接至一第三控制訊號(SN2)。該第四電晶體

(T4)的一第一端(a)連接至一第二參考訊號(REFS)，其一控制端(g)連接至一重置訊號(RST)，該第二電晶體(T2)為一低溫多晶矽(LTPS)電晶體。該第四電晶體(T4)、該第五電晶體、及該第六電晶體(T6)可為低溫多晶矽(LTPS)電晶體或是氧化物半導體電晶體。

【0019】 圖 6 係本發明之圖 5 的運作示意圖。於圖 6 中，其繪示驅動電路 200 之時序、各個電晶體之開啟/關閉狀態、及該第一電晶體(T1)的節點之電壓。其重置週期、補償週期、發光週期的運作過程，熟於該技術者可依據本發明之描述揭露及圖 4 相關的揭露而可得知，故不再贅述。於圖 6 中， V_{refn} 代表該第一參考訊號(REFN)之電壓， V_{refs} 代表該第二參考訊號(REFS)之電壓， V_{data} 代表該資料線(Data)之電壓。

【0020】 圖 7 係依據本發明再一實施例之具有混合電晶體的主動矩陣有機發光二極體之驅動電路 200 的電路圖。該重置補償及發光控制電路 220 係包含一第一電容(Cst)、該第三電晶體(T3)、一第四電晶體(T4)、一第五電晶體(T5)、及一第六電晶體(T6)。該驅動電流單元 210 係包含該第一電晶體(T1)及該第二電晶體(T2)。該第一電晶體(T1)的一第一端(a)連接至一高電位(PLVDD)，其一第二端(b)連接至該第二電晶體(T2)的一第一端(a)及該第三電晶體(T3)的一第一端(a)。

【0021】 該第二電晶體(T2)的一第二端(b)連接至一有機發光二極體(D1)，其一控制端(g)連接至一第一控制訊號(EM)。該第三電晶體(T3)的一第二端(b)連接至該第一電晶體(T1)的一控制端(g)、該第一電容(Cst)的一端及該第四電晶體(T4)的一第二端(b)，其一控制端(g)連接至一第二控制訊號(SCAN1)。該第四電晶體(T4)的一第一端(a)連接至一重置訊號(RST)，其一控制端(g)連接至一第三控制訊號(Dis)。該第一電容(Cst)的另一端連接至及該第五電晶體(T5)的一第二端(b)及該

第六電晶體(T6)的一第一端(a)。該第五電晶體的一第一端(a)連接至一第一資料線(Data)，其一控制端(g)連接至該第二控制訊號(SCAN1)。該第六電晶體(T6)的一第二端(b)連接至一第一參考訊號(VREF)，其一控制端(g)連接至一第四控制訊號(SCAN2)，該第四電晶體(T4)為一氧化物半導體電晶體，該第二電晶體(T2)為一低溫多晶矽(LTPS)電晶體。該第五電晶體、及該第六電晶體(T6)可為低溫多晶矽(LTPS)電晶體或是氧化物半導體電晶體。

【0022】 圖 8 係本發明之圖 7 的運作示意圖。於圖 8 中，其繪示驅動電路 200 之時序、各個電晶體之開啟/關閉狀態、及該第一電晶體(T1)的節點之電壓。其重置週期、補償週期、發光週期的運作過程，係熟於該技術者可依據本發明之描述揭露及圖 4 相關的揭露而可得知，故不再贅述。於圖 8 中，Vrst 代表該重置訊號(RST)之電壓，Vref 代表該第一參考訊號(REF)之電壓，Vdata 代表該資料線(Data)之電壓。

【0023】 圖 9 係低溫多晶矽(LTPS)電晶體、氧化物半導體電晶體、及非晶矽(a-Si)電晶體於導通及關閉時之電流的示意圖。如圖 9 所示，低溫多晶矽(LTPS)電晶體於導通時有較大的電流，氧化物半導體電晶體於關閉時，其漏電流遠小於低溫多晶矽(LTPS)電晶體及非晶矽(a-Si)電晶體的漏電流。

【0024】 圖 10 係對本發明圖 3、圖 5、圖 7 中電路模擬結果之示意圖。其係顯示當電晶體關閉時，電晶體漏電電流(Ioff)對電路操作的影響。模擬參數為：PLVDD(PVDD)為 7 伏特、PLVSS(PVSS)為-1 伏特、電容 Cst 為 0.1pF、Vdata 為 4 伏特。於圖 10 中，連接閘極(Contact Gate)之行(row)中，O 表示該電晶體有連接至該第一電晶體(T1)的控制端(g)、X 表示該電晶體沒有連接至該第一電晶體(T1)的控制端(g)。例

如對應第四電晶體(T4)的該行為 OXO，分別表示於圖 3 中該第四電晶體(T4)有連接至該第一電晶體(T1)的控制端(g)、於圖 5 中該第四電晶體(T4)沒有連接至該第一電晶體(T1)的控制端(g)、於圖 7 中該第四電晶體(T4)有連接至該第一電晶體(T1)的控制端(g)。於圖 10 中， $\Delta I / \text{frame}$ 表示每一圖框顯示過程中，流經有機發光二極體之電流差異，而此差異主要來自於操作電路之電晶體漏電影響。例如對應第四電晶體(T4)的該電晶體導致有機發光二極體電流與原先預估差異分別為 $+0.2\mu$ 、 -0.0028μ 、及 $+0.084\mu$ ，分別表示圖 3 中該第四電晶體(T4)影響有機發光二極體電流 $+0.2\mu$ 安培(A)，圖 5 中該第四電晶體(T4)影響 -0.0028μ 安培(A)，圖 7 中該第四電晶體(T4)影響 $+0.084\mu$ 安培(A)。

【0025】 由圖 10 所示，一電晶體如果有連接至該第一電晶體(T1)的控制端(g)，其需較低的漏電流，以消除該第一電晶體(T1)的控制端(g)的電壓變動，進而消除該有機發光二極體(D1)的電流變動。因此，於本發明中，該驅動電流單元 210 上的電晶體使用低溫多晶矽(LTPS)電晶體，LTPS 電晶體於導通時提供較大的電流，俾驅動該有機發光二極體(D1)。該重置補償及發光控制電路 220 中的電晶體若有連接至該第一電晶體(T1)的控制端(g)，則使用氧化物半導體電晶體，以提供較低的漏電流，俾消除該第一電晶體(T1)的控制端(g)的電壓變動及該有機發光二極體(D1)的電流變動，據以善習知技術亮度不均勻(mura)或均勻性不佳之問題。

【0026】 圖 11 係本發明之依據本發明又一實施例之具有混合電晶體的主動矩陣有機發光二極體之驅動電路 200 的電路圖。該重置補償及發光控制電路 220 係包含一第一電容(Cst)、一第二電容(C2)、該第三電晶體(T3)、一第四電晶體(T4)、一第五電晶體(T5)及一第六電晶體

(T6)，該驅動電流單元 210 係包含該第一電晶體(T1)、該第二電晶體(T2)及一第七電晶體(T7)。該第一電晶體(T1)的一第一端(a)連接至該第四電晶體(T4)的一第二端(b)及該第七電晶體(T7)的一第二端(b)，其一第二端(b)連接至該第二電晶體(T2)的一第一端(a)及該第三電晶體(T3)的一第一端(a)。

【0027】 該第二電晶體(T2)的一第二端(b)連接至一有機發光二極體(D1)及該第六電晶體(T6)的一第一端(a)，其一控制端(g)連接至一第一控制訊號(G4)。該第三電晶體(T3)的一第二端(b)連接至該第一電晶體(T1)的一控制端(g)、該第一電容(Cst)的一端、該第二電容(C2)的一端及該第五電晶體(T5)的一第一端(a)，其一控制端(g)連接至一第二控制訊號(G1)及該第二電容(C2)的另一端。該第一電容(Cst)的另一端連接至一低電位。

【0028】 該第四電晶體(T4)的一第一端(a)連接至一資料線(Data)，其一控制端(g)連接至該第二控制訊號(G1)。該第五電晶體的一第二端(b)連接至一第三控制訊號(G3)及該第六電晶體(T6)的一第二端(b)，其一控制端(g)連接至一第四控制訊號(G2)。該第六電晶體(T6)的一控制端(g)連接至一第五控制訊號(G5)。該第七電晶體(T7)的一第一端(a)連接至該高電位(VDD)，其一控制端(g)連接至該第一控制訊號(G4)。該第五電晶體為一氧化物半導體電晶體，該第七電晶體(T7)為低溫多晶矽(LTPS)電晶體，該第四電晶體(T4)及該第六電晶體(T6)可為氧化物半導體電晶體或低溫多晶矽(LTPS)電晶體。

【0029】 圖 12 係本發明之圖 11 之運作示意圖。於圖 12 中，其繪示驅動電路 200 之時序、各個電晶體之開啟/關閉狀態、及該第一電晶體(T1)的節點之電壓。其重置週期、補償週期、發光週期的運作過程，

熟於該技術者可依據本發明之描述揭露及圖 4 相關的揭露而可得知，故不再贅述。於圖 12 中，Vini 代表於重置週期中，由該第三控制訊號(G3)寫入訊號之電壓，Vdata 代表該資料線(Data)之電壓。

【0030】 圖 13 係本發明圖 5 中之具有混合電晶體的主動矩陣有機發光二極體之驅動電路 200 之二個實施例的電路圖。其中，該第二控制訊號(SN)與該第三控制訊號(SN2)短路。左下電路中，該第五電晶體(T5)為一 P 型低溫多晶矽(LTPS)電晶體且該第六電晶體(T6)為一 N 型氧化物半導體電晶體。右下電路中，該第五電晶體(T5)為一 N 型氧化物半導體電晶體且該第六電晶體(T6)為一 P 型低溫多晶矽(LTPS)電晶體。

【0031】 圖 14 係本發明圖 13 部分電晶體的剖面示意圖。如圖 14 所示，其上半部係低溫多晶矽(LTPS)電晶體及氧化物半導體電晶體的剖面示意圖，圖 14 之下半部係圖 13 右下電路中第五電晶體(T5)及第六電晶體(T6)之剖面示意圖。如圖 14 所示，圖 13 右下電路中第五電晶體(T5)及第六電晶體(T6)可以堆疊佈局(layout)，以形成三維(3-dimension、3D)的電晶體，藉此可以節省佈局(layout)面積。圖 14 中各符號係熟悉佈局(layout)的技術者依據本發明之揭露而能知悉，不再贅述。

【0032】 圖 15 係本發明圖 7 中之具有混合電晶體的主動矩陣有機發光二極體之驅動電路 200 之二個實施例的電路圖。其中，該第二控制訊號(SCAN1)與該第四控制訊號(SCAN2)短路。左下電路中，該第五電晶體(T5)為一 P 型低溫多晶矽(LTPS)電晶體且該第六電晶體(T6)為一 N 型氧化物半導體電晶體。右下電路中，該第五電晶體(T5)為一 N 型氧化物半導體電晶體且該第六電晶體(T6)為一 P 型低溫多晶矽

(LTPS)電晶體。

【0033】 圖 16 至圖 20 係本發明圖 5 中之具有混合電晶體的主動矩陣有機發光二極體之驅動電路 200 之應用的示意圖。如圖 16 所示，其更包含一第二電容(C1)，該第二電容(C1)的一端連接至該第一電晶體(T1)的該第一端(a)，其另一端連接至該第一電晶體(T1)的該控制端(g)，該第四電晶體(T4)係與另一個驅動電路共用。如圖 16 所示，於一重置週期(Period 1, P1)時，該驅動電路進行重置操作，該另一個驅動電路進行發光操作。亦即該另一個驅動電路於時序上為發光週期(P3)。

【0034】 如圖 17 所示，於一補償週期(P2)的一第一時段(P21)，該驅動電路進行補償操作，該另一個驅動電路進行重置操作，亦即該另一個驅動電路於時序上為重置週期(P1)。如圖 18 所示，於該補償週期(P2)的一第二時段(P22)，該驅動電路進行補償操作，該另一個驅動電路進行補償操作，亦即該另一個驅動電路於時序上為補償週期(P2)的一第一時段(P21)。

【0035】 如圖 19 所示，於一發光週期(P3)的一第一時段(P31)，該驅動電路進行發光操作，該另一個驅動電路進行補償操作，亦即該另一個驅動電路於時序上為補償週期(P2)的一第二時段(P22)。於該發光週期(P3)的一第二時段(P32)，該驅動電路進行發光操作，該另一個驅動電路進行發光操作，亦即該另一個驅動電路於時序上為發光週期(P3)的一第一時段(P31)。

【0036】 由圖 16 至圖 20 及相關的描述，本發明圖 3、圖 7、及圖 11 中，一驅動電路與重置相關的電晶體係可與相鄰的驅動電路共用，如此可大量減少電晶體的數目。例如應用高解析度面板時，以 FHD 面板為例，其具有 $1080 \times 1920 \times 3 = 6220800$ 個次畫素(sub-pixel)，故需

6,220,800 個驅動電路。如以本發明之技術，由於兩個驅動電路可節省一個電晶體，故其可節省 3,110,400 個電晶體。

【0037】 由上述說明可知，於該驅動電流單元 210 上的電晶體使用低溫多晶矽(LTPS)電晶體。LTPS 電晶體於導通時可提供較大的電流，具有較大的驅動能力，以驅動該有機發光二極體(D1)。同時於重置補償及發光控制電路 220 中，若有電晶體連接至該第一電晶體(T1)的控制端(g)，則將該電晶體改用氧化物半導體電晶體，以提供較低的漏電流，如此可消除該第一電晶體(T1)的控制端(g)的電壓變動，進而使該第一電晶體(T1)可提供穩定的驅動電流至該有機發光二極體(D1)，而可改善習知技術亮度不均勻(mura)或均勻性不佳之問題。

【0038】 此外，由於本發明具有兩個驅動電路部分電晶體共享的架構，因此更可大量減少電晶體的數目。

【0039】 上述實施例僅係為了方便說明而舉例而已，本發明所主張之權利範圍自應以申請專利範圍所述為準，而非僅限於上述實施例。

【符號說明】

【0040】

驅動電晶體PTFT_dri

具有混合電晶體的主動矩陣有機發光二極體之驅動電路200

驅動電流單元210

重置補償及發光控制電路220

第一電晶體(T1)

第二電晶體(T2)

第三電晶體(T3)

控制端(g)

第一電容(Cst)

第四電晶體(T4)

第五電晶體(T5)	第六電晶體(T6)
高電位(PLVDD)	第一端(a)
第二端(b)	重置訊號(RST)
參考訊號(REF)	第一控制訊號(SN)
有機發光二極體(D1)	第二控制訊號(EM1)
資料線(Data)	高電位(PLVDD)
低電位(PLVSS)	
控制低電位(VSS)	控制高電位(VDD)
第一控制訊號(EM)	第二控制訊號(SN)
第一參考訊號(REFN)	第三控制訊號(SN2)
第二參考訊號(REFS)	重置訊號(RST)
電容(Cst)	第一控制訊號(EM)
第二控制訊號(SCAN1)	重置訊號(RST)
第三控制訊號(Dis)	第一參考訊號(REF)
第四控制訊號(SCAN2)	
第一電容(Cst)	第二電容(C2)
第七電晶體(T7)	
第一控制訊號(G4)	第二控制訊號(G1)
第三控制訊號(G3)	第四控制訊號(G2)
第五控制訊號(G5)	
第二電容(C1)	重置週期(P1)
補償週期(P2)	第一時段(P21)
第二時段(P22)	發光週期(P3)

第一時段(P31)

第二時段(P32)

【發明申請專利範圍】

【第1項】 一種具有混合電晶體的主動矩陣有機發光二極體之驅動電路，包含：

一驅動電流單元，包含一第一電晶體及一第二電晶體，其中，該第一電晶體及該第二電晶體為低溫多晶矽電晶體；及

一重置補償及發光控制電路，耦合至該驅動電流單元，該重置補償及發光控制電路包含一第三電晶體，該第三電晶體連接至該第一電晶體的一控制端，其中，該第三電晶體為一氧化物半導體電晶體。

【第2項】 如申請專利範圍第1項所述之驅動電路，其中，該重置補償及發光控制電路更包含一第一電容、一第四電晶體及一第五電晶體，該驅動電流單元更包含一第六電晶體，該第一電容一端連接至一高電位，其另一端連接至該第一電晶體的該控制端、該第三電晶體的一第一端及該第四電晶體的一第一端，該第四電晶體的一控制端連接至一重置訊號，該第四電晶體的一第二端連接至一參考訊號，該第三電晶體的一第二端連接該第一電晶體的一第二端及該第二電晶體的一第一端，該第三電晶體的一控制端連接至一第一控制訊號，該第二電晶體的一第二端連接至一有機發光二極體，該第二電晶體的一控制端連接至一第二控制訊號，該第五電晶體的一第一端連接至一資料線，該第五電晶體的一第二端連接至該第一電晶體的一第一端及該第六電晶體的一第二端，該第六電晶體的一第一端連接至該高電位，該第六電晶體的一控制端連接至該第二控制訊號，其中，該第四電晶體為一氧化物半導體電晶體，該第二電晶體及該第六電晶體為一低溫多晶矽電晶體。

【第3項】如申請專利範圍第1項所述之驅動電路，其中，該重置補償及發光控制電路更包含一第一電容、一第四電晶體、一第五電晶體、及一第六電晶體，該第一電晶體的一第一端連接至一高電位，其一第二端連接至該第二電晶體的一第一端及該第三電晶體的一第一端，該第二電晶體的一第二端連接至一有機發光二極體及該第四電晶體的一第二端，其一控制端連接至一第一控制訊號，該第三電晶體的一第二端連接至該第一電晶體的一控制端及該電容的一端，其一控制端連接至一第二控制訊號，該電容的另一端連接至該第五電晶體的一第二端及該第六電晶體的一第一端，該第五電晶體的一第一端連接至一資料線，其一控制端連接至該第二控制訊號，該第六電晶體的一第二端連接至一第一參考訊號，其一控制端連接至一第三控制訊號，該第四電晶體的一第一端連接至一第二參考訊號，其一控制端連接至一重置訊號，該第二電晶體為一低溫多晶矽電晶體。

【第4項】如申請專利範圍第1項所述之驅動電路，其中，該重置補償及發光控制電路更包含一電容、一第四電晶體、一第五電晶體、及一第六電晶體，該第一電晶體的一第一端連接至一高電位，其一第二端連接至該第二電晶體的一第一端及該第三電晶體的一第一端，該第二電晶體的一第二端連接至一有機發光二極體，其一控制端連接至一第一控制訊號，該第三電晶體的一第二端連接至該第一電晶體的一控制端、該電容的一端及該第四電晶體的一第二端，其一控制端連接至一第二控制訊號，該第四電晶體的一第一端連接至一重置訊號，其一控制端連接至一第三控制訊號，該電容的另一端連接至及該第五電晶體的一第二端及該第六電晶體的一第一端，該第五電晶體的一第一端連接至一第一資料線，其一控制端連接至該第二控制訊號，該第六電晶體的一第二端連接

至一第一參考訊號，其一控制端連接至一第四控制訊號，該第四電晶體為一氧化物半導體電晶體，該第二電晶體為一低溫多晶矽電晶體。

【第5項】如申請專利範圍第1項所述之驅動電路，其中，該重置補償及發光控制電路更包含一第一電容、一第二電容、一第四電晶體、一第五電晶體及一第六電晶體，該驅動電流單元更包含一第七電晶體，該第一電晶體的一第一端連接至該第四電晶體的一第二端及該第七電晶體的一第二端，其一第二端連接至該第二電晶體的一第一端及該第三電晶體的一第一端，該第二電晶體的一第二端連接至一有機發光二極體及該第六電晶體的一第一端，其一控制端連接至一第一控制訊號，該第三電晶體的一第二端連接至該第一電晶體的一控制端、該第一電容的一端、該第二電容的一端及該第五電晶體的一第一端，其一控制端連接至一第二控制訊號及該第二電容的另一端，該第一電容的另一端連接至一低電位，該第四電晶體的一第一端連接至一資料線，其一控制端連接至該第二控制訊號，該第五電晶體的一第二端連接至一第三控制訊號及該第六電晶體的一第二端，其一控制端連接至一第四控制訊號，該第六電晶體的一控制端連接至一第五控制訊號，該第七電晶體的一第一端連接至該高電位，其一控制端連接至該第一控制訊號，該第五電晶體為一氧化物半導體電晶體，該第七電晶體為低溫多晶矽電晶體。

【第6項】如申請專利範圍第3項所述之驅動電路，其中，該第二控制訊號與該第三控制訊號短路，該第五電晶體為一P型低溫多晶矽電晶體且該第六電晶體為一N型氧化物半導體電晶體，或該第五電晶體為一N型氧化物半導體電晶體且該第六電晶體為一P型低溫多晶矽電晶體。

【第7項】如申請專利範圍第4項所述之驅動電路，其中，該第二控制訊號與該第四控制訊號短路，該第五電晶體為一P型低溫多晶矽電晶

體且該第六電晶體為一N型氧化物半導體電晶體，或該第五電晶體為一N型氧化物半導體電晶體且該第六電晶體為一P型低溫多晶矽電晶體。

【第8項】如申請專利範圍第3項所述之驅動電路，其更包含一第二電容，該第二電容的一端連接至該第一電晶體的該第一端，其另一端連接至該第一電晶體的該控制端，該第六電晶體係與另一個驅動電路共用，其中，於一重置週期時，該驅動電路進行重置操作，該另一個驅動電路進行發光操作。

【第9項】如申請專利範圍第8項所述之驅動電路，其中，於一補償週期的一第一時段，該驅動電路進行補償操作，該另一個驅動電路進行重置操作，於該補償週期的一第二時段，該驅動電路進行補償操作，該另一個驅動電路進行補償操作。

【第10項】如申請專利範圍第9項所述之驅動電路，其中，於一發光週期的一第一時段，該驅動電路進行發光操作，該另一個驅動電路進行補償操作，於該發光週期的一第二時段，該驅動電路進行發光操作，該另一個驅動電路進行發光操作。

【發明圖式】

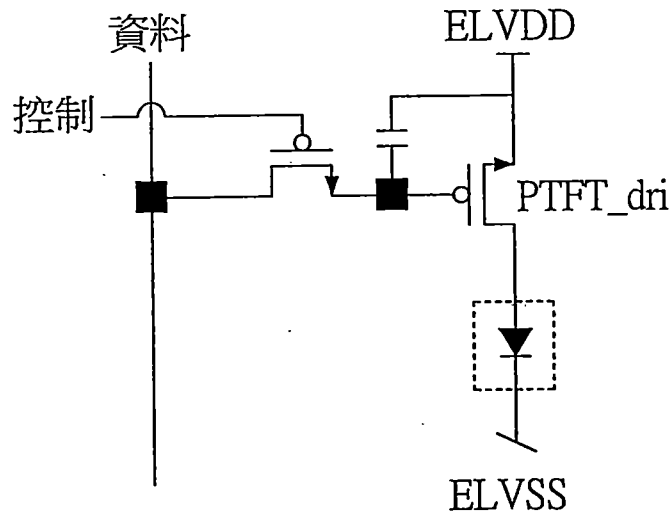


圖1

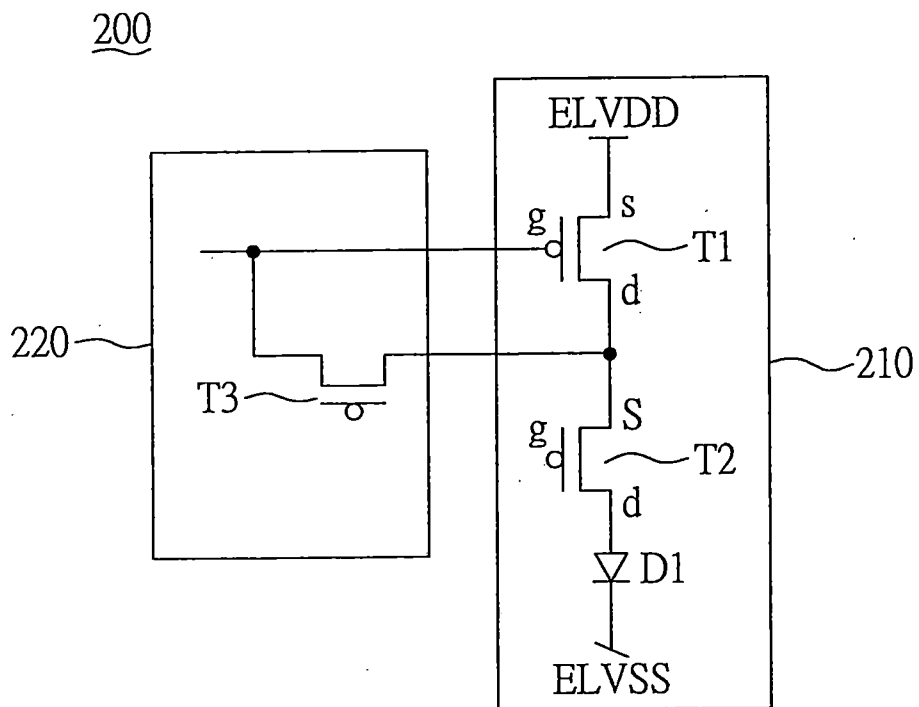


圖2

200

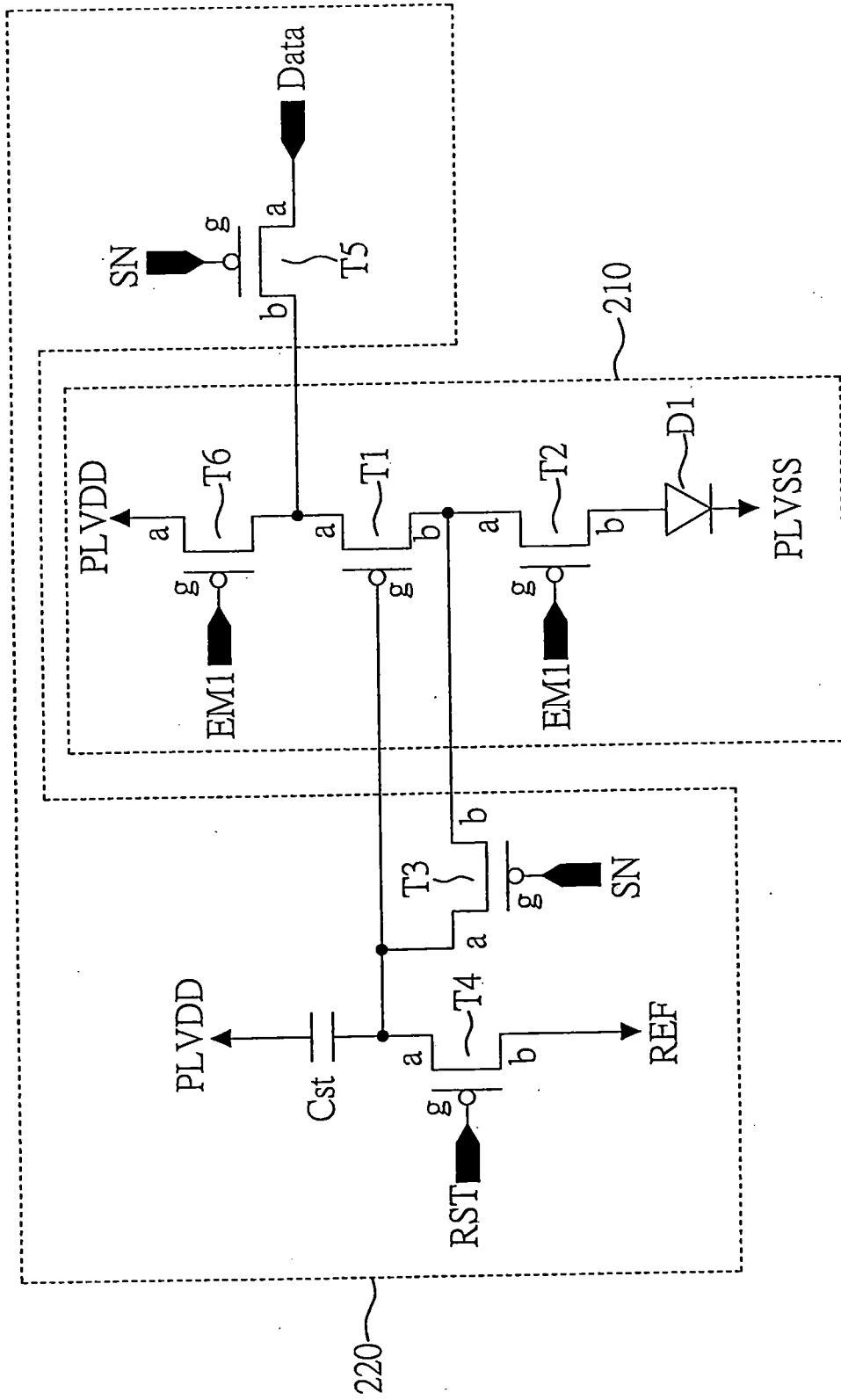
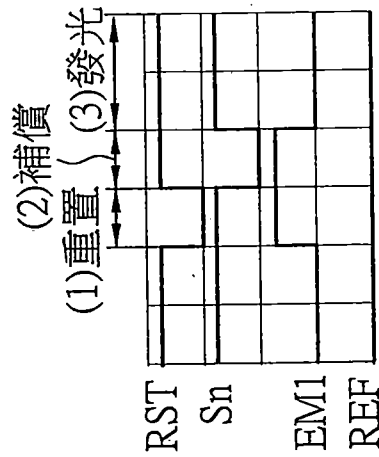
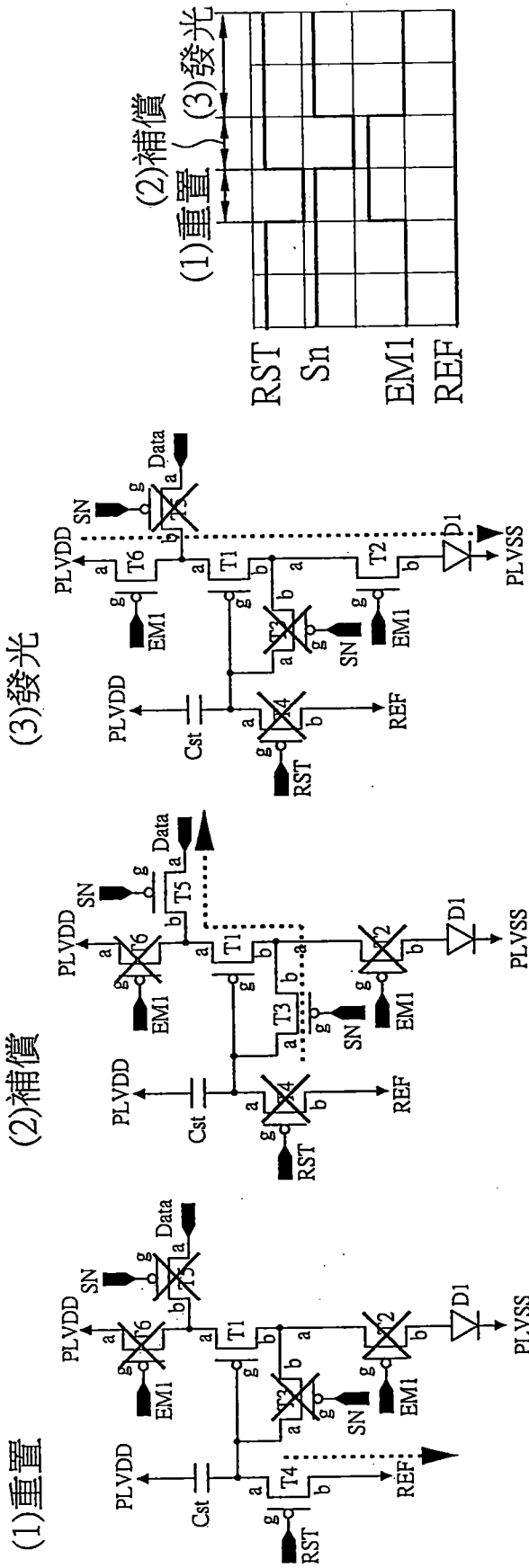


圖3



	T4	T5	T3	T2	T1	T6	G	S	VGS-IVtpl
重置	0	X	X	X	0	X	Vref	懸浮(floating)	X
補償	X	0	0	X	0	X	Vdata+IVtpl	Vdata	0
發光	X	X	X	0	0	0	Vdata+IVtpl	PLVDD	Vdata-PLVDD

圖4

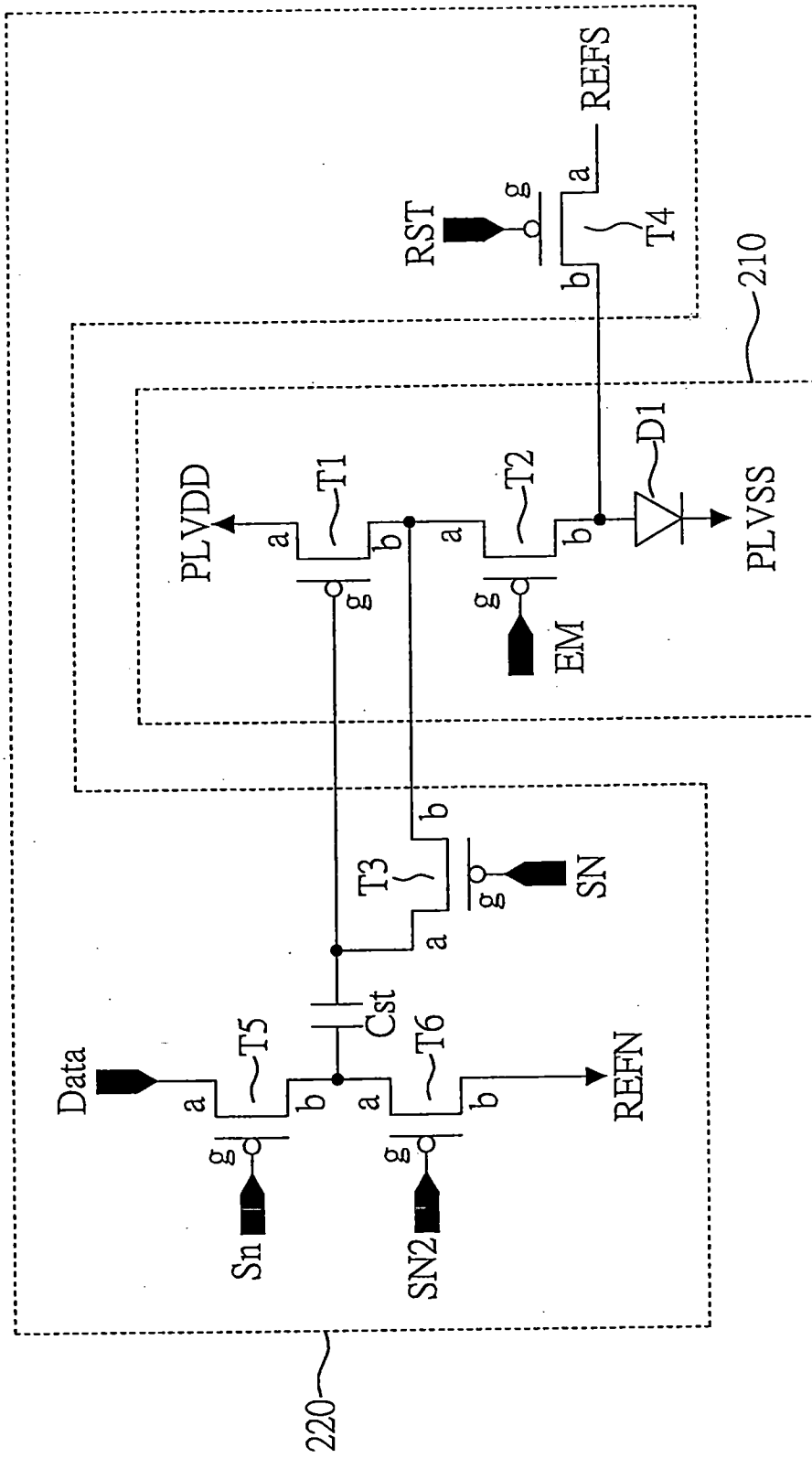
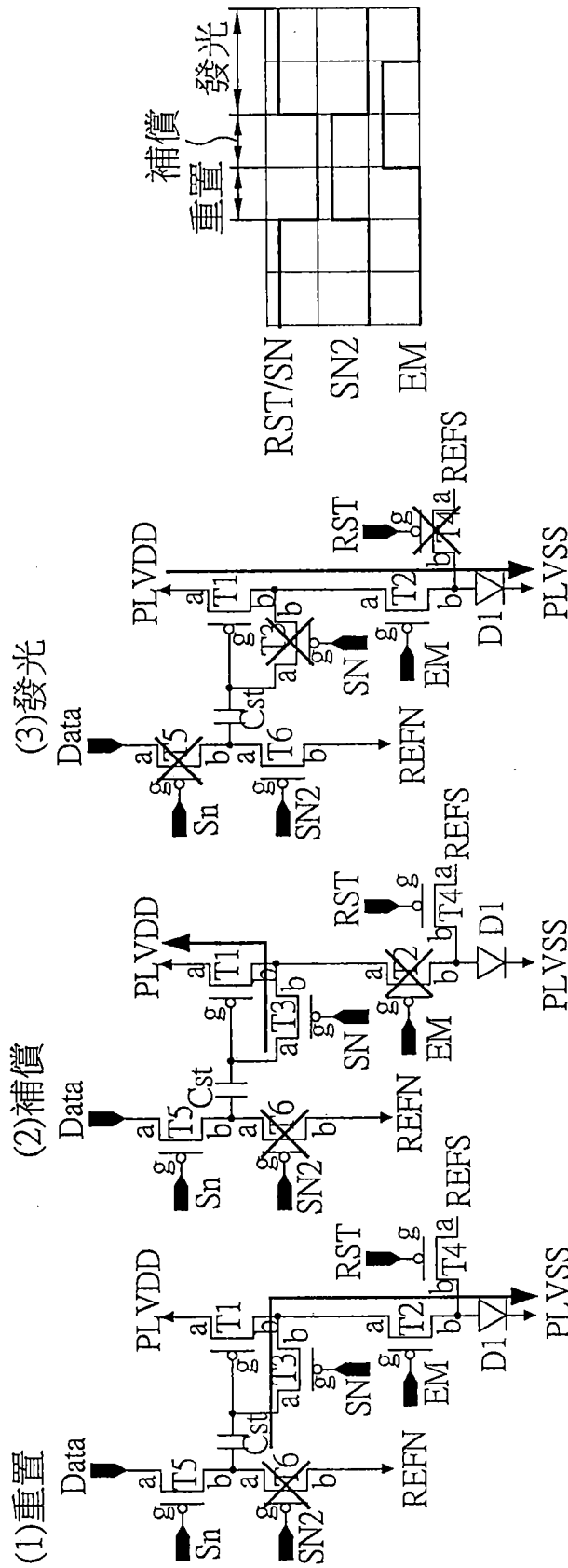


圖5



	G	S	VGS-IVtpl
重置	Vref	PLVDD	(Vrefs-PLVDD)-IVtpl
補償	PLVDD+IVtpl	PLVDD	0
發光	PLVDD+(Vrefn-IVtpl)-Vdata	PLVDD	Vrefn-Vdata

	T4	T5	T3	T2	T1	T6
重置	0	0	0	0	0	X
補償	X	0	0	X	0	X
發光	X	X	X	0	0	0

圖6

200

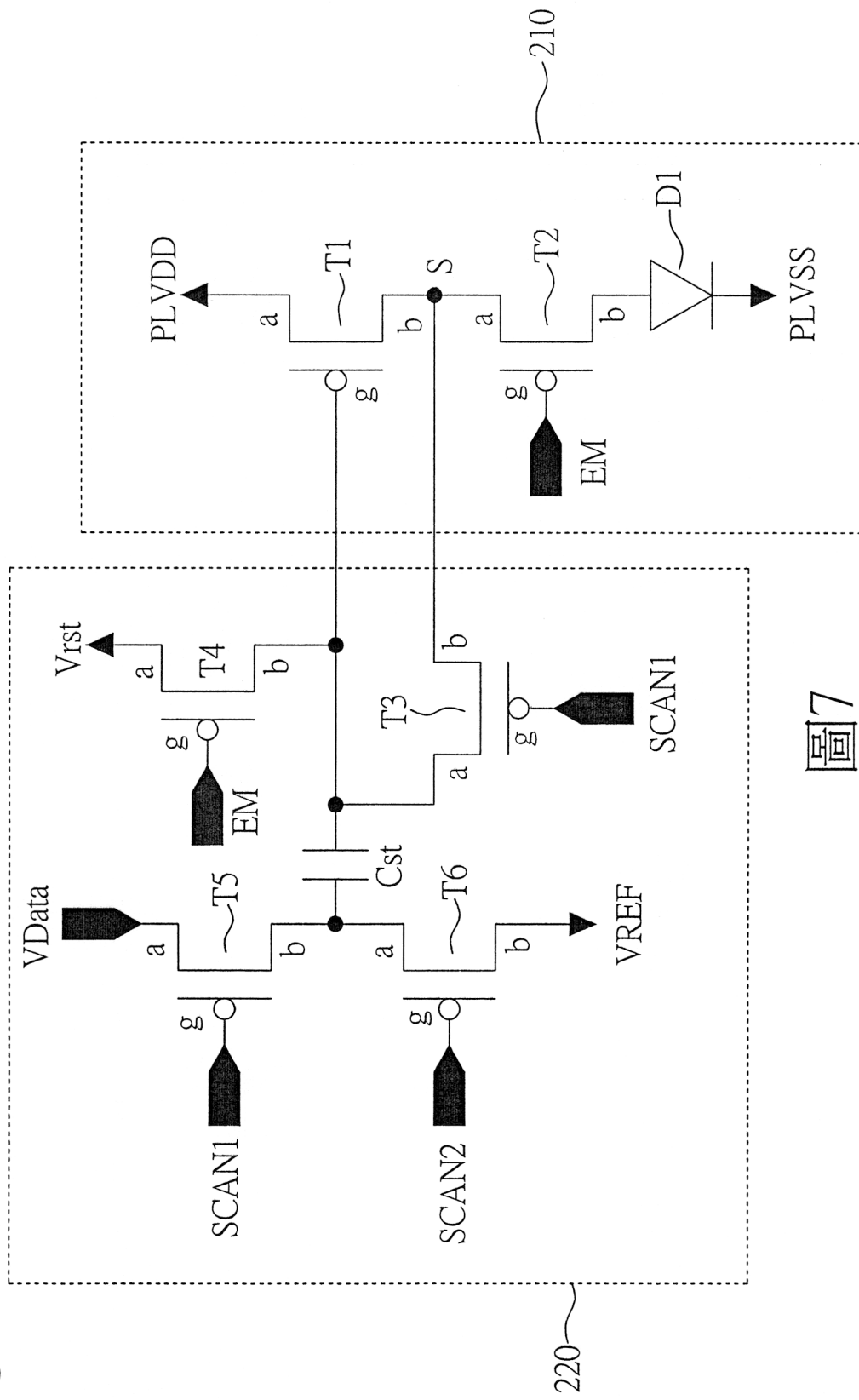
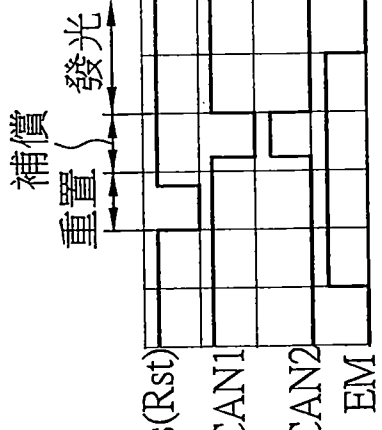
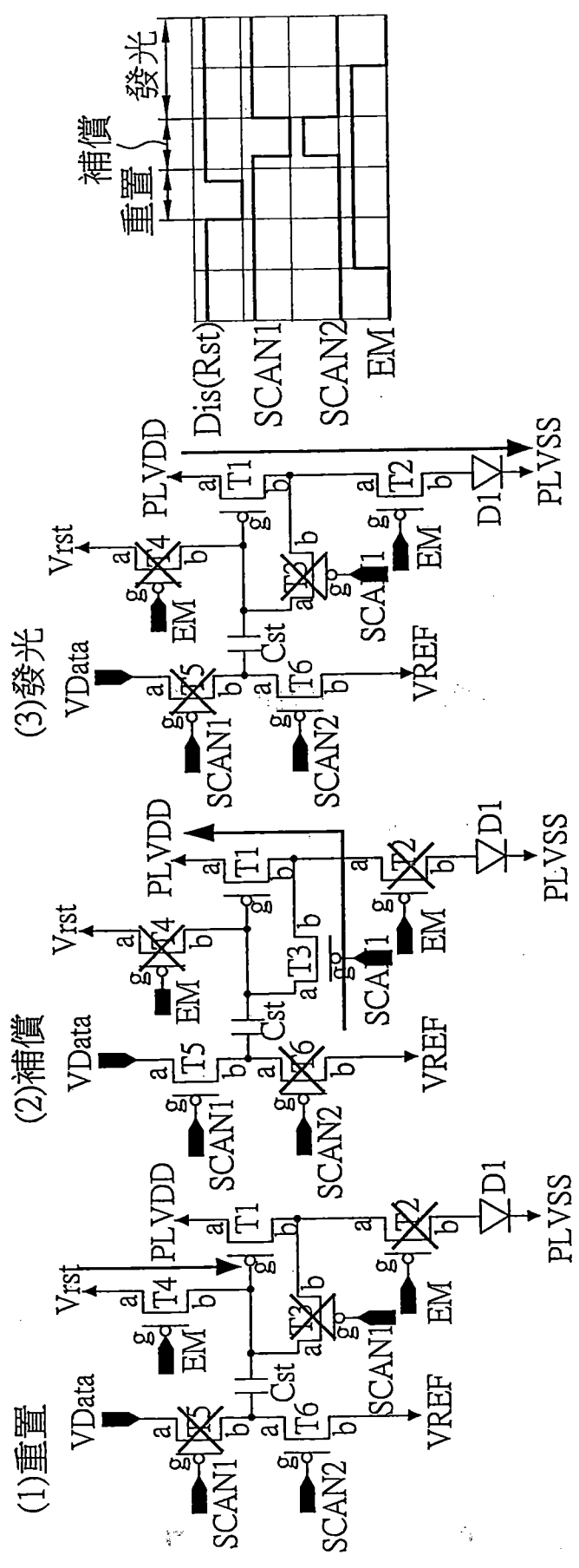


圖7



	G	S	VGS- V _{tpl}
重置	Vrst	PVDD	(Vrst-PVDD) - V _{tpl}
補償	PVDD+ V _{tpl}	PVDD	0
發光	PVDD+ V _{tpl} +(Vref -Vdata)	PVDD	Vref-Data

	T4	T5	T3	T2	T1	T6
重置	0	X	X	X	0	0
補償	X	0	0	X	0	X
發光	X	X	X	0	0	0

圖8

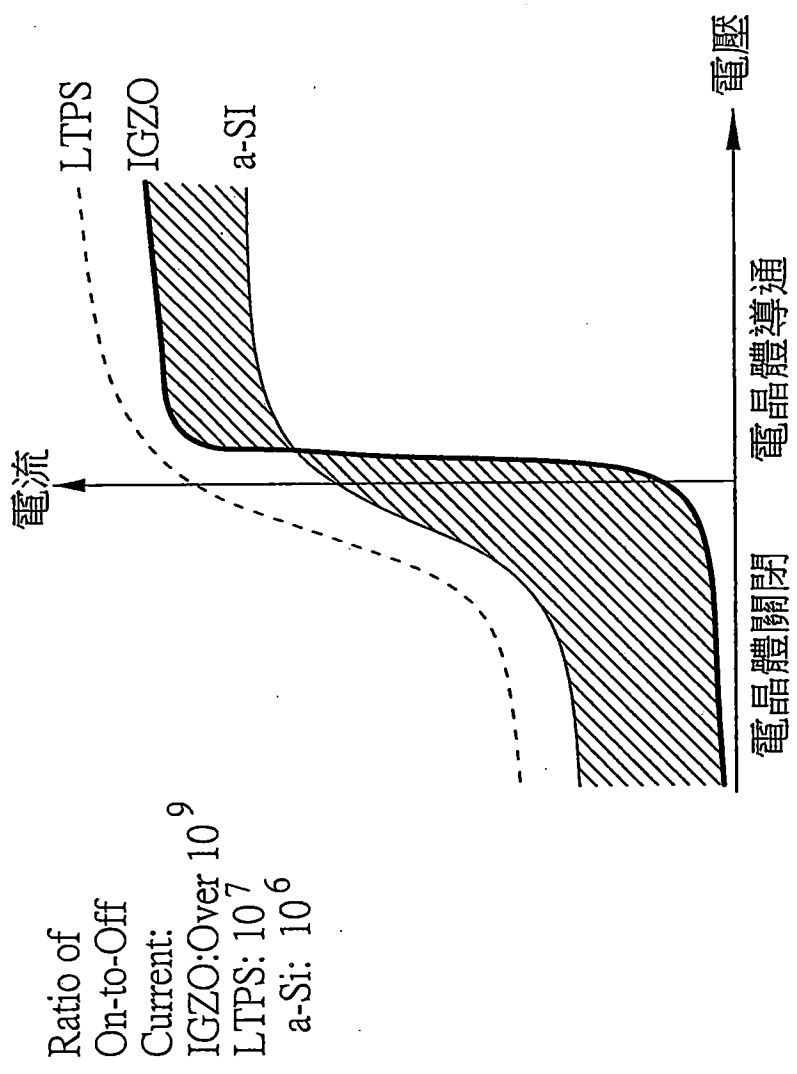
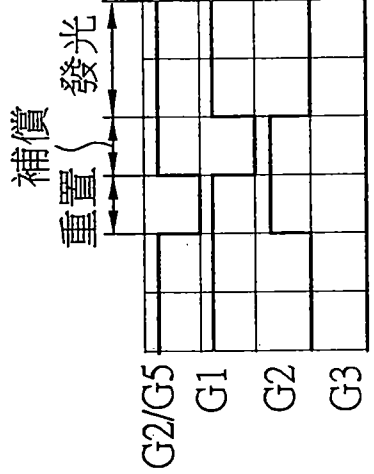
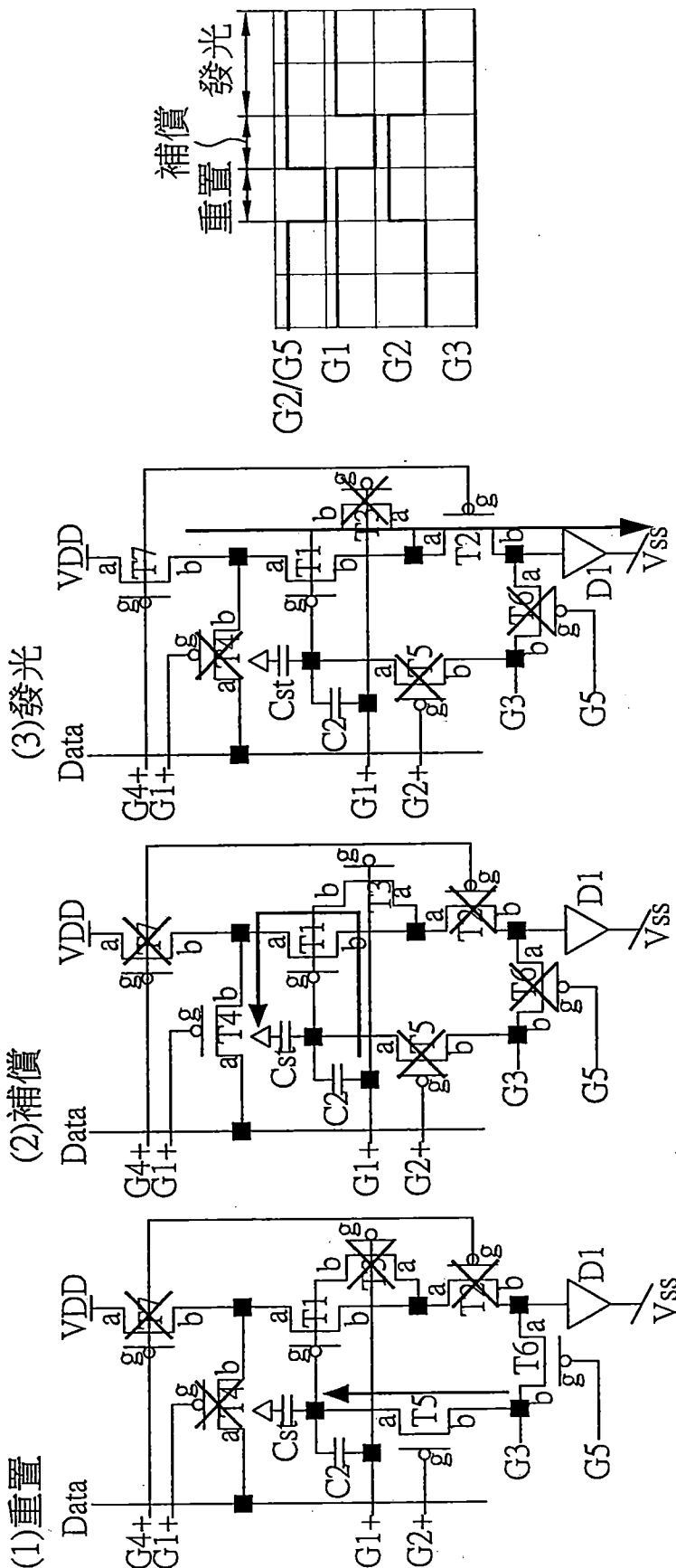


圖9

電晶體漏電電流		電路			影響的優先次序 (Impact priority)
		圖3	圖5	圖7	
RST (T4)	連接閘極(Contact Gate)	0	X	0	1
	$\Delta I/frame$	+0.2u	-0.0028u	+0.084u	
Comp. (T3)	連接閘極(Contact Gate)	0	0	0	2
	$\Delta I/frame$	-0.04u	-0.06u	+0.054u	
REFN (T6)	連接閘極(Contact Gate)	-	X	X	3
	$\Delta I/frame$	-	-0.0058u	+0.0003u	
Data (T5)	連接閘極(Contact Gate)	X	X	X	4
	$\Delta I/frame$	-0.0017u	-0.005u	+0.0003u	

圖10



	T1	T3	T4	T5	T7	T2	T6
重置	0	X	X	0	X	X	0
補償	0	0	0	X	X	X	X
發光	0	X	X	X	0	0	X

	G	S	VGS- V _{tpl}
重置	V _{ini}	懸浮(floating)	X
補償	V _{data} + V _{tpl}	V _{data}	0
發光	V _{data} + V _{tpl}	VDD	V _{data} -VDD

圖12

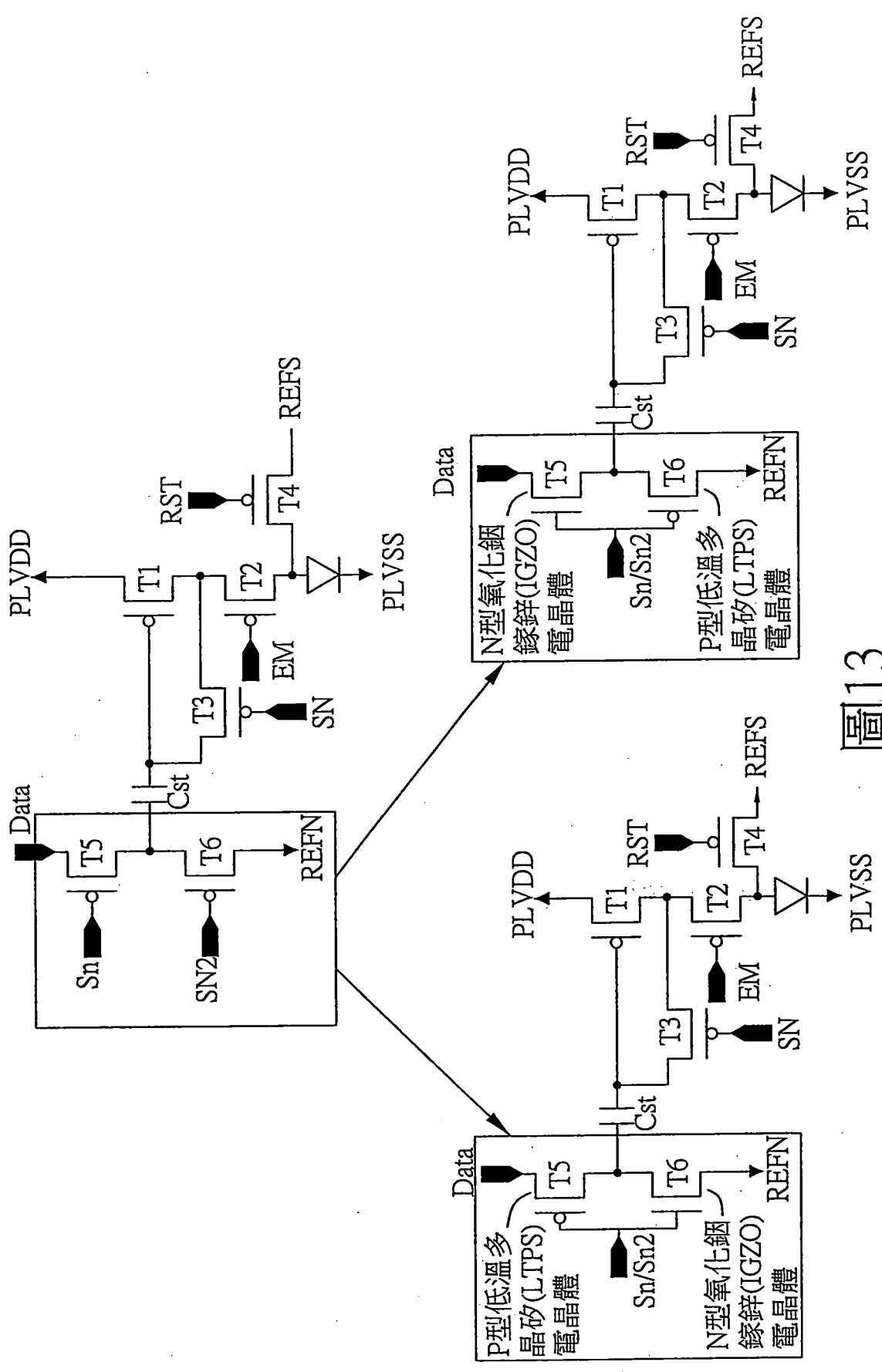


圖13



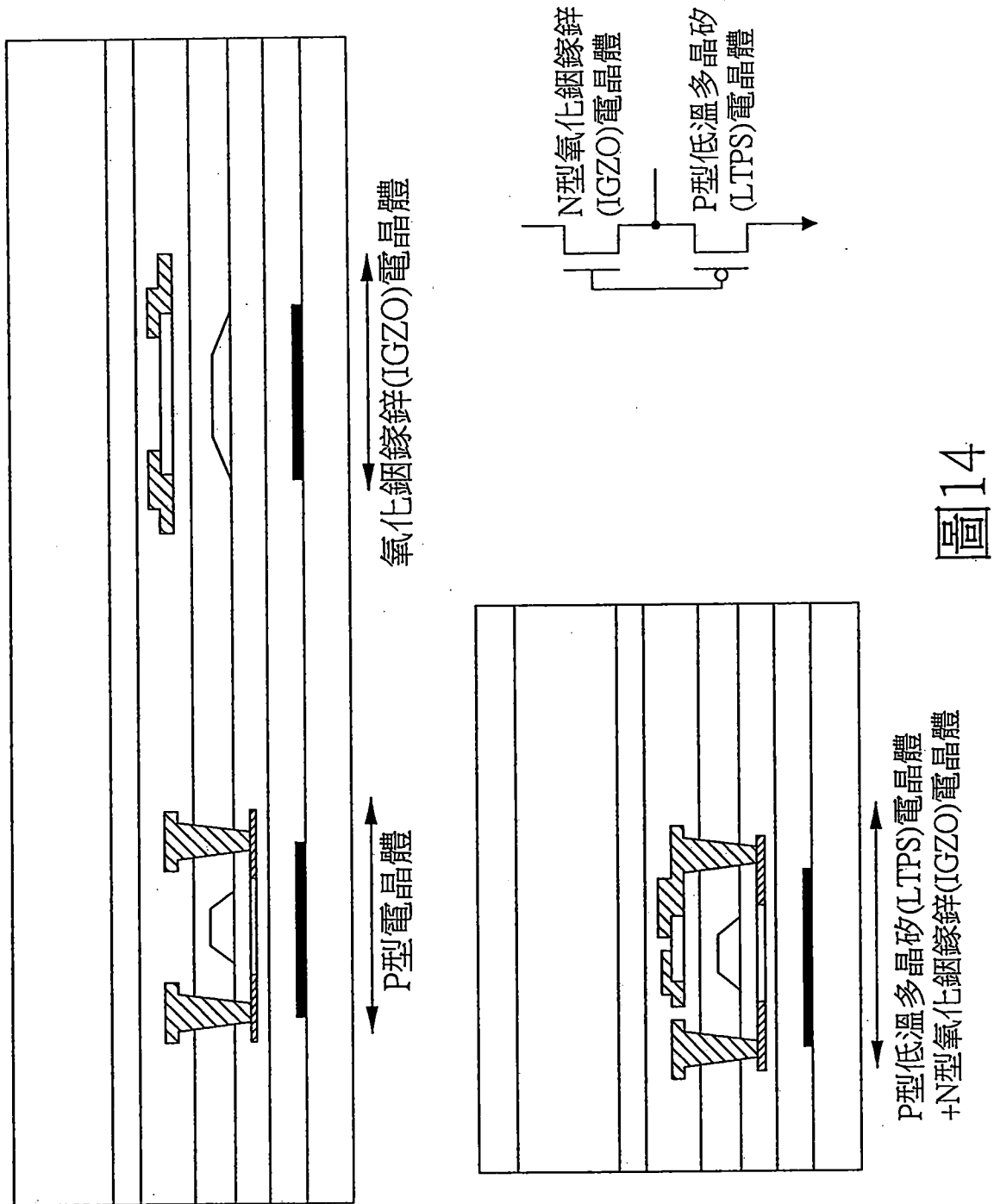


圖14

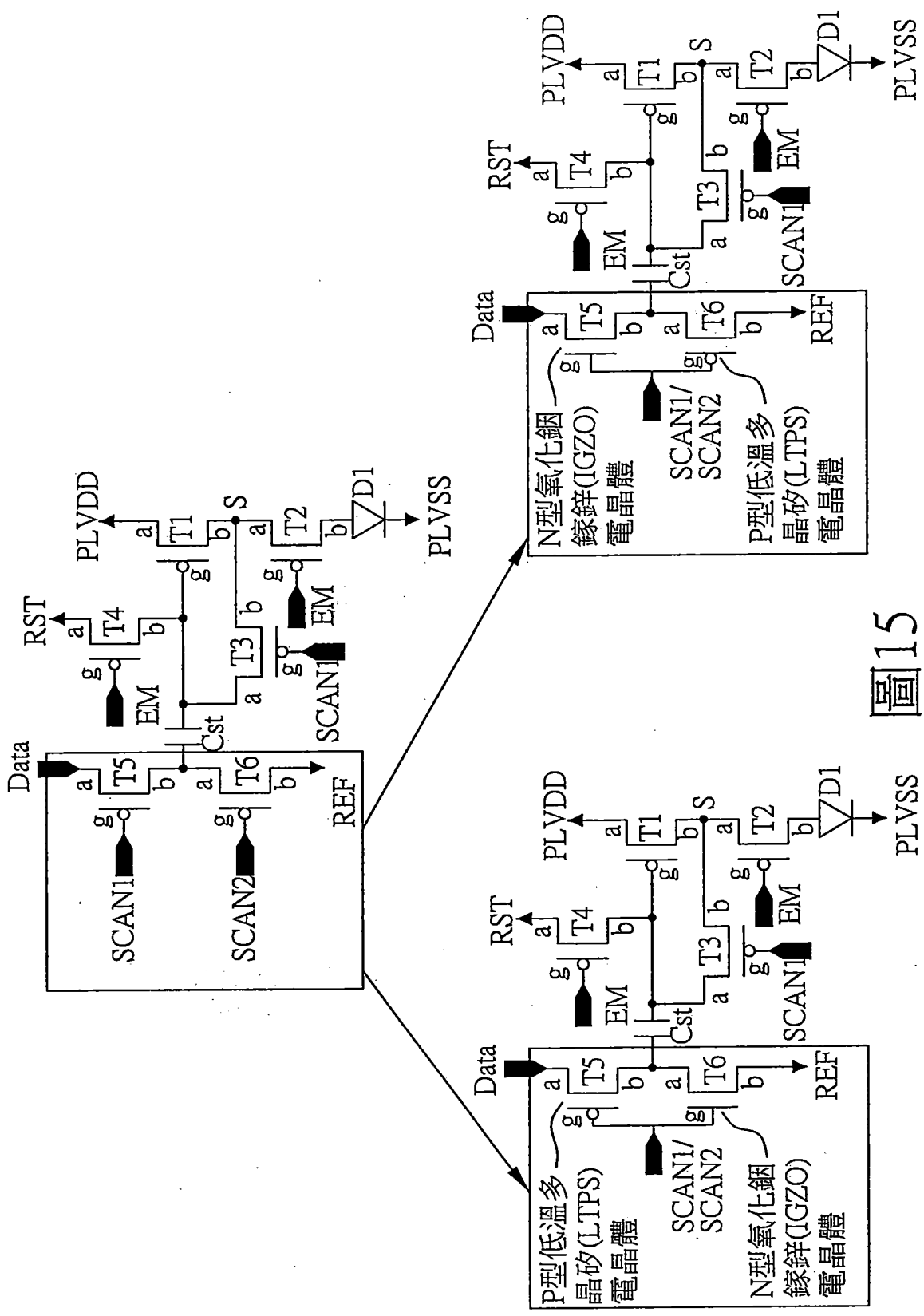


圖15



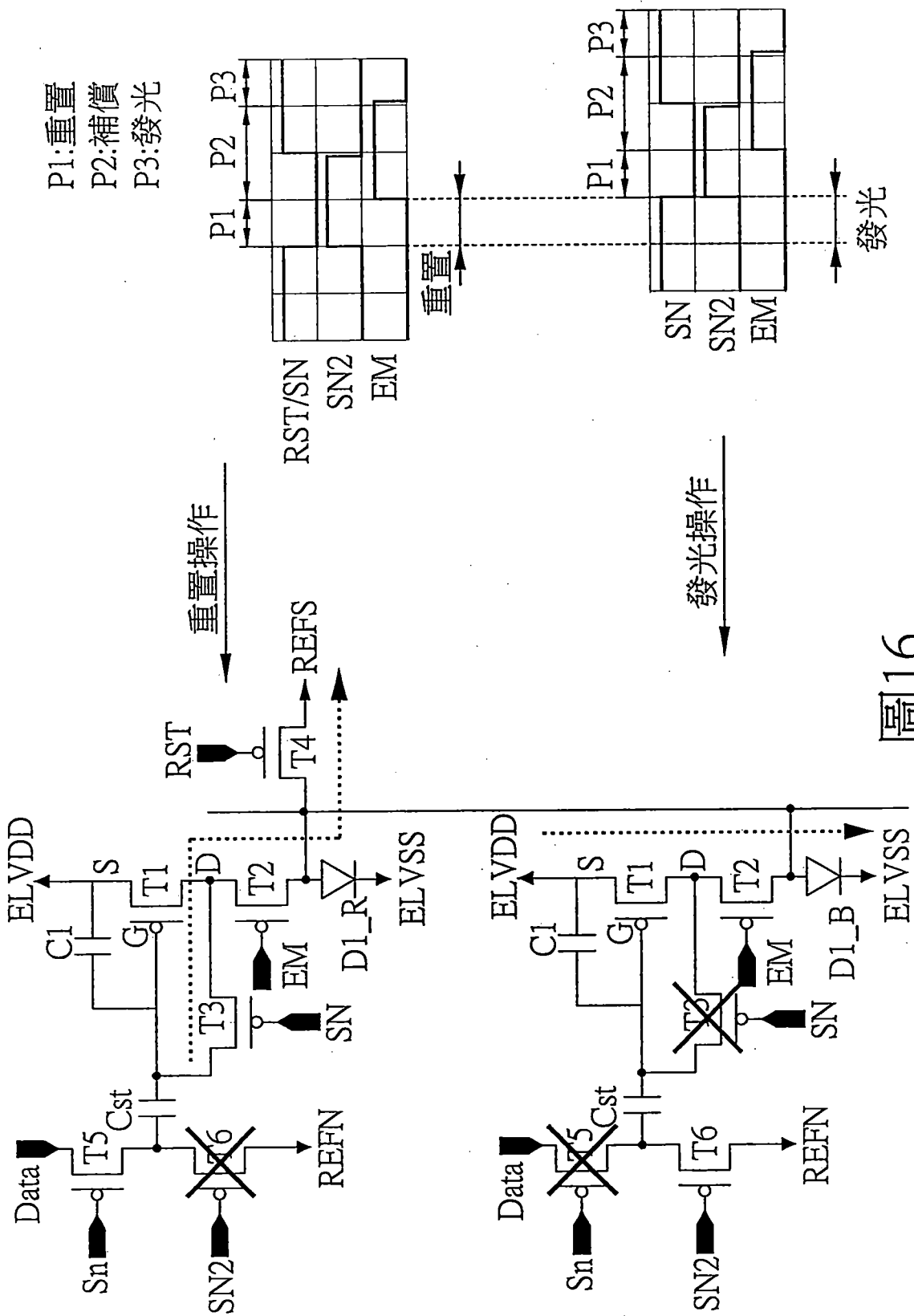


圖16

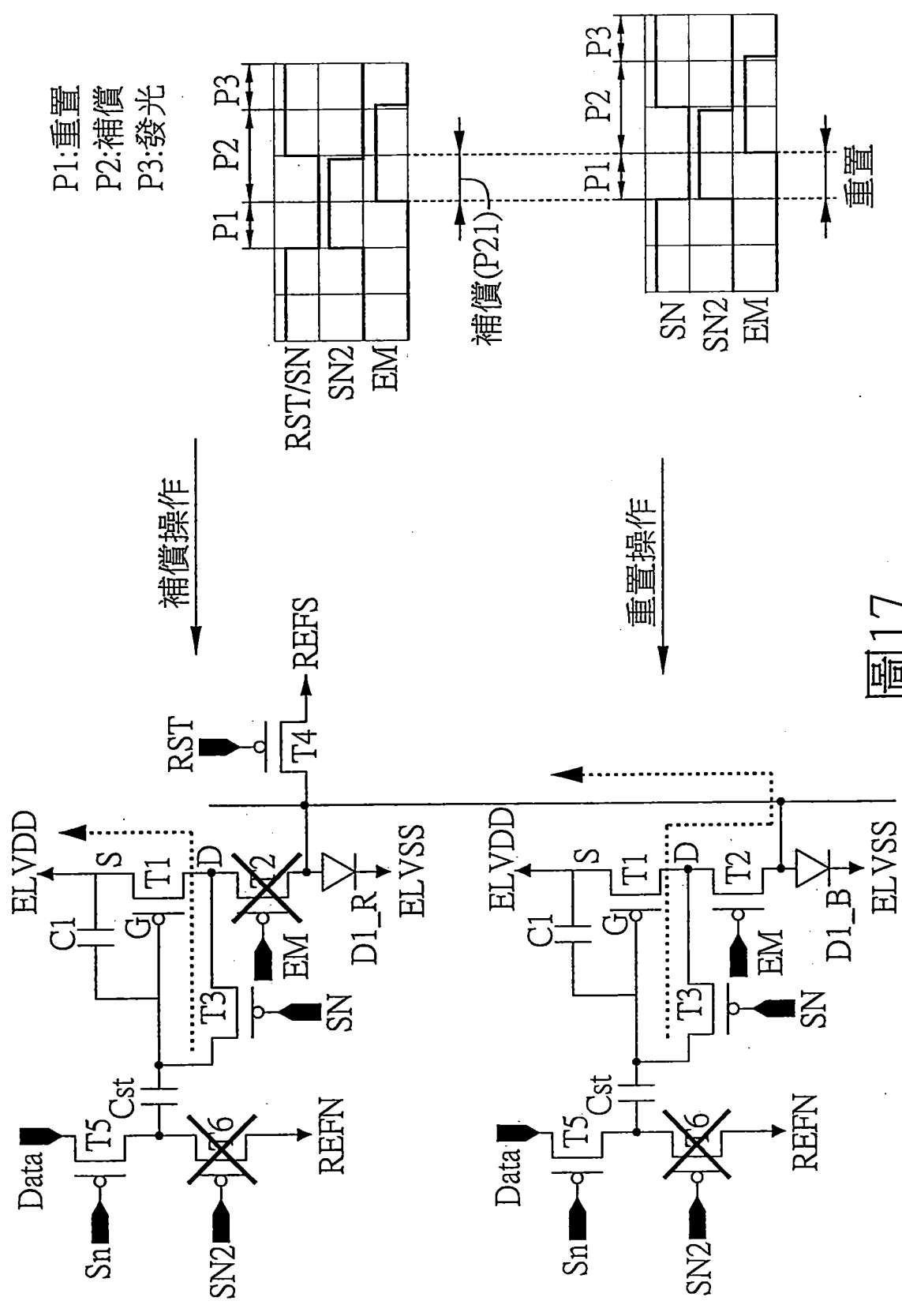


圖17

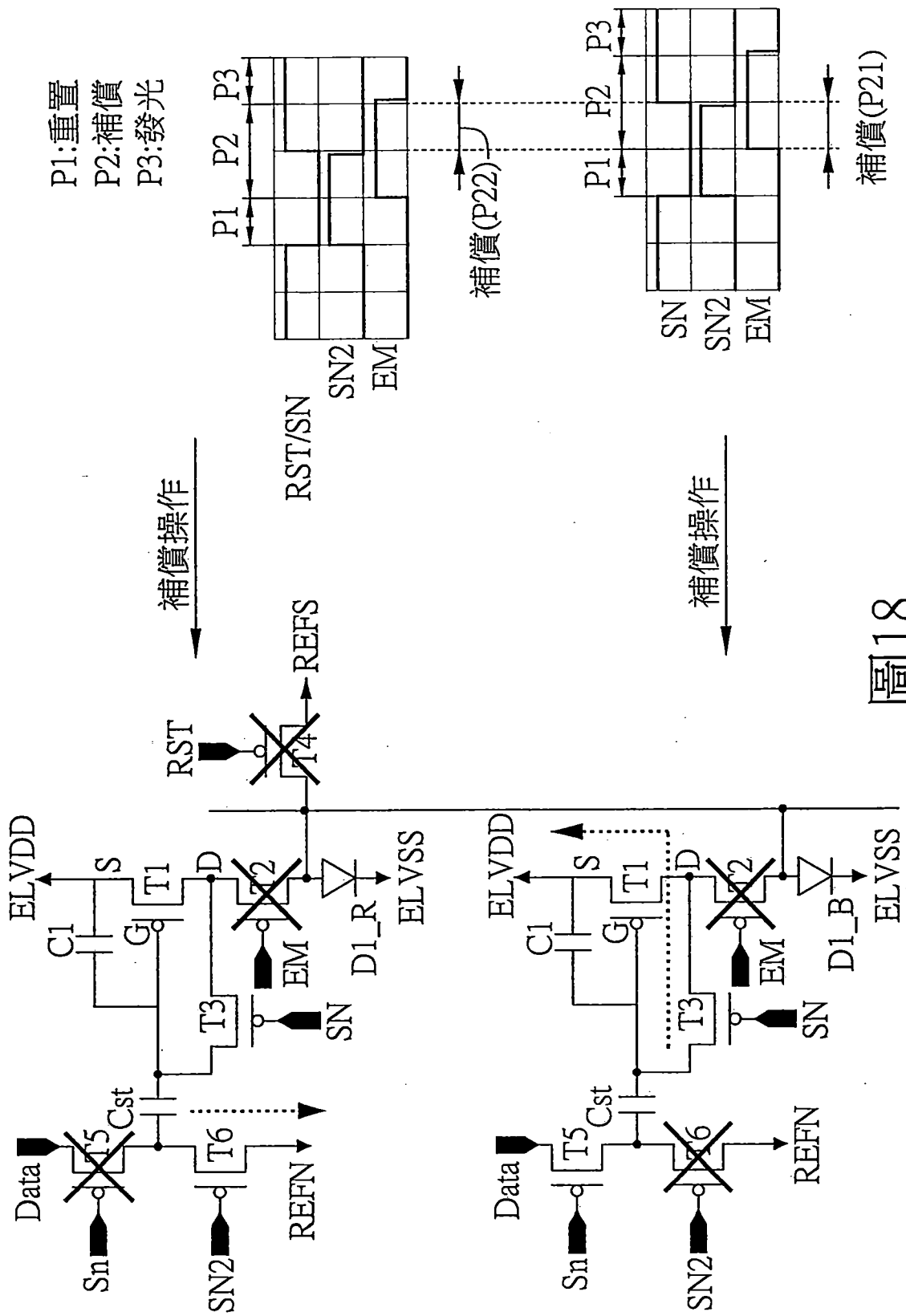


圖18

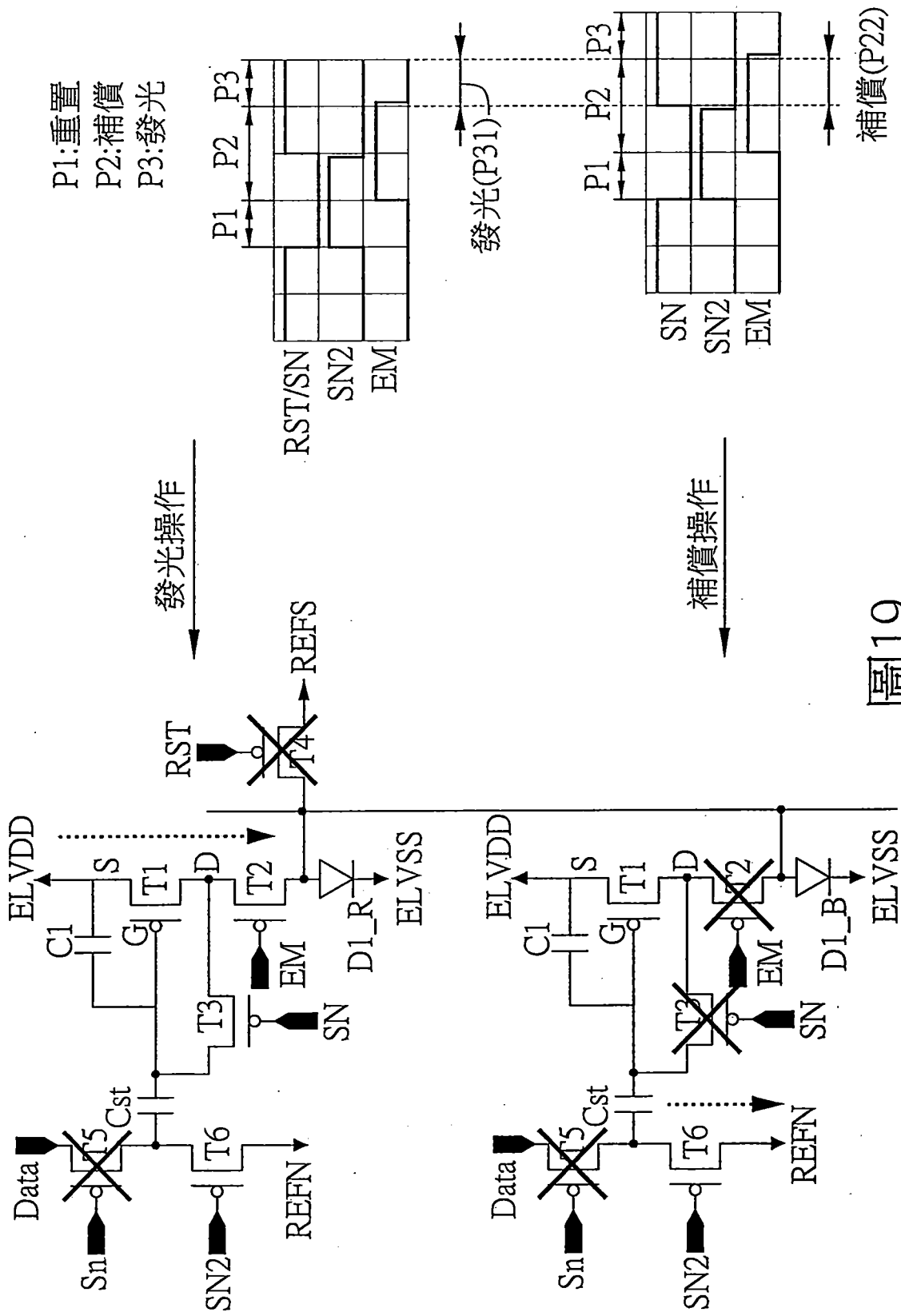


圖19



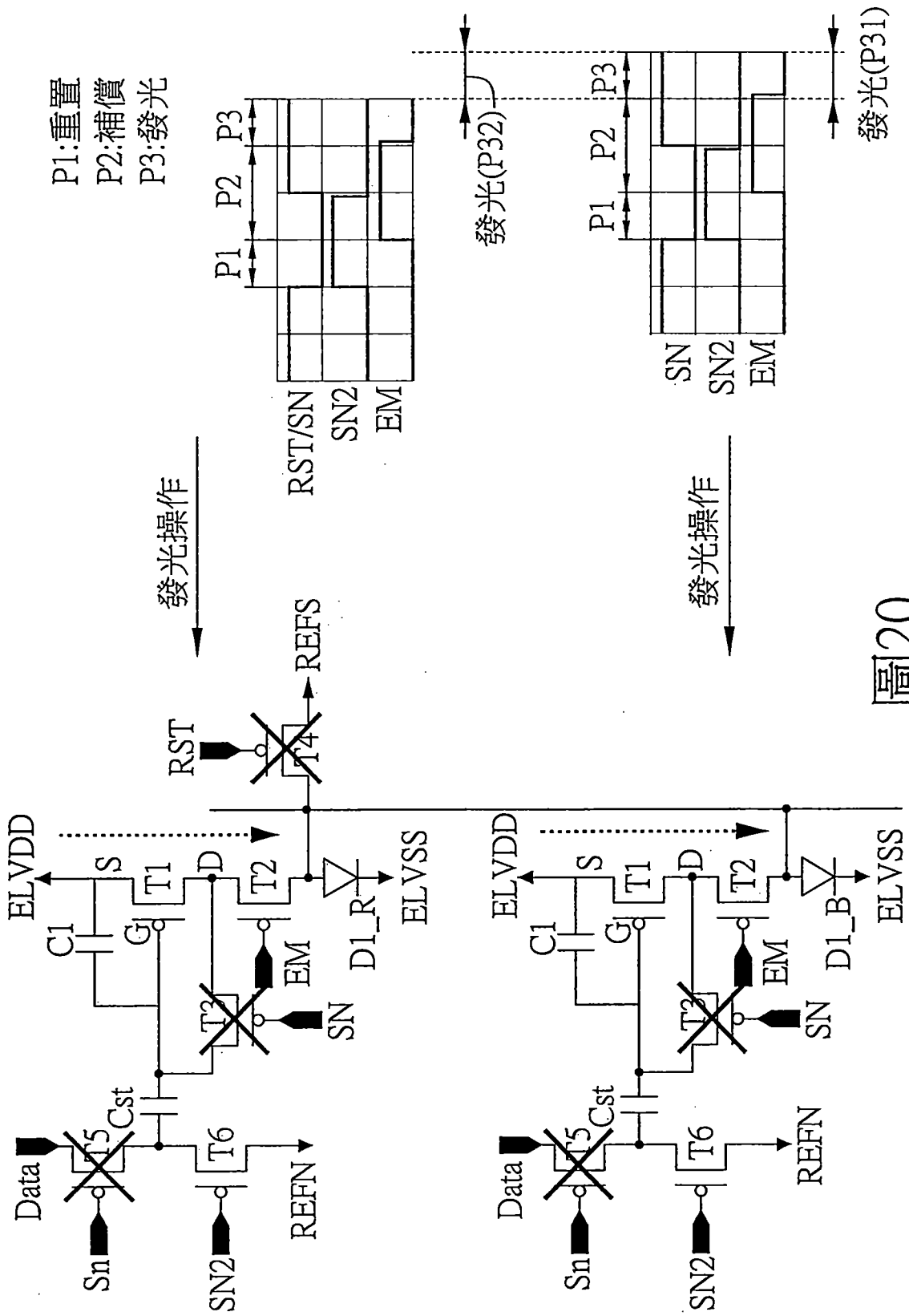


圖20