

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5812027号  
(P5812027)

(45) 発行日 平成27年11月11日(2015.11.11)

(24) 登録日 平成27年10月2日(2015.10.2)

(51) Int.Cl.		F I			
HO2M	1/08	(2006.01)	HO2M	1/08	A
HO1L	29/78	(2006.01)	HO1L	29/78	653A
HO1L	29/739	(2006.01)	HO1L	29/78	655A
HO1L	27/04	(2006.01)	HO1L	29/78	657D

請求項の数 6 (全 15 頁)

(21) 出願番号	特願2013-42882 (P2013-42882)	(73) 特許権者	000004260 株式会社デンソー
(22) 出願日	平成25年3月5日(2013.3.5)		愛知県刈谷市昭和町1丁目1番地
(65) 公開番号	特開2014-171356 (P2014-171356A)	(74) 代理人	110000567 特許業務法人 サトー国際特許事務所
(43) 公開日	平成26年9月18日(2014.9.18)	(72) 発明者	秋山 博則 愛知県刈谷市昭和町1丁目1番地 株式会 社デンソー内
審査請求日	平成26年6月17日(2014.6.17)	(72) 発明者	福井 紀之 愛知県刈谷市昭和町1丁目1番地 株式会 社デンソー内
		審査官	安食 泰秀

最終頁に続く

(54) 【発明の名称】 駆動制御装置

(57) 【特許請求の範囲】

【請求項1】

ゲート駆動電圧が印加される絶縁ゲート型のトランジスタ構造(5)とダイオード構造(6)とが同一の半導体基板(8)に形成され、前記トランジスタ構造の通電電極と前記ダイオード構造の通電電極とが共通の電極(15, 18)とされた半導体素子(1A, 1B)の駆動制御装置(31A, 31B)であって、

少なくとも前記ダイオード構造に流れる電流に応じた電流検出信号を出力する電流検出手段(7A, 7B)と、

オン指令信号が入力されると前記半導体素子に前記ゲート駆動電圧を印加し、当該オン指令信号が入力されている期間において、前記ゲート駆動電圧を印加した時点または前記ゲート駆動電圧を遮断した時点から、前記電流検出信号にゲート駆動状態の変化に伴う過渡的な変動が生じ得る期間を経た後、前記電流検出信号と前記ダイオード構造の順方向電流の向きに設定した電流しきい値との比較に基づいて、前記電流検出信号が前記電流しきい値以上であるとの比較結果により前記ゲート駆動電圧を遮断し、前記電流検出信号が前記電流しきい値よりも小さいとの比較結果により前記ゲート駆動電圧を印加する制御手段(27)とを備え、

前記制御手段は、前記オン指令信号の入力が開始されてから終了するまでの期間において、前記電流検出信号が前記電流しきい値よりも小さいとの比較結果を得た後は、前記ダイオード構造に電流が流れているか否かの判定を停止し、無条件に前記ゲート駆動電圧を印加し続けることを特徴とする駆動制御装置。

## 【請求項 2】

ゲート駆動電圧が印加される絶縁ゲート型のトランジスタ構造(5)とダイオード構造(6)とが同一の半導体基板(8)に形成され、前記トランジスタ構造の通電電極と前記ダイオード構造の通電電極とが共通の電極(15, 18)とされた半導体素子(1A, 1B)の駆動制御装置(31A, 31B)であって、

少なくとも前記ダイオード構造に流れる電流に応じた電流検出信号を出力する電流検出手段(7A, 7B)と、

前記半導体素子のゲート容量を充放電するドライブ回路であって、通常のゲート駆動能力を有する第1ドライブ回路(28)およびこれよりも高い駆動能力を有する第2ドライブ回路(29)と、

オン指令信号が入力されると前記半導体素子に前記第1ドライブ回路により前記ゲート駆動電圧を印加し、当該オン指令信号が入力されている期間において、前記ゲート駆動電圧を印加した時点または前記ゲート駆動電圧を遮断した時点から、前記電流検出信号にゲート駆動状態の変化に伴う過渡的な変動が生じ得る期間を経た後、前記電流検出信号と前記ダイオード構造の順方向電流の向きに設定した電流しきい値との比較に基づいて、前記電流検出信号が前記電流しきい値以上であるとの比較結果により前記ゲート駆動電圧を遮断し、前記電流検出信号が前記電流しきい値よりも小さいとの比較結果により前記ゲート駆動電圧を印加する制御手段(27)とを備え、

前記制御手段は、前記電流検出信号が前記電流しきい値以上であるとの比較結果により前記ゲート駆動電圧を遮断するときには、前記オン指令信号の入力が終了したことに応じて前記ゲート駆動電圧を遮断するとき比べてゲート駆動能力の高い前記第2ドライブ回路により遮断することを特徴とする駆動制御装置。

## 【請求項 3】

前記制御手段は、前記オン指令信号の入力が開始されてから終了するまでの期間において、前記電流検出信号が前記電流しきい値よりも小さいとの比較結果を得た後は、前記ダイオード構造に電流が流れているか否かの判定を停止し、無条件に前記ゲート駆動電圧を印加し続けることを特徴とする請求項2記載の駆動制御装置。

## 【請求項 4】

前記制御手段は、前記オン指令信号が入力されている期間において、前記ゲート駆動電圧の印加を指令した時点または前記ゲート駆動電圧の遮断を指令した時点から、少なくとも前記過渡的な変動が生じ得る期間を含むように設定されたマスク期間を経た後、前記電流検出信号と前記電流しきい値との比較に基づいて前記ゲート駆動電圧を遮断または印加することを特徴とする請求項1から3の何れか一項に記載の駆動制御装置。

## 【請求項 5】

前記制御手段は、前記半導体素子のゲート容量を充放電するゲート駆動能力が高いほど前記マスク期間を短く設定することを特徴とする請求項1から4の何れか一項に記載の駆動制御装置。

## 【請求項 6】

前記半導体素子は、出力端子を挟んで高電位側と低電位側に直列に配されてハーフブリッジ回路(4)を構成するスイッチング素子であることを特徴とする請求項1から5の何れか一項に記載の駆動制御装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、絶縁ゲート型のトランジスタ構造とダイオード構造とが同一の半導体基板に形成された半導体素子の駆動制御装置に関する。

## 【背景技術】

## 【0002】

絶縁ゲート型のバイポーラトランジスタ素子(IGBT素子)とダイオード素子とが同一の半導体基板に形成され、IGBT素子の通電電極(コレクタ、エミッタ)とダイオー

10

20

30

40

50

ド素子の通電電極（カソード、アノード）とが共通の電極とされた半導体素子（RC-IGBT）がある。このRC-IGBTは、ダイオード素子に電流が流れている状態でゲート駆動電圧が印加されると、チャンネルが形成されてホールの注入が抑制されるので、導通損失が増大するという特性を有している。

【0003】

そこで、オン指令信号が与えられている期間、RC-IGBTのセンス素子に流れる電流としきい値とを比較してダイオード素子に電流が流れているか否かを判定し、電流が流れているときにはゲート駆動電圧を遮断し、流れていないときにはゲート駆動電圧を印加する駆動制御が提案されている（特許文献1参照）。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2010-118642号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

上述したゲート駆動電圧の遮断制御は、ダイオード素子に電流が流れているときに限り行う必要がある。例えばインバータ装置において、オン指令信号に従ってIGBT素子に電流が流れている状態、換言すればダイオード素子に電流が流れていない状態でゲート駆動電圧を遮断すると、電流波形に歪みが生じる。このため、ダイオード素子に電流が流れているか否かの極性判定には高い精度を必要とする。

【0006】

しかし、センス抵抗などの電流検出部には、実装上避けられない寄生インダクタンスが存在する。そのため、RC-IGBTに流れる素子電流が変化すると、寄生インダクタンスに起因して電流検出信号に振動が生じる。その結果、特に素子電流が小さいときには、電流検出信号の振動分がしきい値を下回り、極性判定を誤る虞が生じる。その他の原因により電流検出信号に振動等が重畳する場合もある。

【0007】

これに対しては、極性判定に用いるしきい値を高く設定することで回避できるが、しきい値を高くすると、ダイオード素子に電流が流れているにもかかわらずゲート駆動電圧を遮断できない不感帯が増える。このため、特に低電流のときに導通損失を十分に低減できないという問題がある。

【0008】

本発明は上記事情に鑑みてなされたもので、その目的は、トランジスタ構造とダイオード構造とが同一の半導体基板に形成された半導体素子に対し、ダイオード構造に電流が流れているか否かを高精度に判定し、その判定結果を用いて導通損失を低減できる駆動制御装置を提供することにある。

【課題を解決するための手段】

【0009】

請求項1に記載した駆動制御装置は、ゲート駆動電圧が印加される絶縁ゲート型のトランジスタ構造とダイオード構造とが同一の半導体基板に形成され、トランジスタ構造の通電電極とダイオード構造の通電電極とが共通の電極とされた半導体素子の駆動制御を行う。駆動制御装置は、少なくともダイオード構造に流れる電流に応じた電流検出信号を出力する電流検出手段と、ゲート駆動電圧の印加と遮断を制御する制御手段とを備えている。

【0010】

制御手段は、オン指令信号が入力されると、半導体素子にゲート駆動電圧を印加する。ゲート駆動電圧は、トランジスタ構造を通電可能な状態に移行させることができる電圧である。制御手段は、オン指令信号が入力されている期間において、ゲート駆動電圧を印加した時点またはゲート駆動電圧を遮断した時点から、電流検出信号にゲート駆動状態の変化に伴う過渡的な変動が生じ得る期間が経過した後、電流検出信号とダイオード構造の順

10

20

30

40

50

方向電流の向きに設定した電流しきい値との比較に基づいてゲート駆動電圧を遮断または印加する。すなわち、電流検出信号が電流しきい値以上であるとの比較結果によりゲート駆動電圧を遮断し、電流検出信号が電流しきい値よりも小さいとの比較結果によりゲート駆動電圧を印加する。

#### 【0011】

本手段によれば、電流検出信号に過渡的な変動（振動、変位など）が重畳する虞のある期間を避けて電流検出信号と電流しきい値との比較結果を参照するので、電流しきい値を高めることなく、ダイオード構造に電流が流れているか否かを高精度に判定できる。その結果、上記過渡的な変動が生じ得る期間を除いて、ダイオード構造に電流が流れている期間で確実にゲート駆動電圧が遮断されるので、ダイオード構造の導通損失を低減することができる。また、ダイオード構造に電流が流れていない期間で確実にゲート駆動電圧が印加されるので、トランジスタ構造にオン指令信号に従った電流を流すことができる。

10

そして、制御手段は、オン指令信号の入力が開始されてから終了するまでの期間において、電流検出信号が電流しきい値よりも小さいとの比較結果を得た後は、当該オン駆動電圧を印加し続ける。こうした状況は、トランジスタ構造に電流が流れている時、およびダイオード構造に流れる電流が電流しきい値を超えて減少する時に生じる。特に後者の場合において、ゲート駆動電圧の印加と遮断を繰り返す振動の発生を防止することができる。

請求項2に記載した手段によれば、制御手段は、電流検出信号が電流しきい値以上であるとの比較結果によりゲート駆動電圧を遮断するときには、オン指令信号の入力が終了したことに応じてゲート駆動電圧を遮断するとき比べてゲート駆動能力を高める。これにより、ダイオード構造に電流が流れている場合のゲート駆動電圧の遮断期間を長く確保でき、導通損失を一層低減することができる。

20

#### 【0012】

請求項4に記載した手段によれば、制御手段は、オン指令信号が入力されている期間において、ゲート駆動電圧の印加を指令した時点またはゲート駆動電圧の遮断を指令した時点から、少なくとも前記過渡的な変動が生じ得る期間を含むように設定されたマスク期間を経た後、電流しきい値と電流検出信号との比較に基づいてゲート駆動電圧を遮断または印加する。制御手段は、ゲート駆動電圧について自ら印加/遮断を指令した時点からマスク期間を開始するので、マスク期間の開始タイミングおよび電流検出信号の比較タイミングの制御が容易になる。

30

#### 【0013】

請求項5に記載した手段によれば、制御手段は、半導体素子のゲート容量を充放電するゲート駆動能力が高いほどマスク期間を短く設定する。ゲート駆動能力が高いほど、ゲート駆動電圧の変化に要する時間が短くなるので、電流検出信号に生じる過渡的な変動の重畳期間も短くなると考えられる。マスク期間を短縮することにより、ダイオード構造に電流が流れている場合のゲート駆動電圧の遮断期間を長く確保でき、導通損失を一層低減することができる。

#### 【0016】

請求項6に記載した手段によれば、半導体素子は、出力端子を挟んで高電位側と低電位側に直列に配されてハーフブリッジ回路を構成するスイッチング素子である。こうしたハーフブリッジ回路にモータ等の誘導性負荷が接続されると、一方の半導体素子のトランジスタ構造に電流が流れている状態でそのゲート駆動電圧が遮断された時に、他方の半導体素子のダイオード構造に電流が還流する。従って、上述した各構成を備えることにより、ダイオード構造の導電損失が小さくなり、電流の極性反転時における歪みも小さい良好な運転を行うことができる。

40

#### 【図面の簡単な説明】

#### 【0017】

【図1】本発明の一実施形態を示す駆動制御システムの構成図

【図2】メイン素子とセンス素子の回路構成図

【図3】半導体素子の模式的な縦断面図

50

【図4】ダイオード素子の順方向の電圧電流特性図

【図5】ハーフブリッジ回路を構成する半導体素子の電流波形図

【図6】波形、センス電圧の変動要因およびV<sub>f</sub>制御に係る期間を示す図

【図7】図6相当図

【図8】図6相当図

【図9】図6の場合に対応した電流経路図

【図10】センス電圧が過渡的に変動する第1の原因の説明図

【図11】センス電圧が過渡的に変動する第2の原因の説明図

【図12】センス電圧が過渡的に変動する第3の原因の説明図

【発明を実施するための形態】

10

【0018】

以下、本発明の一実施形態について図面を参照しながら説明する。図1に示す駆動制御システムは、モータ等の誘導性負荷を駆動するインバータ装置、インダクタを備えて直流電圧を昇圧/降圧するチョッパ装置などの電力変換装置に用いられる。スイッチング素子である半導体素子1A、1Bは、高電位側の直流電源線2と低電位側の直流電源線3との間に出力端子N<sub>t</sub>を挟んで直列に配されて、ハーフブリッジ回路4を構成している。

【0019】

同一構造を持つ半導体素子1A、1Bは、絶縁ゲート型のトランジスタ素子5とダイオード素子6とが同一の半導体基板に形成された逆導通型IGBT(RC-IGBT)である。トランジスタ素子5の通電電極(コレクタ、エミッタ)とダイオード素子6の通電電極(カソード、アノード)は共通の電極とされている。

20

【0020】

このメイン素子に加え、半導体基板には、図2に示すようにメイン素子に流れる電流に比例した微小な電流を流すトランジスタ素子5<sub>s</sub>とダイオード素子6<sub>s</sub>とからなるセンス素子が形成されている。図1ではメイン素子とセンス素子を簡易的に表している。半導体素子1A、1Bのセンス端子S<sub>1</sub>、S<sub>2</sub>間には、それぞれセンス抵抗7A、7Bが接続されている。センス抵抗7A、7Bは、電流検出手段を構成している。

【0021】

半導体素子1A、1Bの一例として、図3に縦型構造のRC-IGBTを示す。本実施形態のRC-IGBTは、トランジスタ構造とダイオード構造とが同一の半導体基板に設けられている。半導体基板8は、n型のシリコン基板により構成されている。図示しないが、半導体基板8の素子形成領域の周縁部近傍には、当該素子形成領域を囲むようにガードリングが形成されている。

30

【0022】

半導体基板8の上面側表層部には、p型のベース層9が形成されている。ベース層9には、ベース層9を貫通して半導体基板8に達する深さを持つ複数のトレンチが形成されている。トレンチ内にはポリシリコンが埋め込まれており、これによりトレンチ構造を持つゲート電極10が形成されている。各ゲート電極10には、共通のゲート配線11を通してゲート駆動電圧が入力される。ゲート電極10は、ベース層9の表層部に沿う一方向に等間隔でストライプ状に設けられている。これにより、ベース層9は、上記一方向に沿って互いに電氣的に分離した複数の第1領域12と複数の第2領域13とに区画される。これら第1領域12と第2領域13は交互に配設されており、第2領域13の幅は第1領域12の幅よりも広がっている。

40

【0023】

第1領域12の表層部には、ゲート電極10に隣接してn+型のエミッタ領域14が形成されている。第1領域12の上にはエミッタ電極15が形成されている。エミッタ電極15は、第1領域12のベース層9とエミッタ領域14とに接続されている。第1領域12は、トランジスタ素子5のチャンネル領域として動作するとともに、ダイオード素子6のアノード領域として動作する。すなわち、第1領域12に対するエミッタ電極15は、トランジスタ素子5のエミッタ電極およびダイオード素子6のアノード電極となる。

50

## 【 0 0 2 4 】

コレクタ領域 1 6 (後述)の上方に設けられた第 2 領域 1 3 a は、何れの電極にも接続されていない。カソード領域 1 7 (後述)の上方に設けられた第 2 領域 1 3 b は、エミッタ電極 1 5 と接続されている。これにより、第 2 領域 1 3 のうちカソード領域 1 7 の上方に設けられた第 2 領域 1 3 b だけが、ダイオード素子 6 のアノード領域として動作する。すなわち、エミッタ電極 1 5 は、第 2 領域 1 3 b においてダイオード素子 6 のアノード電極となる。

## 【 0 0 2 5 】

半導体基板 8 の下面側表層部には、第 2 領域 1 3 a が形成される範囲 (破線の左側) に対応して p + 型のコレクタ領域 1 6 が形成され、第 2 領域 1 3 b が形成される範囲 (破線の右側) に対応して n + 型のカソード領域 1 7 が形成されている。コレクタ領域 1 6 とカソード領域 1 7 は、コレクタ電極 1 8 と接続されている。すなわち、ダイオード素子 6 のカソード電極は、トランジスタ素子 5 のコレクタ電極 1 8 と共通になっている。半導体基板 8 とコレクタ領域 1 6 およびカソード領域 1 7 との間には、n 型のフィールドストップ層 1 9 が形成されている。

10

## 【 0 0 2 6 】

図 1 に示す駆動制御システムにおいて、マイクロコンピュータ (マイコン) 2 1 は、ハーフブリッジ回路 4 のハイサイドとローサイドの PWM 信号 F H、F L を生成する PWM 信号生成部 2 2 を備えている。PWM 信号 F H、F L は、ともに L レベル (オフ指令レベル) となる一定幅のデッドタイムを有している。PWM 信号 F H、F L は、それぞれフォトカプラ 2 3 A、2 3 B を介して駆動 IC 2 4 A、2 4 B に入力される。本発明で言うオン指令信号とは、H レベル (オン指令レベル) を持つ PWM 信号 F H、F L である。

20

## 【 0 0 2 7 】

同じ構成を持つ駆動 IC 2 4 A、2 4 B は、電流比較回路 2 5、マスク回路 2 6、制御回路 2 7 およびドライブ回路 2 8、2 9 を備えている。駆動 IC 2 4 A、2 4 B には、それぞれしきい値設定回路 3 0 A、3 0 B が外付けされている。しきい値設定回路 3 0 A、3 0 B は、基準電圧  $V_r$  を抵抗  $R_1$ 、 $R_2$  で分圧してしきい値電圧  $V_t$  を生成する。駆動 IC 2 4 A とセンス抵抗 7 A により駆動制御装置 3 1 A が構成され、駆動 IC 2 4 B とセンス抵抗 7 B により駆動制御装置 3 1 B が構成されている。

30

## 【 0 0 2 8 】

駆動 IC 2 4 A の電流比較回路 2 5 は、センス抵抗 7 A に生じるセンス電圧  $V_{SH}$  と、しきい値設定回路 3 0 A で生成されるしきい値電圧  $V_t$  とを比較し、その結果信号である比較信号 S CH を出力する。同様に、駆動 IC 2 4 B の電流比較回路 2 5 は、センス抵抗 7 B に生じるセンス電圧  $V_{SL}$  と、しきい値設定回路 3 0 B で生成されるしきい値電圧  $V_t$  とを比較し、その結果信号である比較信号 S CL を出力する。センス電圧  $V_{SH}$ 、 $V_{SL}$  は電流検出信号に相当し、しきい値電圧  $V_t$  は電流しきい値に相当する。

## 【 0 0 2 9 】

駆動 IC 2 4 A の制御回路 2 7 は、PWM 信号 F H を入力してゲート駆動電圧  $V_{GH}$  の印加と遮断を行う。さらに、制御回路 2 7 は、PWM 信号 F H が H レベルの期間において、半導体素子 1 A のダイオード素子 6 に電流が流れているときにゲート駆動電圧  $V_{GH}$  を遮断する制御を行う。この制御は、ダイオード素子 6 の順方向電圧  $V_f$  を低下させる作用を持つので、以下の説明では  $V_f$  制御と称する。

40

## 【 0 0 3 0 】

$V_f$  制御を効果的に行うには、PWM 信号 F H が H レベルの期間において、ダイオード素子 6 に電流が流れているか否かを高精度に判定する必要がある。そこで、制御回路 2 7 は、マスク回路 2 6 に対し後述するタイミングでマスク信号を出力する。マスク回路 2 6 は、マスク信号が L レベルとなる非マスク期間に比較信号 S CH をそのまま制御回路 2 7 に出力し、マスク信号が H レベルとなるマスク期間に比較信号 S CH をマスク処理して制御回路 2 7 に出力する。マスク処理とは、入力した比較信号 S CH をマスク期間が開始する直前の値に保持する処理である。

50

## 【 0 0 3 1 】

ドライブ回路 28 と 29 は、半導体素子 1 A、1 B のゲート容量を充放電するゲート駆動能力が異なる。ドライブ回路 28 は、通常のゲート駆動能力を備えている。すなわち、素子電流の急峻な電流変化 ( $di/dt$ ) による電圧サージを抑制するため、ターンオン時には定電流回路を用いて駆動し、ターンオフ時にはオン抵抗を高めた駆動回路を使用し、スイッチング速度を遅くしている。これに対し、ドライブ回路 29 は、ドライブ回路 28 よりも高いゲート駆動能力を備えている。すなわち、ターンオン時には定電圧回路を用いて駆動し、ターンオフ時には上記オン抵抗を高めた駆動回路と並列にオン抵抗を下げた駆動回路を使用し、スイッチング速度を高めている。

## 【 0 0 3 2 】

制御回路 27 は、PWM 信号 FH の立ち上がりによりゲート駆動電圧 VGH を印加するとき、および PWM 信号 FH の立ち下がりによりゲート駆動電圧 VGH を遮断するとき、通常のゲート駆動能力を持つドライブ回路 28 を用いる。これに対し、Vf 制御によりゲート駆動電圧 VGH を印加、遮断するとき、高いゲート駆動能力を持つドライブ回路 29 を用いる。ゲート駆動電圧 VGH は、トランジスタ素子 5 をオン状態に移行させることができる電圧である。駆動 IC 24 B のマスク回路 26、制御回路 27 およびドライブ回路 28、29 も同様に構成されている。

## 【 0 0 3 3 】

次に、図 4 から図 12 を参照しながら、主としてローサイド側の駆動制御装置 31 B の作用について説明する。ハイサイド側の駆動制御装置 31 A の作用も同様となる。RC-IGBT である半導体素子 1 A、1 B は、ダイオード素子 6 に電流が流れている状態でゲート駆動電圧が印加されると、第 1 領域 12 にチャネルが形成されてホールの注入が抑制される。このため、図 4 に示すように、順方向電流 If が流れているダイオード素子 6 の順方向電圧 Vf が Vf だけ高くなり、ダイオード素子 6 の導通損失 ( $Vf \times If$ ) が増大する。

## 【 0 0 3 4 】

駆動 IC 24 A、24 B が PWM 信号 FH、FL に基づいてハーフブリッジ回路 4 を駆動すると、半導体素子 1 B に流れる電流は図 5 に示す波形となる。図 5 に示す正の向きの電流は、エミッタ電極 15 からコレクタ電極 18 の向きにダイオード素子 6 に流れる電流であり、負の向きの電流は、コレクタ電極 18 からエミッタ電極 15 の向きにトランジスタ素子 5 に流れる電流である。

## 【 0 0 3 5 】

すなわち、前半の半周期では、出力端子 Nt から負荷の向きに電流が流れており、PWM 信号 FL が H レベルになると、半導体素子 1 B のダイオード素子 6 を通して負荷電流 (インバータ装置では相電流) が還流する。後半の半周期では、負荷から出力端子 Nt の向きに電流が流れており、PWM 信号 FL が H レベルになると、半導体素子 1 B のトランジスタ素子 5 を通して電流が流れる。

## 【 0 0 3 6 】

半導体素子 1 B について、ダイオード素子 6 の順方向電圧 Vf を低下させて導通損失を低減する Vf 制御は、図 5 に示す矢印のタイミングつまり PWM 信号 FL が H レベルになった時に、ダイオード素子 6 に電流が流れているか否かを判定する必要がある。さらに、相電流の向きが入れ替わるゼロクロス付近では、PWM 信号 FL の H レベル期間の途中でダイオード素子 6 の電流がゼロになる場合もある (図 7 参照)。従って、Vf 制御を行う場合、PWM 信号 FL が H レベルの期間において、ダイオード素子 6 に電流が流れているか否かを常に判定することが望ましい。

## 【 0 0 3 7 】

しかしながら、実際の回路では、ダイオード素子 6 に流れる電流を正確に検出できない場合がある。図 6 から図 8 は、PWM 信号 FL が H レベルにある期間およびその前後期間における PWM 信号 FH、FL、ゲート駆動電圧 VGH、VGL、出力端子 Nt の電圧、半導体素子 1 B の電流、センス電圧 VSL、電流検出の障害要因の発生期間、Vf 制御の対象期

10

20

30

40

50

間、電流判定の停止期間およびマスク期間を示している。

【 0 0 3 8 】

図 6 から図 8 に記載した時刻  $t_1 \sim t_{11}$  は、相互に対応している。各図に示す電流検出の障害要因は、自らの図に示した波形状態に基づいて発生する障害要因を太線のハッチングで示し、他の図に示した波形状態に基づいて発生する障害要因を細線のハッチングで示している。さらに、図 9 には、図 6 の各時刻に対応させて、半導体素子 1 A、1 B に流れる電流の経路を示している。図 9 に示すゲートの電圧は、ゲート駆動電圧  $V_{GH}$ 、 $V_{GL}$  を 15 V とし、ゲートしきい値電圧を  $V_{TH}$  として示している。

【 0 0 3 9 】

図 6 は、半導体素子 1 A、1 B に電流しきい値以上の電流が流れている場合である。図 7 は、PWM 信号  $F_L$  が H レベルにある期間の途中で、ダイオード素子 6 の電流が電流しきい値を下回った場合である。図 8 は、半導体素子 1 A、1 B の電流がデッドタイムの期間にゼロとなり発振する場合である。各図のセンス電圧  $V_{SL}$  には、電流検出にとって障害となる振動、変位などの過渡的な変動が発生していることが分かる。

【 0 0 4 0 】

こうしたセンス電圧  $V_{SL}$  の過渡的な変動は、主に 3 つの原因で発生すると考えられる。

第 1 の原因は、図 10 ( a ) に示すように、半導体素子 1 B のセンス端子  $S_1$ 、 $S_2$  からセンス抵抗  $R_B$  までの配線に寄生するインダクタンス  $L_{S1}$ 、 $L_{S2}$  による発振である。この発振は、ゲート駆動電圧  $V_{GL}$  が印加または遮断されて半導体素子 1 B に流れる電流が変化した時にセンス電圧  $V_{SL}$  に生じる。半導体素子 1 B に流れる実際の電流は殆ど変動しない。図 10 ( b ) は素子電流が小さい場合、図 10 ( c ) は素子電流が大きい場合を示している。素子電流が小さい場合には、ダイオード素子 6 に電流が流れているか否かの判定を誤る虞がある。

【 0 0 4 1 】

第 2 の原因は、図 11 に示すように、半導体素子 1 B のゲート・エミッタ間容量  $C_{GE}$  による変位である。この変位は、ゲート駆動電圧  $V_{GL}$  が印加または遮断された時に、ゲート・エミッタ間容量  $C_{GE}$  を介してセンス抵抗  $R_B$  にゲート充電電流またはゲート放電電流が流れることで生じる。半導体素子 1 B に流れる実際の電流は殆ど変動しない。

【 0 0 4 2 】

第 3 の原因は、図 12 に示すように、半導体素子 1 A、1 B のコレクタ・エミッタ間容量  $C_{CE}$  と、半導体素子 1 A、1 B 間の配線に寄生するインダクタンス  $L_{T1}$ 、 $L_{T2}$  とによる発振である。この発振は、相電流がゼロに近い状態でデッドタイムの期間に入り相電流がゼロになった時に、コレクタ・エミッタ間容量  $C_{CE}$  と寄生インダクタンス  $L_{T1}$ 、 $L_{T2}$  との間で生じる共振である。この場合には、第 1、第 2 の原因と異なり、半導体素子 1 A、1 B に流れる実際の電流も発振する。

【 0 0 4 3 】

電流しきい値以上の相電流が流れている図 6 に示す場合には、第 3 の原因による発振は生じない。相電流が電流しきい値を下回るがゼロまでは低下していない図 7 に示す場合にも、第 3 の原因による発振は生じない。これらの場合、時刻  $t_1$  で PWM 信号  $F_H$  が L レベルになると、駆動  $I_{C24A}$  は、ドライブ回路 28 を用いてゲート駆動電圧  $V_{GH}$  を遮断する。ミラー期間が経過する時刻  $t_2$  までは、図 9 ( a ) に示すように半導体素子 1 A のトランジスタ素子 5 に電流が流れる。

【 0 0 4 4 】

ミラー期間が終わる時刻  $t_2$  から半導体素子 1 A の電流が減少し、替わって半導体素子 1 B の電流が増加する。半導体素子 1 B の電流は、ダイオード素子 6 に流れる還流電流である。この時刻  $t_2$  から  $t_3$  までは、図 9 ( b ) に示すように半導体素子 1 A のトランジスタ素子 5 と半導体素子 1 B のダイオード素子 6 に電流が流れる。この電流変化期間では、第 1 の原因によりセンス電圧  $V_{SL}$  が振動する。

【 0 0 4 5 】

デッドタイムが経過した時刻  $t_4$  で、ローサイドの PWM 信号  $F_L$  が H レベルになると

10

20

30

40

50



、駆動IC24Bの制御回路27は、通常のゲート駆動能力を持つドライブ回路28を用いてゲート駆動電圧VGLを印加する。ダイオード素子6の電流判定をすることなく無条件にゲート駆動電圧VGLを印加するのは、相電流がゼロに近い場合に第3の原因により時刻t4の前後で発生する発振を避けるためである(図8参照)。

【0046】

時刻t4からt7までのゲート駆動電圧VGLの立ち上がり期間ではゲート充電電流が流れるので、第2の原因によりセンス電圧VSLが正方向に変位する。時刻t3からt5までの期間では、図9(c)に示すようにハイサイドの半導体素子1Aの電流は遮断され、ローサイドの半導体素子1Bにのみ電流が流れている。この期間では、まだ十分なゲート駆動電圧VGLが印加されていないので、ダイオード素子6の順方向電圧Vfは低い状態にある。

10

【0047】

これに対し、負荷電流がゼロに近い場合には図8に示す波形となる。デッドタイムの期間において、時刻t2より若干遅れた時刻t2で電流がゼロになると、第3の原因により半導体素子1A、1Bに流れる電流が発振する。この発振は、時刻t4でローサイドのPWM信号FLがHレベルになり、時刻t5でゲート駆動電圧VGLがミラー期間に移行するまで続く。時刻t5からt6までのミラー期間では、電流が増加するので第1の原因によりセンス電圧VSLが振動する。さらに、時刻t4からt7までのゲート駆動電圧VGLの立ち上がり期間ではゲート充電電流が流れるので、第2の原因によりセンス電圧VSLが正方向に変位する。

20

【0048】

半導体素子1Bに対するVf制御は、PWM信号FLがHレベルの期間を対象としている。このため、駆動IC24Bの制御回路27は、それ以外の期間(時刻t4までの期間および時刻t1以降の期間)ではVf制御を停止し、PWM信号FLに従ってゲート駆動電圧VGLの印加と遮断を行う。

【0049】

駆動IC24Bの制御回路27は、時刻t4でPWM信号FLがHレベルになると、ドライブ回路28にゲート駆動電圧VGLの印加を指令するとともに、その時点からマスク回路26にHレベルのマスク信号を与える。制御回路27は、センス電圧VSLに生じる振動や変位などの過渡的な変動によるダイオード電流の誤判定を避けるため、マスク期間(時刻t4からt8)が経過するまでの間、マスク信号をHレベルに維持し、比較信号SCLの参照を停止する。マスク時間は、少なくとも上記過渡的な変動が生じる時間(時刻t4からt7)が含まれるように予め決定されており、制御回路27に準備(例えば記憶)されている。時刻t7からt8までの時間は余裕時間である。

30

【0050】

制御回路27は、マスク期間が終了した時刻t8において比較信号SCLを参照する。制御回路27は、ダイオード素子6の順方向の向きにおいて、センス電圧VSLがしきい値電圧Vt以上との比較結果を得ると、ダイオード素子6に電流が流れていると判定し、高いゲート駆動能力を持つドライブ回路29を用いてゲート駆動電圧VGLを遮断する(図6、図7)。このときトランジスタ素子5には電流が流れていないので、ゲート駆動電圧VGLを遮断しても素子電流に影響はない。一方、センス電圧VSLがしきい値電圧Vt未満との比較結果を得ると、ダイオード素子6に電流が流れていないと判定し、ゲート駆動電圧VGLを印加し続ける(図8)。

40

【0051】

図6、図7において、時刻t8からt9までのゲート駆動電圧VGLの立ち下がり期間ではゲート放電電流が流れるので、第2の原因によりセンス電圧VSLが負方向に変位する。そこで、制御回路27は、ドライブ回路29にゲート駆動電圧VGLの遮断を指令した時点からマスク期間(時刻t8からt10)が経過するまでの間、マスク信号をHレベルに維持し、比較信号SCLの参照を停止する。このときのマスク期間も、過渡的な変動が生じる期間(時刻t8からt9)に余裕時間を加えた長さに決定されている。

50

## 【 0 0 5 2 】

図 6、図 7 における時刻  $t_5$  から  $t_9$  の期間では、図 9 ( d ) に示すようにダイオード素子 6 に電流が流れている状態でゲート駆動電圧  $V_{GL}$  が印加されるので、順方向電圧  $V_f$  が  $V_f$  だけ高くなり導通損失が増大する ( 図 4 参照 )。これに対し、図 6 に示す時刻  $t_9$  から  $t_{11}$  では、図 9 ( e ) に示すようにダイオード素子 6 に電流が流れている状態でゲート駆動電圧  $V_{GL}$  が遮断されるので、順方向電圧  $V_f$  が  $V_f$  だけ低くなり導通損失が低減する。

## 【 0 0 5 3 】

図 7 に示す場合には、相電流が減少して時刻  $t_{10}$  で電流しきい値を下回る。制御回路 27 は、センス電圧  $V_{SL}$  がしきい値電圧  $V_t$  未満であるとの比較結果を得ると、ダイオード素子 6 に電流が流れていないと判定し、高いゲート駆動能力を持つドライブ回路 29 を用いてゲート駆動電圧  $V_{GL}$  を印加する。これ以降、制御回路 27 は、PWM 信号  $F_L$  が L レベルになる時刻  $t_{11}$  までの間、ゲート駆動電圧  $V_{GL}$  を印加し続ける。図 8 に示す場合も、マスク期間が終了した時刻  $t_8$  で、センス電圧  $V_{SL}$  がしきい値電圧  $V_t$  未満との比較結果を得ると、時刻  $t_{11}$  までの間ゲート駆動電圧  $V_{GL}$  を印加し続ける。

10

## 【 0 0 5 4 】

すなわち、制御回路 27 は、PWM 信号  $F_L$  が H レベルの期間において、センス電圧  $V_{SL}$  がしきい値電圧  $V_t$  よりも小さいとの比較結果を得た後は、ダイオード素子 6 に電流が流れているか否かの判定を停止し、無条件にゲート駆動電圧  $V_{GL}$  を印加し続ける。図 6 から図 8 では、電流判定の停止期間として示している。電流判定の停止期間中は、もはやマスク期間を設定する必要はない。

20

## 【 0 0 5 5 】

電流判定を停止する理由は、特に図 7 に示す場合のように、センス電圧  $V_{SL}$  がしきい値電圧  $V_t$  よりも低下する時の安定化にある。この時には、ゲート駆動電圧  $V_{GL}$  の印加によるマスク期間を設けたとしても、センス電圧  $V_{SL}$  に重畳する僅かな変動によりゲート駆動電圧  $V_{GL}$  の更なる遮断と印加が繰り返される虞があるからである。

## 【 0 0 5 6 】

時刻  $t_{11}$  で PWM 信号  $F_L$  が L レベルになると、制御回路 27 は、ドライブ回路 28 を用いてゲート駆動電圧  $V_{GL}$  を遮断する。その後、デッドタイムが経過すると PWM 信号  $F_H$  が H レベルになる。PWM 信号  $F_H$  が H レベルの期間では、半導体素子 1A に対する  $V_f$  制御が行われる。

30

## 【 0 0 5 7 】

以上説明したように、駆動 IC 24A、24B の制御回路 27 は、それぞれ、PWM 信号  $F_H$ 、 $F_L$  が H レベルの期間、RC-IGBT 構造を持つ半導体素子 1A、1B のダイオード素子 6 に電流が流れていると判定すると、ゲート駆動電圧  $V_{GH}$ 、 $V_{GL}$  を遮断する。この  $V_f$  制御により、ダイオード素子 6 の順方向電圧  $V_f$  が低下し、ダイオード素子 6 の導通損失を低減することができる。

## 【 0 0 5 8 】

センス抵抗 7A、7B で検出されるセンス電圧  $V_{SH}$ 、 $V_{SL}$  には、振動、変位などの過渡的な変動が生じるので、ダイオード素子 6 に電流が流れているか否かを高精度に判定する上で障害になる。制御回路 27 は、この過渡的な変動が生じる虞のある期間を避けてセンス電圧  $V_{SH}$  /  $V_{SL}$  としきい値電圧  $V_t$  との比較結果を参照する。これにより、しきい値電圧  $V_t$  を高めることなく過渡的な変動の影響を回避できる。しきい値電圧  $V_t$  を低く設定できれば、ダイオード素子 6 に電流が流れているにもかかわらず流れていないと判定する不感帯の幅が狭まり、高精度の電流判定結果が得られる。

40

## 【 0 0 5 9 】

その結果、過渡的な変動が生じる期間を除いて、ダイオード素子 6 に電流が流れている期間で確実にゲート駆動電圧  $V_{GH}$  /  $V_{GL}$  が遮断されるので、ダイオード素子 6 の導通損失を確実に低減できる。また、ダイオード素子 6 に電流が流れていない期間で確実にゲート駆動電圧  $V_{GH}$  /  $V_{GL}$  が印加されるので、ハーフブリッジ回路 4 から負荷に対し、PWM 信

50

号 F H、F L に従った歪の小さい電流を流すことができる。

【 0 0 6 0 】

制御回路 2 7 は、過渡的な変動が生じ得る期間を含むように設定されたマスク時間を予め準備している。そして、ゲート駆動電圧 VGH、VGL の印加 / 遮断を指令した時点 ( PWM 信号 F H または F L が H レベルに変化した時点を含む ) を起点としてマスク期間を開始する。これにより、マスク期間の開始タイミングおよびセンス電圧 VSH、VSL の比較タイミングの制御が容易になる。

【 0 0 6 1 】

制御回路 2 7 は、電流検出信号が電流しきい値よりも小さいとの比較結果を得た後は、ダイオード素子 6 の電流判定を停止し、ゲート駆動電圧 VGH / VGL を印加し続ける。これにより、ゲート駆動電圧 VGH / VGL の遮断と印加が繰り返される振動状態の発生を防止することができる。

10

【 0 0 6 2 】

制御回路 2 7 は、PWM 信号 F H / F L が L レベルに変化したことに応じてゲート駆動電圧 VGH / VGL を遮断するときは、急峻な電流変化による電圧サージを抑制するため、通常のゲート駆動能力を持つドライブ回路 2 8 を用いる。これに対し、Vf 制御において電流判定結果に基づいてゲート駆動電圧 VGH / VGL を遮断するときには、急峻な電流変化が生じないので高いゲート駆動能力を持つドライブ回路 2 9 を用いる。これにより、ダイオード素子 6 に電流が流れている場合のゲート駆動電圧 VGH、VGL の遮断期間を長く確保でき、導通損失を一層低減することができる。

20

【 0 0 6 3 】

以上、本発明の好適な実施形態について説明したが、本発明は上述した実施形態に限定されるものではなく、発明の要旨を逸脱しない範囲内で種々の変形、拡張を行うことができる。

【 0 0 6 4 】

制御回路 2 7 は、半導体素子 1 A、1 B のゲート容量を充放電するゲート駆動能力が高いほどマスク期間を短く設定するとよい。ゲート駆動能力が高いほど、ゲート駆動電圧 VGH、VGL の変化に要する時間が短くなるので、センス電圧 VSH、VSL に生じる過渡的な変動の重畳期間も短くなるからである。例えば、図 1 に示すドライブ回路 2 9 を用いてゲート駆動電圧 VGH を印加 / 遮断するときは、ドライブ回路 2 8 を用いてゲート駆動電圧 VGH を印加 / 遮断するときに比べ、マスク期間を短く設定するとよい。マスク期間を短縮することにより、ダイオード素子 6 に電流が流れている場合のゲート駆動電圧 VGH、VGL の遮断期間を長く確保でき、導通損失を一層低減することができる。

30

【 0 0 6 5 】

上記実施形態では、電流検出手段として、半導体素子 1 A、1 B にセンス素子を形成した上でセンス抵抗 7 A、7 B を備えた。これに替えて、半導体素子 1 A、1 B と直列にシャント抵抗を設けてもよい。また、ホールセンサを備えてもよい。電流検出手段は、少なくともダイオード素子 6 に流れる電流を検出できればよい。

【 0 0 6 6 】

RC - IGBT は、トレンチゲート型に限らずプレーナゲート型などであってもよい。半導体素子 1 A、1 B は、MOS トランジスタと MOS の寄生ダイオードであってもよい。MOS トランジスタも、トレンチゲート型に限らずプレーナゲート型、SJ 型などであってもよい。

40

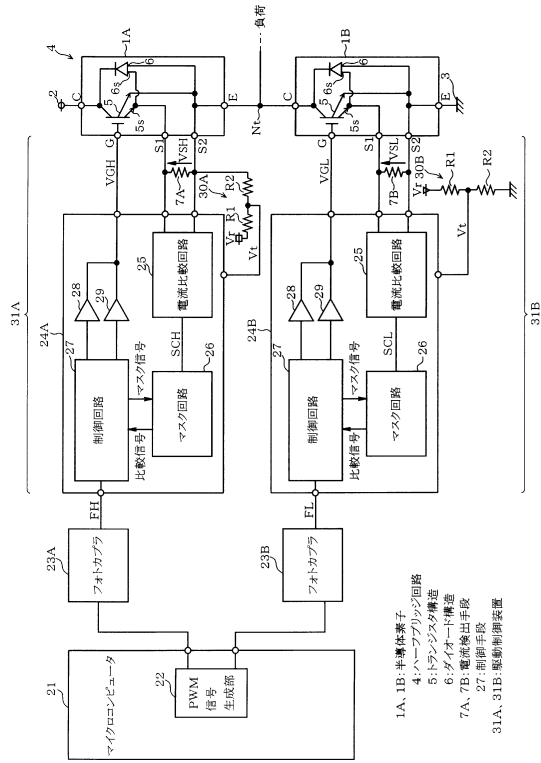
【 符号の説明 】

【 0 0 6 7 】

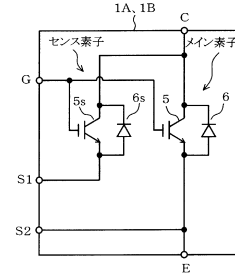
図面中、1 A、1 B は半導体素子 ( スイッチング素子 )、4 はハーフブリッジ回路、5 はトランジスタ素子 ( トランジスタ構造 )、6 はダイオード素子 ( ダイオード構造 )、7 A、7 B はセンス抵抗 ( 電流検出手段 )、8 は半導体基板、1 5 はエミッタ電極 ( 通電電極 )、1 8 はコレクタ電極 ( 通電電極 )、2 7 は制御回路 ( 制御手段 )、3 1 A、3 1 B は駆動制御装置である。

50

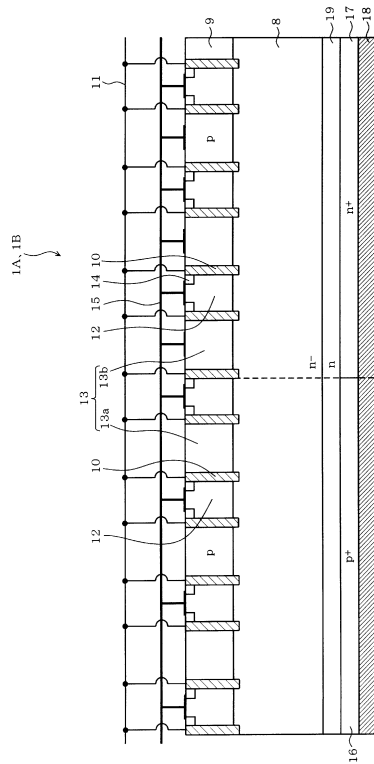
【図1】



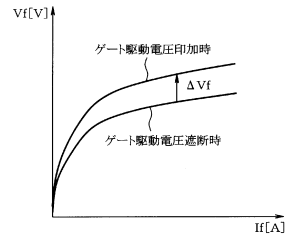
【図2】



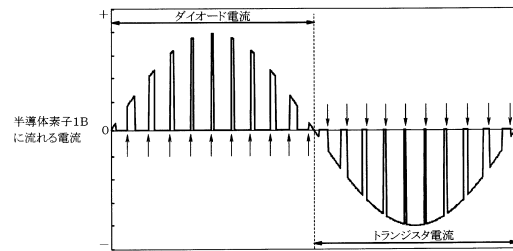
【図3】



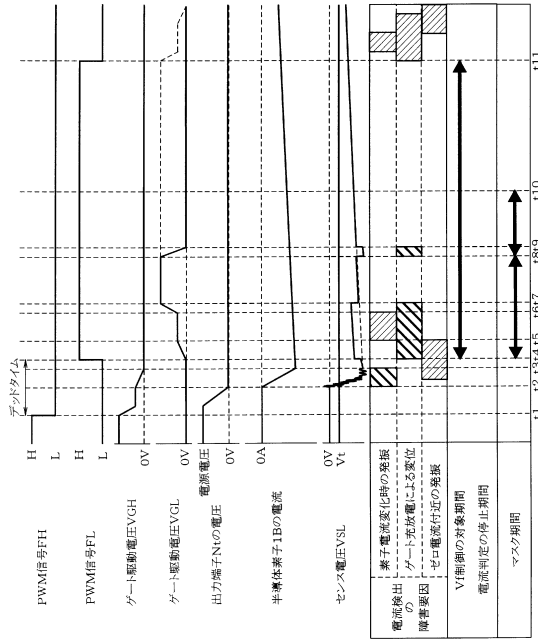
【図4】



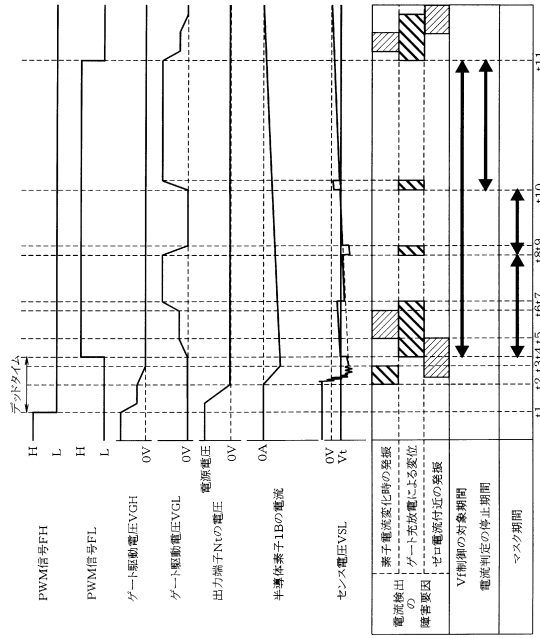
【図5】



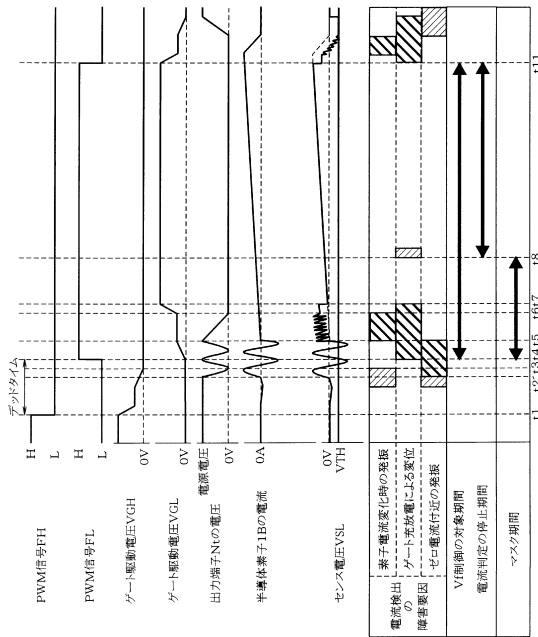
【図6】



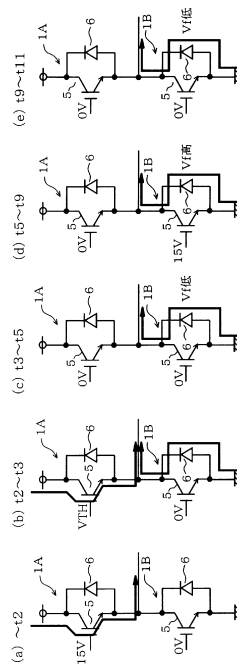
【図7】



【図8】



【図9】





フロントページの続き

(56)参考文献 特開2008-072848(JP,A)

(58)調査した分野(Int.Cl., DB名)

H02M	1/08
H01L	27/04
H01L	29/739
H01L	29/78