



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 202410387 A

(43) 公開日：中華民國 113 (2024) 年 03 月 01 日

(21) 申請案號：111143919 (22) 申請日：中華民國 111 (2022) 年 11 月 17 日  
(51) Int. Cl. : H01L27/092 (2006.01) H01L29/08 (2006.01)  
H01L29/417 (2006.01) H01L29/423 (2006.01)  
(30) 優先權：2022/04/12 南韓 10-2022-0045168  
(71) 申請人：南韓商三星電子股份有限公司 (南韓) SAMSUNG ELECTRONICS CO., LTD. (KR)  
南韓  
(72) 發明人：趙南奎 CHO, NAMKYU (KR)；金錫勳 KIM, SEOKHOON (KR)；柳廷昊 YOO,  
JEONGHO (KR)；李峭蕨 LEE, CHOEUN (KR)；朴判貴 PARK, PANKWI (KR)；  
申東石 SHIN, DONGSUK (KR)  
(74) 代理人：林孟閱；盧嫻君；陳怡如  
申請實體審查：無 申請專利範圍項數：20 項 圖式數：18 共 91 頁

(54) 名稱

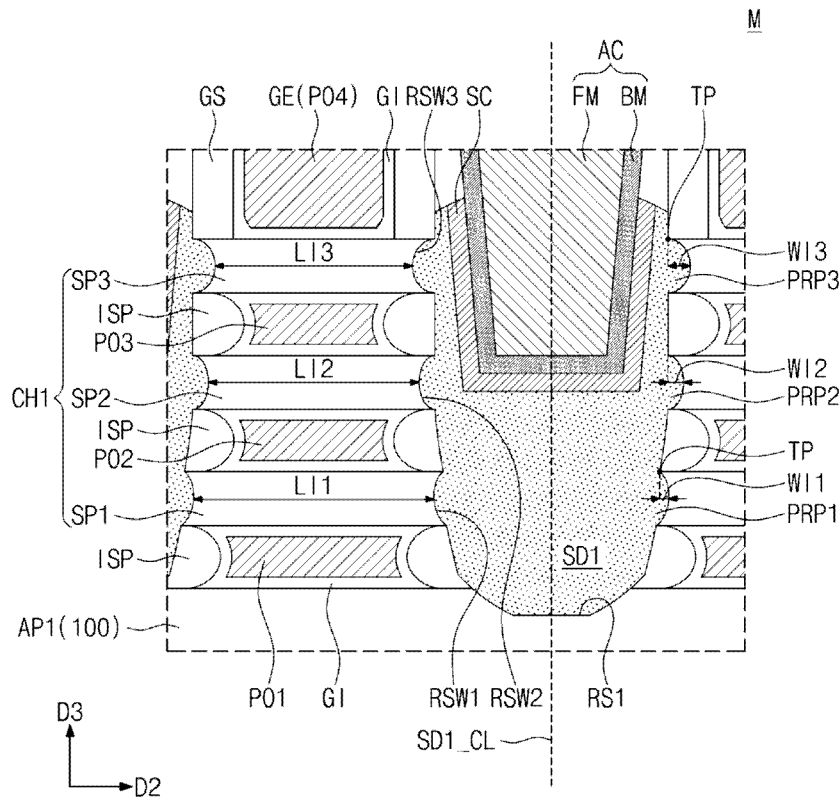
半導體裝置

(57) 摘要

一種半導體裝置包括：基板，包括第一主動圖案；第一通道圖案，位於第一主動圖案上，第一通道圖案包括彼此間隔開且垂直地堆疊的第一半導體圖案、第二半導體圖案及第三半導體圖案；第一源極/汲極圖案，連接至第一半導體圖案至第三半導體圖案；以及閘極電極，位於第一半導體圖案至第三半導體圖案上。第一源極/汲極圖案包括朝向第一半導體圖案突起的第一突起部、朝向第二半導體圖案突起的第二突起部及朝向第三半導體圖案突起的第三突起部。第二突起部的寬度大於第一突起部的寬度。第三突起部的寬度大於第二突起部的寬度。

A semiconductor device includes a substrate including a first active pattern, a first channel pattern on the first active pattern, the first channel pattern including first, second, and third semiconductor patterns spaced apart from one another and vertically stacked, a first source/drain pattern connected to the first to third semiconductor patterns, and a gate electrode on the first to third semiconductor patterns. The first source/drain pattern includes a first protrusion protruding toward the first semiconductor pattern, a second protrusion protruding toward the second semiconductor pattern, and a third protrusion protruding toward the third semiconductor pattern. A width of the second protrusion is greater than a width of the first protrusion. A width of the third protrusion is greater than the width of the second protrusion.

指定代表圖：



【圖6A】

符號簡單說明：

- 100:基板  
 AC:主動接觸件  
 AP1:第一主動圖案/主動圖案  
 BM:障壁圖案  
 CH1:第一通道圖案  
 D2:第二方向/水平方向  
 D3:第三方向  
 FM:導電圖案  
 GE:閘極電極  
 GI:閘極絕緣層  
 GS:閘極間隔件  
 ISP:內部間隔件  
 L11:第一長度  
 L12:第二長度  
 L13:第三長度  
 M:區  
 P01:第一部分  
 P02:第二部分  
 P03:第三部分  
 P04:第四部分  
 PRP1:第一突起部/最下部第一突起部  
 PRP2:第二突起部  
 PRP3:第三突起部/最上部第三突起部  
 RS1:第一凹槽  
 RSW1:第一凹形側壁  
 RSW2:第二凹形側壁  
 RSW3:第三凹形側壁  
 SC:金屬-半導體化合物層  
 SD1:第一源極/汲極圖案/源極/汲極圖案  
 SD1\_CL:中心線

SP1:第一半導體圖案/  
最下部第一半導體圖  
案

SP2:第二半導體圖案

SP3:第三半導體圖案/  
最上部第三半導體圖  
案

TP:尖端

WI1:第一寬度/寬度

WI2:第二寬度/寬度

WI3:第三寬度/寬度

## 【發明摘要】

【中文發明名稱】半導體裝置

【英文發明名稱】SEMICONDUCTOR DEVICE

【中文】一種半導體裝置包括：基板，包括第一主動圖案；第一通道圖案，位於第一主動圖案上，第一通道圖案包括彼此間隔開且垂直地堆疊的第一半導體圖案、第二半導體圖案及第三半導體圖案；第一源極/汲極圖案，連接至第一半導體圖案至第三半導體圖案；以及閘極電極，位於第一半導體圖案至第三半導體圖案上。第一源極/汲極圖案包括朝向第一半導體圖案突起的第一突起部、朝向第二半導體圖案突起的第二突起部及朝向第三半導體圖案突起的第三突起部。第二突起部的寬度大於第一突起部的寬度。第三突起部的寬度大於第二突起部的寬度。

【英文】A semiconductor device includes a substrate including a first active pattern, a first channel pattern on the first active pattern, the first channel pattern including first, second, and third semiconductor patterns spaced apart from one another and vertically stacked, a first source/drain pattern connected to the first to third semiconductor patterns, and a gate electrode on the first to third semiconductor patterns. The first source/drain pattern includes a first protrusion protruding toward the first semiconductor pattern, a second protrusion protruding toward the second semiconductor

pattern, and a third protrusion protruding toward the third semiconductor pattern. A width of the second protrusion is greater than a width of the first protrusion. A width of the third protrusion is greater than the width of the second protrusion.

【指定代表圖】圖6A。

【代表圖之符號簡單說明】

100:基板

AC:主動接觸件

AP1:第一主動圖案/主動圖案

BM:障壁圖案

CH1:第一通道圖案

D2:第二方向/水平方向

D3:第三方向

FM:導電圖案

GE:閘極電極

GI:閘極絕緣層

GS:閘極間隔件

ISP:內部間隔件

LI1:第一長度

LI2:第二長度

LI3:第三長度

M:區

PO1:第一部分

PO2:第二部分

PO3:第三部分

PO4:第四部分

PRP1:第一突起部/最下部第一突起部

PRP2:第二突起部

PRP3:第三突起部/最上部第三突起部

RS1:第一凹槽

RSW1:第一凹形側壁

RSW2:第二凹形側壁

RSW3:第三凹形側壁

SC:金屬-半導體化合物層

SD1:第一源極/汲極圖案 / 源極/汲極圖案

SD1\_CL:中心線

SP1:第一半導體圖案/最下部第一半導體圖案

SP2:第二半導體圖案

SP3:第三半導體圖案/最上部第三半導體圖案

TP:尖端

WI1:第一寬度/寬度

WI2:第二寬度/寬度

WI3:第三寬度/寬度

【特徵化學式】

無

## 【發明說明書】

【中文發明名稱】半導體裝置

【英文發明名稱】SEMICONDUCTOR DEVICE

【技術領域】

【0001】 本發明概念是有關於半導體裝置及其製造方法，且更具體而言，是有關於包括場效電晶體的半導體裝置及其製造方法。

[相關申請案的交叉參考]

【0002】 本申請案主張優先於在 2022 年 4 月 12 日在韓國智慧財產局提出申請的韓國專利申請案第 10-2022-0045168 號，所述韓國專利申請案的全部內容併入本案供參考。

【先前技術】

【0003】 一種半導體裝置包括由金屬氧化物半導體（metal oxide semiconductor，MOS）場效電晶體（field effect transistor，FET）構成的積體電路。隨著半導體裝置的大小及設計規則逐漸減小，MOS 場效電晶體的按比例縮小正日益加速。隨著 MOS 場效電晶體的大小減小，半導體裝置的操作特性可能被劣化。因此，正在研究在克服由於半導體裝置的高積體度而導致的限制的同時製造具有優異效能的半導體裝置的各種方法。

【發明內容】



【0004】 本發明概念的一些實例性實施例提供一種具有改善的可靠性的半導體裝置。

【0005】 本發明概念的一些實例性實施例提供一種製造具有改善的可靠性的半導體裝置的方法。

【0006】 根據本發明概念的一些實例性實施例，一種半導體裝置可包括：基板，包括第一主動圖案；第一通道圖案，位於第一主動圖案上，第一通道圖案包括彼此間隔開且在與基板的上表面垂直地延伸的垂直方向上垂直地堆疊的第一半導體圖案、第二半導體圖案及第三半導體圖案；第一源極/汲極圖案，連接至第一半導體圖案至第三半導體圖案；以及閘極電極，位於第一半導體圖案至第三半導體圖案上。第一源極/汲極圖案可包括在與基板的上表面平行地延伸的水平方向上朝向第一半導體圖案突起的第一突起部、在水平方向上朝向第二半導體圖案突起的第二突起部及在水平方向上朝向第三半導體圖案突起的第三突起部。第二突起部在水平方向上的寬度可大於第一突起部在水平方向上的寬度。第三突起部在水平方向上的寬度可大於第二突起部在水平方向上的寬度。

【0007】 根據本發明概念的一些實例性實施例，一種半導體裝置可包括：第一通道圖案，位於第一主動圖案上，第一通道圖案包括彼此間隔開且在與基板的上表面垂直地延伸的垂直方向上垂直地堆疊的第一半導體圖案、第二半導體圖案及第三半導體圖案；第二通道圖案，位於第二主動圖案上，第二通道圖案包括彼此間

隔開且在垂直方向上垂直地堆疊的第四半導體圖案、第五半導體圖案及第六半導體圖案；第一源極/汲極圖案，連接至第一半導體圖案至第三半導體圖案；第二源極/汲極圖案，連接至第四半導體圖案至第六半導體圖案；以及閘極電極，自第一通道圖案延伸至第二通道圖案。第二源極/汲極圖案可具有與第一源極/汲極圖案的導電類型不同的導電類型。閘極電極可包括與第四半導體圖案至第六半導體圖案中的每一者相鄰的第一部分、第二部分及第三部分。第一源極/汲極圖案可包括在與基板的上表面平行地延伸的水平方向上朝向第一半導體圖案突起的第一突起部、在水平方向上朝向第二半導體圖案突起的第二突起部及在水平方向上朝向第三半導體圖案突起的第三突起部。第二源極/汲極圖案可包括在水平方向上朝向第一部分突起的第四突起部、在水平方向上朝向第二部分突起的第五突起部及在水平方向上朝向第三部分突起的第六突起部。

**【0008】** 根據本發明概念的一些實例性實施例，一種半導體裝置可包括：基板，包括主動區；裝置隔離層，在主動區上對主動圖案進行界定；通道圖案及源極/汲極圖案，位於主動圖案上，通道圖案包括彼此間隔開且在與基板的上表面垂直地延伸的垂直方向上垂直地堆疊的第一半導體圖案、第二半導體圖案及第三半導體圖案；閘極電極，位於第一半導體圖案至第三半導體圖案上；閘極絕緣層，位於第一半導體圖案至第三半導體圖案與閘極電極之間；閘極間隔件，位於閘極電極的側壁上；閘極頂蓋圖案，位於

閘極電極的頂表面上；層間絕緣層，位於閘極頂蓋圖案上；主動接觸件，藉由層間絕緣層電性連接至源極/汲極圖案；金屬-半導體化合物層，夾置於主動接觸件與源極/汲極圖案之間；閘極接觸件，通過層間絕緣層及閘極頂蓋圖案且電性連接至閘極電極；第一金屬層，位於層間絕緣層上，第一金屬層包括分別電性連接至主動接觸件及閘極接觸件的電源配線及第一配線；以及第二金屬層，位於第一金屬層上。第二金屬層可包括電性連接至第一金屬層的第二配線。源極/汲極圖案可包括在與基板的上表面平行地延伸的水平方向上朝向第一半導體圖案突起的第一突起部、在水平方向上朝向第二半導體圖案突起的第二突起部及在水平方向上朝向第三半導體圖案突起的第三突起部。第二半導體圖案在水平方向上的長度可大於第三半導體圖案在水平方向上的長度。第一半導體圖案在水平方向上的長度可大於第二半導體圖案在水平方向上的長度。

**【0009】** 根據本發明概念的一些實例性實施例，一種製造半導體裝置的方法可包括：在基板上形成堆疊圖案，堆疊圖案包括交替堆疊的主動層與犧牲層；在堆疊圖案上形成在第一方向上延伸的犧牲圖案，第一方向與基板的上表面平行地延伸；使用犧牲圖案作為罩幕來對堆疊圖案進行蝕刻以在堆疊圖案中形成凹槽，主動層包括由凹槽暴露出的第一半導體圖案、第二半導體圖案及第三半導體圖案；對由凹槽暴露出的犧牲層實行選擇性蝕刻製程以形成凹進區；在凹進區中分別形成內部間隔件；對由凹槽暴露出的

第一半導體圖案、第二半導體圖案及第三半導體圖案實行選擇性蝕刻製程以分別形成第一通道凹槽、第二通道凹槽及第三通道凹槽；在凹槽中形成源極/汲極圖案；移除犧牲圖案及犧牲層以暴露出第一半導體圖案至第三半導體圖案；以及在被暴露出的第一半導體圖案至第三半導體圖案上依序形成閘極絕緣層及閘極電極。源極/汲極圖案的形成可包括生長對第一通道凹槽至第三通道凹槽進行填充且覆蓋內部間隔件的磊晶層。

### 【圖式簡單說明】

#### 【0010】

結合附圖閱讀以下簡要說明，將更清楚地理解實例性實施例。附圖表示如本文中闡述的非限制性的實例性實施例。

圖 1、圖 2 及圖 3 是用於示出根據本發明概念一些實例性實施例的半導體裝置的邏輯單元的概念圖。

圖 4 是用於示出根據本發明概念一些實例性實施例的半導體裝置的平面圖。

圖 5A、圖 5B、圖 5C 及圖 5D 分別是沿著圖 4 所示線 A-A'、線 B-B'、線 C-C'及線 D-D'截取的剖視圖。

圖 6A 是示出圖 5A 所示區「M」的一些實例性實施例的放大視圖。

圖 6B 是示出圖 5B 所示區「N」的一些實例性實施例的放大視圖。

圖 7A、圖 7B、圖 8A、圖 8B、圖 9A、圖 9B、圖 9C、圖 10A、圖 10B、圖 10C、圖 11A、圖 11B、圖 11C、圖 12A、圖 12B 及圖 12C 是用於示出根據本發明概念一些實例性實施例的製造半導體裝置的方法的剖視圖。

圖 13 及圖 14 是用於示出形成圖 9A 所示區「M」的方法的放大視圖。

圖 15 是用於示出形成圖 10A 所示區「M」的方法的放大視圖。

圖 16 是與圖 10A 所示區「M」對應的放大視圖，用於示出根據本發明概念的比較例的形成第一源極/汲極圖案的方法。

圖 17 是示出圖 5A 所示區「M」的一些實例性實施例的放大視圖。

圖 18 是示出圖 5B 所示區「N」的一些實例性實施例的放大視圖。

## 【實施方式】

【0011】 圖 1、圖 2 及圖 3 是用於示出根據本發明概念一些實例性實施例的半導體裝置的邏輯單元的概念圖。

【0012】 參照圖 1，可提供單高度單元 (single height cell) SHC。詳言之，可在基板 100 上設置第一電源配線 M1\_R1 及第二電源配線 M1\_R2。第一電源配線 M1\_R1 可為藉由其提供源極電壓 VSS (例如，接地電壓) 的路徑。第二電源配線 M1\_R2 可為藉由其提供汲極電壓 VDD (例如，電源電壓) 的通路。

【0013】 可在第一電源配線 M1\_R1 與第二電源配線 M1\_R2 之間界定單高度單元 SHC。單高度單元 SHC 可包括一個第一主動區 AR1 及一個第二主動區 AR2。第一主動區 AR1 及第二主動區 AR2 中的一者可為 P 型金屬氧化物半導體 FET (P-type metal oxide semiconductor FET, PMOSFET) 區，且第一主動區 AR1 及第二主動區 AR2 中的另一者可為 N 型金屬氧化物半導體 FET (N-type metal oxide semiconductor FET, NMOSFET) 區。即，單高度單元 SHC 可具有設置於第一電源配線 M1\_R1 與第二電源配線 M1\_R2 之間的互補 MOS (Complementary MOS, CMOS) 結構。

【0014】 第一主動區 AR1 及第二主動區 AR2 中的每一者可在第一方向 D1 上具有第一寬度 W1。單高度單元 SHC 在第一方向 D1 上的長度可被界定為第一高度 HE1。第一高度 HE1 可實質上等於第一電源配線 M1\_R1 與第二電源配線 M1\_R2 之間的距離(例如，節距)。

【0015】 單高度單元 SHC 可構成一個邏輯單元。在本說明書中，邏輯單元可意指實行特定功能的邏輯元件(例如，與、或、互斥或、異或非、反相等)。即，邏輯單元可包括構成邏輯裝置的電晶體及將電晶體連接至彼此的配線。

【0016】 參照圖 2，可提供雙高度單元(double height cell)DHC。詳言之，可在基板 100 上設置第一電源配線 M1\_R1、第二電源配線 M1\_R2 及第三電源配線 M1\_R3。第一電源配線 M1\_R1 可設置於第二電源配線 M1\_R2 與第三電源配線 M1\_R3 之間。第三電源

配線 M1\_R3 可為藉由其提供源極電壓 VSS 的路徑。

【0017】 可在第二電源配線 M1\_R2 與第三電源配線 M1\_R3 之間界定雙高度單元 DHC。雙高度單元 DHC 可包括兩個第一主動區 AR1 及兩個第二主動區 AR2。

【0018】 所述兩個第二主動區 AR2 中的一者可與第二電源配線 M1\_R2 相鄰。所述兩個第二主動區 AR2 中的另一者可與第三電源配線 M1\_R3 相鄰。所述兩個第一主動區 AR1 可與第一電源配線 M1\_R1 相鄰。在平面圖中，第一電源配線 AR1 可設置於所述兩個第一主動區 AR1 之間。

【0019】 雙高度單元 DHC 在第一方向 D1 上的長度可被界定為第二高度 HE2。第二高度 HE2 可為圖 1 所示第一高度 HE1 的約兩倍。雙高度單元 DHC 的所述兩個第一主動區 AR1 可被分組以作為一個主動區進行操作。

【0020】 在本發明概念中，圖 2 中所示的雙高度單元 DHC 可被界定為多高度單元 (multi-height cell)。儘管未示出，但多高度單元可包括三高度單元，所述三高度單元具有近似為單高度單元 SHC 的高度的三倍的單元高度。

【0021】 參照圖 3，可在基板 100 上以二維方式設置第一單高度單元 SHC1、第二單高度單元 SHC2 及雙高度單元 DHC。第一單高度單元 SHC1 可設置於第一電源配線 M1\_R1 與第二電源配線 M1\_R2 之間。第二單高度單元 SHC2 可設置於第一電源配線 M1\_R1 與第三電源配線 M1\_R3 之間。第二單高度單元 SHC2 可在

第一方向 D1 上與第一單高度單元 SHC1 相鄰。

【0022】 雙高度單元 DHC 可設置於第二電源配線 M1\_R2 與第三電源配線 M1\_R3 之間。雙高度單元 DHC 可在第二方向 D2 上與第一單高度單元 SHC1 及第二單高度單元 SHC2 相鄰。

【0023】 可在第一單高度單元 SHC1 與雙高度單元 DHC 之間以及第二單高度單元 SHC2 與雙高度單元 DHC 之間設置分隔結構 DB。雙高度單元 DHC 的主動區可藉由分隔結構 DB 與第一單高度單元 SHC1 及第二單高度單元 SHC2 中的每一者的主動區電性分隔。

【0024】 圖 4 是用於示出根據本發明概念一些實例性實施例的半導體裝置的平面圖。圖 5A、圖 5B、圖 5C 及圖 5D 分別是沿著圖 4 所示線 A-A'、線 B-B'、線 C-C'及線 D-D'截取的剖視圖。圖 6A 是示出圖 5A 所示區「M」的一些實例性實施例的放大視圖。圖 6B 是示出圖 5B 所示區「N」的一些實例性實施例的放大視圖。圖 4 及圖 5A 至圖 5D 中所示的半導體裝置是圖 1 所示單高度單元 SHC 的更詳細的實例。

【0025】 參照圖 4 及圖 5A 至圖 5D，可在基板 100 上設置單高度單元 SHC。可在單高度單元 SHC 上設置構成邏輯電路的邏輯電晶體。基板 100 可為包含矽、鍺、矽-鍺或類似材料的半導體基板，或者可為化合物半導體基板。舉例而言，基板 100 可為矽基板。

【0026】 基板 100 可包括第一主動區 AR1 及第二主動區 AR2。第一主動區 AR1 及第二主動區 AR2 中的每一者可在第二方向 D2



上延伸。在一些實例性實施例中，第一主動區 AR1 可為 NMOSFET 區，且第二主動區 AR2 可為 PMOSFET 區。

【0027】 可藉由形成於基板 100 上的溝渠 TR 來界定第一主動圖案 AP1 及第二主動圖案 AP2。第一主動圖案 AP1 可設置於第一主動區 AR1 上，且第二主動圖案 AP2 可設置於第二主動區 AR2 上。第一主動圖案 AP1 及第二主動圖案 AP2 可在第二方向 D2 上延伸。第一主動圖案 AP1 及第二主動圖案 AP2 可為基板 100 的一部分且可為垂直突起部分。

【0028】 可在基板 100 上設置裝置隔離層 ST。裝置隔離層 ST 可對溝渠 TR 進行填充。裝置隔離層 ST 可包括氧化矽層。裝置隔離層 ST 可不覆蓋稍後將闡述的第一通道圖案 CH1 及第二通道圖案 CH2。

【0029】 可在第一主動圖案 AP1 上設置第一通道圖案 CH1。可在第二主動圖案 AP2 上設置第二通道圖案 CH2。第一通道圖案 CH1 及第二通道圖案 CH2 中的每一者可包括依序堆疊的第一半導體圖案 SP1、第二半導體圖案 SP2 及第三半導體圖案 SP3。第一半導體圖案 SP1、第二半導體圖案 SP2 及第三半導體圖案 SP3 可在垂直方向（即，第三方向 D3）上彼此間隔開，垂直方向可為與基板 100 垂直地延伸（包括例如與基板的上表面 100a 及/或底表面 100b 垂直地延伸）的方向。如本文中所述，第一方向 D1 及第二方向 D2 可各自被稱為與基板 100 平行地延伸（包括例如與基板的上表面 100a 及/或底表面 100b 平行地延伸）的水平方向。第一方向 D1 與

第二方向 D2 可稱為不同的，例如第一水平方向與第二水平方向彼此垂直地延伸。第三方向 D3 可被稱為與第一方向 D1 及/或第二方向 D2 垂直地延伸的垂直方向。

【0030】 第一半導體圖案 SP1、第二半導體圖案 SP2 及第三半導體圖案 SP3 中的每一者可包含矽 (Si)、鍺 (Ge) 或矽-鍺 (SiGe)。舉例而言，第一半導體圖案 SP1、第二半導體圖案 SP2 及第三半導體圖案 SP3 中的每一者可包含晶體矽。

【0031】 可在第一主動圖案 AP1 上設置多個第一源極/汲極圖案 SD1。可在第一主動圖案 AP1 上形成多個第一凹槽 RS1。第一源極/汲極圖案 SD1 可分別設置於第一凹槽 RS1 中。第一源極/汲極圖案 SD1 可為第一導電類型（例如，n 型）的雜質區。第一通道圖案 CH1 可夾置於一對第一源極/汲極圖案 SD1 之間。即，堆疊的第一半導體圖案 SP1、第二半導體圖案 SP2 及第三半導體圖案 SP3 可將所述一對第一源極/汲極圖案 SD1 連接至彼此。

【0032】 可在第二主動圖案 AP2 上設置多個第二源極/汲極圖案 SD2。可在第二主動圖案 AP2 上形成多個第二凹槽 RS2。第二源極/汲極圖案 SD2 可分別設置於第二凹槽 RS2 中。第二源極/汲極圖案 SD2 可為第二導電類型（例如，p 型）的雜質區。第二通道圖案 CH2 可夾置於所述一對第二源極/汲極圖案 SD2 之間。即，堆疊的第一半導體圖案 SP1、第二半導體圖案 SP2 及第三半導體圖案 SP3 可將所述一對第二源極/汲極圖案 SD2 連接至彼此。

【0033】 第一源極/汲極圖案 SD1 及第二源極/汲極圖案 SD2 可為

藉由選擇性磊晶生長（selective epitaxial growth，SEG）製程形成的磊晶圖案。舉例而言，第一源極/汲極圖案 SD1 及第二源極/汲極圖案 SD2 中的每一者的頂表面可高於第三半導體圖案 SP3 的頂表面。作為另一實例，第一源極/汲極圖案 SD1 及第二源極/汲極圖案 SD2 中的至少一者的頂表面可位於與第三半導體圖案 SP3 的頂表面實質上相同的水準處。

【0034】 在本發明概念的一些實例性實施例中，第一源極/汲極圖案 SD1 可包含與基板 100 相同的半導體元素（例如，Si）。第二源極/汲極圖案 SD2 可包含具有較基板 100 的半導體元素的晶格常數大的晶格常數的半導體元素（例如，SiGe）。因此，所述一對第二源極/汲極圖案 SD2 可向位於所述一對第二源極/汲極圖案 SD2 之間的第二通道圖案 CH2 提供壓縮應力。

【0035】 第一源極/汲極圖案 SD1 及第二源極/汲極圖案 SD2 中的每一者的側壁可具有粗糙的壓花形式。即，第一源極/汲極圖案 SD1 及第二源極/汲極圖案 SD2 中的每一者的側壁可具有波狀輪廓。在本發明概念的一些實例性實施例中，第一源極/汲極圖案 SD1 的側壁可朝向第一通道圖案 CH1 的第一半導體圖案 SP1、第二半導體圖案 SP2 及第三半導體圖案 SP3 突起。第二源極/汲極圖案 SD2 的側壁可朝向閘極電極 GE 的第一部分 PO1、第二部分 PO2 及第三部分 PO3 突起，此將在稍後進行闡述。

【0036】 可提供與第一通道圖案 CH1 及第二通道圖案 CH2 交叉且在第一方向 D1 上延伸的閘極電極 GE。閘極電極 GE 可以第一

節距佈置於第二方向 D2 上。閘極電極 GE 中的每一者可與第一通道圖案 CH1 及第二通道圖案 CH2 垂直地交疊，且因此可自第一通道圖案 CH1 延伸至第二通道圖案 CH2。

【0037】 閘極電極 GE 可包括夾置於主動圖案 AP1 或 AP2 與第一半導體圖案 SP1 之間的第一部分 PO1、夾置於第一半導體圖案 SP1 與第二半導體圖案 SP2 之間的第二部分 PO2、夾置於第二半導體圖案 SP2 與第三半導體圖案 SP3 之間的第三部分 PO3、以及位於第三半導體圖案 SP3 上的第四部分 PO4。

【0038】 參照圖 5D，閘極電極 GE 可設置於第一半導體圖案 SP1、第二半導體圖案 SP2 及第三半導體圖案 SP3 中的每一者的頂表面 TS、底表面 BS 及兩個側壁 SW 上。即，根據一些實例性實施例的電晶體可為其中閘極電極 GE 以三維方式環繞通道的三維場效電晶體（例如，多橋通道 FET（Multi-Bridge-Channel FET，MBCFET）或全環繞閘極 FET（gate-all-around FET，GAAFET）。

【0039】 可分別在閘極電極 GE 的第一部分 PO1、第二部分 PO2 及第三部分 PO3 與第一源極/汲極圖案 SD1 之間夾置內部間隔件 ISP。閘極電極 GE 的第一部分 PO1、第二部分 PO2 及第三部分 PO3 中的每一者可與第一源極/汲極圖案 SD1 間隔開，內部間隔件 ISP 夾置於閘極電極 GE 的第一部分 PO1、第二部分 PO2 及第三部分 PO3 中的每一者與第一源極/汲極圖案 SD1 之間。內部間隔件 ISP 可減少或防止來自閘極電極 GE 的漏電流。舉例而言，內部間隔件 ISP 可包含氧化矽、氮氧化矽及氮化矽中的至少一者。

【0040】 返回參照圖 4 及圖 5A 至圖 5D，可在閘極電極 GE 的第四部分 PO4 的兩個側壁上分別設置一對閘極間隔件 GS。閘極間隔件 GS 可沿著閘極電極 GE 在第一方向 D1 上延伸。閘極間隔件 GS 的頂表面可高於閘極電極 GE 的頂表面。閘極間隔件 GS 的頂表面可與稍後將闡述的第一層間絕緣層 110 的頂表面共面。在一些實例性實施例中，閘極間隔件 GS 可包含 SiCN、SiCON 及 SiN 中的至少一者。在一些實例性實施例中，閘極間隔件 GS 可包括多層，所述多層包含 SiCN、SiCON 及 SiN 中的至少兩者。

【0041】 可在閘極電極 GE 上設置閘極頂蓋圖案 GP。閘極頂蓋圖案 GP 可沿著閘極電極 GE 在第一方向 D1 上延伸。閘極頂蓋圖案 GP 可包含相對於稍後將闡述的第一層間絕緣層 110 及第二層間絕緣層 120 具有蝕刻選擇性的材料。詳言之，閘極頂蓋圖案 GP 可包含 SiON、SiCN、SiCON 及 SiN 中的至少一者。

【0042】 可在閘極電極 GE 與第一通道圖案 CH1 之間以及閘極電極 GE 與第二通道圖案 CH2 之間夾置閘極絕緣層 GI。閘極絕緣層 GI 可覆蓋第一半導體圖案 SP1、第二半導體圖案 SP2 及第三半導體圖案 SP3 中的每一者的頂表面 TS、底表面 BS 及兩個側壁 SW。閘極絕緣層 GI 可覆蓋位於閘極電極 GE 之下的裝置隔離層 ST 的頂表面。

【0043】 在本發明概念的一些實例性實施例中，閘極絕緣層 GI 可包括氧化矽層、氮氧化矽層及/或高介電層。舉例而言，閘極絕緣層 GI 可具有其中堆疊氧化矽層與高介電層的結構。高介電層可

包含具有較氧化矽層的介電常數高的介電常數的高介電材料。舉例而言，高介電材料可包括氧化鉛、氧化鉛矽、氧化鉛銻、氧化鉛鉍、氧化釧、氧化銻、氧化銻矽、氧化鉍、氧化鈦、氧化鉍鈦、氧化鉍鈦、氧化鋰、氧化鋁、氧化鉛銻鉍及鉍酸鉛銻中的至少一者。

【0044】 在一些實例性實施例中，本發明概念的半導體裝置可包括使用負電容器的負電容（negative capacitance，NC）FET。舉例而言，閘極絕緣層 GI 可包括具有鐵電性質的鐵電材料層及具有順電性質的順電材料層。

【0045】 鐵電材料層可具有負電容，且順電材料層可具有正電容。舉例而言，當二或更多個電容器串聯連接且每一電容器的電容具有正值時，總電容相較於每一各別電容器的電容被減小。另一方面，當串聯連接的二或更多個電容器的電容中的至少一者具有負值時，總電容可具有正值且大於每一各別電容的絕對值。

【0046】 當具有負電容的鐵電材料層與具有正電容的順電材料層串聯連接時，串聯連接的鐵電材料層與順電材料層的總電容可增大。利用總電容值的增大，包括鐵電材料層的電晶體在室溫下可具有低於 60 毫伏/十倍漏電流（mV/decade）的亞臨限值擺幅（subthreshold swing，SS）。

【0047】 鐵電材料層可具有鐵電性質。鐵電材料層可包含例如以下中的至少一者：氧化鉛、氧化鉛銻、氧化鉍鈦、氧化鉍鈦及氧化鉛銻鈦。此處，作為實例，氧化鉛銻可為其中使用銻（Zr）

對氧化鈦進行摻雜的材料。作為另一實例，氧化鈦銻可為鈦(Hf)、銻(Zr)及氧(O)的化合物。

**【0048】** 鐵電材料層可更包含經摻雜摻雜劑。舉例而言，摻雜劑可包括以下中的至少一者：鋁(Al)、鈦(Ti)、鈮(Nb)、鏷(La)、釷(Y)、鎂(Mg)、矽(Si)、鈣(Ca)、銻(Ce)、鐳(Dy)、鉕(Er)、釷(Gd)、鍺(Ge)、釷(Sc)、銻(Sr)及錫(Sn)。鐵電材料層中所包含的摻雜劑的類型可端視鐵電材料層所包含的鐵電材料而變化。

**【0049】** 當鐵電材料層包含氧化鈦時，鐵電材料層中所包含的摻雜劑可包括例如釷(Gd)、矽(Si)、銻(Zr)、鋁(Al)及釷(Y)中的至少一者。

**【0050】** 當摻雜劑是鋁(Al)時，鐵電材料層可包含 3 原子%(at%)至 8 at%的鋁。此處，摻雜劑的比率可為鋁對鈦與鋁之和的比率。

**【0051】** 當摻雜劑是矽(Si)時，鐵電材料層可包含 2 at%至 10 at%的矽。當摻雜劑是釷(Y)時，鐵電材料層可包含 2 at%至 10 at%的釷。當摻雜劑是釷(Gd)時，鐵電材料層可包含 1 at%至 7 at%的釷。當摻雜劑是銻(Zr)時，鐵電材料層可包含 50 at%至 80 at%的銻。

**【0052】** 順電材料層可具有順電性質。順電材料層可包含例如氧化矽及具有高介電常數的金屬氧化物中的至少一者。順電材料層中所包含的金屬氧化物可包括例如氧化鈦、氧化銻及氧化鋁中的至少一者，但並不限於此。

【0053】 鐵電材料層與順電材料層可包含相同的材料。鐵電材料層可具有鐵電性質，但順電材料層可能不具有鐵電性質。舉例而言，當鐵電材料層及順電材料層包含氧化鉛時，鐵電材料層中所包含的氧化鉛的晶體結構與順電材料層中所包含的氧化鉛的晶體結構不同。

【0054】 鐵電材料層可具有帶有鐵電性質的厚度。鐵電材料層的厚度可為例如 0.5 奈米至 10 奈米，但並不限於此。對於每一鐵電材料，代表鐵電性質的臨界厚度可變化，鐵電材料層的厚度可端視鐵電材料而變化。

【0055】 舉例而言，閘極絕緣層 GI 可包括一個鐵電材料層。作為另一實例，閘極絕緣層 GI 可包括彼此間隔開的多個鐵電材料層。閘極絕緣層 GI 可具有其中交替地堆疊多個鐵電材料層與多個順電材料層的堆疊結構。

【0056】 返回參照圖 4 及圖 5A 至圖 5D，閘極電極 GE 可包括第一金屬圖案及位於第一金屬圖案上的第二金屬圖案。第一金屬圖案可設置於閘極絕緣層 GI 上且可與第一半導體圖案 SP1、第二半導體圖案 SP2 及第三半導體圖案 SP3 相鄰。第一金屬圖案可包含對電晶體的臨限值電壓進行調整的功函數金屬。可藉由對第一金屬圖案的厚度及組成物進行調整來達成電晶體的期望臨限值電壓。舉例而言，閘極電極 GE 的第一部分 PO1、第二部分 PO2 及第三部分 PO3 可由作為功函數金屬的第一金屬圖案形成。

【0057】 第一金屬圖案可包括金屬氮化物層。舉例而言，第一金



屬圖案可包含選自由鈦 (Ti)、鉭 (Ta)、鋁 (Al)、鎢 (W) 以及鉬 (Mo) 組成的群組的至少一種金屬以及氮 (N)。此外，第一金屬圖案可更包含碳 (C)。第一金屬圖案可包括多個堆疊的功函數金屬層。

**【0058】** 第二金屬圖案可包含具有較第一金屬圖案的電阻低的電阻的金屬。舉例而言，第二金屬圖案可包含選自由鎢 (W)、鋁 (Al)、鈦 (Ti) 及鉭 (Ta) 組成的群組的至少一種金屬。舉例而言，閘極電極 GE 的第四部分 PO4 可包括第一金屬圖案及位於第一金屬圖案上的第二金屬圖案。

**【0059】** 可在基板 100 上設置第一層間絕緣層 110。第一層間絕緣層 110 可覆蓋閘極間隔件 GS 以及第一源極/汲極圖案 SD1 及第二源極/汲極圖案 SD2。第一層間絕緣層 110 的頂表面可與閘極頂蓋圖案 GP 的頂表面及閘極間隔件 GS 的頂表面實質上共面。可在第一層間絕緣層 110 上設置覆蓋閘極頂蓋圖案 GP 的第二層間絕緣層 120。可在第二層間絕緣層 120 上設置第三層間絕緣層 130。可在第三層間絕緣層 130 上設置第四層間絕緣層 140。舉例而言，第一層間絕緣層 110 至第四層間絕緣層 140 可包括氧化矽層。

**【0060】** 單高度單元 SHC 可具有在第二方向 D2 上彼此相對的第一邊界 BD1 與第二邊界 BD2。第一邊界 BD1 及第二邊界 BD2 可在第一方向 D1 上延伸。單高度單元 SHC 可具有在第一方向 D1 上彼此相對的第三邊界 BD3 與第四邊界 BD4。第三邊界 BD3 及第四邊界 BD4 可在第二方向 D2 上延伸。

【0061】 可在單高度單元 SHC 的兩個側上設置在第二方向 D2 上彼此相對的一對分隔結構 DB。舉例而言，所述一對分隔結構 DB 可分別設置於單高度單元 SHC 的第一邊界 BD1 及第二邊界 BD2 上。分隔結構 DB 可在第一方向 D1 上與閘極電極 GE 平行地延伸。分隔結構 DB 和與分隔結構 DB 相鄰的閘極電極 GE 之間的節距可與第一節距相同。

【0062】 分隔結構 DB 可通過第一層間絕緣層 110 及第二層間絕緣層 120 且延伸至第一主動圖案 AP1 及第二主動圖案 AP2 中。分隔結構 DB 可通過第一主動圖案 AP1 及第二主動圖案 AP2 中的每一者。分隔結構 DB 可將單高度單元 SHC 的主動區與另一相鄰單元的主動區電性隔離。

【0063】 可穿過第一層間絕緣層 110 及第二層間絕緣層 120 設置主動接觸件 AC 且主動接觸件 AC 分別電性連接至第一源極/汲極圖案 SD1 及第二源極/汲極圖案 SD2。可分別在閘極電極 GE 的兩個側上設置一對主動接觸件 AC。在平面圖中，主動接觸件 AC 可具有在第一方向 D1 上延伸的條形狀。

【0064】 主動接觸件 AC 可為自對準接觸件。即，可使用閘極頂蓋圖案 GP 及閘極間隔件 GS 以自對準的方式形成主動接觸件 AC。舉例而言，主動接觸件 AC 可覆蓋閘極間隔件 GS 的側壁的至少一部分。儘管未示出，但主動接觸件 AC 可局部地覆蓋閘極頂蓋圖案 GP 的頂表面。

【0065】 金屬-半導體化合物層 SC（如矽化物層等）可分別夾置

在主動接觸件 AC 與第一源極/汲極圖案 SD1 之間以及在主動接觸件 AC 與第二源極/汲極圖案 SD2 之間。主動接觸件 AC 可藉由金屬-半導體化合物層 SC 電性連接至源極/汲極圖案 SD1 及 SD2。舉例而言，金屬-半導體化合物層 SC 可包含矽化鈦、矽化鉭、矽化鎢、矽化鎳及矽化鈷中的至少一者。

【0066】 可穿過第二層間絕緣層 120 及閘極頂蓋圖案 GP 設置分別電性連接至閘極電極 GE 的閘極接觸件 GC。在平面圖中，閘極接觸件 GC 可被設置成分別與第一主動區 AR1 及第二主動區 AR2 交疊。舉例而言，閘極接觸件 GC 可設置於第二主動圖案 AP2 上（參照圖 5B）。

【0067】 在本發明概念的一些實例性實施例中，參照圖 5B，可使用上部絕緣圖案 UIP 對與閘極接觸件 GC 相鄰的主動接觸件 AC 的上部部分進行填充。上部絕緣圖案 UIP 的底表面可低於閘極接觸件 GC 的底表面。即，藉由上部絕緣圖案 UIP，與閘極接觸件 GC 相鄰的主動接觸件 AC 的頂表面可下降成低於閘極接觸件 GC 的底表面。因此，可減少或防止閘極接觸件 GC 與和閘極接觸件 GC 相鄰的主動接觸件 AC 接觸且發生短路的問題。

【0068】 主動接觸件 AC 及閘極接觸件 GC 中的每一者可包括導電圖案 FM 及環繞導電圖案 FM 的障壁圖案 BM。舉例而言，導電圖案 FM 可包含鋁、銅、鎢、鉬及鈷中的至少一者。障壁圖案 BM 可覆蓋導電圖案 FM 的側壁及底表面。障壁圖案 BM 可包括金屬層/金屬氮化物層。金屬層可包含鈦、鉭、鎢、鎳、鈷及鉑中的至

少一者。金屬氮化物層可包括氮化鈦層 (TiN)、氮化鉭層 (TaN)、氮化鎢層 (WN)、氮化鎳層 (NiN)、氮化鈷層 (CoN) 及氮化鉑層 (PtN) 中的至少一者。

【0069】 可在第三層間絕緣層 130 中設置第一金屬層 M1。舉例而言，第一金屬層 M1 可包括第一電源配線 M1\_R1、第二電源配線 M1\_R2 及第一配線 M1\_I。第一金屬層 M1 的配線 M1\_R1、M1\_R2 及 M1\_I 中的每一者可在第二方向 D2 上彼此平行地延伸。

【0070】 詳言之，第一電源配線 M1\_R1 與第二電源配線 M1\_R2 可分別設置於單高度單元 SHC 的第三邊界 BD3 及第四邊界 BD4 上。第一電源配線 M1\_R1 可沿著第三邊界 BD3 在第二方向 D2 上延伸。第二電源配線 M1\_R2 可沿著第四邊界 BD4 在第二方向 D2 上延伸。

【0071】 第一金屬層 M1 的第一配線 M1\_I 可設置於第一電源配線 M1\_R1 與第二電源配線 M1\_R2 之間。第一金屬層 M1 的第一配線 M1\_I 可以第二節距佈置於第一方向 D1 上。第二節距可小於第一節距。第一配線 M1\_I 中的每一者的臨界尺寸可小於第一電源配線 M1\_R1 及第二電源配線 M1\_R2 中的每一者的臨界尺寸。

【0072】 第一金屬層 M1 可更包括第一通孔 VI1。第一通孔 VI1 可分別設置於第一金屬層 M1 的配線 M1\_R1、M1\_R2 及 M1\_I 之下。主動接觸件 AC 與第一金屬層 M1 的配線可藉由第一通孔 VI1 電性連接至彼此。閘極接觸件 GC 與第一金屬層 M1 的配線可藉由第一通孔 VI1 電性連接至彼此。

【0073】 第一金屬層 M1 的配線與位於第一金屬層 M1 的配線之下的第一通孔 VI1 可藉由單獨的製程形成。即，第一金屬層 M1 的配線及第一通孔 VI1 中的每一者可藉由單鑲嵌製程形成。根據一些實例性實施例的半導體裝置可使用小於 20 奈米的製程形成。

【0074】 可在第四層間絕緣層 140 中設置第二金屬層 M2。第二金屬層 M2 可包括多條第二配線 M2\_I。第二金屬層 M2 的第二配線 M2\_I 中的每一者可具有在第一方向 D1 上延伸的線形狀或條形狀。即，第二配線 M2\_I 可在第一方向 D1 上彼此平行地延伸。

【0075】 第二金屬層 M2 可更包括分別設置於第二配線 M2\_I 之下的第二通孔 VI2。第一金屬層 M1 的配線與第二金屬層 M2 的配線可藉由第二通孔 VI2 電性連接至彼此。舉例而言，第二金屬層 M2 的配線與位於第二金屬層 M2 的配線之下的第二通孔 VI2 可藉由雙鑲嵌製程一起形成。

【0076】 第一金屬層 M1 的配線與第二金屬層 M2 的配線可包含相同或不同的導電材料。舉例而言，第一金屬層 M1 的配線及第二金屬層 M2 的配線可包含選自鋁、銅、鎢、鉬、鈦及鈷的至少一種金屬材料。儘管未示出，但可附加地設置堆疊於第四層間絕緣層 140 上的金屬層（例如，M3、M4、M5...）。堆疊的金屬層中的每一者可包括用於在單元之間進行路由的配線。

【0077】 將參照圖 6A 更詳細地闡述第一通道圖案 CH1 及第一源極/汲極圖案 SD1。參照圖 6A，第一源極/汲極圖案 SD1 可包括第一突起部 PRP1、第二突起部 PRP2 及第三突起部 PRP3。第一突起

部 PRP1、第二突起部 PRP2 及第三突起部 PRP3 可分別朝向第一通道圖案 CH1 的第一半導體圖案 SP1、第二半導體圖案 SP2 及第三半導體圖案 SP3 突起，例如在第二方向 D2（例如，水平方向）上突起且遠離至少如圖 6A 中所示第一源極/汲極圖案 SD1 的在第三方向 D3 上延伸的中心線 SD1\_CL。

**【0078】** 第一突起部 PRP1、第二突起部 PRP2 及第三突起部 PRP3 中的每一者的側壁可具有凸形輪廓。第一突起部 PRP1 可直接與第一半導體圖案 SP1 接觸。第一半導體圖案 SP1 的側壁可具有與第一突起部 PRP1 的凸形側壁對應的第一凹形側壁 RSW1。第二突起部 PRP2 可直接與第二半導體圖案 SP2 接觸。第二半導體圖案 SP2 的側壁可具有與第二突起部 PRP2 的凸形側壁對應的第二凹形側壁 RSW2。第三突起部 PRP3 可直接與第三半導體圖案 SP3 接觸。第三半導體圖案 SP3 的側壁可具有與第三突起部 PRP3 的凸形側壁對應的第三凹形側壁 RSW3。

**【0079】** 第一突起部 PRP1、第二突起部 PRP2 及第三突起部 PRP3 可在第二方向 D2 上具有不同的寬度。詳言之，第一突起部 PRP1 可在第二方向 D2 上具有第一寬度 W11。第一突起部 PRP1 的第一寬度 W11 可被界定為自第一半導體圖案 SP1 的尖端 TP 至第一突起部 PRP1 的側壁的距離（例如在第二方向 D2 上的距離），所述尖端 TP 可為第一半導體圖案 SP1 的相對於如圖 6A 中所示的第一半導體圖案 SP1 的緊鄰部分而言在第二方向 D2 上最接近或最靠近第一源極/汲極圖案 SD1 的中心線 SD1\_CL 的一部分，第一突起部

PRP1 的所述側壁可為第一突起部 PRP1 的側壁的在第二方向 D2 上距例如如圖 6A 中所示的第一源極/汲極圖案 SD1 的中心線 SD1\_CL 最遠或最遙遠的一部分。第二突起部 PRP2 可在第二方向 D2 上具有第二寬度 WI2，且第三突起部 PRP3 可在第二方向 D2 上具有第三寬度 WI3。第二突起部 PRP2 的第二寬度 WI2 可被界定為自第二半導體圖案 SP2 的尖端 TP 至第二突起部 PRP2 的側壁的距離（例如在第二方向 D2 上的距離），所述尖端 TP 可為第二半導體圖案 SP2 的相對於如圖 6A 中所示的第二半導體圖案 SP2 的緊鄰部分而言在第二方向 D2 上最接近或最靠近第一源極/汲極圖案 SD1 的中心線 SD1\_CL 的一部分，第二突起部 PRP2 的所述側壁可為第二突起部 PRP2 的側壁的在第二方向 D2 上距例如如圖 6A 中所示的第一源極/汲極圖案 SD1 的中心線 SD1\_CL 最遠或最遙遠的一部分。第三突起部 PRP3 的第三寬度 WI3 可被界定為自第三半導體圖案 SP3 的尖端 TP 至第三突起部 PRP3 的側壁的距離（例如在第二方向 D2 上的距離），尖端 TP 可為第三半導體圖案 SP3 的相對於如圖 6A 中所示的第三半導體圖案 SP3 的緊鄰部分而言在第二方向 D2 上最接近或最靠近第一源極/汲極圖案 SD1 的中心線 SD1\_CL 的一部分，第三突起部 PRP3 的所述側壁可為第三突起部 PRP3 的側壁的在第二方向 D2 上距例如如圖 6A 中所示的第一源極/汲極圖案 SD1 的中心線 SD1\_CL 最遠或最遙遠的一部分。第二寬度 WI2 可大於第一寬度 WI1。第三寬度 WI3 可大於第二寬度 WI2。如本文中所述，基於如本文中所述的具有不同寬度 WI1 至

WI3 的第一突起部 PRP1 至第三突起部 PRP3 的存在，可減少、最小化或防止第一源極/汲極圖案 SD1 中空隙及/或晶格缺陷的存在（例如基於（至少如圖 15 中所示）作為形成第一源極/汲極圖案 SD1 的一部分的形成磊晶層 SEL），以利用第一半導體圖案 SP1 至第三半導體圖案 SP3 的第一通道凹槽 CRS1、第二通道凹槽 CRS2 及第三通道凹槽 CRS3（其中第一突起部 PRP1 至第三突起部 PRP3 被形成為具有相應的寬度 WI1 至 WI3）來完全覆蓋一或多個內部間隔件 ISP 而不具有空隙或具有減少的空隙，藉此改善半導體裝置的可靠性及/或效能。

【0080】 根據本發明概念的一些實例性實施例，第一突起部 PRP1、第二突起部 PRP2 及第三突起部 PRP3 之中的最上部第三突起部 PRP3 可最水平地突起。第一突起部 PRP1、第二突起部 PRP2 及第三突起部 PRP3 之中的最下部第一突起部 PRP1 可最少水平地（例如在水平方向 D1 及/或 D2 上）突起，水平方向 D1 及/或 D2 可各自是與基板 100 平行地（例如與基板 100 的上表面 100a 及/或底表面 100b 平行地）延伸的方向。

【0081】 第一凹形側壁 RSW1 至第三凹形側壁 RSW3 可水平地凹陷至的不同的程度。第一凹形側壁 RSW1 的凹陷程度可小於第二凹形側壁 RSW2 的凹陷程度。第二凹形側壁 RSW2 的凹陷程度可小於第三凹形側壁 RSW3 的凹陷程度。此乃因第一突起部 PRP1 至第三突起部 PRP3 的寬度彼此不同。

【0082】 第一突起部 PRP1、第二突起部 PRP2 及第三突起部 PRP3



的寬度可彼此不同，且因此第一半導體圖案 SP1、第二半導體圖案 SP2 及第三半導體圖案 SP3 在第二方向 D2 上的長度（或寬度）亦可彼此不同。詳言之，第一半導體圖案 SP1 可在第二方向 D2 上具有第一長度 LI1。第一半導體圖案 SP1 的第一長度 LI1 可被界定為第一半導體圖案 SP1 的中心的寬度（例如，在第二方向 D2 上，第二方向 D2 在本文中可被稱為水平方向）。第一半導體圖案 SP1 的第一長度 LI1 可為第一半導體圖案 SP1 的最小寬度。第二半導體圖案 SP2 可在第二方向 D2 上具有第二長度 LI2，且第三半導體圖案 SP3 可在第二方向 D2 上具有第三長度 LI3。第二長度 LI2 可大於第三長度 LI3。第一長度 LI1 可大於第二長度 LI2。

【0083】 根據本發明概念的一些實例性實施例，第一半導體圖案 SP1、第二半導體圖案 SP2 及第三半導體圖案 SP3 之中的最上部第三半導體圖案 SP3 可具有最小的通道長度。第一半導體圖案 SP1、第二半導體圖案 SP2 及第三半導體圖案 SP3 之中的最下部第一半導體圖案 SP1 可具有最長的通道長度。

【0084】 內部間隔件 ISP 可分別夾置於第一源極/汲極圖案 SD1 與閘極電極 GE 的第一部分 PO1、第二部分 PO2 及第三部分 PO3 之間。內部間隔件 ISP 中的每一者可具有朝向閘極電極 GE 突起的側壁。內部間隔件 ISP 可水平地突起大於第一突起部 PRP1 至第三突起部 PRP3。即，內部間隔件 ISP 在第二方向 D2 上的寬度（例如，內部間隔件 ISP 在第二方向 D2 上的最大寬度）可大於第一突起部 PRP1、第二突起部 PRP2 及第三突起部 PRP3 中的每一者的

寬度（例如，可大於第一寬度  $WI1$  至第三寬度  $WI3$  中的每一者）。至少一個內部間隔件  $ISP$  可位於第一突起部  $PRP1$  至第三突起部  $PRP3$  中在第三方向  $D3$ （例如，垂直方向）上彼此間隔開（例如，隔離而不接觸，其中接觸在本文中可互換地稱為直接接觸）的相鄰的突起部之間。

【0085】 根據本發明概念的一些實例性實施例，第一源極/汲極圖案  $SD1$  可包括第一突起部  $PRP1$ 、第二突起部  $PRP2$  及第三突起部  $PRP3$ ，藉此例如基於在第二方向  $D2$  上具有不同寬度  $WI1$ 、 $WI2$  及  $WI3$  的第一突起部  $PRP1$ 、第二突起部  $PRP2$  及第三突起部  $PRP3$  而減少或防止在內部間隔件  $ISP$  上形成空隙。因此，本發明概念的一些實例性實施例可提供不具有空隙及晶格缺陷或者具有減少的空隙及晶格缺陷的第一源極/汲極圖案  $SD1$ ，且因此，可基於包括在第二方向  $D2$  上具有不同寬度  $WI1$ 、 $WI2$  及  $WI3$  的第一突起部  $PRP1$ 、第二突起部  $PRP2$  及第三突起部  $PRP3$  的第一源極/汲極圖案  $SD1$  而可改善裝置的可靠性及電性特性。

【0086】 將參照圖 6B 更詳細地闡述第二通道圖案  $CH2$  及第二源極/汲極圖案  $SD2$ 。參照圖 6B，第二源極/汲極圖案  $SD2$  可包括第四突起部  $PRP4$ 、第五突起部  $PRP5$  及第六突起部  $PRP6$ 。第四突起部  $PRP4$ 、第五突起部  $PRP5$  及第六突起部  $PRP6$  可分別朝向閘極電極  $GE$  的第一部分  $PO1$ 、第二部分  $PO2$  及第三部分  $PO3$  突起（例如，在第二方向  $D2$  上）。閘極電極  $GE$  的第一部分  $PO1$ 、第二部分  $PO2$  及第三部分  $PO3$  的側壁可為凹形的，以分別與第四突起部

PRP4、第五突起部 PRP5 及第六突起部 PRP6 對應。

【0087】 不同於圖 6A，可在第二源極/汲極圖案 SD2 與極電極 GE 的第一部分 PO1、第二部分 PO2 及第三部分 PO3 之間省略內部間隔件 ISP。因此，第四突起部 PRP4、第五突起部 PRP5 及第六突起部 PRP6 可直接與閘極絕緣層 GI 接觸。

【0088】 第二通道圖案 CH2 的第一半導體圖案 SP1（在一些實例性實施例中可被稱為第四半導體圖案）可具有朝向第二源極/汲極圖案 SD2 突起的第一凸形側壁 CSW1。第二通道圖案 CH2 的第二半導體圖案 SP2（在一些實例性實施例中可被稱為第五半導體圖案）可具有朝向第二源極/汲極圖案 SD2 突起的第二凸形側壁 CSW2。在一些實例性實施例中，第二通道圖案 CH2 的第三半導體圖案 SP3 可被稱為第六半導體圖案。如圖所示，且與第一通道圖案 CH1 的第一半導體圖案 SP1 至第三半導體圖案 SP3 類似，第二通道圖案 CH2 的第一半導體圖案 SP1 至第三半導體圖案 SP3（例如，第四半導體圖案至第六半導體圖案）可彼此間隔開（例如，在第三方向 D3 上）且垂直地堆疊（例如，在第三方向 D3 上）。

【0089】 第二通道圖案 CH2 的第一半導體圖案 SP1、第二半導體圖案 SP2 及第三半導體圖案 SP3 在第二方向 D2 上的長度（或寬度）可彼此不同。詳言之，第二通道圖案 CH2 的第一半導體圖案 SP1 可在第二方向 D2 上具有第四長度 LI4。第一半導體圖案 SP1 的第四長度 LI4 可被界定為第一半導體圖案 SP1 的中心的寬度。第一半導體圖案 SP1 的第四長度 LI4 可為第一半導體圖案 SP1 的

最大寬度。第二半導體圖案 SP2 可在第二方向 D2 上具有第五長度 LI5，且第三半導體圖案 SP3 可在第二方向 D2 上具有第六長度 LI6。第四長度 LI4 可大於第五長度 LI5。第六長度 LI6 可大於第四長度 LI4。即，在根據一些實例性實施例的第二通道圖案 CH2 中，最上部半導體圖案（即第三半導體圖案 SP3）可具有最長的通道長度。

【0090】 圖 7A、圖 7B、圖 8A、圖 8B、圖 9A、圖 9B、圖 9C、圖 10A、圖 10B、圖 10C、圖 11A、圖 11B、圖 11C、圖 12A、圖 12B 及圖 12C 是用於示出根據本發明概念一些實例性實施例的製造半導體裝置的方法的剖視圖。詳言之，圖 7A、圖 8A、圖 9A、圖 10A、圖 11A 及圖 12A 是與圖 4 所示線 A-A'對應的剖視圖。圖 9B 及圖 10B 是與圖 4 所示線 B-B'對應的剖視圖。圖 9C、圖 10C、圖 11B 及圖 12B 是與圖 4 所示線 C-C'對應的剖視圖。圖 7B、圖 8B、圖 11C 及圖 12C 是與圖 4 所示線 D-D'對應的剖視圖。

【0091】 參照圖 7A 及圖 7B，可提供包括第一主動區 AR1 及第二主動區 AR2 的基板 100。可在基板 100 上交替地堆疊主動層 ACL 與犧牲層 SAL。主動層 ACL 可包含矽(Si)、鍺(Ge)及矽-鍺(SiGe)中的一者，且犧牲層 SAL 可包含矽(Si)、鍺(Ge)及矽-鍺(SiGe)中的另一者。

【0092】 犧牲層 SAL 可包含相對於主動層 ACL 具有蝕刻選擇性的材料。舉例而言，主動層 ACL 可包含矽(Si)，且犧牲層 SAL 可包含矽-鍺(SiGe)。犧牲層 SAL 中的每一者中鍺(Ge)的濃度

可為 10 at%至 30 at%。

【0093】 可在基板 100 的第一主動區 AR1 及第二主動區 AR2 上分別形成罩幕圖案。罩幕圖案可具有在第二方向 D2 上延伸的線形狀或條形狀。

【0094】 可使用罩幕圖案作為蝕刻罩幕來實行圖案化製程，以形成對第一主動圖案 AP1 及第二主動圖案 AP2 進行界定的溝渠 TR。可在第一主動區 AR1 上形成第一主動圖案 AP1。可在第二主動區 AR2 上形成第二主動圖案 AP2。

【0095】 可在第一主動圖案 AP1 及第二主動圖案 AP2 中的每一者上形成堆疊圖案 STP。堆疊圖案 STP 可包括交替堆疊的主動層 ACL 與犧牲層 SAL。在圖案化製程期間，堆疊圖案 STP 可與第一主動圖案 AP1 及第二主動圖案 AP2 一起形成。

【0096】 可形成對溝渠 TR 進行填充的裝置隔離層 ST。詳言之，可在基板 100 的整個表面上形成覆蓋第一主動圖案 AP1 及第二主動圖案 AP2 以及堆疊圖案 STP 的絕緣層。可使絕緣層凹陷直至暴露出堆疊圖案 STP，以形成裝置隔離層 ST。

【0097】 裝置隔離層 ST 可包含絕緣材料（例如氧化矽層）。堆疊圖案 STP 可暴露於裝置隔離層 ST 上。即，堆疊圖案 STP 可在裝置隔離層 ST 上方垂直地突起。

【0098】 參照圖 8A 及圖 8B，可在基板 100 上形成與堆疊圖案 STP 交叉的犧牲圖案 PP。犧牲圖案 PP 中的每一者可被形成為在第一方向 D1 上延伸的線形狀或條形狀。犧牲圖案 PP 可以第一節

距佈置於第二方向 D2 上。

【0099】 詳言之，形成犧牲圖案 PP 可包括在基板 100 的整個表面上形成犧牲層、在犧牲層上形成硬罩幕圖案 MP、以及使用硬罩幕圖案 MP 作為蝕刻罩幕來對犧牲層進行圖案化。犧牲層可包含複晶矽。

【0100】 可在犧牲圖案 PP 中的每一者的兩個側壁上形成一對閘極間隔件 GS。形成閘極間隔件 GS 可包括在基板 100 的整個表面上共形地形成閘極間隔件層以及以非等向性方式對閘極間隔件層進行蝕刻。在本發明概念的一些實例性實施例中，閘極間隔件 GS 可為包括至少兩個層的多層。

【0101】 參照圖 9A 至圖 9C，可在第一主動圖案 AP1 上在堆疊圖案 STP 中形成第一凹槽 RS1。可在第二主動圖案 AP2 上在堆疊圖案 STP 中形成第二凹槽 RS2。在形成第一凹槽 RS1 及第二凹槽 RS2 的同時，可使位於第一主動圖案 AP1 及第二主動圖案 AP2 中的每一者的兩個側上的裝置隔離層 ST 進一步凹陷（參照圖 9C）。

【0102】 詳言之，可使用硬罩幕圖案 MP 及閘極間隔件 GS 作為蝕刻罩幕來對第一主動圖案 AP1 上的堆疊圖案 STP 進行蝕刻，以形成第一凹槽 RS1。可在所述一對犧牲圖案 PP 之間形成第一凹槽 RS1。

【0103】 依序堆疊於彼此相鄰的第一凹槽 RS1 之間的第一半導體圖案 SP1、第二半導體圖案 SP2 及第三半導體圖案 SP3 可分別由主動層 ACL 形成。位於彼此相鄰的第一凹槽 RS1 之間的第一半

導體圖案 SP1、第二半導體圖案 SP2 及第三半導體圖案 SP3 可構成第一通道圖案 CH1。

【0104】 圖 13 及圖 14 是用於示出形成圖 9A 所示區「M」的方法的放大視圖。參照圖 13，如上所述，可在相鄰的犧牲圖案 PP 之間形成第一凹槽 RS1。第一凹槽 RS1 在第二方向 D2 上的寬度可隨著第一凹槽 RS1 接近基板 100 而減小。

【0105】 可由第一凹槽 RS1 暴露出犧牲層 SAL。可對被暴露出的犧牲層 SAL 實行選擇性蝕刻製程。蝕刻製程可包括用於選擇性地僅移除矽-鍍的濕式蝕刻製程。可藉由蝕刻製程使犧牲層 SAL 中的每一者凹進，以形成凹進區 IDE。由於凹進區 IDE，犧牲層 SAL 的側壁可為凹形的。

【0106】 可形成內部間隔件 ISP 以對凹進區 IDE 進行填充。形成內部間隔件 ISP 可包括藉由第一凹槽 RS1 形成對凹進區 IDE 進行填充的絕緣層以及對暴露於凹進區 IDE 外部的絕緣層進行濕式蝕刻。絕緣層可包括氧化矽層、氮氧化矽層及氮化矽層中的至少一者。內部間隔件 ISP 可分別夾置於第一凹槽 RS1 與犧牲層 SAL 之間。

【0107】 參照圖 14，即使當形成內部間隔件 ISP 時，亦可由第一凹槽 RS1 暴露出第一半導體圖案 SP1、第二半導體圖案 SP2 及第三半導體圖案 SP3。

【0108】 可對由第一凹槽 RS1 暴露出的第一半導體圖案 SP1、第二半導體圖案 SP2 及第三半導體圖案 SP3 實行選擇性蝕刻製程。

蝕刻製程可包括用於選擇性地僅移除矽的濕式蝕刻製程。

【0109】 可局部地對第一半導體圖案 SP1、第二半導體圖案 SP2 及第三半導體圖案 SP3 中的每一者進行蝕刻以形成通道凹槽 CRS。詳言之，可使第一半導體圖案 SP1 水平地凹陷以形成第一通道凹槽 CRS1，且可使第二半導體圖案 SP2 水平地凹陷以形成第二通道凹槽 CRS2，且可使第三半導體圖案 SP3 水平地凹陷以形成第三通道凹槽 CRS3。由於第一通道凹槽 CRS1、第二通道凹槽 CRS2 及第三通道凹槽 CRS3，第一凹槽 RS1 可具有波狀內壁。

【0110】 可藉由第一通道凹槽 CRS1 在第一半導體圖案 SP1 中形成第一凹形側壁 RSW1，可藉由第二通道凹槽 CRS2 在第二半導體圖案 SP2 中形成第二凹形側壁 RSW2，且可藉由第三通道凹槽 CRS3 在第三半導體圖案 SP3 中形成第三凹形側壁 RSW3。

【0111】 第一半導體圖案 SP1 可藉由第一通道凹槽 CRS1 而具有第一長度 LI1，且第二半導體圖案 SP2 可藉由第二通道凹槽 CRS2 而具有第二長度 LI2，且第三半導體圖案 SP3 可藉由第三通道凹槽 CRS3 而具有第三長度 LI3。第二長度 LI2 可大於第三長度 LI3。第一長度 LI1 可大於第二長度 LI2。

【0112】 第一通道凹槽 CRS1 可被形成為具有第一水平深度 LD1，且第二通道凹槽 CRS2 可被形成為具有第二水平深度 LD2，且第三通道凹槽 CRS3 可被形成為具有第三水平深度 LD3。第二水平深度 LD2 可大於第一水平深度 LD1。第三水平深度 LD3 可大於第二水平深度 LD2。



【0113】 返回參照圖 9A 至圖 9C，可以類似於形成第一凹槽 RS1 的方式形成在第二主動圖案 AP2 上位於堆疊圖案 STP 中的第二凹槽 RS2。可對由第二凹槽 RS2 暴露出的犧牲層 SAL 實行選擇性蝕刻製程，以形成凹進區 IDE。由於凹進區 IDE，第二凹槽 RS2 可具有波狀內壁。可不在第二主動圖案 AP2 上的凹進區 IDE 中形成內部間隔件 ISP。第二凹槽 RS2 之間彼此相鄰的第一半導體圖案 SP1、第二半導體圖案 SP2 及第三半導體圖案 SP3 可構成第二通道圖案 CH2。

【0114】 參照圖 10A 至圖 10C，可分別在第一凹槽 RS1 中形成第一源極/汲極圖案 SD1。詳言之，可使用第一凹槽 RS1 的內壁作為晶種層來實行 SEG 製程，且因此可形成對第一凹槽 RS1 進行填充的磊晶層。可使用由第一凹槽 RS1 及基板 100 暴露出的第一半導體圖案 SP1、第二半導體圖案 SP2 及第三半導體圖案 SP3 作為晶種來生長磊晶層。舉例而言，SEG 製程可包括化學氣相沈積（chemical vapor deposition，CVD）製程或分子束磊晶（molecular beam epitaxy，MBE）製程。

【0115】 在本發明概念的一些實例性實施例中，第一源極/汲極圖案 SD1 可包含與基板 100 相同的半導體元素（例如，Si）。在形成第一源極/汲極圖案 SD1 的同時，可原位植入雜質（例如，磷、砷或銻），使得第一源極/汲極圖案 SD1 具有 n 型。作為另一實例，在形成第一源極/汲極圖案 SD1 之後，可向第一源極/汲極圖案 SD1 中植入雜質。

【0116】可分別在第二凹槽 RS2 中形成第二源極/汲極圖案 SD2。詳言之，可使用第二凹槽 RS2 的內壁作為晶種層來實行 SEG 製程，且因此可形成第二源極/汲極圖案 SD2。

【0117】在本發明概念的一些實例性實施例中，第二源極/汲極圖案 SD2 可包含具有較基板 100 的半導體元素的晶格常數大的晶格常數的半導體元素（例如，SiGe）。在形成第二源極/汲極圖案 SD2 的同時，可原位植入雜質（例如，硼、鎵或銻），使得第二源極/汲極圖案 SD2 原位具有 p 型。作為另一實例，在形成第二源極/汲極圖案 SD2 之後，可向第二源極/汲極圖案 SD2 中植入雜質。

【0118】圖 15 是用於示出形成圖 10A 所示區「M」的方法的放大視圖。參照圖 15，可使用第一半導體圖案 SP1、第二半導體圖案 SP2 及第三半導體圖案 SP3 以及第一凹槽 RS1 中的第一主動圖案 AP1 作為晶種層來實行 SEG 製程。因此，可在第一凹槽 RS1 中生長磊晶層 SEL。

【0119】生長於第一半導體圖案 SP1、第二半導體圖案 SP2 及第三半導體圖案 SP3 上的磊晶層 SEL 可對第一通道凹槽 CRS1、第二通道凹槽 CRS2 及第三通道凹槽 CRS3 進行填充。生長於第一主動圖案 AP1 上的磊晶層 SEL 可對第一凹槽 RS1 的下部部分進行填充。

【0120】位於第一半導體圖案 SP1、第二半導體圖案 SP2 及第三半導體圖案 SP3 上的磊晶層 SEL 可主要在<111>方向上生長。同時，由於內部間隔件 ISP 不用作晶種，因此可能不在內部間隔件

ISP 上生長磊晶層 SEL。

【0121】 根據本發明概念的一些實例性實施例，即使當磊晶層 SEL 的生長方向 GWD 是 $\langle 111 \rangle$ 方向時，亦可使用第一通道凹槽 CRS1、第二通道凹槽 CRS2 及第三通道凹槽 CRS3 將磊晶層 SEL 形成為覆蓋內部間隔件 ISP 的所有表面。可使用第一通道凹槽 CRS1、第二通道凹槽 CRS2 及第三通道凹槽 CRS3 來增大磊晶層 SEL 的水平生長長度，且因此可確保磊晶層 SEL 完全覆蓋內部間隔件 ISP 所需的時間。

【0122】 圖 16 是與圖 10A 所示區「M」對應的放大視圖，用於示出根據本發明概念的比較例的形成第一源極/汲極圖案的方法。參照圖 16，在本發明概念的比較例中，省略第一通道凹槽 CRS1、第二通道凹槽 CRS2 及第三通道凹槽 CRS3 的形成。

【0123】 可對圖 13 所示第一凹槽 RS1 直接實行 SEG 製程。如上所述，位於第一半導體圖案 SP1、第二半導體圖案 SP2 及第三半導體圖案 SP3 上的磊晶層 SEL 可主要在 $\langle 111 \rangle$ 方向上生長。因此，磊晶層 SEL 可能生長得不完全覆蓋內部間隔件 ISP。即，磊晶層 SEL 可僅局部地覆蓋內部間隔件 ISP。

【0124】 根據此比較例，可在磊晶層 SEL 與內部間隔件 ISP 之間形成空隙 VD。在磊晶層 SEL 的生長期間，由於空隙 VD 而可能出現晶格缺陷 DFT。晶格缺陷 DFT 可能導致第一源極/汲極圖案 SD1 中的缺陷且使裝置效能嚴重地劣化。

【0125】 返回參照圖 15，在根據本發明概念一些實例性實施例的

形成第一源極/汲極圖案 SD1 的方法中，可使用第一通道凹槽 CRS1、第二通道凹槽 CRS2 及第三通道凹槽 CRS3 將磊晶層 SEL 形成為完全覆蓋內部間隔件 ISP 而不具有空隙或者具有減少的空隙，使得所形成的第一源極/汲極圖案 SD1 包括在第二方向 D2 上具有不同寬度 WI1、WI2 及 WI3 的第一突起部 PRP1、第二突起部 PRP2 及第三突起部 PRP3。因此，可減少或防止圖 16 中所示的磊晶層 SEL 中的晶格缺陷 DFT。因此，根據本發明概念一些實例性實施例的製造半導體裝置的方法可改善裝置可靠性且確保優異的電性特性。

【0126】 參照圖 11A 至圖 11C，可形成覆蓋第一源極/汲極圖案 SD1 及第二源極/汲極圖案 SD2、硬罩幕圖案 MP 以及閘極間隔件 GS 的第一層間絕緣層 110。舉例而言，第一層間絕緣層 110 可包括氧化矽層。

【0127】 可對第一層間絕緣層 110 進行平坦化，直至暴露出犧牲圖案 PP 的頂表面。可使用回蝕或化學機械研磨（chemical mechanical polishing, CMP）製程來實行對第一層間絕緣層 110 的平坦化。在平坦化製程期間，可移除所有的硬罩幕圖案 MP。因此，第一層間絕緣層 110 的頂表面可與犧牲圖案 PP 的頂表面及閘極間隔件 GS 的頂表面共面。

【0128】 可選擇性地移除被暴露出的犧牲圖案 PP。隨著犧牲圖案 PP 被移除，可形成暴露出第一通道圖案 CH1 及第二通道圖案 CH2 的外部區 ORG（參照圖 11C）。移除犧牲圖案 PP 可包括使用

選擇性地對複晶矽進行蝕刻的蝕刻劑的濕式蝕刻。

【0129】 可選擇性地移除由外部區 ORG 暴露出的犧牲層 SAL，以形成內部區 IRG（參照圖 11C）。詳言之，可實行選擇性地對犧牲層 SAL 進行蝕刻的蝕刻製程，且因此可在第一半導體圖案 SP1、第二半導體圖案 SP2 及第三半導體圖案 SP3 保留的同時僅移除犧牲層 SAL。相對於具有相對高鍍濃度的矽-鍍，蝕刻製程可具有高的蝕刻速率。舉例而言，蝕刻製程可針對鍍濃度大於 10 at%的矽-鍍而具有高的蝕刻速率。

【0130】 在蝕刻製程期間，可移除位於第一主動區 AR1 及第二主動區 AR2 上的犧牲層 SAL。蝕刻製程可為濕式蝕刻。蝕刻製程中所使用的蝕刻材料可快速地移除具有相對高的鍍濃度的犧牲層 SAL。

【0131】 返回參照圖 11C，可選擇性地移除犧牲層 SAL，僅堆疊的第一半導體圖案 SP1、第二半導體圖案 SP2 及第三半導體圖案 SP3 可保留於第一主動圖案 AP1 及第二主動圖案 AP2 中的每一者上。可分別穿過其中犧牲層 SAL 被移除的區形成第一內部區 IRG1、第二內部區 IRG2 及第三內部區 IRG3。

【0132】 詳言之，可在主動圖案 AP1 或 AP2 與第一半導體圖案 SP1 之間形成第一內部區 IRG1，可在第一半導體圖案 SP1 與第二半導體圖案 SP2 之間形成第二內部區 IRG2，且可在第二半導體圖案 SP2 與第三半導體圖案 SP3 之間形成第三內部區 IRG3。

【0133】 再次參照圖 11A 至圖 11C，可在被暴露出的第一半導體

圖案 SP1、第二半導體圖案 SP2 及第三半導體圖案 SP3 上形成閘極絕緣層 GI。閘極絕緣層 GI 可被形成為環繞第一半導體圖案 SP1、第二半導體圖案 SP2 及第三半導體圖案 SP3 中的每一者。可在第一內部區 IRG1、第二內部區 IRG2 及第三內部區 IRG3 中的每一者中形成閘極絕緣層 GI。可在外部區 ORG 中形成閘極絕緣層 GI。

【0134】 參照圖 12A 至圖 12C，可在閘極絕緣層 GI 上形成閘極電極 GE。閘極電極 GE 可包括分別形成於第一內部區 IRG1、第二內部區 IRG2 及第三內部區 IRG3 中的第一部分 PO1、第二部分 PO2 及第三部分 PO3、以及形成於外部區 ORG 中的第四部分 PO4。可使閘極電極 GE 凹陷，且因此可減小閘極電極 GE 的高度。可在經凹陷的閘極電極 GE 上形成閘極頂蓋圖案 GP。

【0135】 返回參照圖 5A 至圖 5D，可在第一層間絕緣層 110 上形成第二層間絕緣層 120。第二層間絕緣層 120 可包括氧化矽層。可穿過第二層間絕緣層 120 及第一層間絕緣層 110 形成電性連接至第一源極/汲極圖案 SD1 及第二源極/汲極圖案 SD2 的主動接觸件 AC。可穿過第二層間絕緣層 120 及閘極頂蓋圖案 GP 形成電性連接至閘極電極 GE 的閘極接觸件 GC。

【0136】 主動接觸件 AC 及閘極接觸件 GC 中的每一者的形成可包括形成障壁圖案 BM 及在障壁圖案 BM 上形成導電圖案 FM。障壁圖案 BM 可共形地形成且可包括金屬層/金屬氮化物層。導電圖案 FM 可包含低電阻金屬。

【0137】 可在單高度單元 SHC 的第一邊界 BD1 及第二邊界 BD2 上分別形成分隔結構 DB。分隔結構 DB 可自第二層間絕緣層 120 穿過閘極電極 GE 延伸至主動圖案 AP1 或 AP2 中。分隔結構 DB 可包含絕緣材料（例如氧化矽層或氮化矽層）。

【0138】 可在主動接觸件 AC 及閘極接觸件 GC 上形成第三層間絕緣層 130。可在第三層間絕緣層 130 中形成第一金屬層 M1。可在第三層間絕緣層 130 上形成第四層間絕緣層 140。可在第四層間絕緣層 140 中形成第二金屬層 M2。

【0139】 在下文中，將闡述本發明概念的一些實例性實施例。在稍後將闡述的本發明概念的一些實例性實施例中，將省略對與以上參照圖 1 至圖 6B 闡述的技術特徵重疊的技術特徵的詳細說明，且將詳細闡述不同之處。

【0140】 圖 17 是示出圖 5A 所示區「M」的一些實例性實施例的放大視圖。參照圖 17，第一突起部 PRP1、第二突起部 PRP2 及第三突起部 PRP3 中的每一者可包括尖銳邊緣 ED。第一半導體圖案 SP1、第二半導體圖案 SP2 及第三半導體圖案 SP3 可包括分別與第一突起部 PRP1、第二突起部 PRP2 及第三突起部 PRP3 對應的第一凹形側壁 RSW1、第二凹形側壁 RSW2 及第三凹形側壁 RSW3。

【0141】 第一凹形側壁 RSW1、第二凹形側壁 RSW2 及第三凹形側壁 RSW3 中的每一者可包括第一表面 FA1 及第二表面 FA2。第一表面 FA1 與第二表面 FA2 可彼此交會以對上述邊緣 ED 進行界定。第一表面 FA1 及第二表面 FA2 中的每一者可為矽的{111}晶面。

【0142】 圖 18 是示出圖 5B 所示區「N」的一些實例性實施例的放大視圖。參照圖 18，第二源極/汲極圖案 SD2 可更包括不僅第四突起部 PRP4、第五突起部 PRP5 及第六突起部 PRP6，而且包括第七突起部 PRP7、第八突起部 PRP8 及第九突起部 PRP9。第七突起部 PRP7、第八突起部 PRP8 及第九突起部 PRP9 可分別朝向第一半導體圖案 SP1、第二半導體圖案 SP2 及第三半導體圖案 SP3 突起。

【0143】 可以與第一源極/汲極圖案 SD1 的第一突起部 PRP1、第二突起部 PRP2 及第三突起部 PRP3 相同的方式形成第二源極/汲極圖案 SD2 的第七突起部 PRP7、第八突起部 PRP8 及第九突起部 PRP9。第二通道圖案 CH2 的第一半導體圖案 SP1、第二半導體圖案 SP2 及第三半導體圖案 SP3 可分別藉由第七突起部 PRP7、第八突起部 PRP8 及第九突起部 PRP9 而包括第四凹形側壁 RSW4、第五凹形側壁 RSW5 及第六凹形側壁 RSW6。

【0144】 根據本發明概念的三維場效電晶體可利用通道凹槽提供用於形成源極/汲極圖案的磊晶層（即，晶種層）。本發明概念可提供不具有空隙及晶格缺陷或者具有減少的空隙及晶格缺陷的源極/汲極圖案，藉此例如基於包括第一源極/汲極圖案 SD1 的半導體裝置（包括在第二方向 D2 上具有不同寬度 WI1、WI2 及 WI3 的第一突起部 PRP1、第二突起部 PRP2 及第三突起部 PRP3）來改善半導體裝置的電性特性及可靠性。

【0145】 儘管已具體示出及闡述了本發明概念的一些實例性實



施例，但此項技術中具有通常知識者應理解，可在不背離所附申請專利範圍的精神及範圍的條件下在本文中進行形式及細節上的改變。

## 【符號說明】

### 【0146】

100:基板

100a:上表面

100b:底表面

110:第一層間絕緣層

120:第二層間絕緣層

130:第三層間絕緣層

140:第四層間絕緣層

A-A'、B-B'、C-C'、D-D':線

AC:主動接觸件

ACL:主動層

AP1:第一主動圖案/主動圖案

AP2:第二主動圖案/主動圖案

AR1:第一主動區

AR2:第二主動區

BD1:第一邊界

BD2:第二邊界

BD3:第三邊界

BD4:第四邊界

BM:障壁圖案

BS:底表面

CH1:第一通道圖案

CH2:第二通道圖案

CRS:通道凹槽

CRS1:第一通道凹槽

CRS2:第二通道凹槽

CRS3:第三通道凹槽

CSW1:第一凸形側壁

CSW2:第二凸形側壁

D1:第一方向/水平方向

D2:第二方向/水平方向

D3:第三方向

DB:分隔結構

DFT:晶格缺陷

DHC:雙高度單元

ED:尖銳邊緣/邊緣

FA1:第一表面

FA2:第二表面

FM:導電圖案

GC:閘極接觸件

GE:閘極電極

GI:閘極絕緣層

GP:閘極頂蓋圖案

GS:閘極間隔件

GWD:生長方向

HE1:第一高度

HE2:第二高度

IDE:凹進區

IRG:內部區

IRG1:第一內部區

IRG2:第二內部區

IRG3:第三內部區

ISP:內部間隔件

LD1:第一水平深度

LD2:第二水平深度

LD3:第三水平深度

LI1:第一長度

LI2:第二長度

LI3:第三長度

LI4:第四長度

LI5:第五長度

LI6:第六長度

M、N:區

M1:第一金屬層

M1\_I:第一配線/配線

M1\_R1:第一電源配線/配線

M1\_R2:第二電源配線/配線

M1\_R3:第三電源配線/配線

M2:第二金屬層

M2\_I:第二配線

MP:硬罩幕圖案

ORG:外部區

PO1:第一部分

PO2:第二部分

PO3:第三部分

PO4:第四部分

PP:犧牲圖案

PRP1:第一突起部/最下部第一突起部

PRP2:第二突起部

PRP3:第三突起部/最上部第三突起部

PRP4:第四突起部

PRP5:第五突起部

PRP6:第六突起部

PRP7:第七突起部

PRP8:第八突起部

PRP9:第九突起部

RS1:第一凹槽

RS2:第二凹槽

RSW1:第一凹形側壁

RSW2:第二凹形側壁

RSW3:第三凹形側壁

RSW4:第四凹形側壁

RSW5:第五凹形側壁

RSW6:第六凹形側壁

SAL:犧牲層

SC:金屬-半導體化合物層

SD1:第一源極/汲極圖案 / 源極/汲極圖案

SD1\_CL:中心線

SD2:第二源極/汲極圖案 / 源極/汲極圖案

SEL:磊晶層

SHC:單高度單元

SHC1:第一單高度單元

SHC2:第二單高度單元

SP1:第一半導體圖案/最下部第一半導體圖案

SP2:第二半導體圖案

SP3:第三半導體圖案/最上部第三半導體圖案

ST:裝置隔離層

STP:堆疊圖案

SW:側壁

TP:尖端

TR:溝渠

TS:頂表面

UIP:上部絕緣圖案

VD:空隙

VDD:汲極電壓

VI1:第一通孔

VI2:第二通孔

VSS:源極電壓

W1:第一寬度

WI1:第一寬度/寬度

WI2:第二寬度/寬度

WI3:第三寬度/寬度

## 【發明申請專利範圍】

【請求項1】 一種半導體裝置，包括：

基板，包括第一主動圖案；

第一通道圖案，在所述第一主動圖案上，所述第一通道圖案包括彼此間隔開且在與所述基板的上表面垂直地延伸的垂直方向上垂直地堆疊的第一半導體圖案、第二半導體圖案及第三半導體圖案；

第一源極/汲極圖案，連接至所述第一半導體圖案至所述第三半導體圖案；以及

閘極電極，在所述第一半導體圖案至所述第三半導體圖案上，

其中所述第一源極/汲極圖案包括在與所述基板的所述上表面平行地延伸的水平方向上朝向所述第一半導體圖案突起的第一突起部、在所述水平方向上朝向所述第二半導體圖案突起的第二突起部及在所述水平方向上朝向所述第三半導體圖案突起的第三突起部，

其中所述第二突起部在所述水平方向上的寬度大於所述第一突起部在所述水平方向上的寬度，且

其中所述第三突起部在所述水平方向上的寬度大於所述第二突起部在所述水平方向上的所述寬度。

【請求項2】 如請求項1所述的半導體裝置，其中

所述第一半導體圖案包括與所述第一突起部接觸的第一凹形側壁，

所述第二半導體圖案包括與所述第二突起部接觸的第二凹形側壁，且

所述第三半導體圖案包括與所述第三突起部接觸的第三凹形側壁。

**【請求項3】** 如請求項 2 所述的半導體裝置，其中所述第一凹形側壁至所述第三凹形側壁中的每一者包括第一表面及第二表面，

其中所述第一表面及所述第二表面中的每一者是{111}晶面，且

其中所述第一表面與所述第二表面交會以界定所述第一突起部至所述第三突起部中的每一者的邊緣。

**【請求項4】** 如請求項 1 所述的半導體裝置，其中所述第二半導體圖案在所述水平方向上的長度大於所述第三半導體圖案在所述水平方向上的長度，且

其中所述第一半導體圖案在所述水平方向上的長度大於所述第二半導體圖案在所述水平方向上的所述長度。

**【請求項5】** 如請求項 1 所述的半導體裝置，更包括在所述閘極電極與所述第一源極/汲極圖案之間的至少一個內部間隔件，

其中所述第一突起部至所述第三突起部在所述垂直方向上以其之間的至少一個所述內部間隔件彼此間隔開。

**【請求項6】** 如請求項 5 所述的半導體裝置，其中至少一個所述內部間隔件在所述水平方向上的寬度大於所述第三突起部在所述水平方向上的所述寬度。



【請求項7】 如請求項 5 所述的半導體裝置，更包括在所述閘極電極與所述第一半導體圖案至所述第三半導體圖案之間的閘極絕緣層，

其中所述閘極絕緣層與所述內部間隔件接觸。

【請求項8】 如請求項 1 所述的半導體裝置，更包括：

第二通道圖案，在所述基板的第二主動圖案上，所述第二通道圖案包括彼此間隔開且在所述垂直方向上垂直地堆疊的第一半導體圖案、第二半導體圖案及第三半導體圖案；以及

第二源極/汲極圖案，連接至所述第二通道圖案的所述第一半導體圖案至所述第三半導體圖案，

其中所述第二源極/汲極圖案具有與所述第一源極/汲極圖案的導電類型不同的導電類型，

其中所述閘極電極自所述第一通道圖案延伸至所述第二通道圖案，

其中所述閘極電極包括分別與所述第二通道圖案的所述第一半導體圖案至所述第三半導體圖案相鄰的第一部分、第二部分及第三部分，且

其中所述第二源極/汲極圖案包括在所述水平方向上朝向所述第一部分突起的第四突起部、在所述水平方向上朝向所述第二部分突起的第五突起部及在所述水平方向上朝向所述第三部分突起的第六突起部。

【請求項9】 如請求項 8 所述的半導體裝置，其中

所述第二通道圖案的所述第一半導體圖案包括在所述第四突起部與所述第五突起部之間的第一凸形側壁，且

其中所述第二通道圖案的所述第二半導體圖案包括在所述第五突起部與所述第六突起部之間的第二凸形側壁。

**【請求項10】** 如請求項8所述的半導體裝置，其中

所述第二通道圖案的所述第一半導體圖案在所述水平方向上的長度大於所述第二通道圖案的所述第二半導體圖案在所述水平方向上的長度，且

其中所述第二通道圖案的所述第三半導體圖案在所述水平方向上的長度大於所述第二通道圖案的所述第一半導體圖案在所述水平方向上的所述長度。

**【請求項11】** 一種半導體裝置，包括：

基板，包括第一主動圖案及第二主動圖案；

第一通道圖案，在所述第一主動圖案上，所述第一通道圖案包括彼此間隔開且在與所述基板的上表面垂直地延伸的垂直方向上垂直地堆疊的第一半導體圖案、第二半導體圖案及第三半導體圖案；

第二通道圖案，在所述第二主動圖案上，所述第二通道圖案包括彼此間隔開且在所述垂直方向上垂直地堆疊的第四半導體圖案、第五半導體圖案及第六半導體圖案；

第一源極/汲極圖案，連接至所述第一半導體圖案至所述第三半導體圖案；

第二源極/汲極圖案，連接至所述第四半導體圖案至所述第六半導體圖案；以及

閘極電極，自所述第一通道圖案延伸至所述第二通道圖案，其中所述第二源極/汲極圖案具有與所述第一源極/汲極圖案的導電類型不同的導電類型，

其中所述閘極電極包括與所述第四半導體圖案至所述第六半導體圖案中的每一者相鄰的第一部分、第二部分及第三部分，

其中所述第一源極/汲極圖案包括在與所述基板的所述上表面平行地延伸的水平方向上朝向所述第一半導體圖案突起的第一突起部、在所述水平方向上朝向所述第二半導體圖案突起的第二突起部及在所述水平方向上朝向所述第三半導體圖案突起的第三突起部，且

其中所述第二源極/汲極圖案包括在所述水平方向上朝向所述第一部分突起的第四突起部、在所述水平方向上朝向所述第二部分突起的第五突起部及在所述水平方向上朝向所述第三部分突起的第六突起部。

**【請求項12】** 如請求項 11 所述的半導體裝置，更包括在所述閘極電極與所述第一源極/汲極圖案之間的至少一個內部間隔件，

其中在所述閘極電極與所述第二源極/汲極圖案之間省略所述內部間隔件。

**【請求項13】** 如請求項 11 所述的半導體裝置，其中所述第一半導體圖案至所述第三半導體圖案包括分別與所述第一突起部至

所述第三突起部接觸的第一凹形側壁、第二凹形側壁及第三凹形側壁，且

其中所述第四半導體圖案至所述第六半導體圖案包括分別朝向所述第二源極/汲極圖案突起的第一凸形側壁、第二凸形側壁及第三凸形側壁。

**【請求項14】** 如請求項 11 所述的半導體裝置，其中

所述第二半導體圖案在所述水平方向上的長度大於所述第三半導體圖案在所述水平方向上的長度，且

所述第五半導體圖案在所述水平方向上的長度小於所述第六半導體圖案在所述水平方向上的長度。

**【請求項15】** 如請求項 11 所述的半導體裝置，其中

所述第二突起部在所述水平方向上的寬度大於所述第一突起部在所述水平方向上的寬度，且

所述第三突起部在所述水平方向上的寬度大於所述第二突起部在所述水平方向上的所述寬度。

**【請求項16】** 一種半導體裝置，包括：

基板，包括主動區；

裝置隔離層，在所述主動區上界定主動圖案；

通道圖案及源極/汲極圖案，在所述主動圖案上，所述通道圖案包括彼此間隔開且在與所述基板的上表面垂直地延伸的垂直方向上垂直地堆疊的第一半導體圖案、第二半導體圖案及第三半導體圖案；

閘極電極，在所述第一半導體圖案至所述第三半導體圖案上；

閘極絕緣層，在所述第一半導體圖案至所述第三半導體圖案與所述閘極電極之間；

閘極間隔件，在所述閘極電極的側壁上；

閘極頂蓋圖案，在所述閘極電極的頂表面上；

層間絕緣層，在所述閘極頂蓋圖案上；

主動接觸件，藉由所述層間絕緣層電性連接至所述源極/汲極圖案；

金屬-半導體化合物層，夾置於所述主動接觸件與所述源極/汲極圖案之間；

閘極接觸件，通過所述層間絕緣層及所述閘極頂蓋圖案且電性連接至所述閘極電極；

第一金屬層，在所述層間絕緣層上，所述第一金屬層包括分別電性連接至所述主動接觸件及所述閘極接觸件的電源配線及第一配線；以及

第二金屬層，在所述第一金屬層上，

其中所述第二金屬層包括電性連接至所述第一金屬層的第二配線，

其中所述源極/汲極圖案包括在與所述基板的所述上表面平行地延伸的水平方向上朝向所述第一半導體圖案突起的第一突起部、在所述水平方向上朝向所述第二半導體圖案突起的第二突起部及在所述水平方向上朝向所述第三半導體圖案突起的第三突起

部，

其中所述第二半導體圖案在所述水平方向上的長度大於所述第三半導體圖案在所述水平方向上的長度，且

其中所述第一半導體圖案在所述水平方向上的長度大於所述第二半導體圖案在所述水平方向上的所述長度。

**【請求項17】** 如請求項 16 所述的半導體裝置，其中

所述第二突起部在所述水平方向上的寬度大於所述第一突起部在所述水平方向上的寬度，且

所述第三突起部在所述水平方向上的寬度大於所述第二突起部在所述水平方向上的所述寬度。

**【請求項18】** 如請求項 16 所述的半導體裝置，其中

所述第一半導體圖案包括與所述第一突起部接觸的第一凹形側壁，

所述第二半導體圖案包括與所述第二突起部接觸的第二凹形側壁，且

所述第三半導體圖案包括與所述第三突起部接觸的第三凹形側壁。

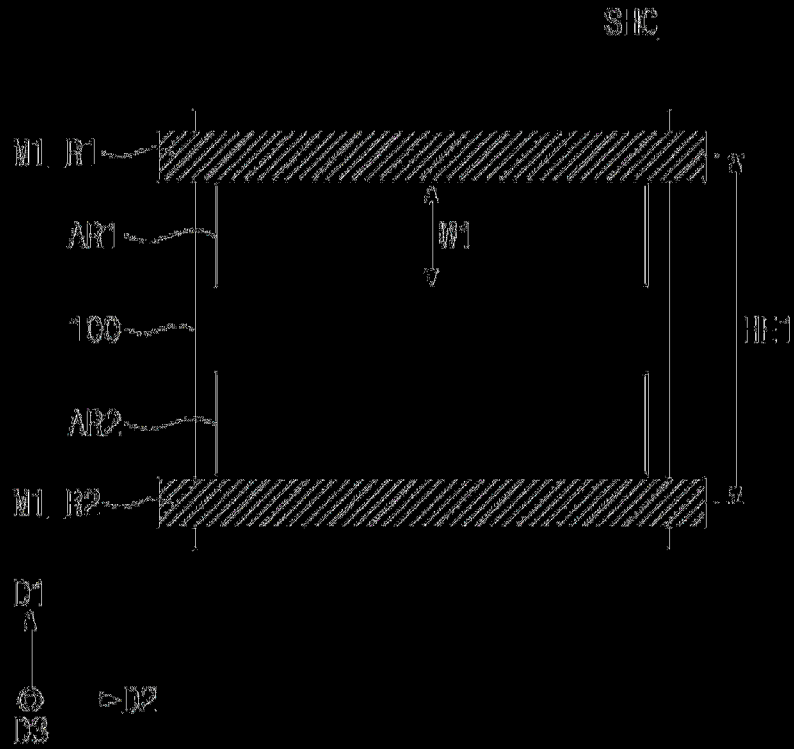
**【請求項19】** 如請求項 16 所述的半導體裝置，更包括在所述閘極電極與所述源極/汲極圖案之間的至少一個內部間隔件，

其中所述第一突起部至所述第三突起部在所述垂直方向上以其之間的至少一個所述內部間隔件彼此間隔開。

**【請求項20】** 如請求項 19 所述的半導體裝置，其中至少一個

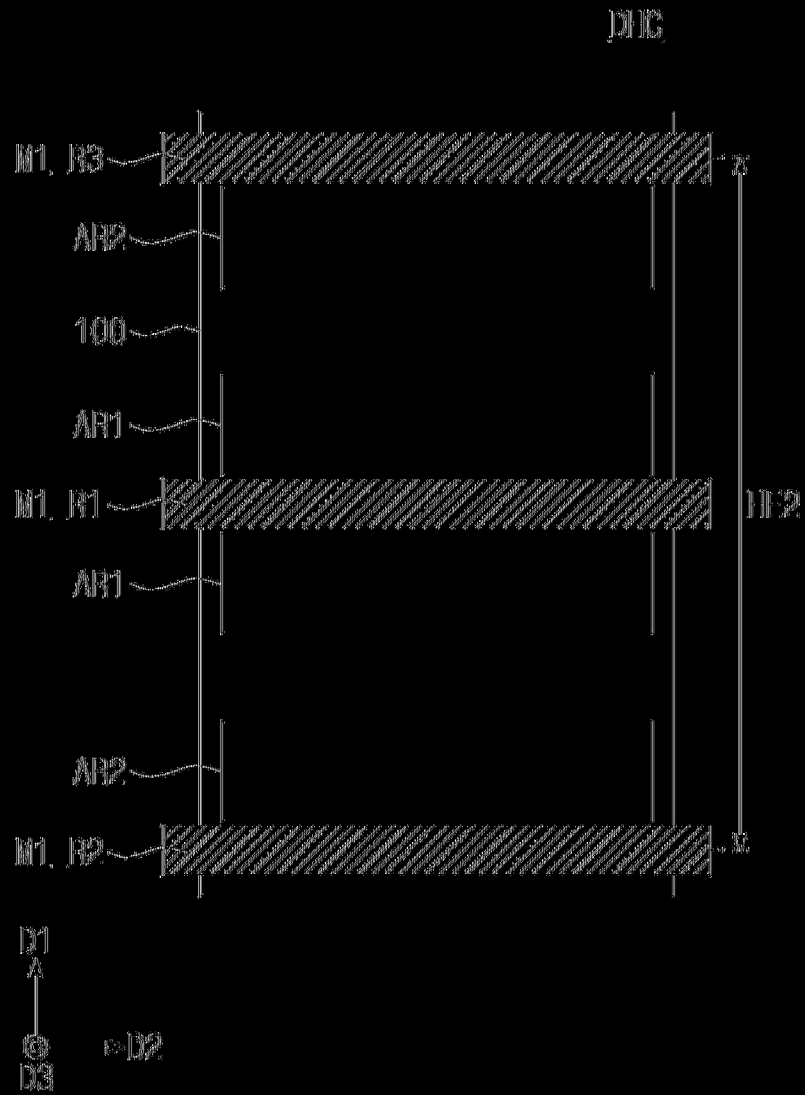
所述內部間隔件在所述水平方向上的寬度大於所述第三突起部在  
所述水平方向上的寬度。

(發明圖式)

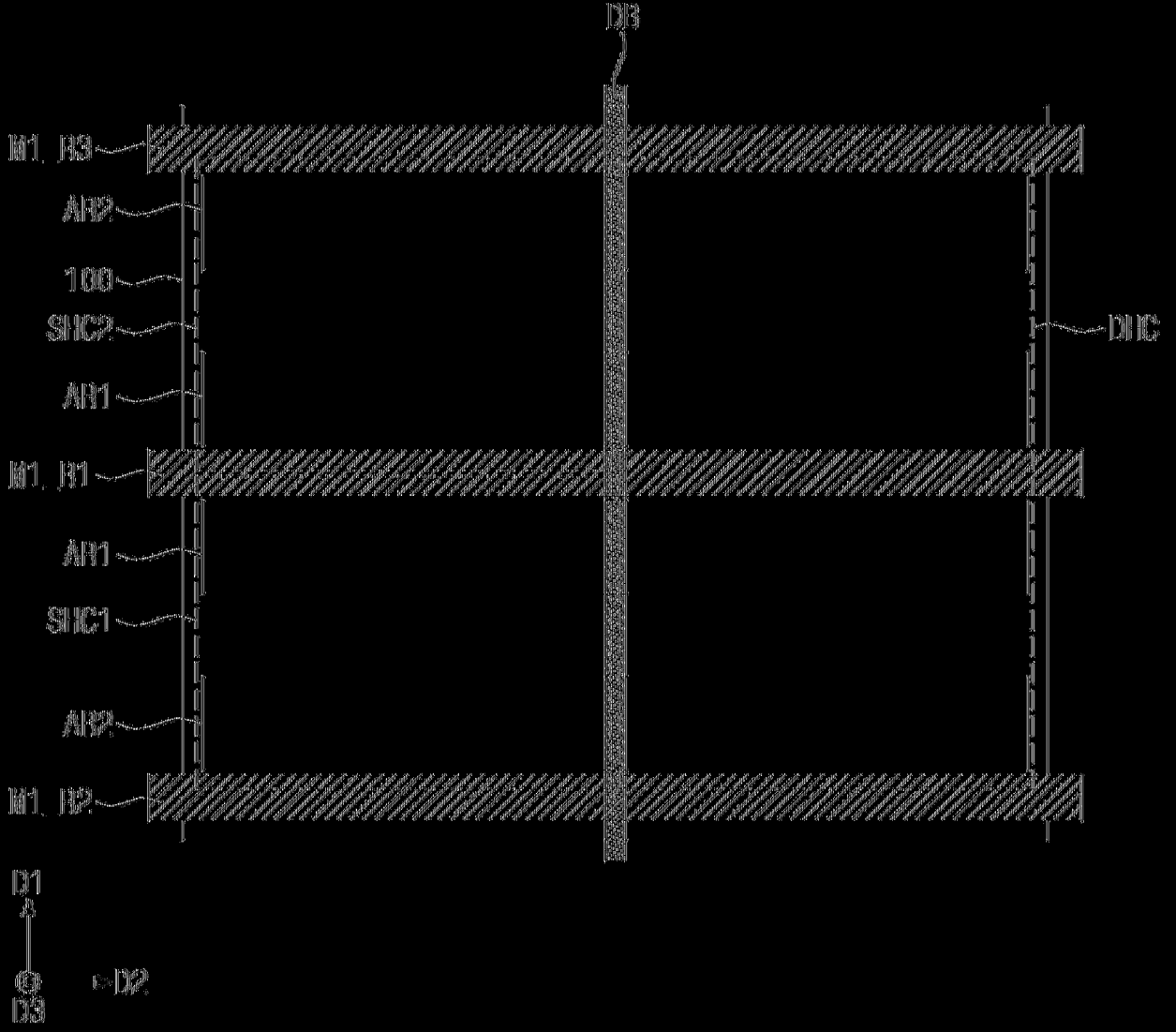


(圖1)

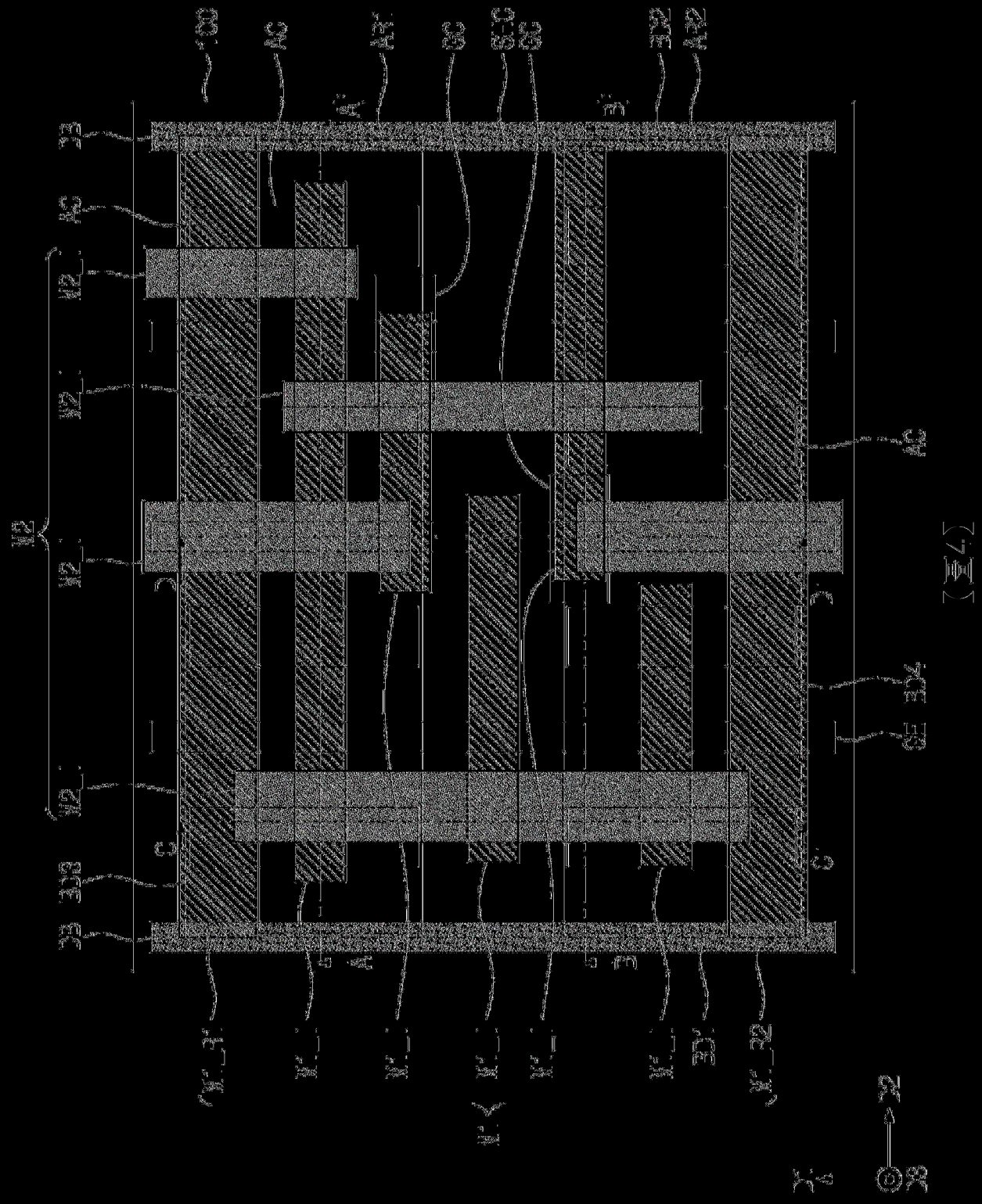


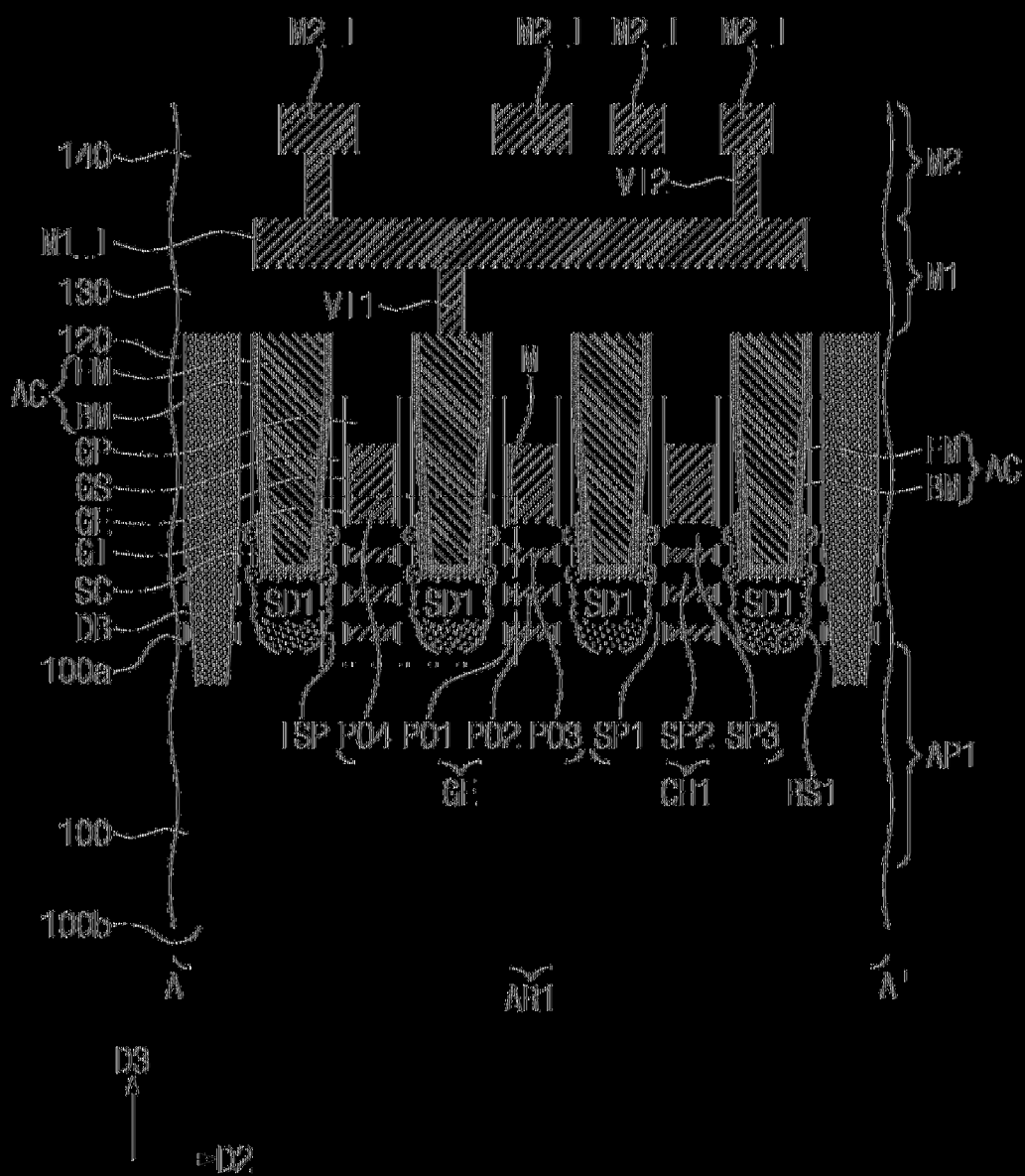


(圖2)

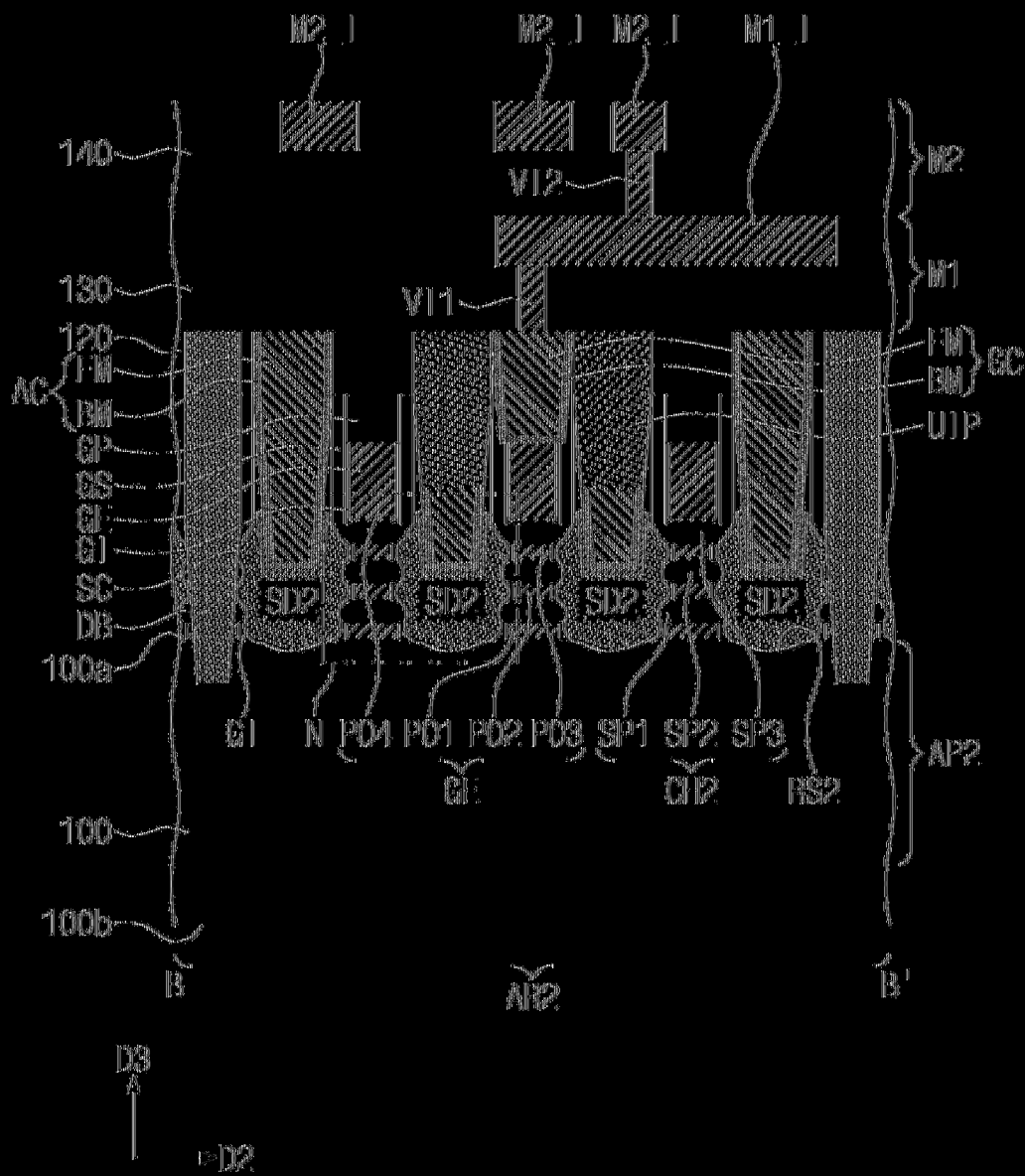


(圖3)

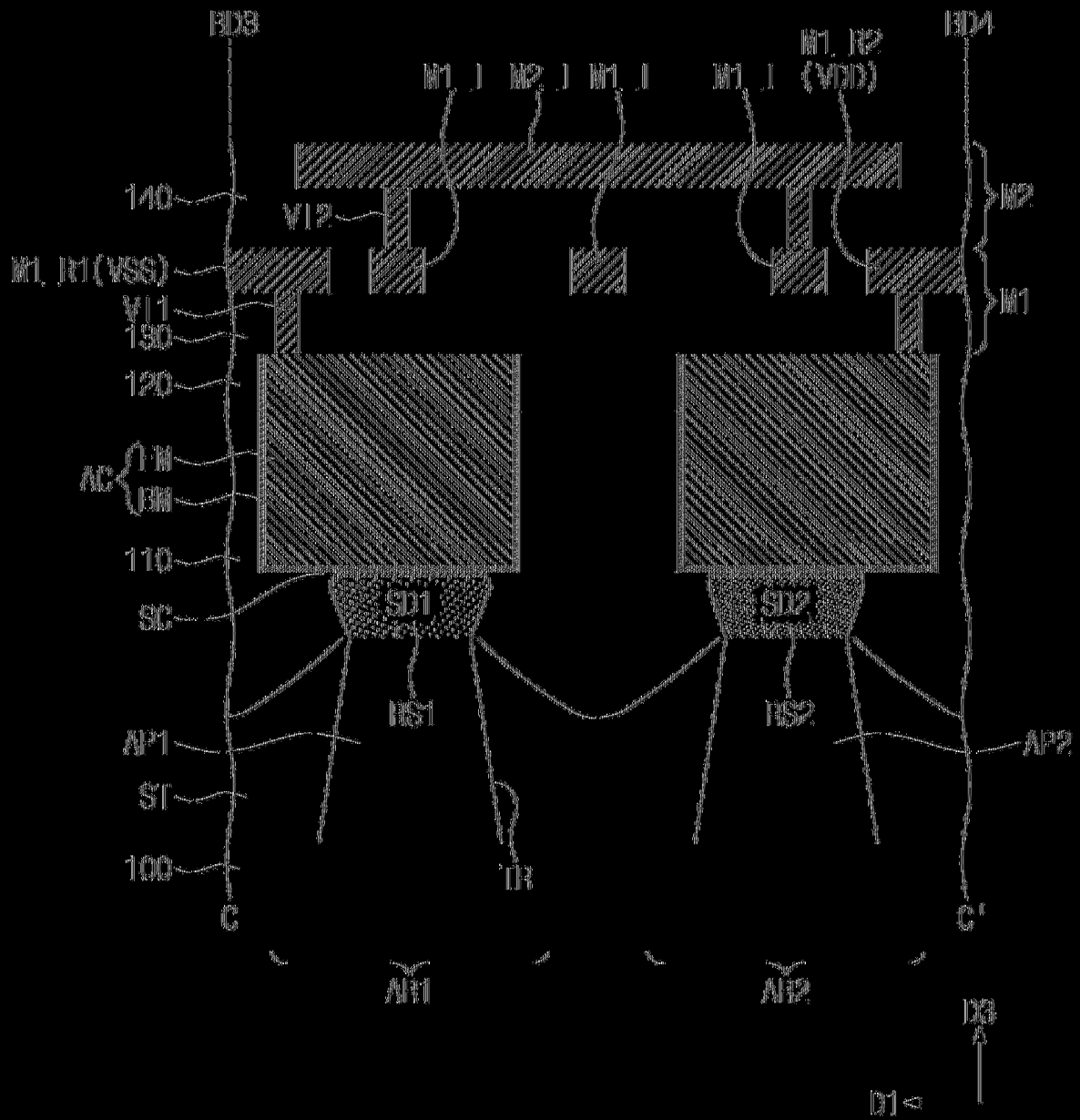




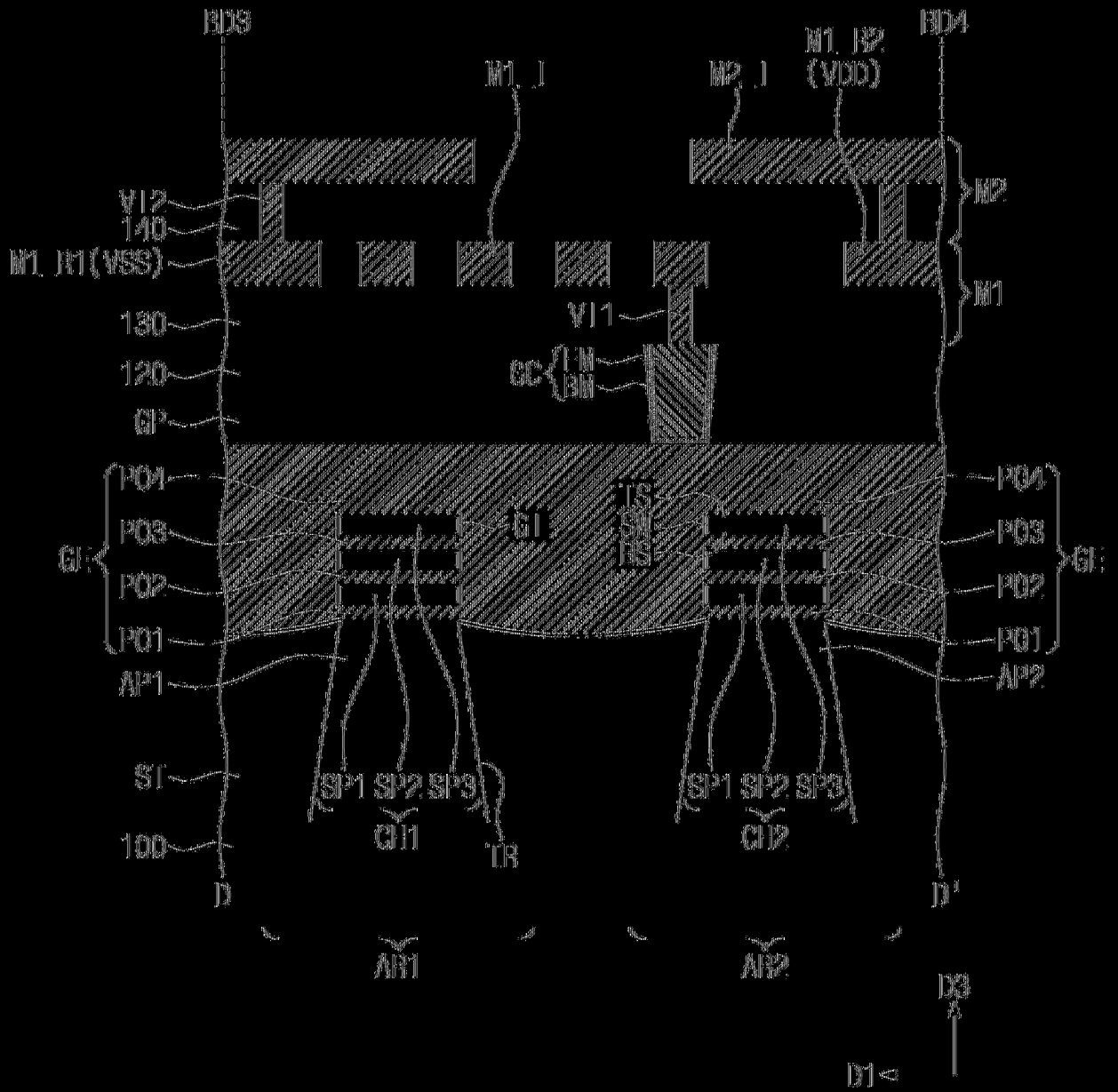
(圖5A)



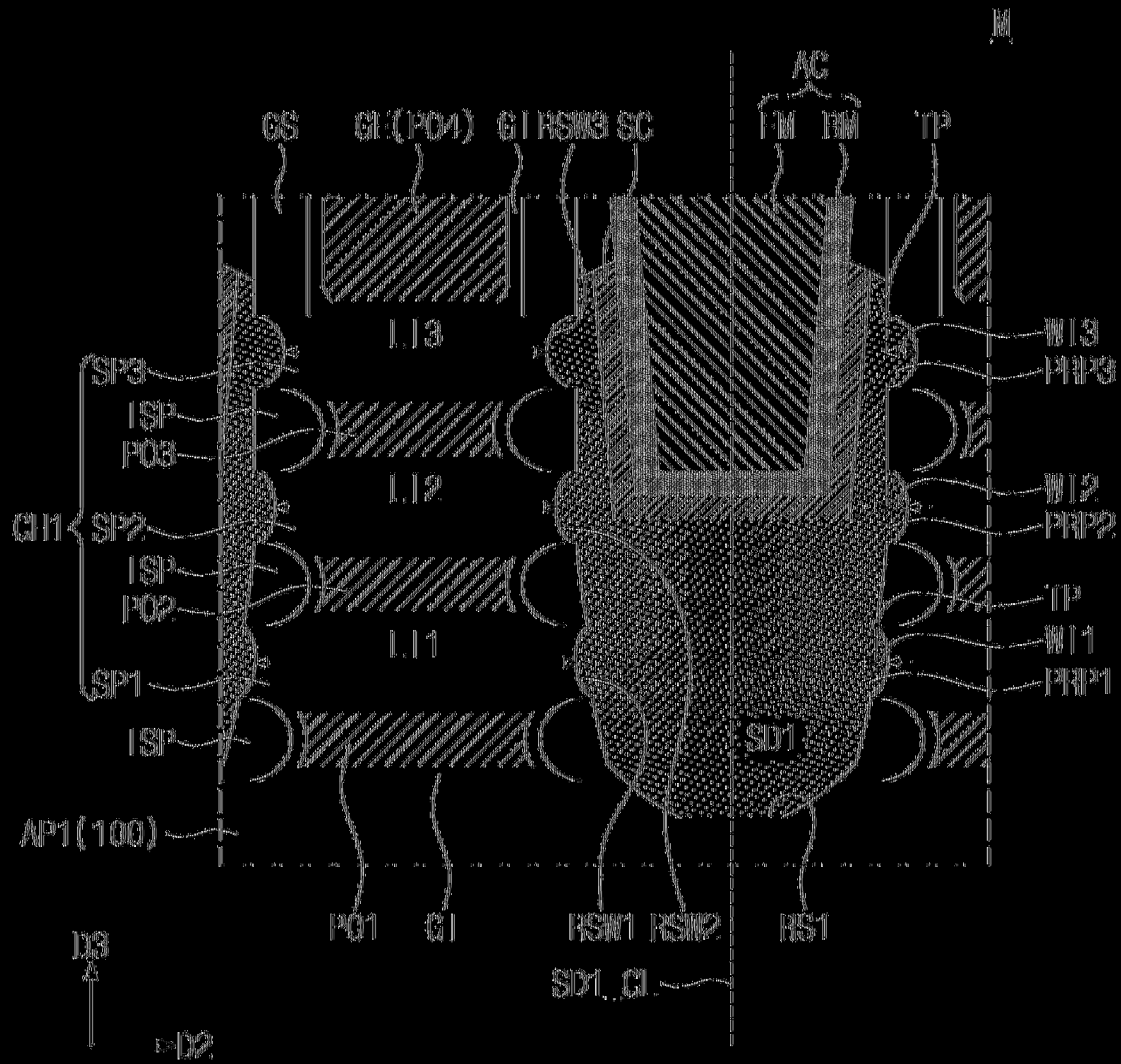
(145B)



(FIG. 3C)

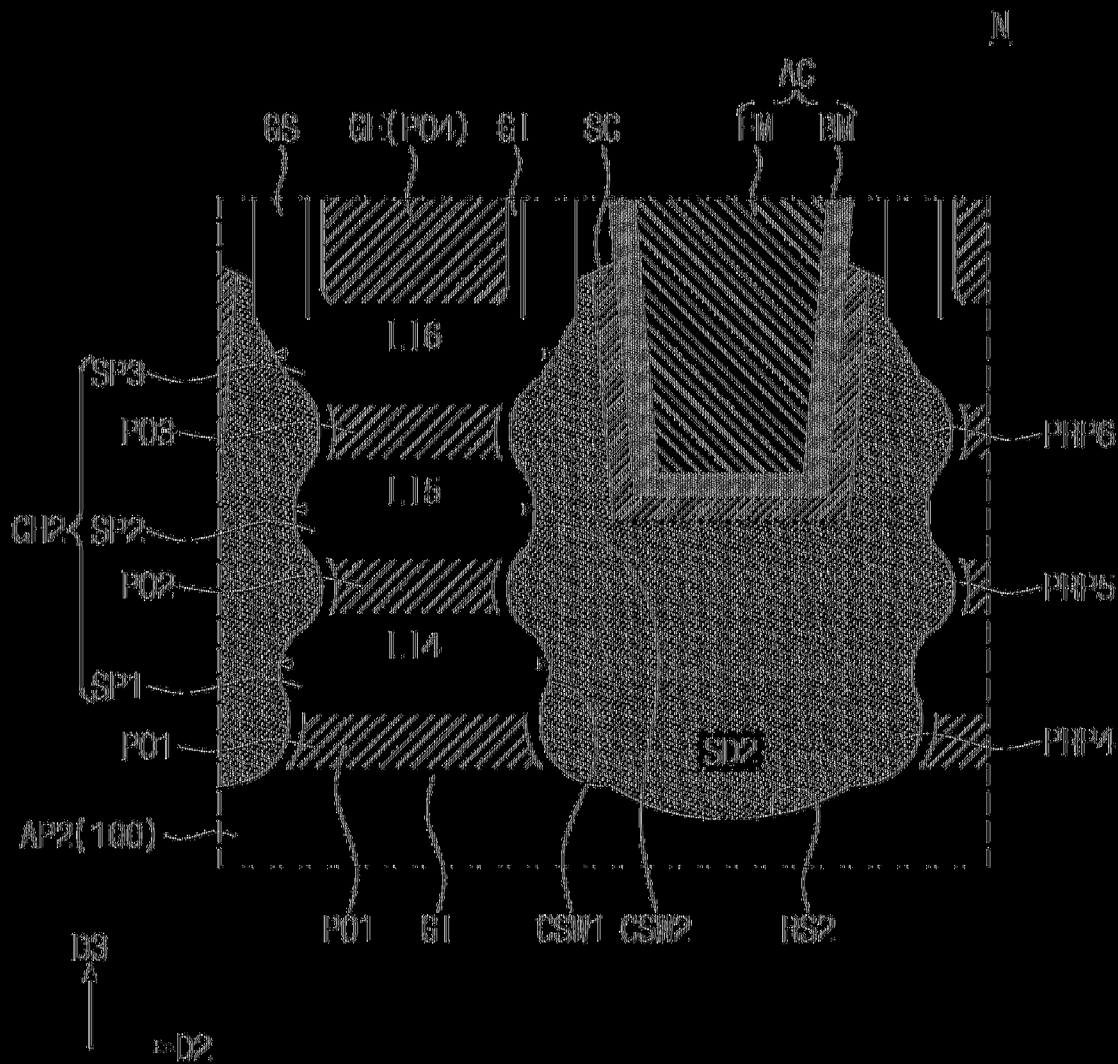


(100)

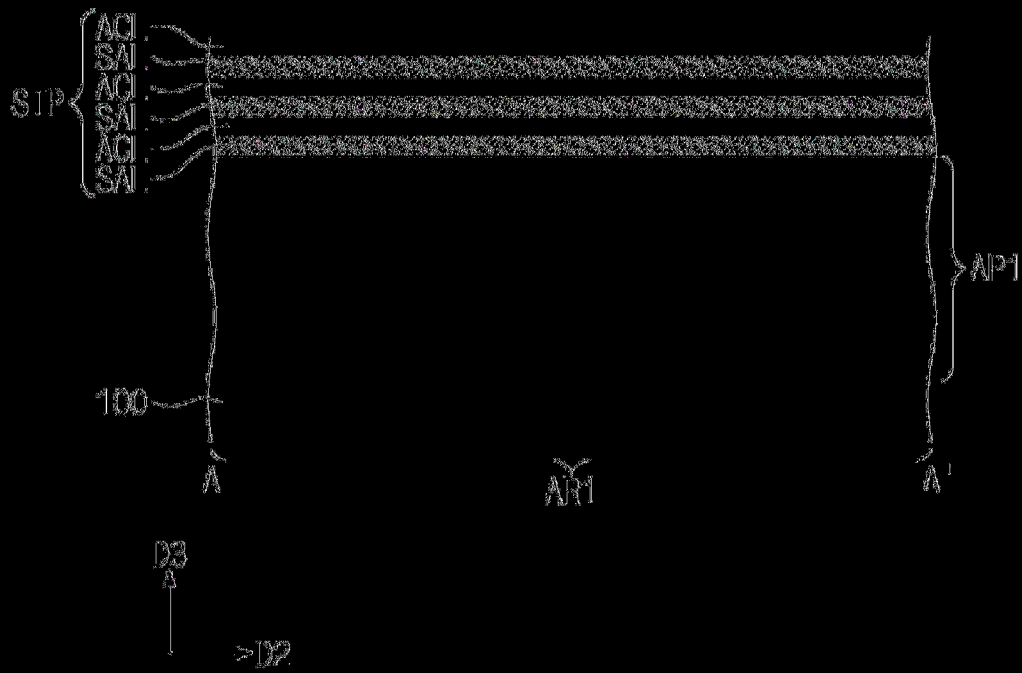


(圖6A)

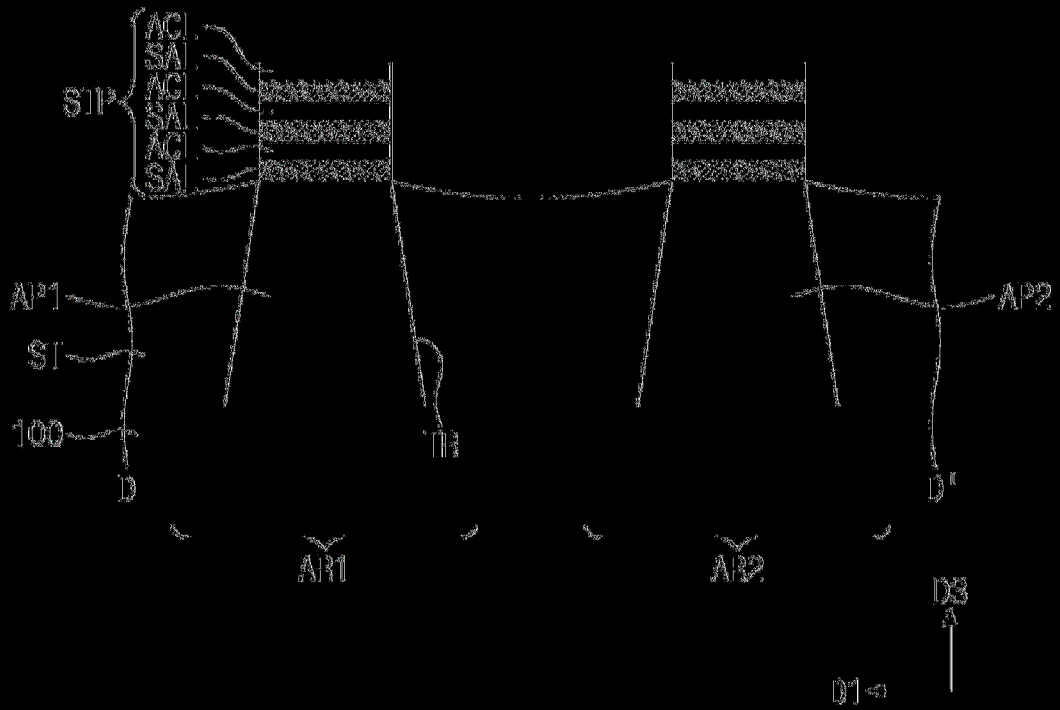




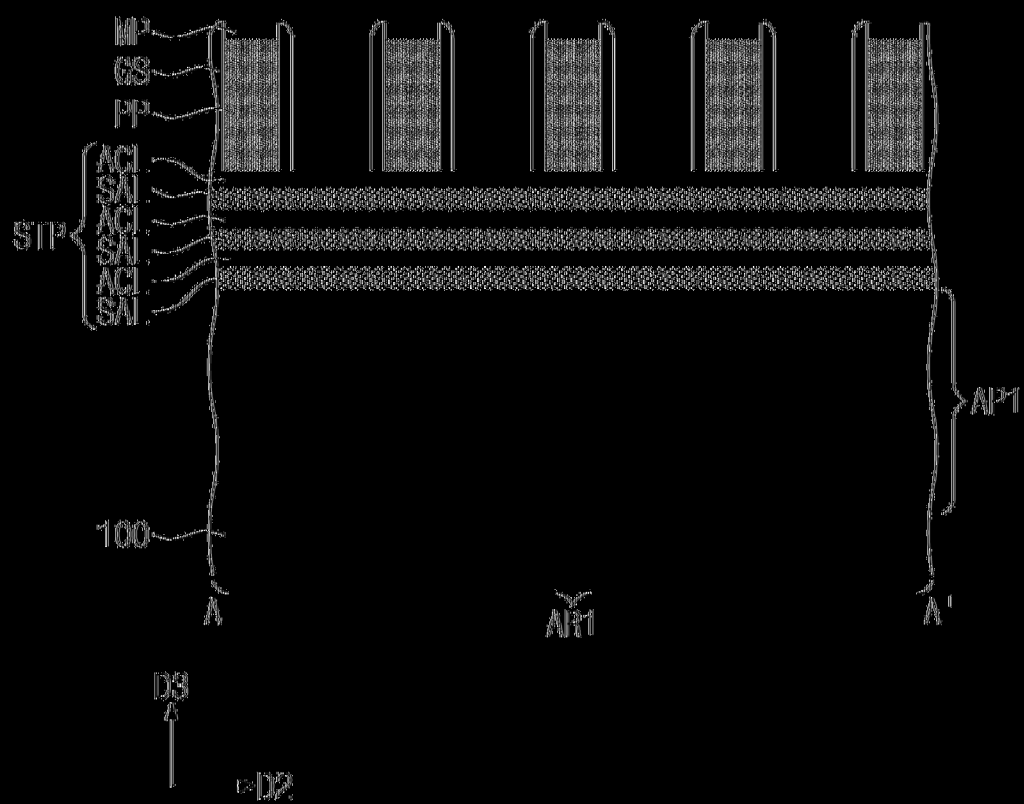
(圖6B)



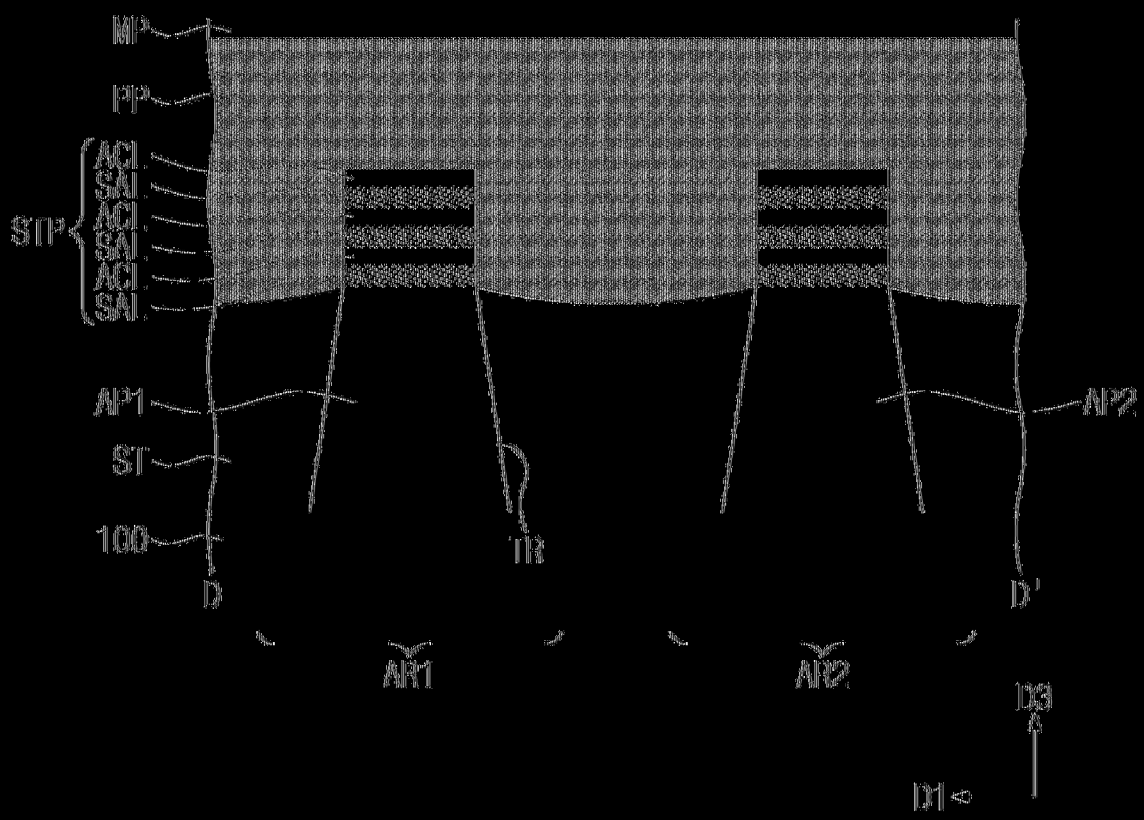
(A)



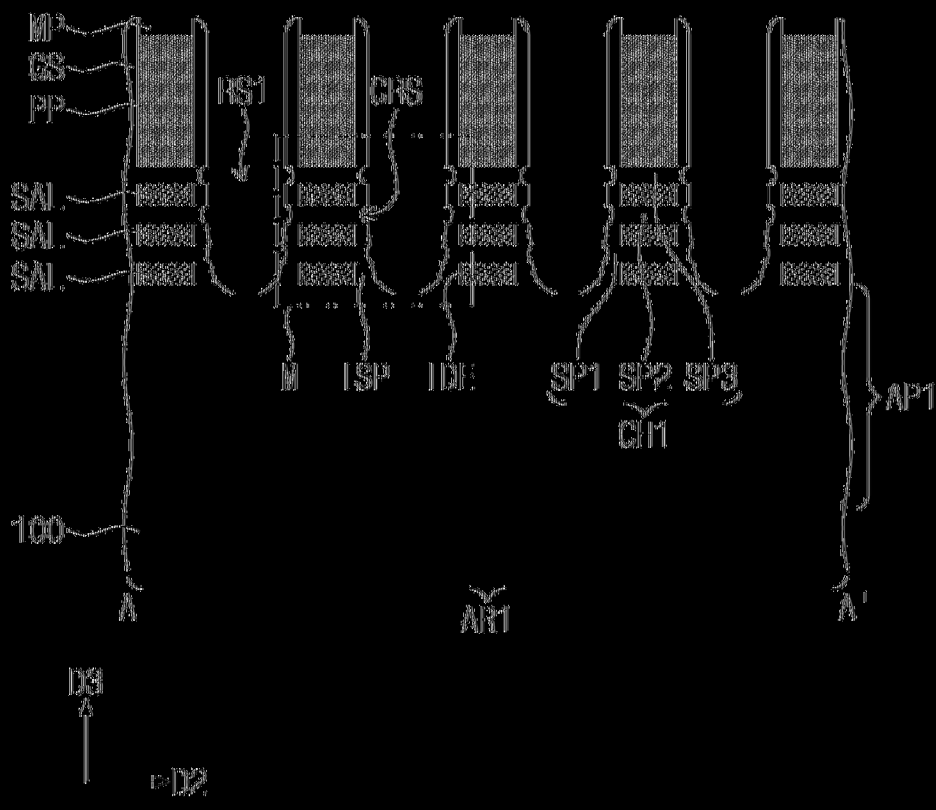
(B)



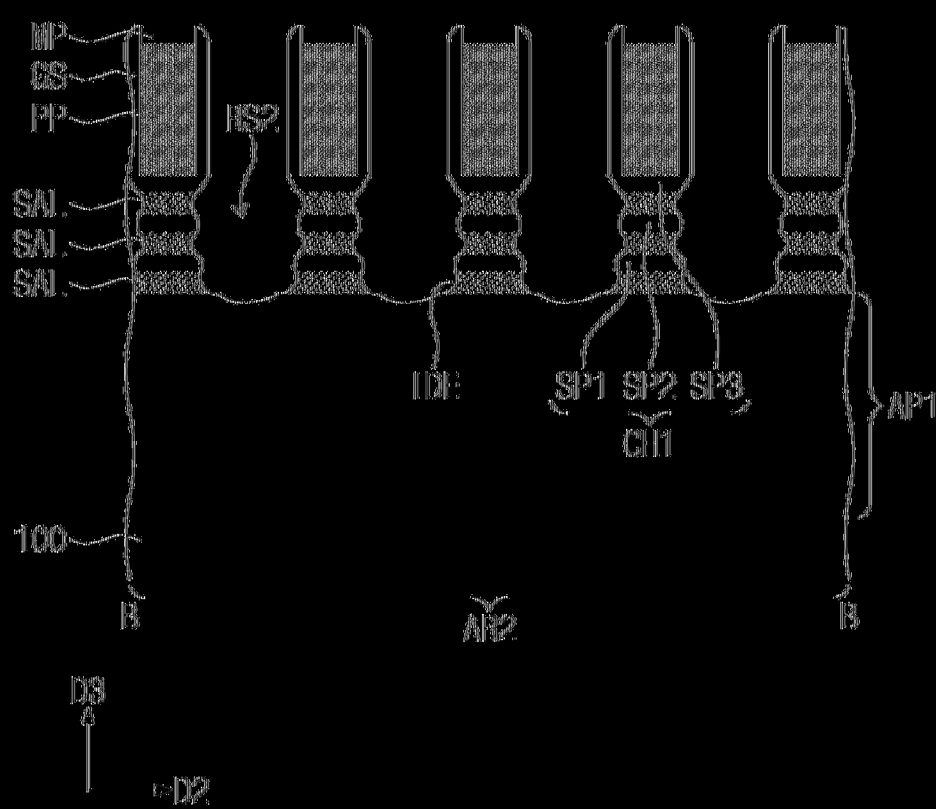
(圖8A)



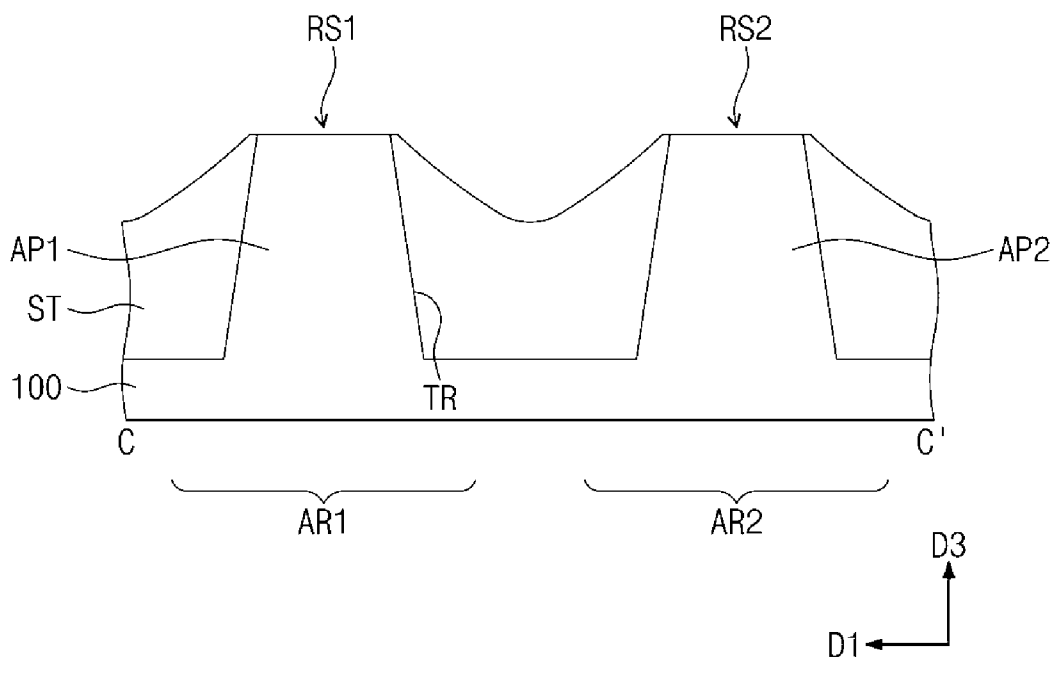
(圖8B)



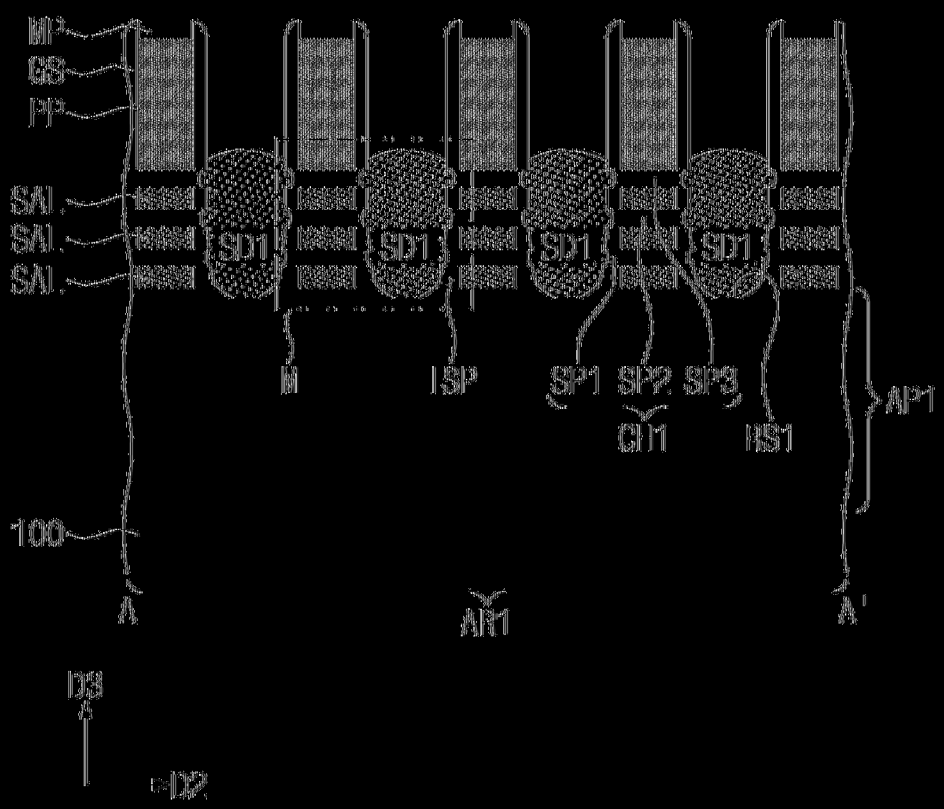
(圖9A)



(W9B)

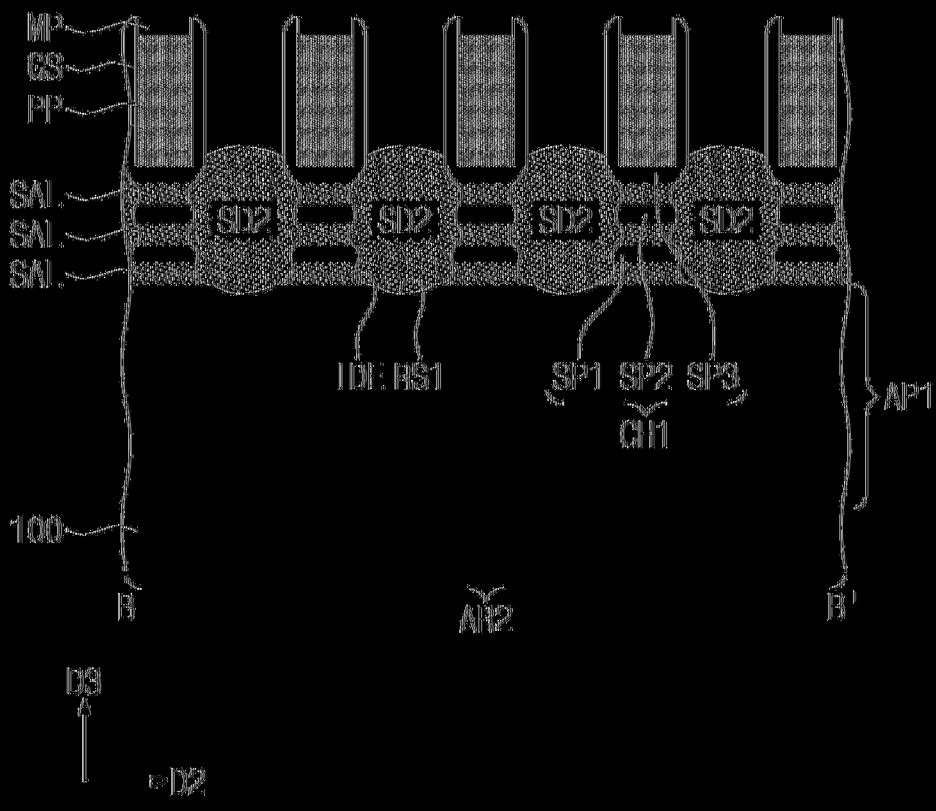


【圖9C】

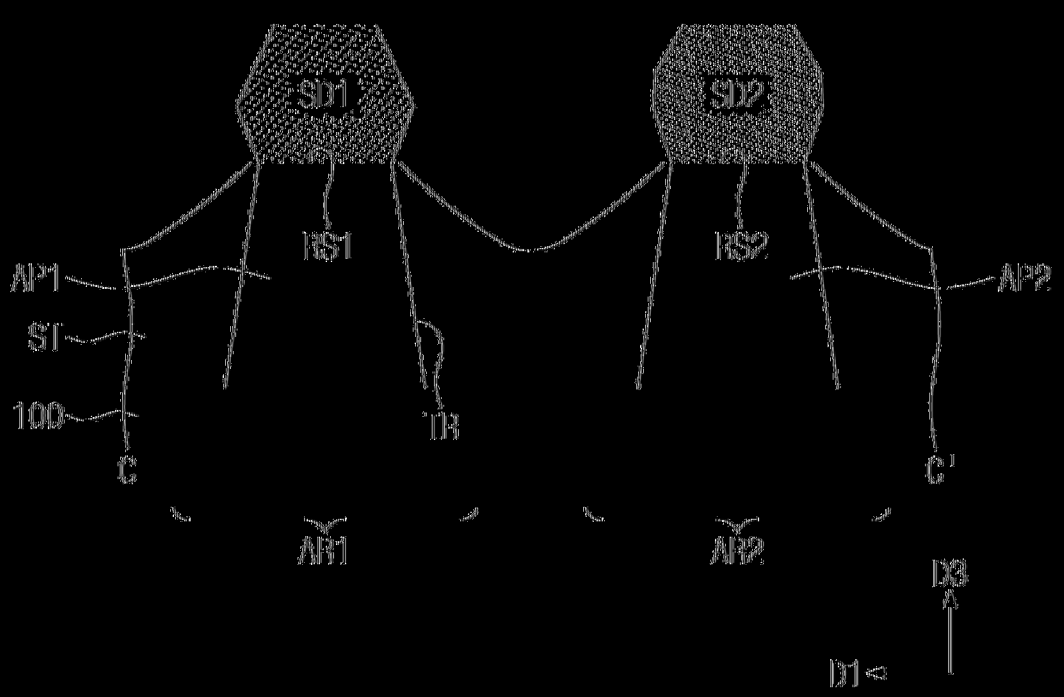


(圖10A)

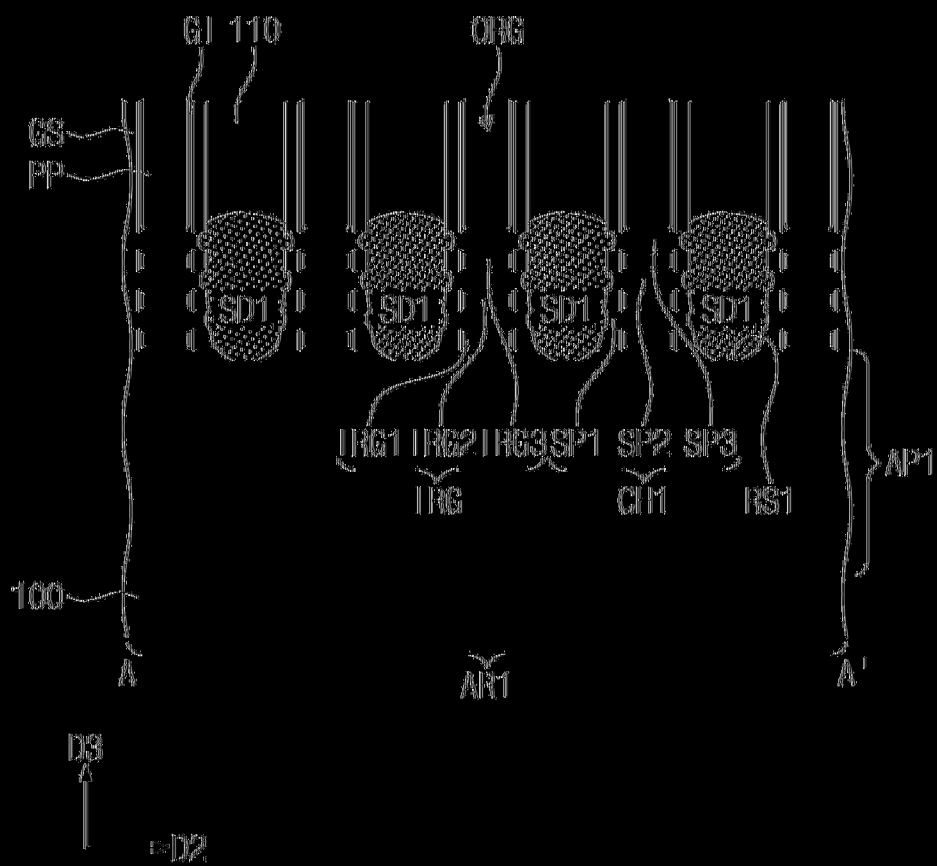




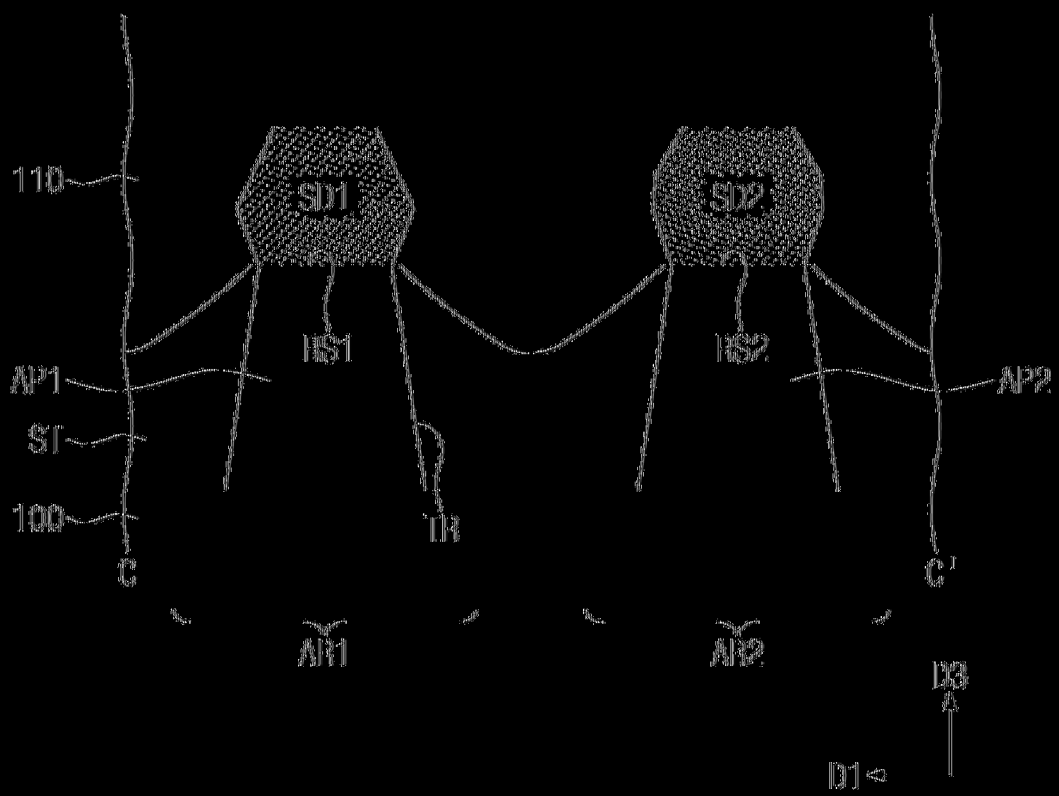
(W10B)



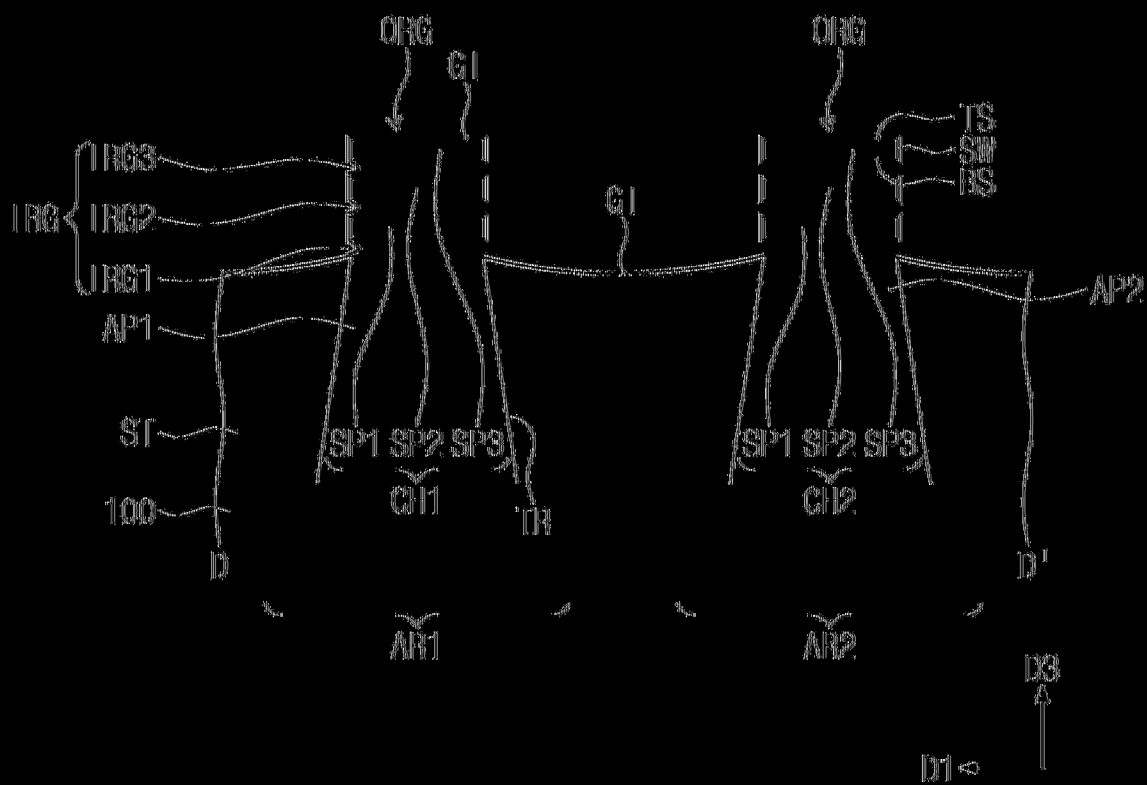
(圖10C)



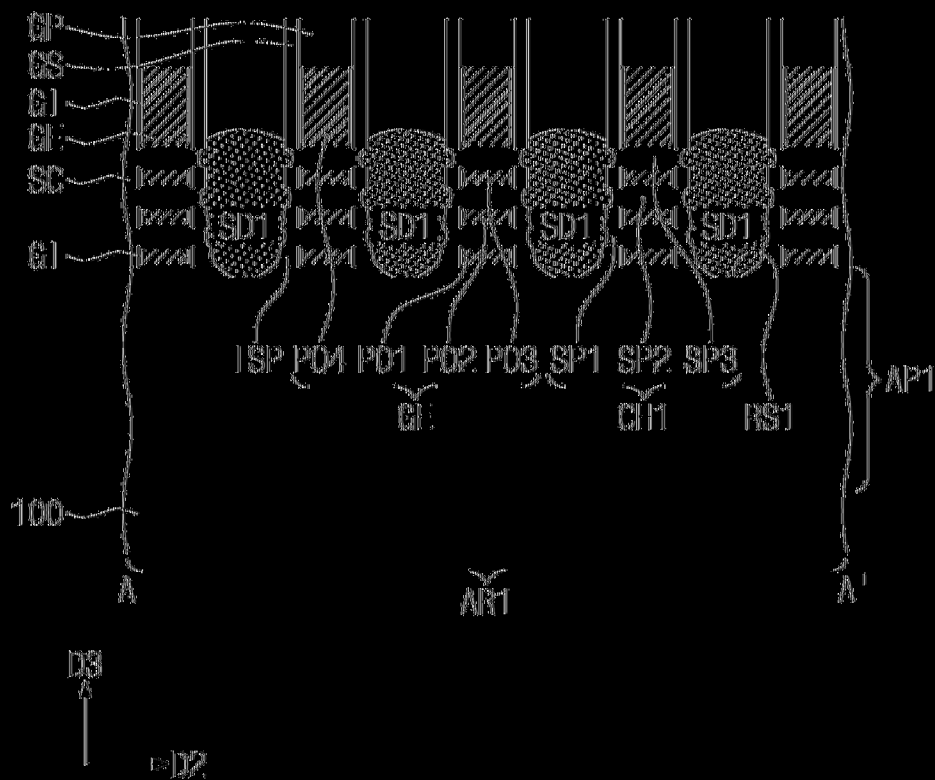
(圖11A)



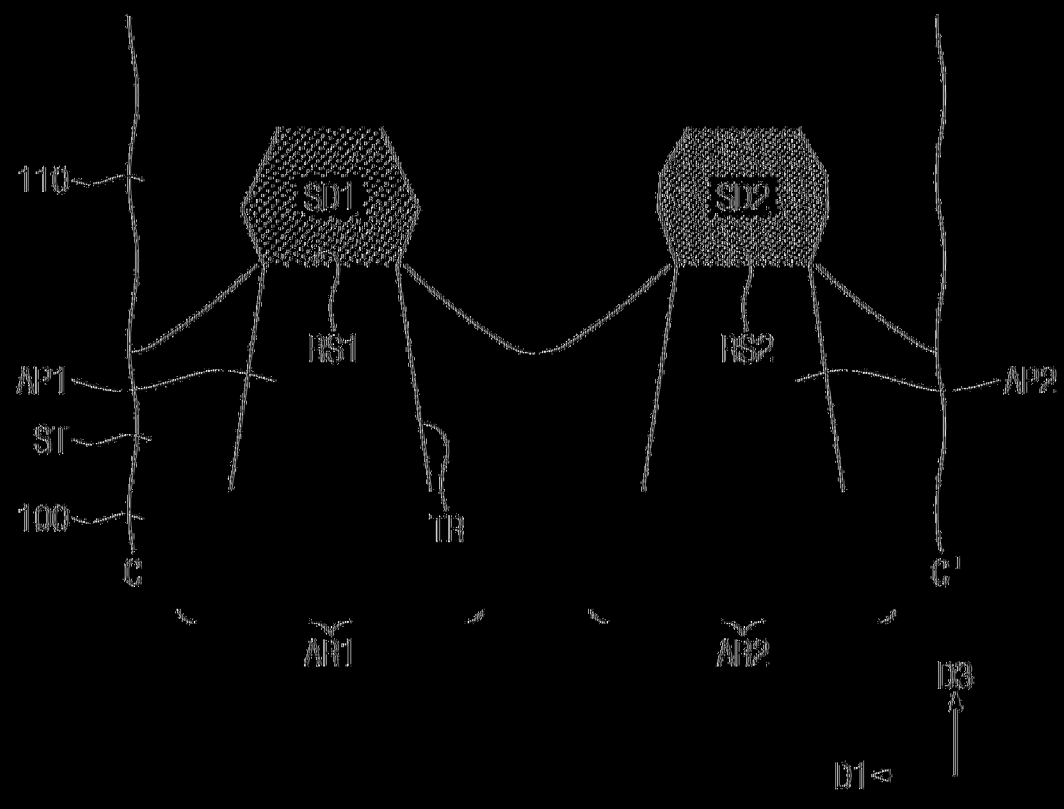
(W11B)



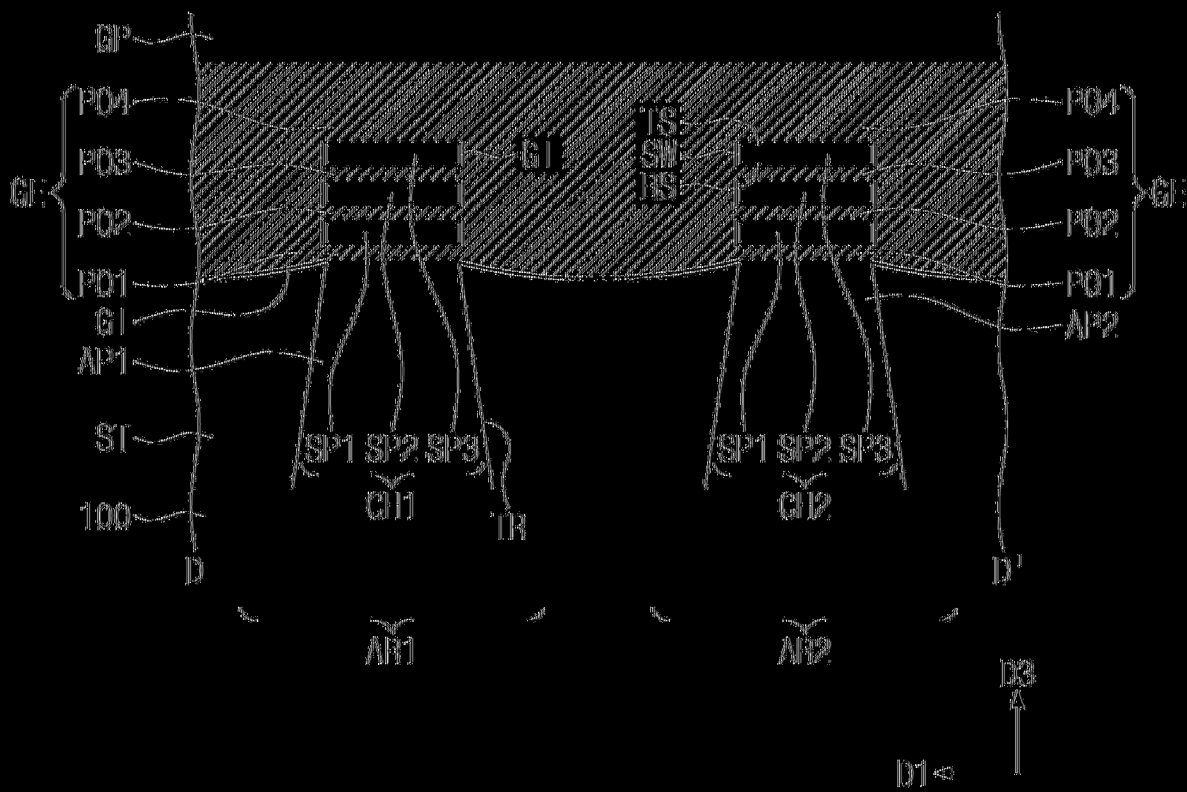
(圖11C)



(圖12A)

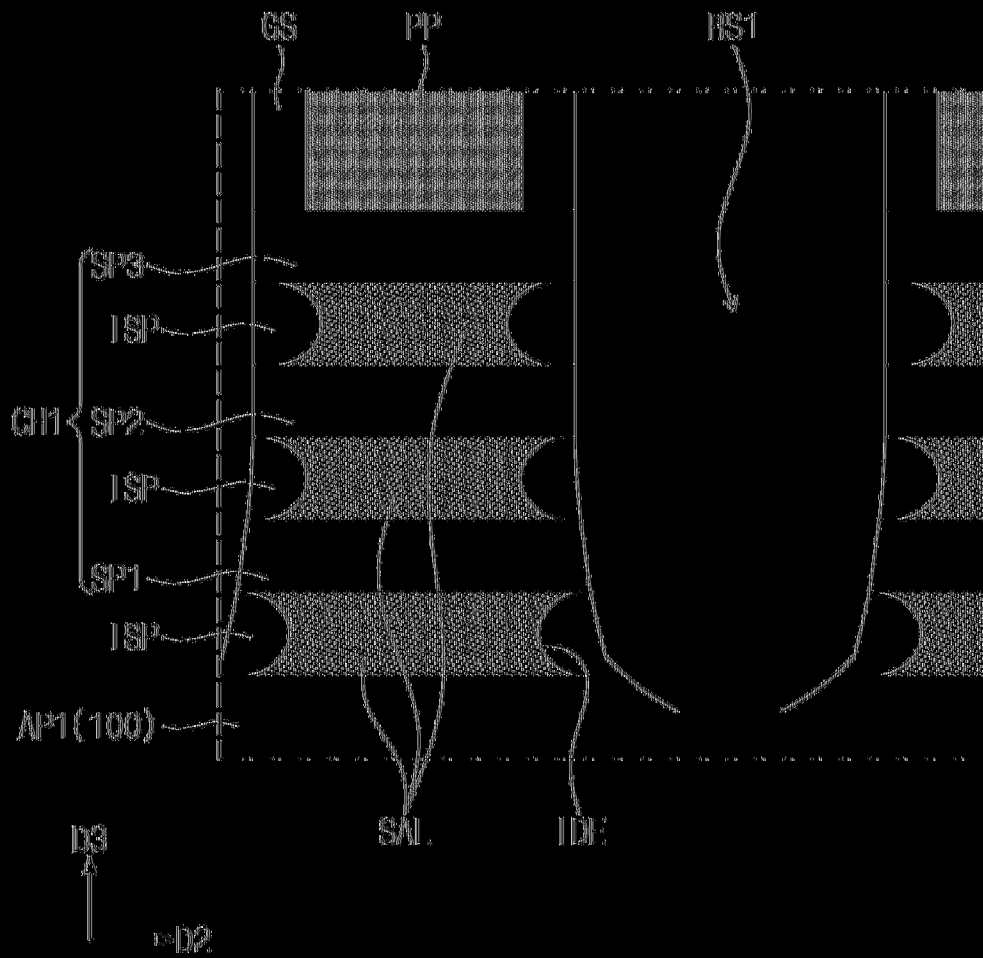


(圖12B)

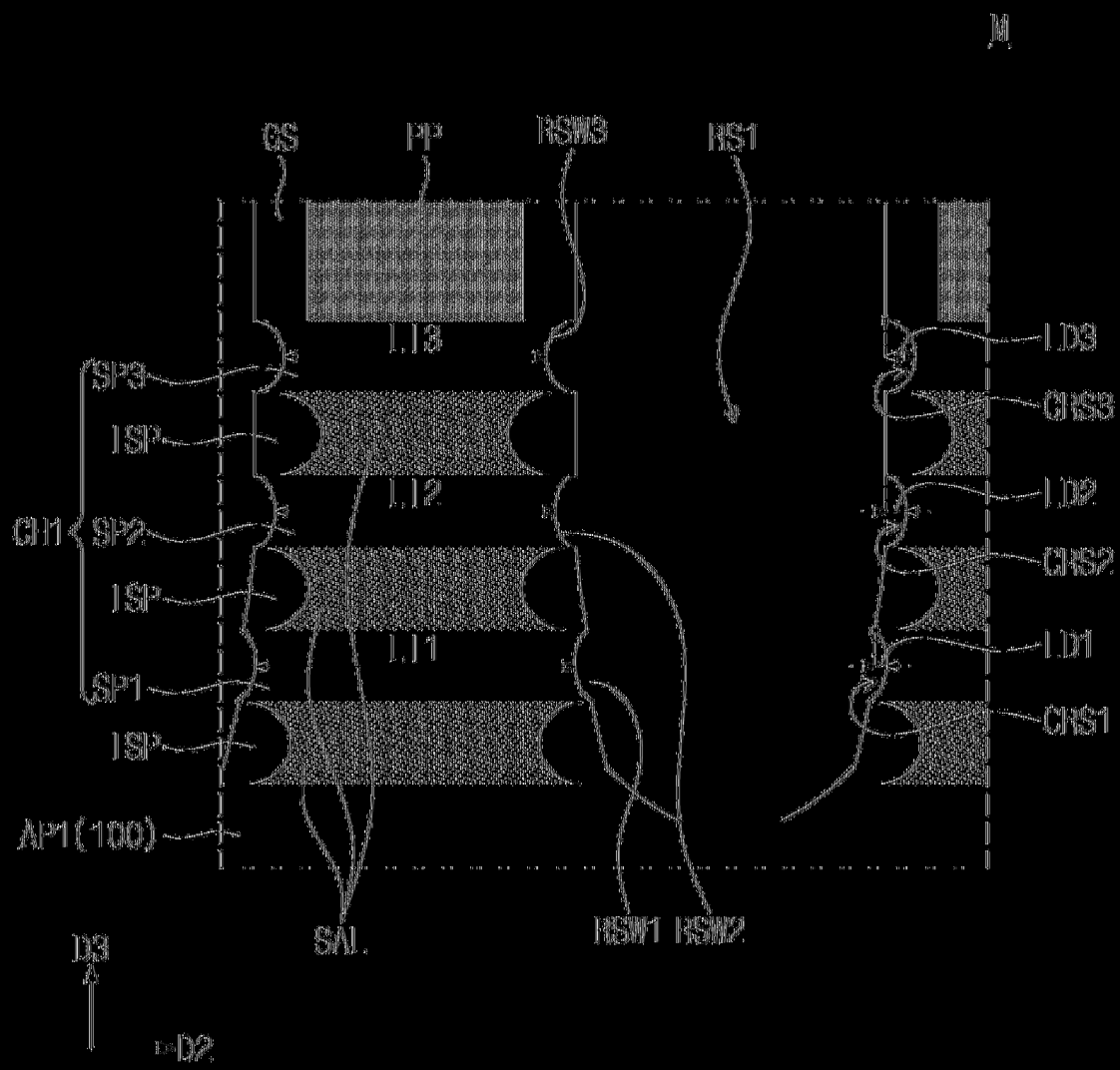


(圖12C)

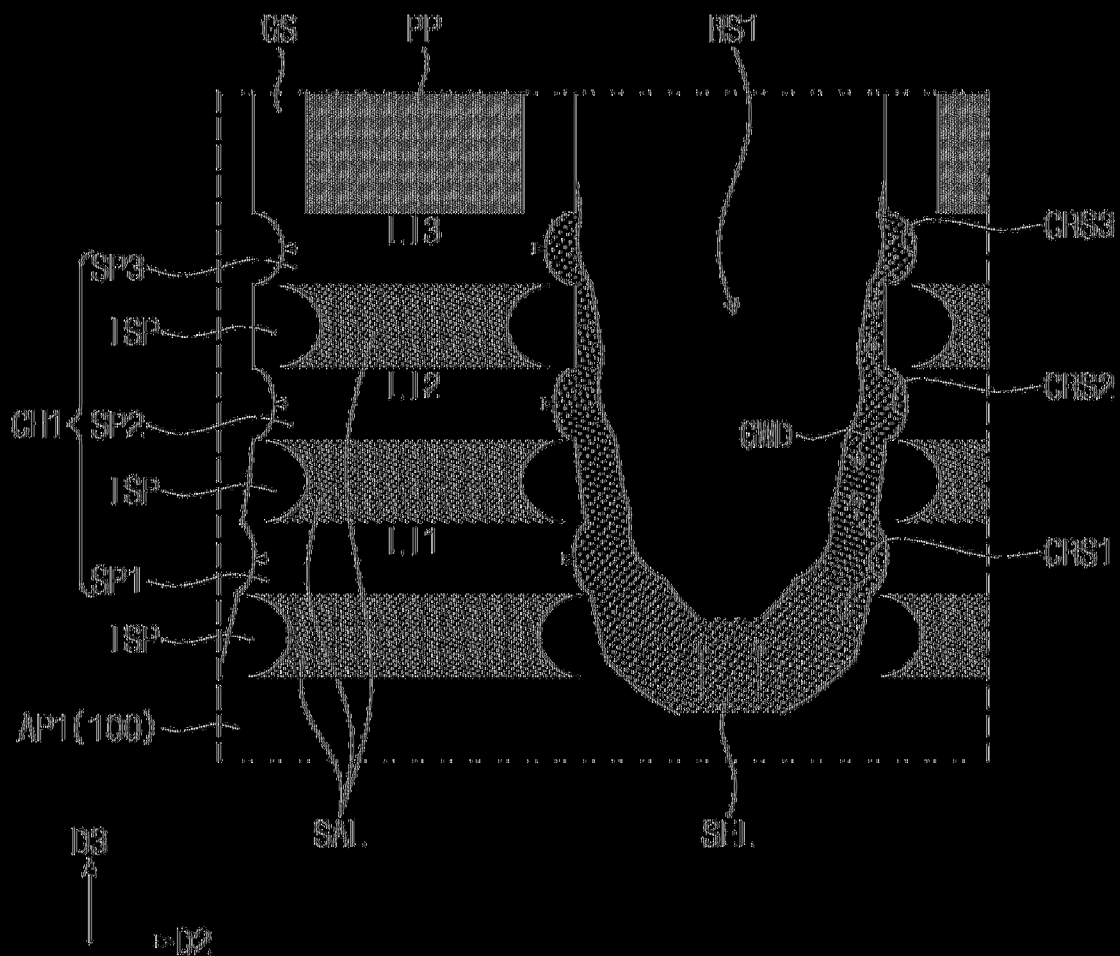




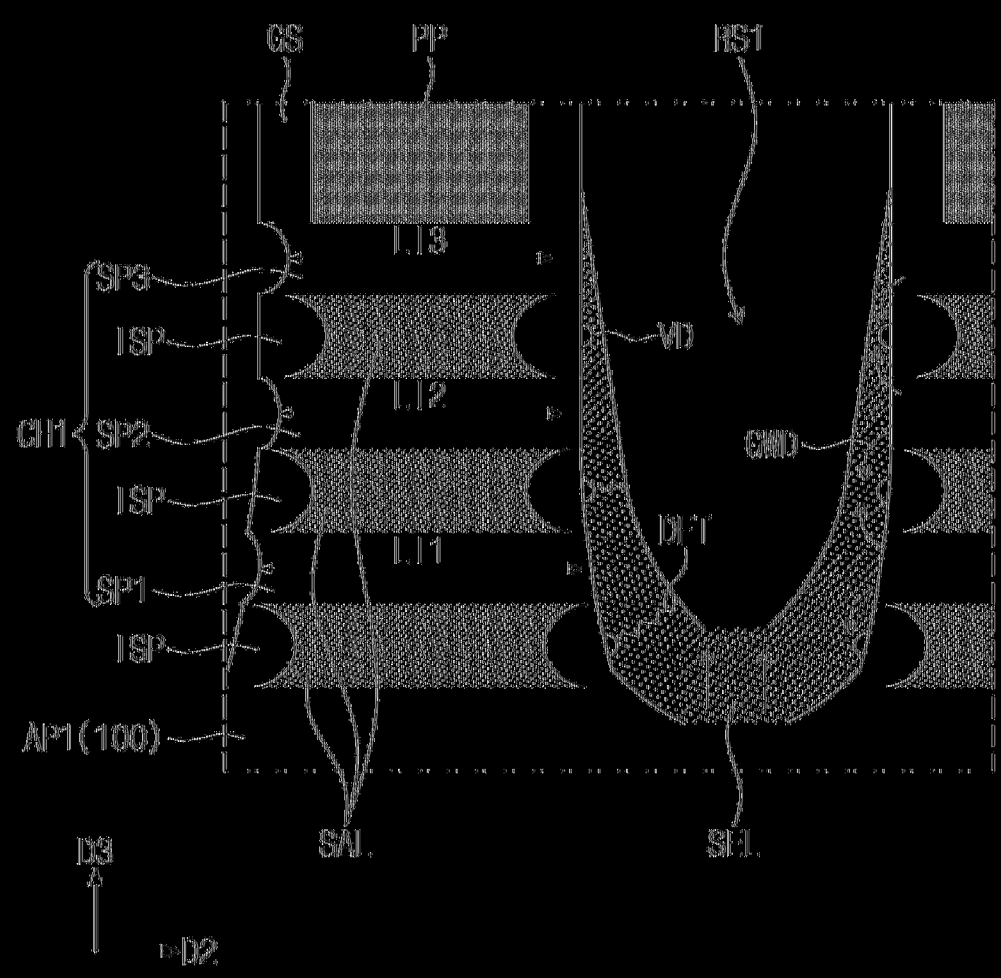
(圖13)



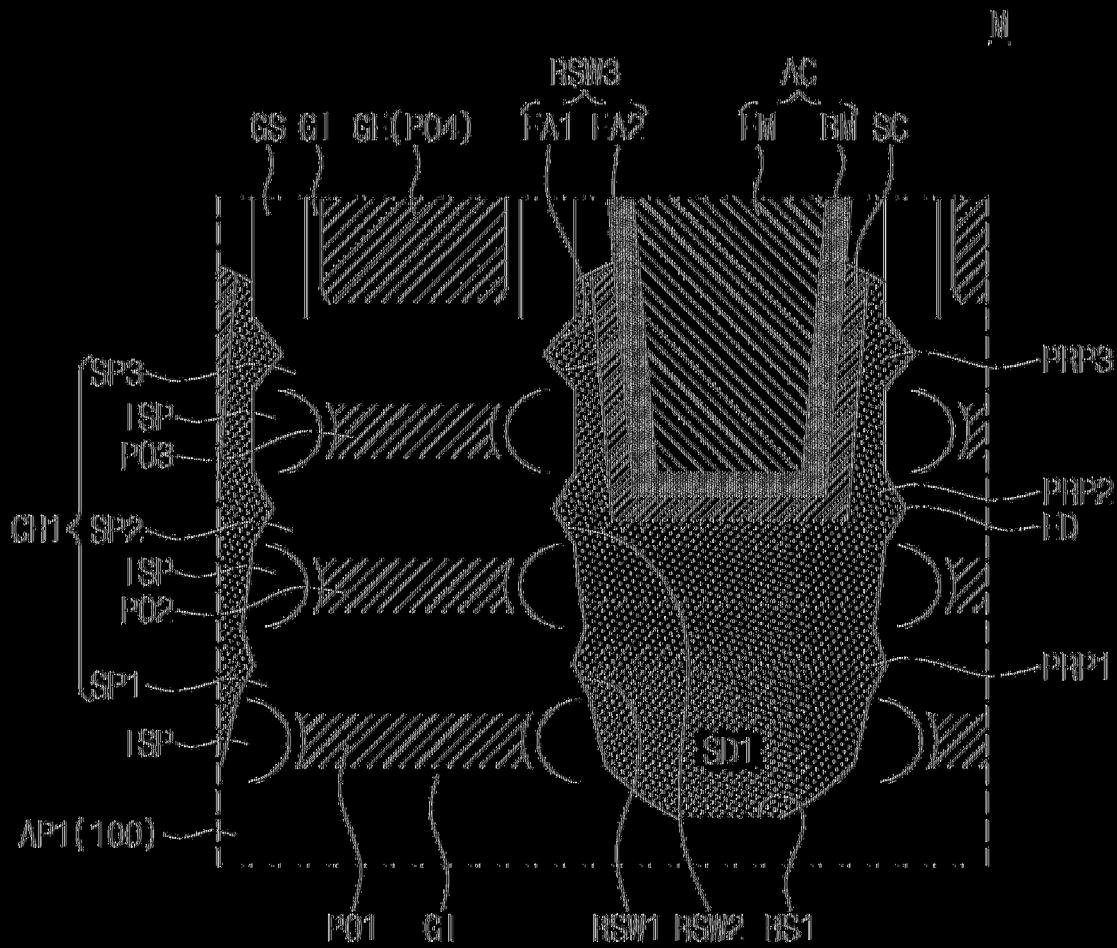
(圖14)



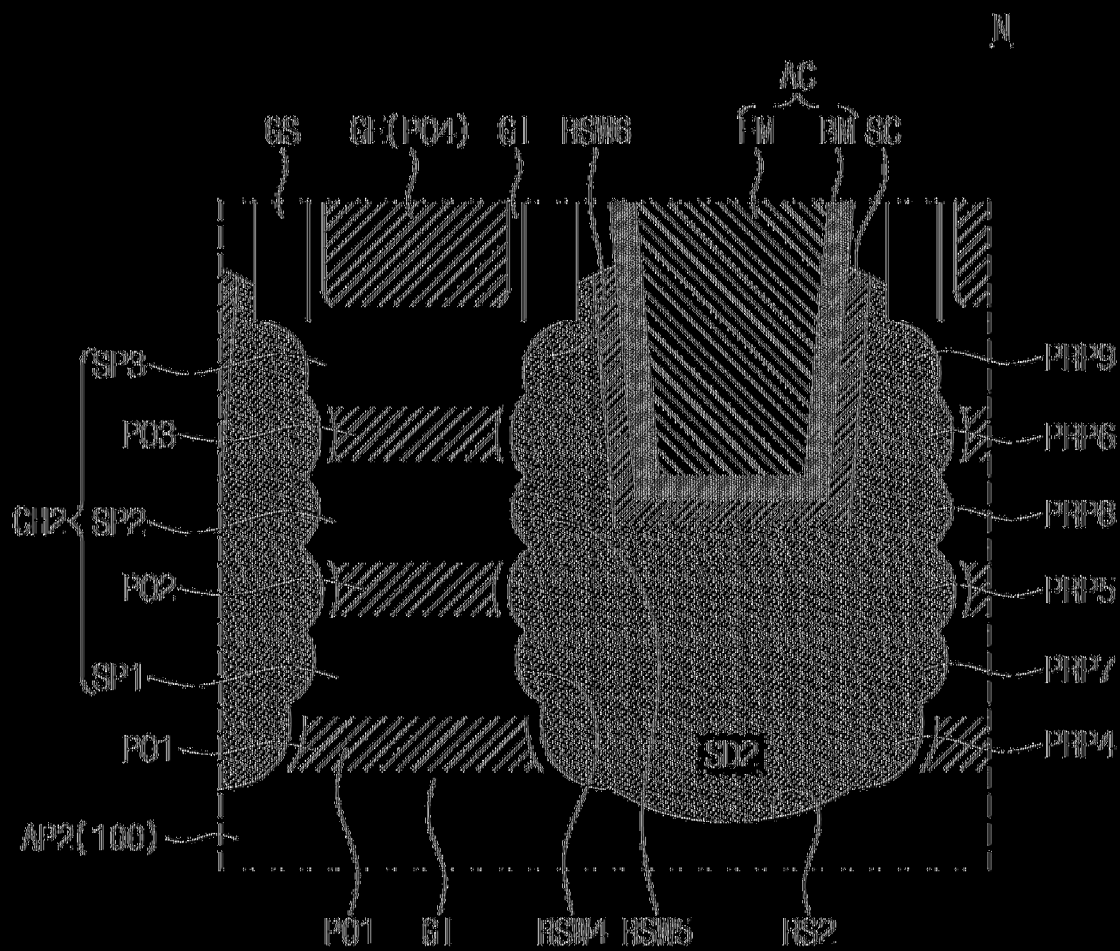
(圖15)



(圖16)



(圖17)



(圖18)