



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2022년09월28일  
(11) 등록번호 10-2449131  
(24) 등록일자 2022년09월26일

(51) 국제특허분류(Int. Cl.)  
H01L 51/52 (2006.01) H01L 27/32 (2006.01)  
(52) CPC특허분류  
H01L 51/525 (2013.01)  
H01L 27/322 (2013.01)  
(21) 출원번호 10-2017-0167048  
(22) 출원일자 2017년12월06일  
심사청구일자 2020년11월03일  
(65) 공개번호 10-2019-0067049  
(43) 공개일자 2019년06월14일  
(56) 선행기술조사문헌  
US20140183502 A1  
US20160349899 A1

(73) 특허권자  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)  
(72) 발명자  
이준석  
경기도 파주시 월롱면 엘지로 245  
김세준  
경기도 파주시 월롱면 엘지로 245  
(74) 대리인  
특허법인인벤싱크

전체 청구항 수 : 총 17 항

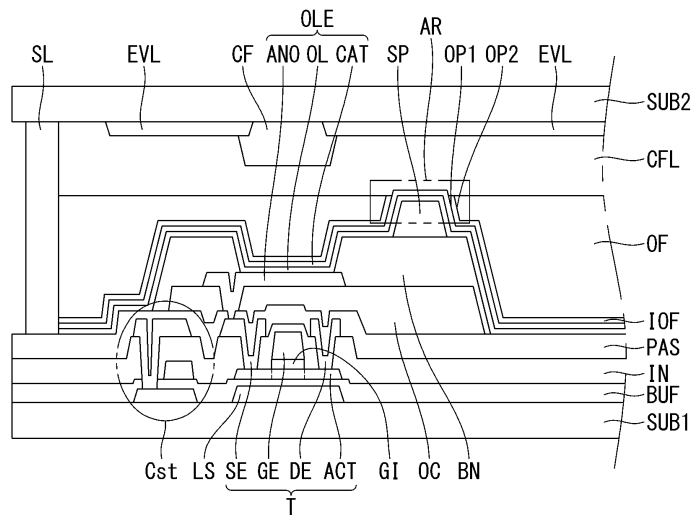
심사관 : 이석형

(54) 발명의 명칭 유기발광 표시장치

(57) 요약

본 발명에 의한 유기발광 표시장치는 서로 대향하는 제1 기판과 제2 기판, 및 상기 제1 기판과 제2 기판 사이에 개재된 도전 필러층을 포함한다. 제1 기판은 बैं크층, 스페이서, 유기 화합물층, 캐소드, 무기막, 및 유기막을 포함한다. बैं크층은 애노드의 적어도 일부를 노출하는 개구부를 갖는다. 스페이서는 बैं크 위에 배치된다. 유기 화합물층 및 캐소드는, 애노드, बैं크층 및 스페이서 위에 배치되며, 순차적으로 적층된다. 무기막은 캐소드 위에 배치되며, 스페이서 상에 위치하는 캐소드의 적어도 일부를 노출하는 제1 오픈홀을 갖는다. 유기막은 무기막 위에 배치되며, 스페이서 상에 위치하는 캐소드의 적어도 일부를 노출하는 제2 오픈홀을 갖는다. 제2 판은 노출된 캐소드의 일부와 도전 필러층을 통해 전기적으로 연결되는 전원 배선을 포함한다.

대표도 - 도3



(52) CPC특허분류

*H01L 27/3246* (2022.01)

*H01L 27/3276* (2022.01)

*H01L 51/5203* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

서로 대향하는 제1 기판과 제2 기판, 및 상기 제1 기판과 제2 기판 사이에 개재된 도전 필러층을 포함하고,

상기 제1 기판은,

애노드의 적어도 일부를 노출하는 개구부를 갖는 बैं크층;

상기 बैं크층 위에 배치되는 스페이서;

상기 애노드, 상기 बैं크층 및 상기 스페이서 위에 배치되며, 순차적으로 적층된 유기 화합물층 및 캐소드;

상기 캐소드 위에 배치되며, 상기 스페이서 상에 위치하는 캐소드의 적어도 일부를 노출하는 제1 오픈홀을 갖는 무기막; 및

상기 무기막 위에 배치되며, 상기 스페이서 상에 위치하는 캐소드의 적어도 일부를 노출하는 제2 오픈홀을 갖는 유기막을 포함하고,

상기 제2 기판은,

상기 노출된 캐소드의 일부와 상기 도전 필러층을 통해 전기적으로 연결되는 전원 배선을 포함하는, 유기발광 표시장치.

#### 청구항 2

제 1 항에 있어서,

상기 제2 오픈홀은,

상기 무기막의 일부 및 상기 제1 오픈홀을 노출하는, 유기발광 표시장치.

#### 청구항 3

제 1 항에 있어서,

상기 제1 오픈홀의 평면 형상은,

상기 스페이서의 평면 형상과 대응되는, 유기발광 표시장치.

#### 청구항 4

제 1 항에 있어서,

상기 제2 오픈홀의 평면 형상은,

상기 스페이서의 평면 형상과 대응되는, 유기발광 표시장치.

#### 청구항 5

제 1 항에 있어서,

상기 유기막의 상부 표면은,

상기 노출된 캐소드의 상부 표면과 동일 평면 상에 위치하거나, 상기 노출된 캐소드의 상부 표면 보다 아래에 위치하는, 유기발광 표시장치.

#### 청구항 6

제 1 항에 있어서,

상기 무기막의 상부 표면은,

상기 노출된 캐소드의 상부 표면과 동일 평면 상에 위치하거나, 상기 노출된 캐소드의 상부 표면 보다 아래에 위치하는, 유기발광 표시장치.

#### 청구항 7

제 1 항에 있어서,

상기 유기막의 상부 표면은,

상기 무기막의 상부 표면과 동일 평면 상에 위치하는, 유기발광 표시장치.

#### 청구항 8

제 1 항에 있어서,

상기 노출된 캐소드는, 상기 도전 필러층과 직접 접촉되는, 유기발광 표시장치.

#### 청구항 9

제 1 항에 있어서,

상기 제1 기판은,

전원 발생부로부터 전원 전압을 인가받는 전원 전극을 포함하고,

상기 전원 전극은,

상기 도전 필러층과 직접 접촉되는, 유기발광 표시장치.

#### 청구항 10

제 1 항에 있어서,

상기 제1 기판은,

전원 발생부로부터 전원 전압을 인가받는 전원 전극을 포함하고,

상기 캐소드는,

상기 전원 전극에 직접 접촉되는, 유기발광 표시장치.

#### 청구항 11

제 10 항에 있어서,

상기 제1 기판은,

상기 제2 기관을 향하여 돌출된 돌출 패턴을 포함하고,  
상기 캐소드는,  
상기 돌출 패턴의 적어도 일부를 덮도록 연장되는, 유기발광 표시장치.

#### 청구항 12

제 11 항에 있어서,  
상기 돌출 패턴은,  
상기 बैं크층 형성 물질 또는 상기 스페이서 형성 물질을 포함하는 단일층으로 구성되거나, 상기 बैं크층 형성 물질과 상기 스페이서 형성 물질이 적층되어 마련된 복수층으로 구성되는, 유기발광 표시장치.

#### 청구항 13

제 11 항에 있어서,  
상기 무기막은,  
상기 돌출 패턴 상에 위치하는 캐소드의 적어도 일부를 노출하는 제3 오픈홀을 포함하고,  
상기 유기막은,  
상기 돌출 패턴 상에 위치하는 캐소드의 적어도 일부를 노출하는 제4 오픈홀을 포함하는, 유기발광 표시장치.

#### 청구항 14

제 13 항에 있어서,  
상기 제4 오픈홀은,  
상기 무기막의 일부 및 상기 제3 오픈홀을 노출하는, 유기발광 표시장치.

#### 청구항 15

제 1 항에 있어서,  
상기 제2 기관은,  
킬러 필터들을 더 포함하고,  
상기 킬러 필터들은,  
상기 전원 배선에 의해 구획되는, 유기발광 표시장치.

#### 청구항 16

제 1 항에 있어서,  
상기 제1 기관 및 상기 제2 기관은,  
상기 유기 화합물층을 포함하는 유기발광 다이오드로부터의 빛이 방출되는 발광 영역 및 상기 발광 영역 외측의 비 발광 영역을 포함하고,  
상기 전원 배선은,

상기 비 발광 영역에 배치되는, 유기발광 표시장치.

**청구항 17**

제 1 항에 있어서,

상기 제2 기관은,

일면이 상기 전원 배선과 직접 접촉되고, 상기 일면과 대향하는 타면이 상기 도전 필러층과 직접 접촉되며, 상기 전원 배선 보다 넓은 면적을 갖는 보조 전원 배선을 포함하는, 유기발광 표시장치.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 유기발광 표시장치에 관한 것이다.

**배경 기술**

[0002] 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 표시장치(display device)들이 개발되고 있다. 이러한 표시장치는 액정 표시장치(Liquid Crystal Display, LCD), 전계 방출 표시장치(Field Emission Display, FED), 플라즈마 디스플레이 패널(Plasma Display Panel, PDP) 및 유기발광 표시장치(Organic Light Emitting Display device; OLED) 등으로 구현될 수 있다.

[0003] 이들 평판 표시장치 중에서 유기발광 표시장치는 유기 화합물을 여기시켜 발광하게 하는 자발광형 표시장치로, LCD에서 사용되는 백라이트가 필요하지 않아 경량 박형이 가능할 뿐만 아니라 공정을 단순화시킬 수 있는 이점이 있다. 또한, 유기 전계발광 표시장치는 저온 제작이 가능하고, 응답속도가 1ms 이하로서 고속의 응답속도를 가질 뿐 아니라 낮은 소비 전력, 넓은 시야각 및 높은 콘트라스트(Contrast) 등의 특성을 갖는다는 점에서 널리 사용되고 있다.

[0004] 유기발광 표시장치는 전기 에너지를 빛 에너지로 전환하는 유기 발광 다이오드(Organic Light Emitting Diode)를 포함한다. 유기발광 다이오드는 애노드, 캐소드, 및 이들 사이에 배치되는 유기 화합물층을 포함한다. 유기발광 표시장치는, 애노드 및 캐소드로부터 각각 주입된 정공 및 전자가 발광층 내부에서 결합하여 여기자인 엑시톤(exciton)을 형성하고, 형성된 엑시톤이 여기상태(excited state)에서 기저상태(ground state)로 떨어지면서 발광하여 화상을 표시하게 된다.

[0005] 다만, 대면적의 유기발광 표시장치의 경우, 입력 영상이 구현되는 액티브 영역의 전면(全面)에서 균일한 휘도를 유지하지 못하고 위치에 따라 휘도 편차가 발생한다. 좀 더 자세하게는, 유기발광 다이오드를 구성하는 캐소드는 액티브 영역의 대부분을 덮도록 넓게 형성되는데, 캐소드에 인가되는 전원 전압이 전면에 걸쳐 균일한 전압 값을 갖지 못하는 문제가 발생한다. 예를 들어, 캐소드의 저항에 의해 전원 전압이 인가되는 인입부에서의 전압 값과, 인입부로부터 이격된 위치에서의 전압 값의 편차가 커짐에 따라, 위치에 따른 휘도 편차가 커진다.

[0006] 이러한 문제점은, 상부 발광형(Top emission) 표시장치에서 더욱 문제된다. 즉, 상부 발광형 표시장치에서는, 유기발광 다이오드에서 상층에 위치하는 캐소드의 투과도를 확보할 필요가 있기 때문에, 캐소드를 ITO(Indium Tin Oxide)와 같은 투명 도전물질로 형성하거나, 매우 얇은 두께의 불투명 도전물질로 형성하게 된다. 이 경우, 면 저항이 커지기 때문에, 이에 대응하여 위치에 따른 휘도 편차 또한 현저히 커진다.

[0007] 이러한 문제점을 해결하기 위해, 저저항 물질을 포함하는 Evss 배선을 형성하고, 이를 캐소드에 연결하여, 위치에 따른 전압 강하를 방지하는 방안이 제안된 바 있다. 이러한, 종래 구조에서는, Evss 배선이 트랜지스터가 구비된 하부 기관 상에 형성되어 있었기 때문에, 하나의 픽셀 내에 박막 트랜지스터 영역, 및 스토리지 커패시터 영역과는 별도로, Evss 배선과 캐소드 연결 영역이 할당될 필요가 있다. 따라서, 종래 구조는, 단일 픽셀 크기가 작은 고 해상도 표시장치에 적용되기 어려운 문제점을 갖는다.

[0008] 또한, 종래 개시된 Evss 배선과 캐소드의 연결 구조는, 연결 구조가 복잡하고, 격벽을 형성하는 등의 추가 공정이 필히 요구되었는 바, 제조 비용, 제조 시간이 증가하고, 제조 수율이 저하되는 문제점이 있었다.

**발명의 내용**

**해결하려는 과제**

[0009] 본 발명은 위치에 따른 저전위 전압 편차를 최소화하여, 휘도 불균일 문제를 해소한 유기발광 표시장치를 제공하는 데 있다.

**과제의 해결 수단**

[0010] 본 발명에 의한 유기발광 표시장치는 서로 대향하는 제1 기판과 제2 기판, 및 상기 제1 기판과 제2 기판 사이에 개재된 도전 필러층을 포함한다. 제1 기판은 बैं크층, 스페이서, 유기 화합물층, 캐소드, 무기막, 및 유기막을 포함한다. बैं크층은 애노드의 적어도 일부를 노출하는 개구부를 갖는다. 스페이서는 बैं크 위에 배치된다. 유기 화합물층 및 캐소드는, 애노드, बैं크층 및 스페이서 위에 배치되며, 순차적으로 적층된다. 무기막은 캐소드 위에 배치되며, 스페이서 상에 위치하는 캐소드의 적어도 일부를 노출하는 제1 오픈홀을 갖는다. 유기막은 무기막 위에 배치되며, 스페이서 상에 위치하는 캐소드의 적어도 일부를 노출하는 제2 오픈홀을 갖는다. 제2 판은 노출된 캐소드의 일부와 도전 필러층을 통해 전기적으로 연결되는 전원 배선을 포함한다.

**발명의 효과**

[0011] 본 발명에 따른 유기발광 표시장치는 위치에 따른 저전위 전압 편차를 최소화할 수 있어, 휘도 불균일을 해소할 수 있는 이점을 갖는다.

[0012] 또한, 본 발명에서는, 종래와 같이 박막 트랜지스터 기판에 Evss 배선을 형성하기 위한 영역, 및 Evss 배선과 캐소드의 연결하기 위한 영역을 별도로 할당할 필요가 없다. 따라서, 본 발명은, 높은 PPI(Pixel Per Inch)를 갖는 고 해상도 표시장치에 용이하게 적용될 수 있으며, 설계 자유도를 현저히 향상시킬 수 있는 이점을 갖는다.

**도면의 간단한 설명**

- [0013] 도 1은 유기발광 표시장치를 개략적으로 나타낸 블록도이다.
- 도 2는 도 1에 도시된 픽셀을 개략적으로 나타낸 구성도이다.
- 도 3은 본 발명의 바람직한 실시예에 따른 유기발광 표시장치를 나타낸 단면도이다.
- 도 4는 도 3의 AR 영역을 확대한 것으로, 실제 형상을 보여주는 도면이다.
- 도 5a 내지 도 5c는 본 발명의 바람직한 실시예에 의한 유기발광 표시장치 제조 방법을 설명하기 위한 도면들이다.
- 도 6은 제1 실시예에 따른 유기발광 표시장치에 관한 것으로, 전원 발생부로부터 발생된 저전위 전원 전압의 전원 공급 경로 예를 설명하기 위한 도면이다.
- 도 7은 제2 실시예에 따른 유기발광 표시장치에 관한 것으로, 전원 발생부로부터 발생된 저전위 전원 전압의 전원 공급 경로 예를 설명하기 위한 도면이다.
- 도 8 및 도 9는 제3 실시예에 따른 유기발광 표시장치에 관한 것으로, 전원 발생부로부터 발생된 저전위 전원 전압의 전원 공급 경로 예를 설명하기 위한 도면이다.
- 도 10은 본 발명의 제4 실시예에 따른 유기발광 표시장치를 나타낸 단면도이다.

**발명을 실시하기 위한 구체적인 내용**

[0014] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시 예들을 설명한다. 명세서 전체에 걸쳐서 동일한 참조 번호들은 실질적으로 동일한 구성 요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기술 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 여러 실시예들을 설명함에 있어서, 동일한 구성요소에 대하여는 서두에서 대표적으로 설명하고 다른 실시예에서는 생략될 수 있다.

[0015] 제1, 제2 등과 같이 서수를 포함하는 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소

들은 상기 용어들에 의해 한정되지는 않는다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다.

- [0016] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시 예들을 설명한다. 명세서 전체에 걸쳐서 동일한 참조 번호들은 실질적으로 동일한 구성 요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기술 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 여러 실시예들을 설명함에 있어서, 동일한 구성요소에 대하여는 서두에서 대표적으로 설명하고 다른 실시예에서는 생략될 수 있다.
- [0017] 제1, 제2 등과 같이 서수를 포함하는 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되지는 않는다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다.
- [0018] 도 1은 유기발광 표시장치를 개략적으로 나타낸 블록도이다. 도 2는 도 1에 도시된 픽셀을 개략적으로 나타낸 구성도이다.
- [0019] 도 1을 참조하면, 본 발명에 의한 유기발광 표시장치(10)는 디스플레이 구동 회로, 표시패널(DIS)을 포함한다.
- [0020] 디스플레이 구동 회로는 데이터 구동회로(12), 게이트 구동회로(14) 및 타이밍 콘트롤러(16)를 포함하여 입력 영상의 비디오 데이터전압을 표시패널(DIS)의 픽셀들에 기입한다. 데이터 구동회로(12)는 타이밍 콘트롤러(16)로부터 입력되는 디지털 비디오 데이터(RGB)를 아날로그 감마보상전압으로 변환하여 데이터전압을 발생한다. 데이터 구동회로(12)로부터 출력된 데이터전압은 데이터 배선들(D1~Dm)에 공급된다. 게이트 구동회로(14)는 데이터전압에 동기되는 게이트 신호를 게이트 배선들(G1~Gn)에 순차적으로 공급하여 데이터 전압이 기입되는 표시패널(DIS)의 픽셀들을 선택한다.
- [0021] 타이밍 콘트롤러(16)는 호스트 시스템(19)으로부터 입력되는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 메인 클럭(MCLK) 등의 타이밍신호를 입력받아 데이터 구동회로(12)와 게이트 구동회로(14)의 동작 타이밍을 동기시킨다. 데이터 구동회로(12)를 제어하기 위한 데이터 타이밍 제어신호는 소스 샘플링 클럭(Source Sampling Clock, SSC), 소스 출력 인에이블신호(Source Output Enable, SOE) 등을 포함한다. 게이트 구동회로(14)를 제어하기 위한 게이트 타이밍 제어신호는 게이트 스타트 펄스(Gate Start Pulse, GSP), 게이트 쉬프트 클럭(Gate Shift Clock, GSC), 게이트 출력 인에이블신호(Gate Output Enable, GOE) 등을 포함한다.
- [0022] 호스트 시스템(19)은 텔레비전 시스템, 셋톱박스, 네비게이션 시스템, DVD 플레이어, 블루레이 플레이어, 개인용 컴퓨터(PC), 홈 시어터 시스템, 폰 시스템(Phone system) 중 어느 하나로 구현될 수 있다. 호스트 시스템(19)은 스케일러 scaler)를 내장한 SoC(System on chip)을 포함하여 입력 영상의 디지털 비디오 데이터(RGB)를 표시패널(DIS)에 표시하기에 적합한 포맷으로 변환한다. 호스트 시스템(19)은 디지털 비디오 데이터와 함께 타이밍 신호들(Vsync, Hsync, DE, MCLK)을 타이밍 콘트롤러(16)로 전송한다.
- [0023] 표시패널(DIS)은 픽셀 어레이를 포함한다. 픽셀 어레이는 데이터 배선들(D1~Dm, m은 양의 정수)과 게이트 배선들(G1~Gn, n은 양의 정수)에 의해 정의된 픽셀들을 포함한다. 픽셀들 각각은 자발광 소자인 유기발광 다이오드(Organic Light Emitting Diode)를 포함한다.
- [0024] 도 2를 더 참조하면, 표시패널(DIS)에는 다수의 데이터 배선들(D)과, 다수의 게이트 배선들(G)이 교차되고, 이 교차영역마다 픽셀들이 매트릭스 형태로 배치된다. 픽셀 각각은 유기발광 다이오드, 유기발광 다이오드에 흐르는 전류량을 제어하는 구동 박막 트랜지스터(Thin Film Transistor, TFT)(DT), 구동 박막 트랜지스터(DT)의 게이트-소스간 전압을 셋팅하기 위한 프로그래밍부(SC)를 포함한다.
- [0025] 프로그래밍부(SC)는 적어도 하나 이상의 스위치 박막 트랜지스터와, 적어도 하나 이상의 스토리지 커패시터를 포함할 수 있다. 스위치 박막 트랜지스터는 게이트 배선(G)으로부터의 게이트 신호에 응답하여 턴 온됨으로써, 데이터 배선(D)으로부터의 데이터전압을 스토리지 커패시터의 일측 전극에 인가한다. 구동 박막 트랜지스터(DT)는 스토리지 커패시터에 충전된 전압의 크기에 따라 유기발광 다이오드로 공급되는 전류량을 제어하여 유기발광 다이오드의 발광량을 조절한다. 유기발광 다이오드의 발광량은 구동 박막 트랜지스터(DT)로부터 공급되는 전류량에 비례한다. 이러한 픽셀은 고전위 전압원(Evdd)과 저전위 전압원(Evss)에 연결되어, 도시하지 않은 전원 발생부로부터 각각 고전위 전원 전압과 저전위 전원 전압을 공급받는다. 픽셀을 구성하는 박막 트랜지스터들은 p 타입으로 구현되거나 또는, n 타입으로 구현될 수 있다. 또한, 픽셀을 구성하는 박막 트랜지스터들의 반도체층은, 아몰포스 실리콘 또는, 폴리 실리콘 또는, 산화물을 포함할 수 있다. 이하에서는 반도체



층이 산화물을 포함하는 경우를 예로 들어 설명한다. 유기발광 다이오드는 애노드(ANO), 캐소드(CAT), 및 애노드(ANO)과 캐소드(CAT) 사이에 개재된 유기 화합물층을 포함한다. 애노드(ANO)은 구동 박막 트랜지스터(DT)와 접속된다.

- [0026] 도 3은 본 발명의 바람직한 실시예에 따른 유기발광 표시장치를 나타낸 단면도이다. 도 4는 도 3의 AR 영역을 확대한 것으로, 실제 형상을 보여주는 도면이다.
- [0027] 도 3 및 도 4를 참조하면, 본 발명의 바람직한 실시예에 따른 유기발광 표시장치는, 상호 대향하는 제1 기관(SUB1)과 제2 기관(SUB2), 및 제1 기관(SUB1)과 제2 기관(SUB2) 사이에 개재된 도전 필터층(CFL)을 갖는 표시패널을 포함한다. 제1 기관(SUB1)은 박막 트랜지스터(T) 및 유기발광 다이오드(OLE)가 배치된 박막 트랜지스터 어레이 기관이다. 제2 기관(SUB2)은 Evss 배선(EVL)(또는, 저전위 전원 배선)이 배치된 기관이다. 제2 기관(SUB2)은 봉지(encapsulation) 기관으로써 기능할 수 있다. 제1 기관(SUB1) 및 제2 기관(SUB2)은 실런트(SL)(sealant)를 통해 합착될 수 있다. 실런트(SL)는 제1 기관(SUB1) 및 제2 기관(SUB2)의 가장자리에 배치되어, 소정의 합착 간격을 유지하며, 도전 필터층(CFL)을 내측에 수용할 수 있다.
- [0028] 제1 기관(SUB1)은 유리(glass) 또는 플라스틱(plastic) 재질로 이루어질 수 있다. 예를 들어, 제1 기관(SUB1)은 PI(Polyimide), PET(polyethylene terephthalate), PEN(polyethylene naphthalate), PC(polycarbonate) 등의 플라스틱 재질로 형성되어, 유연한(flexible) 특성을 가질 수 있다.
- [0029] 제1 기관(SUB1) 상에는, 박막 트랜지스터(T) 및 박막 트랜지스터(T)와 연결된 유기발광 다이오드(OLE)가 형성된다. 제1 기관(SUB1)과 박막 트랜지스터(T) 사이에는, 광차단층(LS) 및 버퍼층(BUF)이 형성될 수 있다. 광차단층(LS)은 박막 트랜지스터(T)의 반도체층 특히, 채널(channel)에 중첩되도록 배치되어, 외부광으로부터 산화물 반도체 소자를 보호하는 역할을 한다. 버퍼층(BUF)은 제1 기관(SUB1)으로부터 확산되는 이온이나 불순물을 차단하고, 외부의 수분 침투를 차단하는 역할을 한다.
- [0030] 박막 트랜지스터(T)는, 반도체층(ACT), 게이트 전극(GE), 소스/드레인 전극(SE, DE)을 포함한다.
- [0031] 반도체층(ACT) 위에는 게이트 절연막(GI) 및 게이트 전극(GE)이 배치된다. 게이트 절연막(GI)은 게이트 전극(GE)을 절연시키는 것으로, 실리콘 산화막(SiO<sub>x</sub>)으로 이루어질 수 있으나, 이에 한정되는 것은 아니다. 게이트 전극(GE)은 게이트 절연막(GI)을 사이에 두고, 반도체층(ACT)과 중첩하도록 배치된다. 게이트 전극(GE)은 구리(Cu), 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd), 탄탈륨(Ta) 및 텅스텐(W)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금의 단층이나 다층으로 이루어질 수 있다. 게이트 절연막(GI)과 게이트 전극(GE)은 동일 마스크를 이용하여 패터닝될 수 있으며, 이 경우, 게이트 절연막(GI)과 게이트 전극(GE)은 동일 면적을 가질 수 있다. 도시하지는 않았으나, 게이트 절연막(GI)은 제1 기관(SUB1) 전체 표면을 덮도록 형성될 수 있다.
- [0032] 게이트 전극(GE) 위에는 층간 절연막(IN)이 배치된다. 층간 절연막(IN)은 게이트 전극(GE)과 소스/드레인 전극(SE, DE)을 상호 절연시키는 것으로, 실리콘 산화막(SiO<sub>x</sub>), 실리콘 질화막(SiN<sub>x</sub>) 또는 이들의 다층으로 이루어질 수 있으나, 이에 한정되는 것은 아니다.
- [0033] 층간 절연막(IN) 위에는 소스/드레인 전극(SE, DE)이 배치된다. 소스 전극(SE) 및 드레인 전극(DE)은 소정 간격 이격되어 배치된다. 소스 전극(SE)은 층간 절연막(IN)을 관통하는 소스 콘택홀을 통해 반도체층(ACT)의 일측에 접촉한다. 드레인 전극(DE)은 층간 절연막(IN)을 관통하는 드레인 콘택홀을 통해 반도체층(ACT)의 타측에 접촉한다.
- [0034] 소스 전극(SE)과 드레인 전극(DE)은 단일층 또는 다층으로 이루어질 수 있으며, 단일층일 경우에는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다. 또한, 소스 전극(SE)과 드레인 전극(DE)이 다층일 경우에는 몰리브덴/알루미늄-네오디뮴, 몰리브덴/알루미늄, 티타늄/알루미늄, 또는 구리/몰리타늄의 2중층이거나 몰리브덴/알루미늄-네오디뮴/몰리브덴, 몰리브덴/알루미늄/몰리브덴, 티타늄/알루미늄/티타늄, 또는 몰리타늄/구리/몰리타늄의 3중층으로 이루어질 수 있다.
- [0035] 박막 트랜지스터(T) 상에 패시베이션막(PAS)이 위치한다. 패시베이션막(PAS)은 박막 트랜지스터(T)를 보호하는 것으로 실리콘 산화물(SiO<sub>x</sub>), 실리콘 질화물(SiN<sub>x</sub>) 또는 이들의 다층으로 이루어질 수 있다.
- [0036] 패시베이션막(PAS) 상에 평탄화막(OC)이 위치한다. 평탄화막(OC)은 하부의 단차를 평탄화하는 것으로, 포토아크릴(photo acryl), 폴리이미드(polyimide), 벤조사이클로부텐계 수지(benzocyclobutene resin), 아크릴레이트계

수지(acrylate) 등의 유기물로 이루어질 수 있다. 필요에 따라서, 패시베이션막(PAS)과 평탄화막(OC) 중 어느 하나는 생략될 수 있다.

- [0037] 평탄화막(OC) 상에 유기발광 다이오드(OLE)가 위치한다. 유기발광 다이오드(OLE)는 애노드(ANO), 유기 화합물층(OL) 및 캐소드(CAT)을 포함한다.
- [0038] 보다 자세하게, 평탄화막(OC) 상에 애노드(ANO)가 위치한다. 애노드(ANO)는 각 픽셀에 대응되도록 분할되어, 각 픽셀 당 하나씩 할당될 수 있다. 애노드(ANO)는 패시베이션막(PAS)과 평탄화막(OC)을 관통하는 콘택홀을 통해 박막 트랜지스터(T)의 소스 전극(SE)에 접속된다. 애노드(ANO)는 반사층을 포함하여 반사 전극으로 기능할 수 있다. 반사층은 알루미늄(Al), 구리(Cu), 은(Ag), 니켈(Ni), 몰리브덴(Mo), 티타늄(Ti) 또는 이들의 합금으로 이루어질 수 있으며, 바람직하게는 APC(은/팔라듐/구리 합금)으로 이루어질 수 있다. 애노드(ANO)는 반사층을 포함한 다층으로 이루어질 수 있다. 일 예로, 애노드(ANO)는 ITO/APC/ITO로 이루어진 삼중층으로 형성될 수 있다.
- [0039] 애노드(ANO)이 형성된 제1 기판(SUB1) 상에 픽셀을 구획하는 बैं크층(BN)이 위치한다. बैं크층(BN)은 폴리이미드(polyimide), 벤조사이클로부텐계 수지(benzocyclobutene series resin), 아크릴레이트(acrylate) 등의 유기물로 이루어질 수 있다. बैं크층(BN)에 의해 노출된 애노드(ANO)의 중심부는 발광 영역으로 정의될 수 있다.
- [0040] बैं크층(BN)은 애노드(ANO)의 적어도 일부를 노출하는 개구부를 포함한다. बैं크층(BN)은 애노드(ANO)의 중심부 대부분을 노출하되 애노드(ANO)의 측단을 덮도록 배치될 수 있다. 노출된 애노드(ANO)의 면적은, 충분한 개구율을 확보할 수 있도록, 가능한 최대치로 설계되는 것이 바람직하다.
- [0041] बैं크층(BN)과 평탄화층(OC)은, 픽셀 내에서 박막 트랜지스터(T) 및 이와 연결된 스토리지 커패시터(Cst)만을 덮도록 패턴될 수 있다. 스토리지 커패시터(Cst)는 도시된 바와 같이 제1 내지 제3 커패시터 전극이 중첩된 3중 구조로 형성될 수 있고, 필요에 따라서 다양한 복수의 층으로 구현될 수 있다.
- [0042] बैं크층(BN) 상에 스페이서(SP)가 위치한다. 스페이서(SP)는 복수 개로 구비될 수 있고, 복수 개의 스페이서(SP)들은 बैं크층(BN) 상에서, 기 설정된 위치에 선택적으로 배치될 수 있다. 스페이서(SP)는 제2 기판(SUB)을 향하여 돌출된 형상을 갖는다. बैं크층(BN)과 스페이서(SP)는 하프-톤 마스크(half-tone mask)를 이용한 하나의 마스크 공정을 통해 동시에 형성될 수 있으나, 이에 한정되는 것은 아니다.
- [0043] बैं크층(BN) 및 스페이서(SP)가 형성된 제1 기판(SUB1) 상에 유기 화합물층(OL)이 위치한다. 유기 화합물층(OL)은 제1 기판(SUB1)의 전면에 넓게 형성되어 बैं크층(BN) 및 스페이서(SP)를 덮는다. 유기 화합물층(OL)은 전자와 정공이 결합하여 발광하는 층으로, 발광층(Emission layer, EML)을 포함하고, 정공주입층(Hole injection layer, HIL), 정공수송층(Hole transport layer, HTL), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron injection layer, EIL) 중 어느 하나 이상을 더 포함할 수 있다. 발광층은 백색광을 발생하는 발광 물질을 포함할 수 있다.
- [0044] 백색을 발광하는 유기 화합물층(OL)은 n(n은 1 이상의 정수)스택(stack)구조와 같은 다중 스택 구조를 가질 수 있다. 일 예로, 2 스택 구조는, 애노드(ANO)와 캐소드(CAT) 사이에 배치된 전하 생성층(charge Generation Layer, CGL), 및 전하 생성층을 사이에 두고 전하 생성층 하부 및 상부에 각각 배치된 제1 스택 및 제2 스택을 포함할 수 있다. 제1 스택 및 제2 스택은 각각 발광층(Emission layer)을 포함하며, 공통층(common layer) 들 중 적어도 어느 하나를 더 포함할 수 있다. 제1 스택의 발광층과 제2 스택의 발광층은 서로 다른 색의 발광 물질을 포함할 수 있다.
- [0045] 유기 화합물층(OL) 상에 캐소드(CAT)가 위치한다. 캐소드(CAT)는 제1 기판(SUB1)의 전면에 넓게 형성되어, 유기 화합물층(OL)을 덮는다. 캐소드(CAT)는, ITO(Indium Tin Oxide) IZO(Indium Zinc Oxide)와 같은 투명 도전 물질로 형성될 수 있고, 광이 투과될 수 있을 정도로 얇은 두께를 갖는 마그네슘(Mg), 칼슘(Ca), 알루미늄(Al), 은(Ag) 또는 이들의 합금으로 이루어질 수 있다.
- [0046] 캐소드(CAT) 상에 무기막(IOF)이 위치한다. 무기막(IOF)은 제1 기판(SUB1)의 전면에 넓게 형성될 수 있다. 무기막(IOF)은 실리콘 산화막(SiO<sub>x</sub>), 실리콘 질화막(SiN<sub>x</sub>), 실리콘 산화질화막(SiON), 산화 알루미늄(Al<sub>2</sub>O<sub>3</sub>) 및 이산화 티타늄(TiO<sub>2</sub>)과 같은 무기 물질로 이루어질 수 있다.
- [0047] 무기막(IOF)은 캐소드(CAT) 상에 위치하여 유기발광 다이오드(OLE)로 유입될 수 있는 이물의 유입을 차단할 수 있다. 예를 들어, 투명 도전 물질을 포함하는 캐소드(CAT)는 결정성으로 이온 및 수분 침투를 차단할 수 없기 때문에, 도전 필러층(CFL)에 포함된 이온성 액체의 이온 성분이나 외부 불순물들이 캐소드(CAT)를 투과하여 유

기 화합물층(OL)에 유입될 수 있다. 본 발명의 바람직한 실시예는 유기발광 다이오드(OLED)의 대부분을 차폐하도록 무기막(IOF)을 형성함으로써, 유기발광 다이오드(OLED)로 유입될 수 있는 이물을 효과적으로 차단할 수 있기 때문에, 유기발광 다이오드(OLED)의 수명 저하 및 휘도 저하를 방지할 수 있는 이점을 갖는다.

- [0048] 또한, 무기막(IOF)은 캐소드(CAT) 상에 위치하여 제1 기판(SUB1)과 제2 기판(SUB2) 합착 시 캐소드(CAT)에 제공될 수 있는 스트레스(stress)를 완충(또는, 완화)할 수 있다. 예를 들어, 투명 도전 물질을 포함하는 캐소드(CAT)는, 브리틀(brittle)한 성질을 갖기 때문에 제공된 외력에 의해 쉽게 크랙(crack)이 발생할 수 있다. 본 발명의 바람직한 실시예는 캐소드(CAT) 상에 무기막(IOF)을 더 형성함으로써, 캐소드(CAT)에 크랙이 발생하는 것을 방지할 수 있고, 나아가 크랙을 통해 산소 및 수분이 유입되는 것을 방지할 수 있다.
- [0049] 무기막(IOF)은 제1 오픈홀(OP1)을 포함한다. 제1 오픈홀(OP1)은 스페이서(SP) 상에 위치한 캐소드(CAT)의 적어도 일부를 노출시킨다. 즉, 무기막(IOF)은, 캐소드(CAT)를 덮되, 스페이서(SP)가 형성된 영역에서 제1 오픈홀(OP1)을 통해 캐소드(CAT)의 일부를 노출시킨다. 제1 오픈홀(OP1)은 스페이서(SP)가 형성된 영역에 대응하여 마련된다. 제1 오픈홀(OP1)의 평면 형상은 스페이서(SP)의 평면 형상과 대응될 수 있다.
- [0050] 무기막(IOF) 상에 유기막(OE)이 위치한다. 유기막(OE)은 제1 기판(SUB1)의 전면에 넓게 형성될 수 있다. 유기막(OE)은 올레핀계 고분자(polyethylene, polypropylene), 폴리에틸렌테레프탈레이트(PET), 에폭시 수지(epoxy resin), 플루오르 수지(fluoro resin), 아크릴 수지(acryl resin), 폴리실록산(polysiloxane), 노볼락(novolac)과 같은 유기 물질로 이루어질 수 있다.
- [0051] 유기막(OE)은 제2 오픈홀(OP2)을 포함한다. 제2 오픈홀(OP2)은 스페이서(SP) 상에 위치한 캐소드(CAT)의 적어도 일부를 노출시킨다. 즉, 유기막(OE)은, 캐소드(CAT) 및 무기막(IOF)을 덮되, 스페이서(SP)가 형성된 영역에서 제2 오픈홀(OP2)을 통해, 무기막(IOF)의 제1 오픈홀(OP1) 및 캐소드(CAT)의 일부를 노출시킨다. 제2 오픈홀(OP2)은 무기막(IOF)의 적어도 일부를 더 노출시킬 수 있다.
- [0052] 제2 오픈홀(OP2)은 스페이서(SP)가 형성된 영역에 대응하여 마련된다. 제2 오픈홀(OP2)은 제1 오픈홀(OP1)이 형성된 영역에 대응하여 마련된다. 제2 오픈홀(OP2)의 평면 형상은 스페이서(SP)의 평면 형상 및 제1 오픈홀(OP1)의 평면 형상과 대응될 수 있다.
- [0053] 제1 오픈홀(OP1) 및 제2 오픈홀(OP2)에 의해 노출된 캐소드(CAT)의 일부는 도전 필러층(CFL)에 직접 접촉된다. 후술하겠으나, 노출된 캐소드(CAT)의 일부는 도전 필러층(CFL)을 통해 제2 기판(SUB2)의 Evss 배선(EVL)과 전기적으로 연결된다.
- [0054] 제2 기판(SUB2) 상에는, Evss 배선(EVL) 및 컬러 필터(CF)가 형성된다. 제2 기판(SUB2) 상에서, Evss 배선(EVL)과 컬러 필터(CF)의 적층 순서는 변경될 수 있다. 즉, Evss 배선(EVL)이 형성된 후 컬러 필터(CF)가 형성될 수 있고, 컬러 필터(CF)가 형성된 후 Evss 배선(EVL)이 형성될 수도 있다.
- [0055] Evss 배선(EVL)은 저저항 도전 물질을 포함한다. 예를 들어, Evss 배선(EVL)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다.
- [0056] Evss 배선(EVL)은 저반사 도전 물질을 포함할 수 있다. 예를 들어, Evss 배선(EVL)을 저반사 도전 물질로 형성함으로써, 외광 반사에 의해 시인성이 저하되는 문제를 방지할 수 있다. 따라서, 본 발명의 바람직한 실시예에 따른 표시장치는 편광 필름과 같이 외부로부터 입사되는 빛을 차단(또는, 흡수)하기 위한 수단을 별도로 구비할 필요가 없다.
- [0057] Evss 배선(EVL)은 블랙 매트릭스로서 기능할 수 있다. 따라서, Evss 배선(EVL)은 이웃하는 픽셀 사이에서 혼색 불량이 발생하는 것을 방지할 수 있다. Evss 배선(EVL)은 적어도 발광 영역을 노출할 수 있도록, 비 발광 영역에 대응하여 배치된다. 또한, 본 발명의 바람직한 실시예는, Evss 배선(EVL)을 블랙 매트릭스로 이용할 수 있기 때문에, 블랙 매트릭스를 형성하기 위한 별도의 추가 공정을 수행할 필요가 없다. 따라서, 본 발명의 바람직한 실시예는 종래 구조 대비 공정 수를 줄일 수 있어, 제조 시간 및 비용을 줄일 수 있고, 제품 수율을 현저히 향상시킬 수 있는 이점을 갖는다.
- [0058] 컬러 필터(CF)는 적색(R), 청색(B) 및 녹색(G) 컬러 필터(CF)를 포함할 수 있다. 픽셀은 적색(R), 청색(B) 및 녹색(G)을 발광하는 서브 픽셀들을 포함할 수 있고, 컬러 필터(CF)는 대응되는 서브 픽셀들 각각에 할당될 수 있다. 적색(R), 청색(B) 및 녹색(G) 컬러 필터(CF)들은 Evss 배선(EVL)에 의해 구획될 수 있다.
- [0059] 본 발명에 따른 유기발광 표시장치는, 유기 화합물층(OL)으로부터 방출된 백색(W)광이 적색(R), 녹색(G) 및 청

색(B) 픽셀(PXL)에 대응되는 영역에 각각 구비된 적색(R), 녹색(G) 및 청색(B)의 컬러 필터(CF)를 통과함으로써, 적색(R), 녹색(G) 및 청색(B)을 구현할 수 있다. 필요에 따라서, 픽셀은 백색(W) 서브 픽셀을 더 포함할 수 있다.

- [0060] 도전 필러층(CFL)은 제1 기관(SUB1)과 제2 기관(SUB2) 사이에 개재되며, 도전성 매질을 포함한다. 도전 필러층(CFL)은 솔벤트에 도전성 필러(filler)가 산포된 형태로 구성될 수 있다. 또는, 도전 필러층(CFL)은 도전성을 갖는 솔벤트로 구성될 수 있다. 일 예로, 도전 필러층(CFL)은 전도성 고분자인 PEDOT((Poly(3,4-ethylenedioxythiophene)), 및 이온성 액체(Ionic liquid)중 적어도 어느 하나로 구성될 수 있으나, 이에 한정되는 것은 아니다.
- [0061] 도전 필러층(CFL)의 점도에 대응하여, 제1 기관(SUB1)과 제2 기관(SUB2)의 합착 간격은 적절히 선택될 수 있다. 본 발명은 비도전성 필러 대비 점도가 낮은 도전성 필러를 사용하기 때문에, 제1 기관(SUB1)과 제2 기관(SUB2) 사이의 합착 간격을 줄일 수 있다. 이에 따라, 본 발명은 광시야각 및 고개구율을 확보할 수 있는 이점을 갖는다.
- [0062] 도전 필러층(CFL)을 통해, 제1 기관(SUB)의 캐소드(CAT)의 노출된 부분과 제2 기관(SUB2)의 Evss 배선(EVL)이 전기적으로 연결된다. 따라서, 캐소드(CAT)와 Evss 배선(EVL) 모두에는 저전위 전원 전압이 인가된다. 이에 따라, 캐소드(CAT), 도전 필러층(CFL), 저저항의 Evss 배선(EVL)은 저전위 전원 전압이 인가되는 전원 경로를 형성할 수 있다.
- [0063] 본 발명의 바람직한 실시예는, 저저항의 도전 물질로 형성된 Evss 배선(EVL)을 캐소드(CAT)에 연결함으로써 위치에 따른 전압 편차를 줄일 수 있기 때문에, 휘도 불균일 불량을 최소화할 수 있는 이점을 갖는다.
- [0064] 본 발명의 바람직한 실시예는, 종래와 같이 박막 트랜지스터 기관에 Evss 배선(EVL)을 형성하기 위한 영역, 및 Evss 배선(EVL)과 캐소드(CAT)의 연결하기 위한 영역을 별도로 할당할 필요가 없다. 또한, 본 발명의 바람직한 실시예는, 종래와 같이 박막 트랜지스터 기관에 Evss 배선(EVL)을 형성하기 위한 영역, 및 Evss 배선(EVL)과 캐소드(CAT)를 연결하기 위한 영역을 별도로 할당할 필요가 없기 때문에 대응되는 만큼 충분한 개구율을 확보할 수 있다. 또한, 본 발명의 바람직한 실시예는 종래와 같이 격벽 등 추가 구조물을 구비하기 위한 추가 공정을 수행할 필요가 없기 때문에, 공정 시간, 비용을 줄일 수 있고, 공정 수율을 현저히 개선할 수 있는 이점을 갖는다. 따라서, 본 발명의 제1 실시예는, 높은 PPI(Pixel Per Inch)를 갖는 고 해상도 표시장치에 용이하게 적용될 수 있으며, 설계 자유도를 현저히 향상시킬 수 있는 이점을 갖는다.
- [0065] 도 5a 내지 도 5c는 본 발명의 바람직한 실시예에 의한 유기발광 표시장치 제조 방법을 설명하기 위한 도면들이다. 이하에서는, 본 발명의 특징인, 캐소드 일부를 노출시키는 공정만을 구체적으로 설명하기로 한다.
- [0066] 도 5a를 참조하면, 애노드(ANO)가 형성된 제1 기관 상에, बैं크층(BN) 및 스페이서(SP)가 형성된다. बैं크층(BN)과 스페이서(SP)는 서로 다른 공정을 통해 순차적으로 형성될 수 있고, 하프-톤 마스크를 이용한 하나의 마스크 공정을 통해 동시에 형성될 수도 있다. 스페이서(SP)는 बैं크층(BN) 상에서 한 몸체로 마련되어, बैं크층(BN)과 동일한 평면 형상을 가질 수 있다. 또는, 스페이서(SP)는 बैं크층(BN) 상에서 복수 개로 마련되어, 기 설정된 위치에 선택적으로 배치될 수 있다.
- [0067] 도 5b를 참조하면, बैं크층(BN)과 스페이서(SP)가 형성된 제1 기관 상에 유기 화합물층(OL), 캐소드(CAT), 무기막(IOF), 및 유기막(OE)이 순차적으로 형성된다. 유기막(OE)은 재료 특성 상 그 하부에 형성된 구조물들에 의한 단차를 보상할 수 있기 때문에, 유기막(OE)의 상부 표면은 평탄화된다.
- [0068] 도 5c를 참조하면, 캐소드(CAT)의 적어도 일부를 노출시키기 위해, 식각(etch) 공정이 진행된다. 식각 공정에 의해, 유기막(OE)의 일부 두께가 제거되고, 유기막(OE)의 일부 두께가 제거됨에 따라 노출되는 스페이서(SP) 상의 무기막(IOF) 또한 제거된다. 즉, 식각 공정에 의해, 유기막(OE)의 두께가 전체 영역에서 균일하게 제거된다 보면, 스페이서(SP)에 의해 다른 영역 대비 상대적으로 돌출되어 있는 무기막(IOF)의 일부가 노출된다. 이어서, 식각 공정을 더 진행하면, 유기막(OE)과 노출된 무기막(IOF)의 일부가 함께 제거되면서, 스페이서(SP)에 의해 다른 영역 대비 상대적으로 돌출되어 있는 캐소드(CAT)의 일부만이 노출된다. 이와 같이, 식각 공정은, 스페이서(SP) 상에 배치된 캐소드(CAT)의 일부가 노출될 때까지만 진행되기 때문에, 스페이서(SP) 상의 캐소드(CAT)의 일부만이 무기막(IOF)과 유기막(OE)에 의해 덮여있지 않고, 노출된다. 다시 말해, 스페이서(SP)가 형성된 영역 외의 캐소드(CAT)는, 노출되지 않는다.
- [0069] 식각 공정 이후, 유기막(OE)의 상부 표면은, 노출된 캐소드(CAT)의 상부 표면과 동일 평면 상에 위치할 수 있고, 노출된 캐소드(CAT)의 상부 표면 아래에 위치할 수 있다. 식각 공정 이후, 무기막(IOF)의 상부 표면은,

노출된 캐소드(CAT)의 상부 표면과 동일 평면 상에 위치할 수 있고, 노출된 캐소드(CAT)의 상부 표면 아래에 위치할 수 있다. 식각 공정 이후 유기막(OF)의 상부 표면은, 노출된 무기막(IOF)의 상부 표면과 동일 평면 상에 위치할 수 있다.

- [0070] 캐소드(CAT)를 노출시키기 위해 제거된 무기막(IOF) 영역은, 제1 오픈홀(OP1)로 지칭될 수 있다. 캐소드(CAT)를 노출시키기 위해 제거된 유기막(OF) 영역은, 제2 오픈홀(OP2)로 지칭될 수 있다. 식각 공정 시 이용되는 식각액은 선택된 유기막(OF)과 무기막(IOF)을 제거하되, 캐소드(CAT)를 구성하는 물질을 손상시키지 않는 물질로 선택될 수 있다.
- [0071] 이와 같은 공정을 통해 외부에 노출된 캐소드(CAT)의 일부는, 도전 필러층(CFL, 도 3)과 직접 접촉될 수 있고, 도전 필러층(CFL, 도 3)을 통해 제2 기관(SUB2, 도 3)에 형성된 Evss 배선(EVL, 도 3)과 전기적으로 연결될 수 있다.
- [0072] 이하, 전원 발생부(미도시)로부터 발생된 저전위 전원 전압의 전원 공급 경로 예들을 구체적으로 설명한다.
- [0073] <제1 실시예>
- [0074] 도 6은 제1 실시예에 따른 유기발광 표시장치에 관한 것으로, 전원 발생부로부터 발생된 저전위 전원 전압의 전원 공급 경로 예를 설명하기 위한 도면이다.
- [0075] 도 6을 참조하면, 본 발명의 제1 실시예에 따른 유기발광 표시장치는 제1 기관(SUB1)의 적어도 일측에 합착되는 연결 부재(LM)를 더 포함한다. 연결 부재(LM)는 COF(Chip On Film)일 수 있으나, 이에 한정되는 것은 아니다.
- [0076] 제1 기관(SUB1)은 Evss 패드부(EVP1)(또는, 저전위 전원 패드부) 및 전원 전극(POE)을 포함한다. Evss 패드부(EVP1)는 실런트(SL) 외측에 배치되어, 연결 부재(LM)와 전기적으로 연결된다. 전원 전극(POE)은 실런트(SL) 내측에 배치되어, 도전 필러층(CFL)과 전기적으로 연결된다.
- [0077] Evss 패드부(EVP1)는 전원 발생부(미도시)로부터 발생된 저전위 전원 전압을 연결 부재(LM)를 통해 입력 받아 전원 전극(POE)에 전달한다. 전원 전극(POE)은 입력 받은 저전위 전원 전압을 도전 필러층(CFL) 및 캐소드(CAT)에 전달한다.
- [0078] 좀 더 구체적으로, Evss 패드부(EVP1)는 적어도 하나 이상의 패드 전극을 포함한다. 패드 전극이 복수 개인 경우, 패드 전극들은 적어도 하나의 절연막을 사이에 두고 서로 다른 층에 배치될 수 있고, 상기 적어도 하나의 절연막을 관통하는 패드 콘택홀을 통해 전기적으로 연결될 수 있다. 일 예로, 도면에 도시된 바와 같이, Evss 패드부(EVP1)는 패시베이션막(PAS)을 사이에 두고 서로 다른 층에 배치된 제1 패드 전극(PE1) 및 제2 패드 전극(PE2)을 포함할 수 있고, 제1 패드 전극(PE1) 및 제2 패드 전극(PE2)은 패시베이션막(PAS)을 관통하는 제1 패드 콘택홀(PH1)을 통해 상호 연결될 수 있다. 이하, 설명의 편의를 위해, Evss 패드부(EVP1)가 제1 패드 전극(PE1) 및 제2 패드 전극(PE2)을 포함하는 경우를 예로 들어 설명한다.
- [0079] 제1 패드 전극(PE1)은 실런트(SL) 외측에서 외부에 노출된다. 노출된 제1 패드 전극(PE1)은 연결 부재(LM)와 접합될 수 있다. 연결 부재(LM)와 제1 패드 전극(PE1)은 그 사이에 개재된 ACF(Anisotropic Conductive Film, 미도시)층을 통해 서로 접합될 수 있다.
- [0080] 제2 패드 전극(PE2)은 실런트(SL) 내측으로 연장되어, 전원 전극(POE)과 전기적으로 연결된다. 이때, 제2 패드 전극(PE2)은 패시베이션막(PAS)을 관통하는 제2 콘택홀(PH2)을 통해 전원 전극(POE)과 접촉될 수 있다. 도면에서는, 제2 패드 전극(PE2)과 전원 전극(POE)이 패시베이션막(PAS)만을 사이에 두고 배치된 경우를 예로 들어 도시하였으나, 이에 한정되는 것은 아니다. 예를 들어, 제2 패드 전극(PE2)과 전원 전극(POE)은, 패시베이션막(PAS), 평탄화막(OC)을 사이에 두고 서로 다른 층에 배치되어, 패시베이션막(PAS), 평탄화막(OC)을 관통하는 콘택홀을 통해 상호 전기적으로 연결될 수 있다.
- [0081] 전원 전극(POE)은 애노드(ANO)가 형성될 때 함께 형성될 수 있다. 즉, 전원 전극(POE)은 애노드(ANO)와 동일 물질로 형성될 수 있다. 다만, 이에 한정되는 것은 아니다.
- [0082] 전원 전극(POE)의 적어도 일부는 노출되어, 도전 필러층(CFL)과 직접 접촉될 수 있다. 전원 전극(POE)의 적어도 일부를 노출시키기 위해, 제1 기관(SUB1)의 전면에 넓게 형성되는 레이어들의 면적을 제어할 수 있다. 면적이 제어되는 레이어는, 전원 전극(POE)이 형성된 이후에 형성되는 레이어, 즉, 유기 화합물층(OL), 캐소드(CAT), 무기막(IOF), 유기막(OF)일 수 있다.
- [0083] 구체적으로, 전술한 레이어들은, 개구부를 갖는 틀 형상으로 마련된 오픈 마스크(open mask, 미도시)를 이용하

여 형성된다. 오픈 마스크의 개구부 면적은 전술한 레이어들이 제1 기판(SUB) 상에서 차지하는 면적과 대응될 수 있다. 따라서, 오픈 마스크의 개구부의 면적을 제어함으로써, 전원 전극(POE)의 적어도 일부를 노출시킬 수 있다. 노출된 전원 전극(POE)의 일부는 도전 필러층(CFL)과 직접 접촉되어, 도전 필러층(CFL)에 저전위 전원 전압을 공급할 수 있다. 이에 따라, 연결 부재(LM), Evss 패드부(EVP1), 및 도전 필러층(CFL)을 연결하는 전원 공급 경로가 형성될 수 있다. 이 경로를 통해, 제2 기판(SUB2)의 Evss 배선(EVL)에 저전위 전압이 공급될 수 있고, 제1 기판(SUB)의 캐소드(CAT)에 저전위 전원 전압이 공급될 수 있다.

[0084] 또한, 캐소드(CAT)는 전원 전극(POE) 상에서, 유기 화합물층(OL)을 덮되, 그 일단이 유기 화합물층(OL) 보다 더 돌출되어 전원 전극(POE)과 직접 접촉되도록 형성될 수 있다. 즉, 캐소드(CAT)의 일단은 노출된 전원 전극(POE)의 상부 표면과 직접 접촉될 수 있다. 이에 따라, 연결 부재(LM), Evss 패드부(EVP1), 및 캐소드(CAT)를 연결하는 전원 공급 경로가 형성될 수 있다.

[0085] 본 발명의 제1 실시예에서는, 연결 부재(LM), Evss 패드부(EVP1), 전원 전극(POE), 도전 필러층(CFL), 및 캐소드(CAT)가 전기적으로 연결되어 저전위 전원 공급 경로를 형성할 수 있고, 연결 부재(LM), Evss 패드부(EVP1), 전원 전극(POE), 도전 필러층(CFL), Evss 배선(EVL), 및 캐소드(CAT)가 전기적으로 연결되어 저전위 전원 공급 경로를 형성할 수 있다.

[0086] 본 발명의 제1 실시예는 저전위 전원 전압을 제2 기판(SUB2)의 Evss 배선(EVL)에 공급하기 위한, 복수의 전원 공급 경로를 형성할 수 있다. 본 발명의 제1 실시예는 전원 공급 경로를 충분히 확보함으로써, 제2 기판(SUB2)의 Evss 배선(EVL)으로 저전위 전원 전압을 용이하게 공급할 수 있는 이점을 갖는다.

[0087] <제2 실시예>

[0088] 도 7은 제2 실시예에 따른 유기발광 표시장치에 관한 것으로, 전원 발생부로부터 발생된 저전위 전원 전압의 전원 공급 경로 예를 설명하기 위한 도면이다. 제2 실시예를 설명함에 있어서, 제1 실시예와 실질적으로 동일한 구성에 대한 설명은 생략하기로 한다.

[0089] 본 발명의 실시예에 따른 유기발광 표시장치는, 제1 기판(SUB1)과 제2 기판(SUB2)이 합착되는 구조를 가지며, 제1 기판(SUB1)과 제2 기판(SUB2)이 기 설정된 합착 간격만큼 이격된다. 전술한 바와 같이, 본 발명의 바람직한 실시예는 원활한 전원 공급을 위해, 전원 발생부로부터 발생된 저전위 전원 전압을 도전 필러층(CFL)을 통해 제2 기판(SUB2)의 Evss 배선(EVL)에 공급하는 전원 공급 경로를 가질 수 있다.

[0090] 다만, 제1 기판(SUB1)의 전원 전극(POE)과, 제2 기판(SUB2)의 Evss 배선(EVL)이, 그 사이에 개재된 도전 필러층(CFL)을 통해 전기적으로 연결되기 때문에, 도전 필러층(CFL)의 저항에 의해 전원 전압의 공급이 용이하지 않을 수 있다. 즉, 전원 전극(POE)과 Evss 배선(EVL) 사이의 간격이 커질수록 저항이 커짐에 따라 전원 전압의 공급이 용이하지 않을 수 있다. 저항을 고려하여, 제1 기판(SUB1)과 제2 기판(SUB2) 사이의 간격을 줄이는 방법을 고려해볼 수 있으나, 제1 기판(SUB1)과 제2 기판(SUB2)의 합착 간격은 표시장치의 특성을 고려하여 기 설정된 간격으로 고정될 필요가 있기 때문에, 이를 조절하는 데에는 한계가 있다. 전술한 문제를 방지하기 위해, 본 발명의 제2 실시예에 따른 유기발광 표시장치는 돌출 패턴(PD)을 포함한다.

[0091] 도 7을 참조하면, 돌출 패턴(PD)은 제1 기판(SUB1) 상에서 전원 전극(POE)과 인접하여 배치될 수 있다. 도면에서는, 돌출 패턴(PD)이 전원 전극(POE)과 적어도 일부 중첩된 경우를 예로 들어 도시하였으나, 이에 한정되는 것은 아니다. 돌출 패턴(PD)은 제2 기판(SUB2)을 향하여 돌출된 형상을 갖는다. 돌출 패턴(PD)의 상부 표면은 Evss 배선(EVL)과 인접하게 위치할 수 있다.

[0092] 돌출 패턴(PD)은, 유기발광 표시장치를 구성하는 절연막들 중 적어도 어느 하나를 형성할 때 함께 형성될 수 있다. 일 예로, 돌출 패턴(PD)은 बैं크층 형성 물질(BN\_A) 또는 스페이서 형성 물질(SP\_A)로 이루어진 단일층으로 구성될 수 있다. 다른 예로, 도시된 바와 같이, 돌출 패턴(PD)은 बैं크층 형성 물질(BN\_A)과 스페이서 형성 물질(SP\_A)이 적층된 복수층으로 구성될 수 있다. 공정상 한계에 의해 단일 재료로 돌출 패턴(PD)을 충분히 높게 형성하는 데에는 어려움이 있을 수 있기 때문에, 돌출 패턴(PD)은 복수층이 적층된 형태로 구비되는 것이 바람직할 수 있다.

[0093] 캐소드(CAT)는, 유기 화합물층(OL)을 덮되 유기 화합물층(OL) 보다 더 연장 배치되어, 전원 전극(POE)과 직접 접촉된다. 유기 화합물층(OL)은 전원 전극(POE)의 적어도 일부를 노출할 수 있고, 캐소드(CAT)는 노출된 전원 전극(POE)의 일부에 접촉될 수 있다.

[0094] 캐소드(CAT)는 돌출 패턴(PD)을 덮도록 더 연장된다. 도면에서는, 캐소드(CAT)가 돌출 패턴(PD)을 완전히 덮는

경우를 예로 들어 도시하였으나, 이에 한정되는 것은 아니다. 즉, 캐소드(CAT)는 제2 기관(SUB2)의 Evss 배선(EVL)과 인접하게 배치되도록, 돌출 패턴(PD)의 적어도 일부를 덮을 수 있게 연장되면 충분하다. 캐소드(CAT)는 돌출 패턴(PD) 중 가장 돌출된 부분인 상부 표면까지 연장되어 배치되는 것이 바람직할 수 있다.

- [0095] 무기막(IOF)과 유기막(OE)은, 캐소드(CAT)가 도전 필터층(CFL)과 직접 접촉될 수 있도록, 돌출 패턴(PD) 상에 배치된 캐소드(CAT)의 적어도 일부를 노출하도록 형성된다. 이는, 오픈 마스크의 개구부 면적을 조절함으로써, 구현될 수 있다.
- [0096] 본 발명의 제2 실시예는 돌출 패턴(PD)을 구비함으로써, 전원 전극(POE)과 Evss 배선(EVL) 사이의 간격을 공정상 가능한 최소 간격으로 설정할 수 있다. 이에 따라, 전술한 저항의 영향을 저감할 수 있기 때문에, 안정적으로 전원 전압을 Evss 배선(EVL)에 공급할 수 있는 이점을 갖는다.
- [0097] <제3 실시예>
- [0098] 도 8 및 도 9는 제3 실시예에 따른 유기발광 표시장치에 관한 것으로, 전원 발생부로부터 발생된 저전위 전원 전압의 전원 공급 경로 예를 설명하기 위한 도면이다. 제3 실시예를 설명함에 있어서, 제1 및 제2 실시예와 실질적으로 동일한 구성에 대한 설명은 생략하기로 한다.
- [0099] 도 8 및 도 9를 참조하면, 돌출 패턴(PD)은 제1 기관(SUB1) 상에서 전원 전극(POE)과 인접하여 배치될 수 있다. 도면에서는 돌출 패턴(PD)이 전원 전극(POE)과 적어도 일부 중첩된 경우를 예로 들어 도시하였으나, 이에 한정되는 것은 아니다. 돌출 패턴(PD)은 제2 기관(SUB2)을 향하여 돌출된 형상을 갖는다. 돌출 패턴(PD)의 상부 표면은 Evss 배선(EVL)과 인접하게 위치할 수 있다.
- [0100] 돌출 패턴(PD)은, 유기발광 표시장치를 구성하는 절연막들 중 적어도 어느 하나를 형성할 때 함께 형성될 수 있다. 일 예로, 돌출 패턴(PD)은 बैं크층 형성 물질 또는 스페이서 형성 물질로 이루어진 단일층으로 구성될 수 있다(도 8). 다른 예로, 돌출 패턴(PD)은 बैं크층 형성 물질(BN\_A)과 스페이서 형성 물질(SP\_A)이 적층된 복수층으로 구성될 수 있다(도 9). 공정상 한계에 의해 단일 재질로 돌출 패턴(PD)을 충분히 높게 형성하는 데에는 어려움이 있을 수 있기 때문에, 돌출 패턴(PD)은 복수층이 적층된 형태로 구비되는 것이 바람직할 수 있다.
- [0101] 캐소드(CAT)는, 유기 화합물층(OL)을 덮되 유기 화합물층(OL) 보다 더 연장 배치되어, 전원 전극(POE)과 직접 접촉된다. 유기 화합물층(OL)은 전원 전극(POE)의 적어도 일부를 노출할 수 있고, 캐소드(CAT)는 노출된 전원 전극(POE)의 일부에 접촉될 수 있다.
- [0102] 캐소드(CAT)는 돌출 패턴(PD)을 덮도록 더 연장된다. 도면에서는, 캐소드(CAT)가 돌출 패턴(PD)을 완전히 덮는 경우를 예로 들어 도시하였으나, 이에 한정되는 것은 아니다. 즉, 캐소드(CAT)는 제2 기관(SUB2)의 Evss 배선(EVL)과 인접하게 배치되도록, 돌출 패턴(PD)의 적어도 일부를 덮을 수 있게 연장되면 충분하다. 캐소드(CAT)는 돌출 패턴(PD) 중 가장 돌출된 부분인 상부 표면까지 연장되어 배치되는 것이 바람직할 수 있다.
- [0103] 무기막(IOF)과 유기막(OE)은, 캐소드(CAT)가 도전 필터층(CFL)과 직접 접촉될 수 있도록, 돌출 패턴(PD) 상에 배치된 캐소드(CAT)의 적어도 일부를 노출하도록 형성된다. 이는, 제1 실시예에서 설명한 바와 같이, 유기막(OE)과 무기막(IOF)의 두께 일부를 제거하는 식각 공정을 진행함으로써, 구현될 수 있다. 즉, 식각 공정을 통해, 돌출 패턴(PD) 상의 캐소드(CAT)의 일부는 노출될 수 있다. 캐소드(CAT)의 일부를 노출하기 위해 관통된 무기막(IOF)의 일부 영역은 제3 오픈홀(OP3)로 지칭될 수 있고, 캐소드(CAT)의 일부를 노출하기 위해 관통된 유기막(OE)의 일부 영역은 제4 오픈홀(OP4)로 지칭될 수 있다. 제4 오픈홀(OP4)은 제3 오픈홀(OP3) 및 무기막(IOF)의 일부를 노출할 수 있다.
- [0104] 본 발명의 제3 실시예는 돌출 패턴(PD)을 구비함으로써, 전원 전극(POE)과 Evss 배선(EVL) 사이의 간격을 공정상 가능한 최소 간격으로 설정할 수 있다. 이에 따라, 전술한 저항의 영향을 저감할 수 있기 때문에, 안정적으로 전원 전압을 Evss 배선(EVL)에 공급할 수 있는 이점을 갖는다.
- [0105] <제4 실시예>
- [0106] 도 10은 본 발명의 제4 실시예에 따른 유기발광 표시장치를 나타낸 단면도이다. 제4 실시예를 설명함에 있어서, 제1 실시예와 실질적으로 동일한 구성 요소에 대한 설명은 생략하기로 한다.
- [0107] 도 10을 참조하면, 본 발명의 제4 실시예에 따른 유기발광 표시장치는 제1 기관(SUB1, 도 3)과 대향하는 제2 기관(SUB2)을 포함한다. 제2 기관(SUB2) 상에는, Evss 배선(EVL) 및 보조 Evss 배선(또는, 보조 전원 배선)(AEVL)이 형성된다. 컬러 필터(CF)는 제1 실시예와 같이 제2 기관(SUB2) 상에 위치할 수 있고, 필요에 따라

제1 기판(SUB1) 상에 위치할 수도 있다.

[0108] 보조 Evss 배선(AEVL)의 일면은 Evss 배선(EVL)과 직접 접촉되고, 타면은 도전 필러층(CFL)과 직접 접촉된다. 보조 Evss 배선(AEVL)은 Evss 배선(EVL)과 도전 필러층(CFL)과의 접촉 면적을 넓히기 위한 배선으로, Evss 배선(EVL)보다 넓은 면적을 갖도록 형성될 수 있다. 보조 Evss 배선(AEVL)은 Evss 배선(EVL)과 도전 필러층(CFL) 사이에 개재될 수 있다. 보조 Evss 배선(AEVL)은 Evss 배선(EVL) 및 컬러 필터(CF)를 덮도록 형성될 수 있으며, 발광 영역을 포함한 제2 기판(SUB2)의 전면에 넓게 형성될 수 있다. 보조 Evss 배선(AEVL)은 ITO(Indium Tin Oxide) IZO(Indium Zinc Oxide)와 같은 투명 도전물질로 형성될 수 있다.

[0109] 본 발명의 제4 실시예는 보조 Evss 배선(AEVL)을 이용함으로써 Evss 배선(EVL)과 도전 필러층(CFL) 사이에 충분한 접촉 면적을 확보할 수 있기 때문에, Evss 배선(EVL)과 도전 필러층(CFL) 사이의 접촉 불량을 최소화할 수 있다. 본 발명의 제4 실시예는 위치에 따른 전압 편차를 더욱 효과적으로 줄일 수 있어, 휘도 불균일 불량을 최소화할 수 있는 이점을 갖는다.

[0110] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술 사상을 일탈하지 아니하는 범위에서 다양하게 변경 및 수정할 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정해져야만 할 것이다.

**부호의 설명**

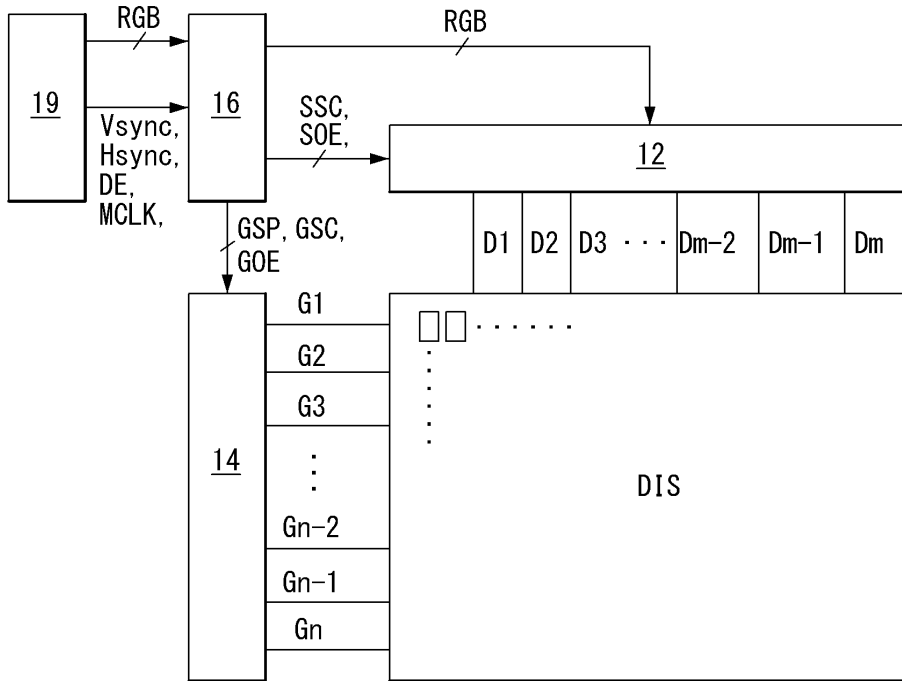
- |                     |                   |
|---------------------|-------------------|
| [0111] SUB1 : 제1 기판 | SUB2 : 제2 기판      |
| T : 박막 트랜지스터        | OLE : 유기발광 다이오드   |
| OL : 유기 화합물층        | BN : बैं크층        |
| SP : 스페이서           | CAT : 캐소드         |
| IOF : 무기막           | OF : 유기막          |
| EVL : Evss 배선       | CFL : 도전 필러층      |
| EVP : Evss 패드부      | POE : 전원 전극       |
| PD : 돌출 패턴          | CF : 컬러 필터        |
| SL : 실런트            | AEVL : Evss 보조 배선 |



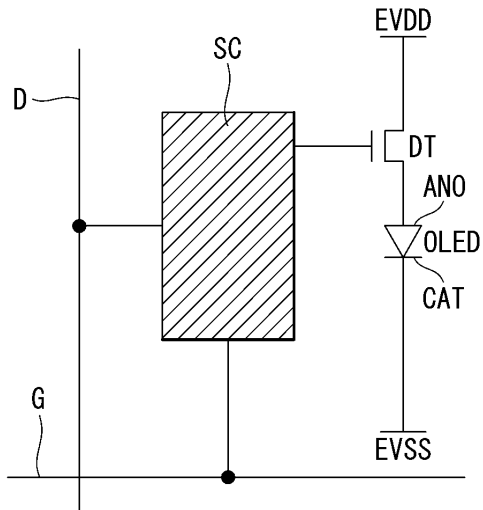
도면

도면1

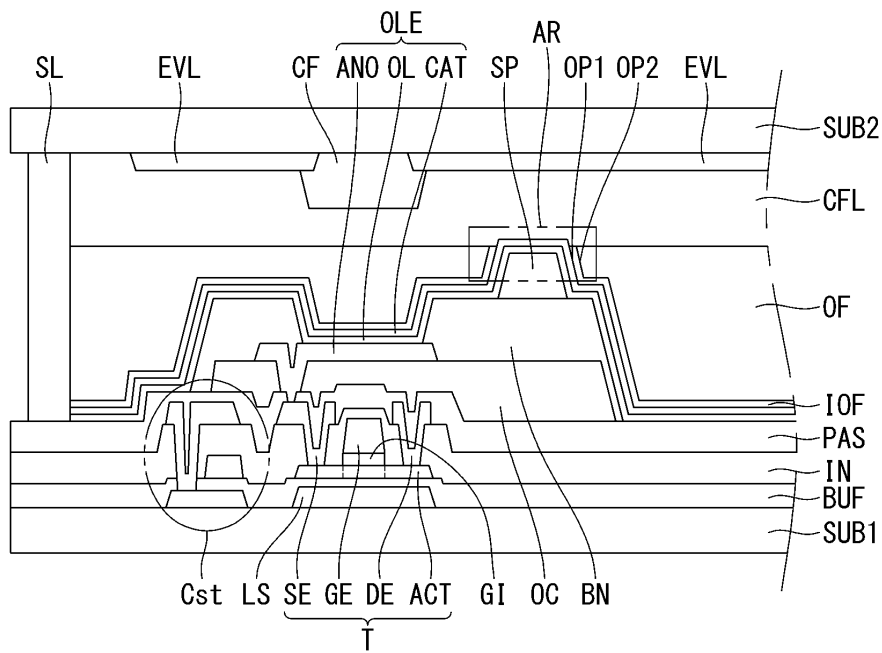
10



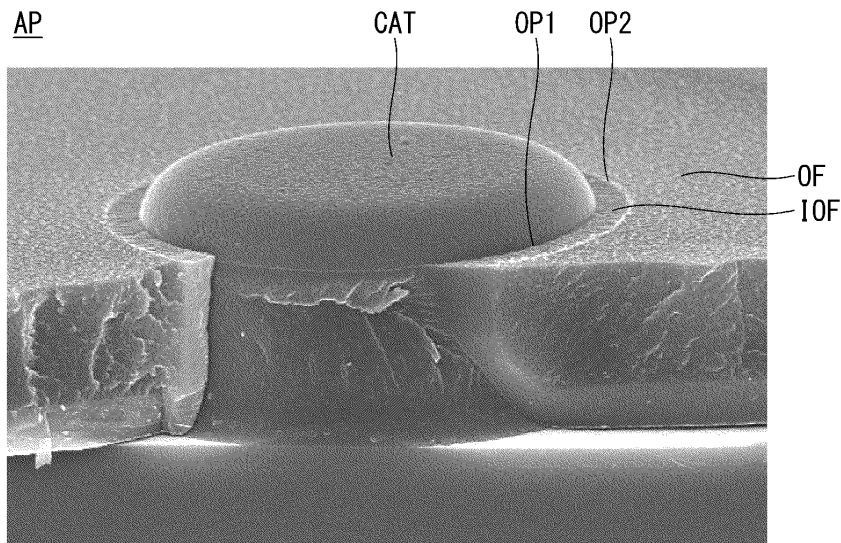
도면2



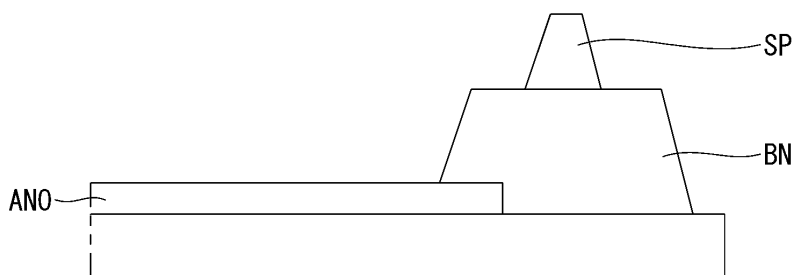
도면3



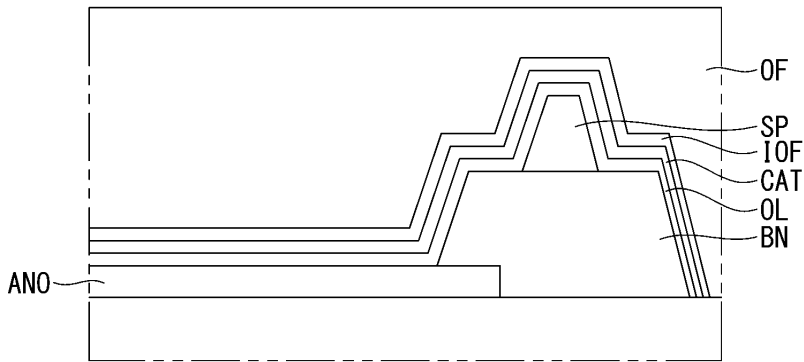
도면4



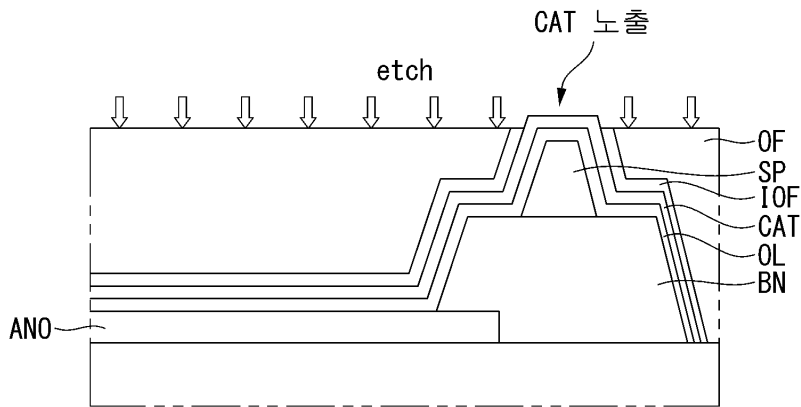
도면5a



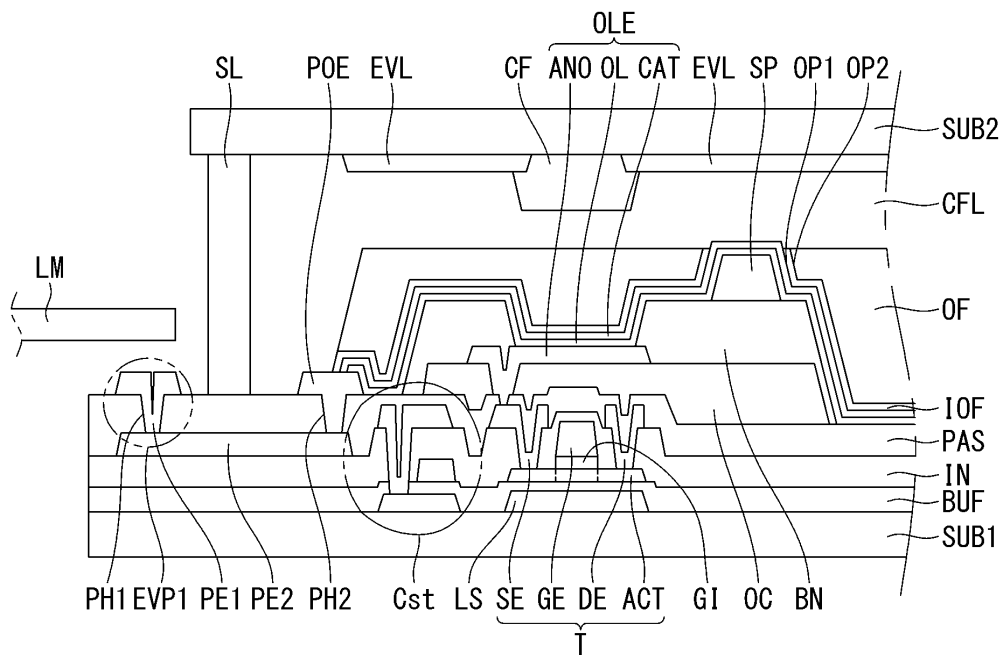
도면5b



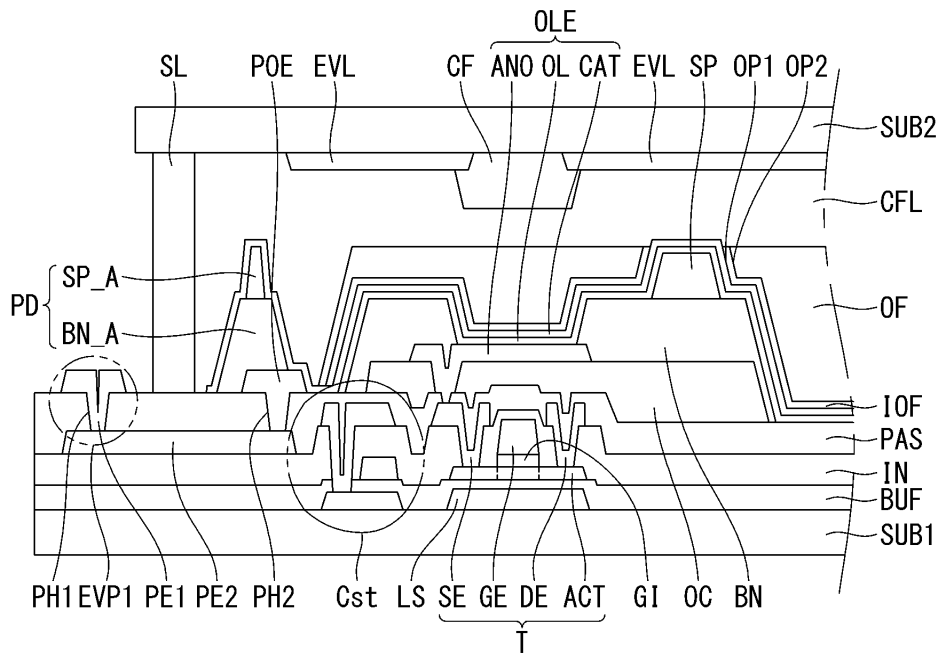
도면5c



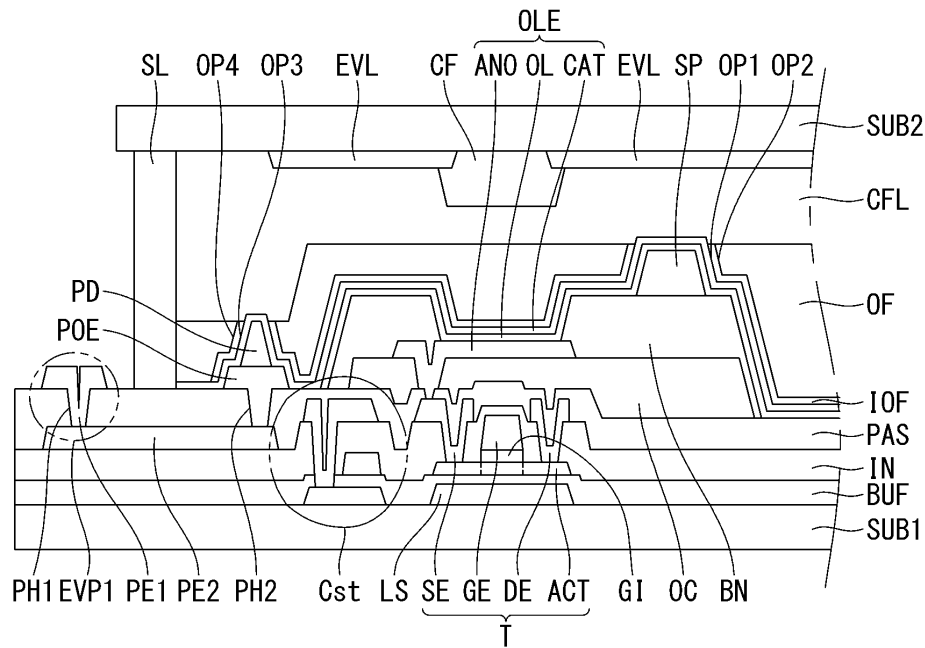
도면6



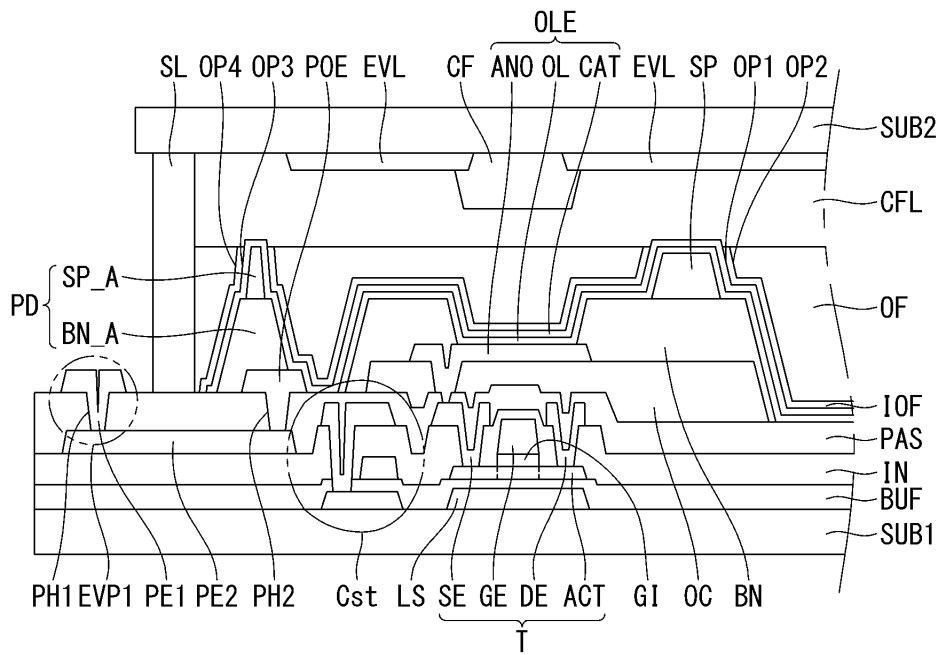
도면7



도면8



도면9



도면10

