

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3981281号

(P3981281)

(45) 発行日 平成19年9月26日(2007.9.26)

(24) 登録日 平成19年7月6日(2007.7.6)

(51) Int. Cl.	F I		
GO 1 R 31/28 (2006.01)	GO 1 R 31/28	G	
GO 1 R 31/3183 (2006.01)	GO 1 R 31/28	V	
	GO 1 R 31/28	Q	

請求項の数 10 (全 17 頁)

(21) 出願番号	特願2002-37202 (P2002-37202)	(73) 特許権者	000005821
(22) 出願日	平成14年2月14日 (2002.2.14)		松下電器産業株式会社
(65) 公開番号	特開2003-240822 (P2003-240822A)		大阪府門真市大字門真1006番地
(43) 公開日	平成15年8月27日 (2003.8.27)	(74) 代理人	110000040
審査請求日	平成16年11月16日 (2004.11.16)		特許業務法人池内・佐藤アンドパートナーズ
		(72) 発明者	吉田 貴輝
			大阪府門真市大字門真1006番地 松下電器産業株式会社内
		審査官	堀 圭史

最終頁に続く

(54) 【発明の名称】 半導体集積回路の設計方法及びテスト方法

(57) 【特許請求の範囲】

【請求項1】

複数のクロック系統を備えた半導体集積回路の設計方法において、
 少なくとも一部の前記クロック系統に対して、デューティーを変えたクロックを入力してシフト動作を行い、かつ、デューティーをそろえたクロックを入力してキャプチャ動作を行うことにより、スキャンテストを行うことを特徴とする半導体集積回路の設計方法。

【請求項2】

スキャンテストに際して供給されるスキャンクロックのデューティーを変更したテストパターンを生成するデューティー変更手段を用いて、

スキャンテストのシフト動作時にはデューティーを変更したクロックを前記各クロック系統に供給し、スキャンテストのキャプチャ動作時にはデューティーを揃えたクロック信号を前記各クロック系統に供給することを特徴とする請求項1に記載の半導体集積回路の設計方法。

【請求項3】

前記クロック系統に関する情報に基づいてクロックデューティーを変更することを特徴とする請求項2に記載の半導体集積回路の設計方法。

【請求項4】

前記半導体集積回路のレイアウト情報に基づいてクロックデューティーを変更することを特徴とする請求項3に記載の半導体集積回路の設計方法。

【請求項5】

10

20

前記各クロック系統に入力するクロックのデューティーを変更する機能を前記半導体集積回路に付与することにより、クロックデューティーを変更することを特徴とする請求項 1 に記載の半導体集積回路の設計方法。

【請求項 6】

スキャンテストにおいて、スキャンラインの情報に基づいてキャプチャ動作の同期を取ること

【請求項 7】

半導体集積回路に含まれる複数のスキャンラインに対して、各々クロックを入力してスキャン

テストを行う半導体集積回路のテスト方法において、
 少なくとも一部の前記スキャンラインに対して、スキャンテストのシフト動作時にはデューティーを変更したクロックを入力し、スキャンテストのキャプチャ動作時にはデューティーを揃えたクロックを入力して前記スキャンテストを行うことを特徴とする半導体集積回路のテスト方法。

10

【請求項 8】

スキャンテストに際して供給されるスキャンクロックのデューティーを変更したテストパターンを生成するデューティー変更手段により、デューティーを変更したクロックを前記スキャンラインに供給することを特徴とする請求項 7 に記載の半導体集積回路のテスト方法。

【請求項 9】

前記スキャンラインに関する情報に基づいてクロックデューティーを変更することを特徴とする請求項 7 または 8 に記載の半導体集積回路のテスト方法。

20

【請求項 10】

半導体集積回路のレイアウト情報に基づいてクロックデューティーを変更することを特徴とする請求項 7 ~ 9 のいずれか 1 項に記載の半導体集積回路のテスト方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路の設計及びテスト方法、特に大規模な集積回路のクロック動作時の電力消費に伴い発生する電圧降下、信号線間の影響による誤動作等の物理的な影響を抑え、集積回路を効率的かつ高精度でテストすることが可能な、半導体集積回路の設計及びテスト方法に関する。

30

【0002】

【従来の技術】

半導体集積回路のスキャンテストにおいては、スキャン設計された回路中の各スキャンラインに対してクロックを供給することにより、信号を伝播させ、回路中に存在する故障を検出する。すなわち図 25 に示すように、スキャンフリップフロップ 101 ~ 103 は第 1 スキャンライン 107 上のスキャンチェーンを構成し、スキャンフリップフロップ 104 ~ 106 は第 2 スキャンライン 108 上のスキャンチェーンを構成し、クロック 109 が供給されることによりスキャン動作を行う。

【0003】

図 26 に示すように、スキャンラインに入力するテストパターン 113 は、一般的に回路図情報 111 から ATPG 112 と呼ばれるツールにより自動生成される。

40

【0004】

一般的に、各スキャンラインに供給されるクロックは同一であり、同時に供給され、信号も同時にスキャンライン上をシフトしていく。スキャン用のクロックのパターンは、図 25 に示すように、回路中に取りこむ信号値を設定するシフトイン、回路中に実際に信号値を取り込むキャプチャ、信号値を取り込んだ結果を外部に取り出すためのシフトアウトから成る。このように同時に回路内のスキャンフリップフロップがスイッチングするため、近年の集積回路の大規模化、微細化に伴い、スキャン動作中の回路の消費電力が増加し、電圧降下及び信号線間の影響と思われる誤動作の発生が増加している。

50

【0005】

スキャン動作中の消費電力を抑える方法として、特開平10-197603号公報には、回路中にクロック制御回路を設け、複数のスキャンラインにクロックが同時に入らないようにすることが記載されている。図27に概略を示すように、3本のスキャンライン121、122、123が、グループAとグループBに分けられており、それぞれに入力されるクロック124、125は、クロック制御回路126により、両グループに同時に供給されないように制御される。これにより消費電力を低減させる。

【0006】

但し、同図に示すように、3本のスキャンライン121、122、123間が接続され、グループAの回路とグループBの回路が相互に関連を持っている場合、キャプチャを同時に入力しないと正しい結果が得られなくなる。そのため、同時にクロックが供給されることになり、結局、消費電力が抑制されないという問題は残る。

【0007】

このような問題を解決するために、本出願人の先願である特願平11-347062号には、図28に示すように、スキャンライン122とスキャンライン123間が接続されず、グループAとグループBの回路が相互に影響しない回路設計を行うことにより、キャプチャ動作が同時に行われることを回避して、消費電力を抑える方法が記載されている。

【0008】

【発明が解決しようとする課題】

しかしながら、上記従来の技術は、いずれも回路制約が必要であり、また、クロック制御が困難であり、現実的に導入するには解決すべき問題があった。

【0009】

本発明は、回路制約を必要とせず、クロック動作時の消費電力を抑えて、高精度でテストすることが可能な、半導体集積回路の設計方法、及びテスト方法を提供することを目的とする。

【0010】

【課題を解決するための手段】

本発明の半導体集積回路の設計方法は、複数のクロック系統を備えた半導体集積回路の設計方法において、少なくとも一部の前記クロック系統に対して、デューティーを変えたクロックを入力してシフト動作を行い、かつ、デューティーをそろえたクロックを入力してキャプチャ動作を行うことによりスキャンテストを行うことを特徴とする。

【0011】

好ましくは、スキャンテストに際して供給されるスキャンクロックのデューティーを変更したテストパターンを生成するデューティー変更手段を用いて、スキャンテストのシフト動作時にはデューティーを変更したクロックを前記各クロック系統に供給し、スキャンテストのキャプチャ動作時にはデューティーを揃えたクロック信号を前記各クロック系統に供給する。また好ましくは、前記クロック系統に関する情報に基づいてクロックデューティーを変更する。あるいは、前記半導体集積回路のレイアウト情報に基づいてクロックデューティーを変更してもよい。

【0012】

あるいは、前記各クロック系統に入力するクロックのデューティーを変更する機能を前記半導体集積回路に付与することにより、クロックデューティーを変更する構成としてもよい。

【0013】

好ましくは、スキャンテストにおいて、スキャンラインの情報に基づいてキャプチャ動作の同期を取る構成とする。

【0014】

本発明の半導体集積回路のテスト方法は、半導体集積回路に含まれる複数のスキャンラインに対して、各々クロックを入力してスキャンテストを行う半導体集積回路のテスト方法において、少なくとも一部の前記スキャンラインに対して、スキャンテストのシフト動

作時にはデューティを変更したクロックを入力し、スキャンテストのキャプチャ動作時にはデューティを揃えたクロックを入力して前記スキャンテストを行うことを特徴とする。

【 0 0 1 5 】

好ましくは、スキャンテストに際して供給されるスキャンクロックのデューティを変更したテストパターンを生成するデューティ変更手段により、デューティを変更したクロックを前記スキャンラインに供給する。また好ましくは、前記スキャンラインに関する情報に基づいてクロックデューティを変更する。あるいは、半導体集積回路のレイアウト情報に基づいてクロックデューティを変更してもよい。

【 0 0 1 6 】

【 発明の実施の形態 】

本発明の半導体集積回路の設計及びテスト方法は、スキャン回路に供給するテストパターンに加工を加えることにより、従来技術のような回路対策を行うこと無く、スキャン動作中の消費電力を抑えることを可能とする。具体的にはクロックのデューティを変更することにより、複数のスキャンライン上の回路が一度に同時に動作することを避ける方法である。この方法は、スキャン回路だけでなく、同様のクロック同期の回路にも適用可能である。

【 0 0 1 7 】

クロックデューティの設定に関して、図 1 を参照して概要を説明する。図 1 の波形 (a) と波形 (b) は、従来例において異なるスキャンラインに用いられるクロック波形を示す。図 1 の波形 (c)、波形 (d)、波形 (e) は、本発明において異なるスキャンラインに用いられるクロック波形を示す。波形 (a) と波形 (b) は、互いに同一のクロックであり、同一サイクルで変化し、且つクロックデューティが同じである。仮にクロックの立ち上がりで動作する場合は、回路は同時に動作することになる。従って、複数のスキャンラインにそれぞれ波形 (a) と波形 (b) を入力する場合は、スキャンライン上の回路は同時に動作する。

【 0 0 1 8 】

一方本発明の波形 (c)、波形 (d)、波形 (e) は、サイクルは同一（クロックの立ち下がるサイクルは同一）であるが、各々立ち上がる位置が異なっている。波形 (c)、波形 (d) は、立ち上がり位置がサイクルごとに同じであるが、波形 (e) は、サイクルによってクロックの立ち上がる位置が異なる例である。波形 (c) と波形 (d) とは、クロックデューティが異なる。仮に回路がクロックの立ち上がりで動作する場合、複数のスキャンラインに各々波形 (c) と波形 (d) を入力すれば、スキャンライン上の回路は、同時に動作しないことになる。本発明は、この考え方を導入して構成される。以下、本発明の実施の形態について、図面を参照して説明する。

【 0 0 1 9 】

（実施の形態 1）

図 2 は、本発明の実施の形態 1 におけるスキャンテスト方法を示す。この方法においては、回路中に存在する複数のスキャンラインに対して、各々デューティの異なるクロックを入力する。スキャンフリップフロップ 1 a ~ 1 c により構成されるスキャンライン A 2 にはクロック CLK 1 が、スキャンフリップフロップ 1 d ~ 1 f により構成されるスキャンライン B 3 にはクロック CLK 2 が供給される。

【 0 0 2 0 】

この例では、シフトインとシフトアウトにおいて、クロック CLK 1 とクロック CLK 2 ではデューティが異なっている。つまり、シフト時にはスキャンライン A 2 とスキャンライン B 3 は同時には動作せず、時間がずれて動作するため、消費電力が抑えられる。これによりスキャン動作時に消費電力によるスキャン動作の不具合を抑えることができ、スキャンテストの精度が向上する。

【 0 0 2 1 】

本実施の形態では、キャプチャ時のクロックのパターンは、同一デューティとなっている。スキャンライン A 2、スキャンライン B 3 にそれぞれ関連する回路が相互に接続関係を

10

20

30

40

50

有さない場合は、キャプチャ時のクロックのパターンが同一デューティではなくてもよい。

【0022】

本実施の形態の方法は、スキャンテストに限らず、通常の同期設計回路に対しても適用出来る。例えば図3に示すように、フリップフロップ4を含む複数のクロック系統A5、およびクロック系統B6に各々入力されるクロックのデューティを変更して、クロックCLK1とクロックCLK2を用いることにより、スキャンテストの場合と同様に、消費電力を抑える効果を得ることができる。

【0023】

(実施の形態2)

図4は、本発明の実施の形態2におけるテストパターンを自動生成するフローを示す。スキャンラインに入力するテストパターンは、図26に示したように、ATPGと呼ばれるツールにより自動生成する。本実施の形態においては、図4に示すように、回路情報7に基づき、クロックデューティ加工し、ATPG8を行い、クロックデューティ加工されたテストパターン9を自動生成する。

【0024】

図4のフローにより、例えば図2に示したクロックCLK1、CLK2を自動生成することができる。このようにすれば、回路情報に応じてクロックのデューティを自動的に変更することが可能になり、消費電力を抑え、効率的且つ高精度なテストが容易になる。

【0025】

回路情報により、テストパターンが入力されるそれぞれのスキャンラインに関連する回路がお互いに接続関係を有さないことが示されている場合は、キャプチャ時のクロックが同一デューティではなくてもよい。

【0026】

(実施の形態3)

本発明の実施の形態3におけるテスト方法は、回路中のスキャンラインの情報に基づいてスキャンクロックのデューティを変更する方法を含む。例えば図5に示すように、LSI10の回路中に、 n 本の第1～第 n スキャンラインSL1～SL n がある場合を想定する。図6は、図5の各スキャンラインに供給されるクロックを示す。図6の各クロックは、1サイクルを $(n+1)$ 等分して、スキャンラインごとに、 $1/(n+1)$ サイクルずつ立上がりをずらして構成されている。但し、クロックとしては最小の信号幅以上でないと、クロックが正しく入力されない場合もあるので、図7に示すように、サイクル内の信号幅制限にかからない部分を $(n+1)$ 等分してもよい。

【0027】

また、敢えてスキャンラインごとに $(n+1)$ 等分して、細かくデューティを変えてクロックをずらさなくても、スキャンラインをグループ分けして、そのグループ毎に1サイクルを分割しても、消費電力削減の効果は、クロックデューティを変えない場合に比べて高い。図8は、回路全体を3つのブロックに分けた例を示す。第1、第2スキャンラインSL1、SL2はブロックA11に、第3、第4スキャンラインSL3、SL4はブロックB12に、第5、第6スキャンラインSL5、SL6はブロックC13にそれぞれ含まれている。この場合、お互いに影響しやすいブロック内のスキャンラインに対してのみクロックデューティを変更してもよい。例えば、ブロックA11内の第1、第2スキャンラインSL1、SL2に入力するスキャンクロック間でデューティをずらし、第3～第6スキャンラインSL5、SL6との関係は調整しない。

【0028】

本実施の形態によれば、消費電力を下げるデューティの変え方を精度よく、且つ効率的に行うことが可能になる。

【0029】

図9には、スキャンクロックのデューティのずらし方について示す。以上に述べた実施の形態では、スキャンクロックCLK1、CLK2のように、それぞれのクロックにおいて

10

20

30

40

50

一律にずらす場合を示したが、スキヤククロックCLK3のように同一スキヤククロック内のサイクルによってずらす場合もある。また、スキヤククロックCLK4のように、シフト(1)と次のシフト(2)でクロックデューティを変える場合もある。

【0030】

(実施の形態4)

図10は、本発明の実施の形態4におけるテストパターンを生成する方法を示す。本実施の形態においては、回路情報14の他に、スキヤクラインの物理的な位置関係及び消費電力に影響を及ぼす電源配線等のマスク情報を含めたレイアウト情報15を参照してATPG16によりスキヤククロックのデューティを変更し、テストパターン17を生成する。

【0031】

消費電力と言う観点からは、電力を供給する電源配線との関連が考えられるが、スキヤクラインが相互に近接していたり、スキヤクラインを含むレイアウトブロックが相互に近接していると、同一の電源配線から電源を供給することになり、消費電力への影響も大きい。スキヤクラインが相互に、レイアウト的、また、物理的に近接している場合は、スキヤクラインに入力するスキヤククロックのデューティを変更すれば、影響が少なくなる。逆にスキヤクラインが相互に離れていれば、デューティを変更する必要性が少なくなる。この方法を用いることにより、消費電力を下げるデューティの換え方をさらに精度よく、且つ効率的に行うことが可能になる。

【0032】

さらに最近の大規模LSIでは、IR-DROPやクロストークと言った物理現象がLSIの動作不具合を発生される原因となってきたが、スキヤクテストにおいても同様の不具合が発生する可能性がある。スキヤクラインが相互に近接していると、このような物理現象を発生する可能性が高い。スキヤクラインが相互に物理的に近接していたり、同一電源配線に関連する場合には、クロックデューティを変更する等の対策を講じることにより、消費電力以外の物理現象を低減する効果を期待できる。レイアウト情報としては、具体的なIR-DROP値やクロストーク現象判定後のそれぞれの起こり易さの情報を用いる場合もあり得る。

【0033】

本実施形態の方法は、スキヤクテストに限らず、通常の同期設計回路に対しても適用出来る。図3において示したように、複数のクロック系統A、B間で、レイアウト情報を考慮して、入力するクロックデューティを変更することにより、スキヤクテストの場合と同様に、消費電力を抑える効果を得ることが出来る。

【0034】

(実施の形態5)

本発明の実施の形態5におけるテスト方法は、スキヤククロックのデューティを変えたスキヤクパターンを生成するために、上記の実施の形態とは異なる方法を用いる例である。以上に述べた実施の形態では、例えば図2に示した構成のように、スキヤクラインに供給するスキヤククロックのデューティを変えたテストパターンをLSIの外部で生成して、LSIに対して供給する方法が示された。つまり、図11に示すように、LSI18の外部で、デューティ加工手段19によりスキヤククロックのデューティを変更する例である。これらの例では、LSI18に、それぞれデューティの異なる複数種類のスキヤククロック20が供給された。

【0035】

一方本実施の形態においては、図12に示すように、LSI21の内部に、テストされるべき回路を含むブロック22に加えて、クロックデューティを変更する回路であるデューティ加工部23を内蔵している。デューティ加工部23で複数のスキヤクラインに供給するスキヤククロックのデューティを加工し、生成したデューティの異なる複数種類のスキヤククロック20を複数のスキヤクラインにそれぞれ供給する。LSIの内部にクロックデューティを変更する回路を内蔵することにより、スキヤク動作においてLSIに供給するテストパターンを加工すること無しに、デューティを自動的に変更することが可能とな

10

20

30

40

50

る。

【0036】

例えば、スキャンベースのロジックBISTのように、自己診断回路を生成する場合、クロックデューティを変更する回路を合わせて生成することにより、スキャン動作時に同様の消費電力を削減することが可能になり、テスト精度が向上する。ロジックBISTでは、内部動作が外部から見えないため、このような処置ケアは必要不可欠である。

【0037】

図13に、具体的な回路の概要を示す。LSI21の内部に内蔵したデューティ加工部23を介して、スキャンラインSL1、SL2...SLnに対して、各々クロックCLK1、CLK2、...CLKnを供給する。デューティ加工部23は、LSI外部から与えられた、クロックデューティに関係の無い単一クロックCLKbを加工して、クロックデューティを変更し、クロックCLK1、CLK2、...CLKnを発生する。

10

【0038】

一方、LSI外部から複数クロックを供給する場合は、前述の図11のように、LSIの外部でデューティを加工することが可能であるが、図14に示すように、LSI21の外部から複数クロックCLKb1、CLKb2を与え、且つLSI内部にデューティ加工部24を含む構成とすることもできる。

【0039】

図15には、図13の構成におけるデューティ加工部23の回路の例を示す。単一の基本クロックCLKbを入力とし、第1～第3スキャンラインに対して供給される、デューティを変更したスキャンクロックCLK1、CLK2、CLK3を生成する。第1スキャンライン用のスキャンクロックCLK1は、基本クロックCLKbのみが入力されるANDゲート25の出力で構成される。スキャンクロックCLK2は、基本クロックCLKbおよび遅延回路26の出力が入力されるANDゲート27の出力で構成される。スキャンクロックCLK3は、基本クロックCLKbおよび遅延回路28の出力が入力されるANDゲート29の出力で構成される。このようにして、スキャンクロックCLK2、CLK3は、遅延回路26、28により基本クロックCLKbのデューティが加工された、異なるデューティを持つ。なおこの例は、それぞれの信号が同一サイクルで動作する場合の回路例である。

20

【0040】

図16は、図15の構成に更に、スキャンキャプチャを同一にするための切替回路30、31、32を追加した例を示す。NT信号によりキャプチャとシフトの切り替えを行い、キャプチャ時は、全てのスキャンラインに対して基本クロックCLKbが供給され、同一クロックとなる。

30

【0041】

図17に、図15、あるいは図16の構成におけるスキャン動作波形を示す。外部から単一の基本クロックCLKbが与えられ、デューティ加工部により、シフト時には、同一周期でデューティの異なるスキャンクロックCLK1、CLK2、CLK3が、第1～第3スキャンラインにそれぞれに供給される。26aは遅延回路26による遅延時間を、28aは遅延回路28による遅延時間を示す。キャプチャ時には、NT信号によって切り替えられて、全てのスキャンラインに、基本スキャンクロックCLKbと同一のクロックが供給される。

40

【0042】

図18は、図11、図14に示したように、LSI外部から複数クロックを供給する場合における対策を施した回路の例を示す。LSI33の内部には、第1～第nスキャンラインに対して、ANDゲート34を介してスキャンクロックが供給される。各ANDゲート34には、LSI33外部から、クロックCLK01、CLK02、CLK0nが供給される。全てのANDゲート34の一方の入力には、同期基準クロックとしてクロックCLK01が供給される。

【0043】

50

LSI 33 への入力信号は LSI テスターから供給されるが、テスターのスキューに起因して、意図した通りの入力信号が供給されず、複数のそれぞれの信号の同期が取れない場合もあり得る。この場合、スキャンクロックのサイクルがずれて、スキャンテストが正しく出来ないという弊害も発生し得る。図 18 の構成は、各スキャンラインに対して供給される信号のサイクルが一致するように、信号の同期をとるための回路として AND ゲート 34 が追加された例である。この回路により、LSI 外部でデューティーを加工したスキャンクロックを、確実に同一サイクルでスキャンラインに供給することが可能になる。

【0044】

以上の本実施の形態に示した方法は、スキャンテストに限らず、通常の同期設計回路に対しても適用出来る。LSI 内部のクロックデューティーを変更する回路を備え、複数のクロック系統間で、入力されるクロックのデューティーを変更することにより、スキャンテストと同様に消費電力を抑える効果を得ることができる。

10

【0045】

(実施の形態 6)

図 19、図 20 は、本発明の実施の形態 6 における、キャプチャ時に同期を取るための回路を LSI 回路中に内蔵した例を示す。すなわちスキャン設計において、シフト動作時は、デューティーが変わっていたり、遅延していたりしていても、キャプチャ時には同期が取られるように構成した例である。

【0046】

図 19 の構成では、LSI 35 内に、デューティーを加工するとともに、キャプチャ時に同期を取るためのデューティー加工部 36 を有する。デューティー加工部 36 では、LSI 35 の外部から供給されるクロック CLK b を加工して、デューティーの異なるクロック CLK 1、CLK 2、... CLK n を作成し、各スキャンライン SL 1、SL 2、... SL n に供給する。それとともに、シフト動作時にはスキャンラインの段数分だけカウントし、キャプチャ時に同期を取り、カウントリセットし、再びシフト時にスキャンラインの段数をカウントする。

20

【0047】

図 20 は、スキャンキャプチャに際して、NT 信号により切替回路 37 を動作させて、基本クロックと同一のクロック CLK 1 が全てのスキャンラインに供給される回路例を示す。すなわち、スキャンキャプチャ時には、基本クロックの信号が全てのスキャンラインに与えられることにより、キャプチャ時の同期が取られる構成である。

30

【0048】

スキャンラインがお互いに関係し合わない場合は、キャプチャ時もクロックのデューティーを変えたままでよい。

【0049】

(実施の形態 7)

本発明の実施の形態 7 におけるテスト方法について、図 21、図 22 を参照して説明する。LSI のテストは、テスターから LSI に対して信号を与え、LSI から出力される信号を確認することにより行われる。

【0050】

図 21 は、テスター 39 からデューティーの異なる複数のクロック信号 40 を LSI 38 のスキャンラインに与え、LSI 38 をテストする例を示している。テスター 39 にデューティーを変える機能をもたせることにより、LSI 38 に供給するクロックデューティーを変更したパターンを自動生成する。テスター 39 にデューティーを変える機能を追加することにより、設計段階のケアを削減しつつ、LSI 38 のスキャン時における消費電流を低減させ、テスト精度を高めることができる。

40

【0051】

図 22 は、スキャンライン等の回路情報を、デューティー変更の情報 41 としてテスター 39 に供給する例を示す。デューティー変更の情報に基づき、それに応じてデューティーを変えたスキャンクロックを自動生成し、テスター 39 からデューティーの異なるクロック信号を L

50

LSI 38のスキャンラインに供給し、LSI 38をテストする。テスター39に供給するデューティ変更の情報41として、レイアウト情報からのスキャンラインのデューティの変え方の情報を含ませたり、レイアウト情報そのものを含ませることにより、消費電力を下げるデューティの変え方をさらに精度よく、且つ効率的に行うことが可能になる。

【0052】

(実施の形態8)

本発明の実施の形態8におけるテスト方法について、図23、図24を参照して説明する。

【0053】

図23は、テスターではなく、評価ボード42上でデューティの異なる複数のクロック信号40を作成してLSI 38のスキャンラインに供給し、LSI 38をテストする例を示す。評価ボード42にデューティを変える機能をもたせることにより、LSI 38に供給するクロックデューティを変更したパターンを自動生成する。この場合、テスターから評価ボード42に供給する信号については、デューティを加工する必要は無い。評価ボード42にデューティを変える機能を追加することにより、設計段階のケアを削減しつつ、LSI 38でのスキャン時の消費電流を低減させ、テスト精度を高めることができる。

【0054】

図24は、スキャンライン等の回路情報を、デューティ変更の情報41として評価ボード42に供給する例を示す。デューティ変更の情報41に基づき、それに応じてデューティを変えたスキャンクロックを自動生成し、評価ボード42からデューティの異なる複数のクロック信号40をLSI 38のスキャンラインに供給し、LSI 38をテストする。評価ボード42に供給するデューティ変更の情報41として、レイアウト情報からのスキャンラインのデューティの変え方の情報を含ませたり、レイアウト情報そのものを含ませることにより、消費電力を下げるデューティの変え方をさらに精度よく、且つ効率的に行うことが可能になる。

【0055】

【発明の効果】

本発明によれば、デューティを変えたクロックを入力してスキャンテストを行うことにより、クロック動作時の電力消費に伴い発生する電圧降下、信号線間の影響による誤動作等の物理的な影響を抑え、集積回路を効率的かつ高精度でテストすることが可能になる。

【図面の簡単な説明】

【図1】 本発明の基本的な概念を説明するためのクロック波形を示す図

【図2】 本発明の実施の形態1におけるスキャンテストに用いられるクロックの一例を示す図

【図3】 本発明の実施の形態1におけるクロックを、通常の同期回路に適用する場合を示す図

【図4】 本発明の実施の形態2におけるテストパターンを自動生成するフローを示す図

【図5】 本発明の実施の形態3における、スキャンラインの情報に基づいてクロックデューティを変更する方法を説明するための図

【図6】 本発明の実施の形態3における、スキャンラインの情報により変更されたクロックデューティを示す図

【図7】 本発明の実施の形態3における、スキャンラインの情報によりクロックデューティを変更する方法に関して説明するための図

【図8】 本発明の実施の形態3における、スキャンラインの情報によりクロックデューティを変更する他の方法について示す図

【図9】 本発明の実施の形態3におけるクロックデューティのずらし方を示す図

【図10】 本発明の実施の形態4における、レイアウト情報に基づき、クロックのデューティを変更してスキャンパターンを自動生成するフローを示すフローチャート

【図11】 本発明の実施の形態1～4における、LSIの外部でスキャンクロックのデューティを変更する方法を説明する図

10

20

30

40

50

【図12】 本発明の実施の形態5における、LSIの内部にクロックデューティを変更する回路を内蔵させる方法を説明する図

【図13】 図12の構成を実現するための具体的な回路の概要を示す図

【図14】 本発明の実施の形態5における、LSIの内部にクロックデューティを変更する回路を内蔵し、LSI外部からは複数クロックを入力する方法を説明する図

【図15】 本発明の実施の形態5におけるクロックデューティを加工する回路例を示す図

【図16】 本発明の実施の形態5における、クロックデューティを加工し、かつスキャンキャプチャを同一クロックにするための回路例を示す図

【図17】 本発明の実施の形態5におけるスキャン動作波形を示す図

10

【図18】 本発明の実施の形態5における回路例に対して、信号の同期をとる回路を追加した例を示す図

【図19】 本発明の実施の形態6におけるスキャンテストにおいて、スキャンラインの情報に基づいてキャプチャ動作の同期を取る機能を有する回路例を示す図

【図20】 本発明の実施の形態6における、NT信号によりスキャンキャプチャの動作を制御する回路例を示す図

【図21】 本発明の実施の形態7における、テスターからデューティの異なるクロック信号をLSIに与えてテストする例を示す図

【図22】 図21の方法においてテスターにデューティ変更の情報を与える例を示す図

【図23】 本発明の実施の形態8における、評価ボードからデューティの異なるクロック信号をLSIに与えてテストする例を示す図

20

【図24】 図23の方法においてテスターにデューティ変更の情報を与える例を示す図

【図25】 従来例のスキャンテストの方法を示す図

【図26】 従来例のATPGによりスキャンパターンを自動生成するフローを示す図

【図27】 従来例のスキャンテストにおける消費電力を抑制する回路対策例を示す図

【図28】 従来例のスキャンテストにおける消費電力を抑制する他の回路対策例を示す図

【符号の説明】

1a~1f スキャンフリップフロップ

2、3 スキャンラインA、B

30

4 フリップフロップ

5、6 クロック系統A、B

7、14 回路情報

8、16 ATPG

9、17 テストパターン

10、18、21、33、35、38 LSI

SL1~SLn 第1~第nスキャンライン

11~13 ブロックA~C

15 レイアウト情報

19 デューティ加工手段

40

20 スキャンクロック

22 ブロック

23、24、36 デューティ加工部

25、27、29、34 ANDゲート

26、28 遅延回路

30、31、32、37 切替回路

26a、28a 遅延時間

39 テスター

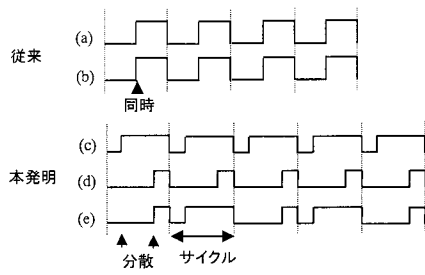
40 クロック信号

41 デューティ変更の情報

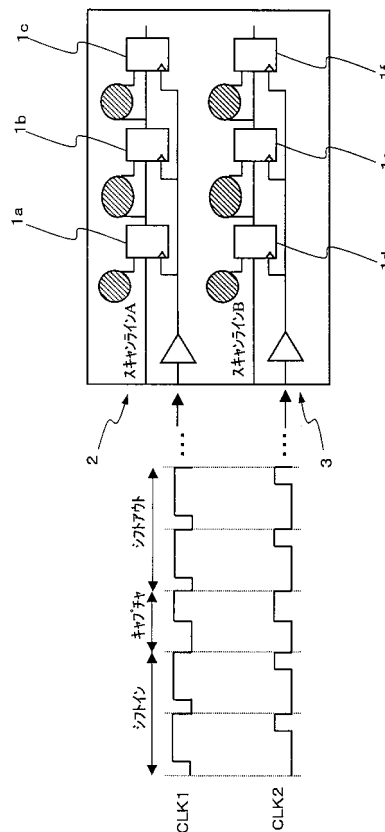
50

- 4 2 評価ボード
- 1 0 1 ~ 1 0 6 スキャンフリップフロップ
- 1 0 7 第 1 スキャンライン
- 1 0 8 第 2 スキャンライン
- 1 0 9 クロック
- 1 1 3 テストパターン
- 1 1 2 A T P G
- 1 1 1 回路情報
- 1 2 1、1 2 2、1 2 3 スキャンライン
- 1 2 4、1 2 5 クロック
- 1 2 6 クロック制御回路
- C L K b、C L K b 1、C L K b 2 クロック
- C L K 1、C L K 2、C L K 3、C L K 4、C L K n クロック

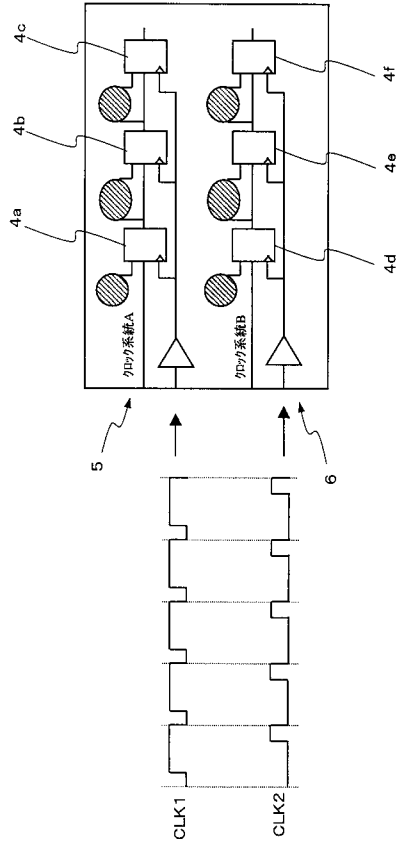
【 図 1 】



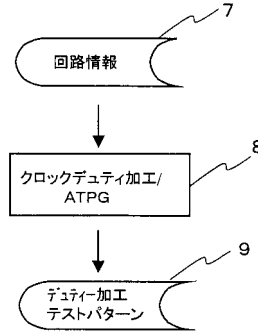
【 図 2 】



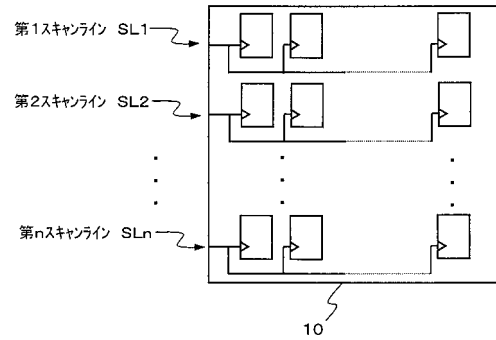
【図3】



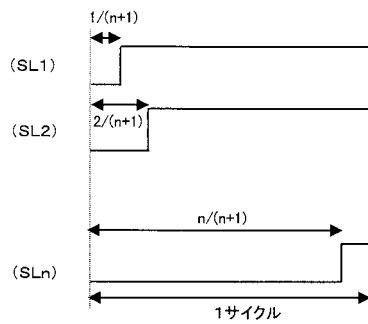
【図4】



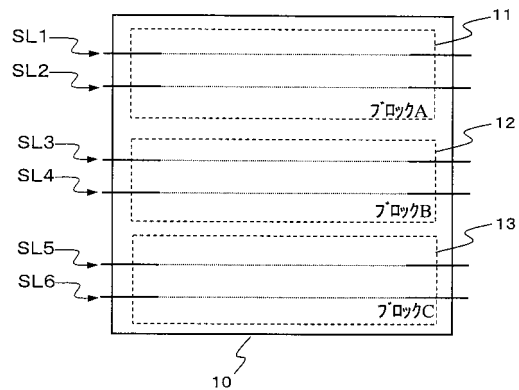
【図5】



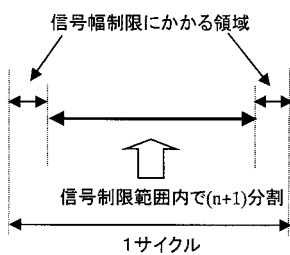
【図6】



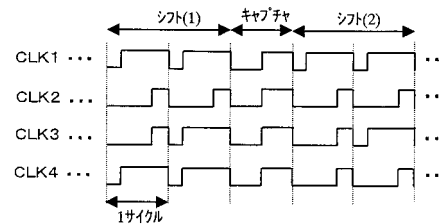
【図8】



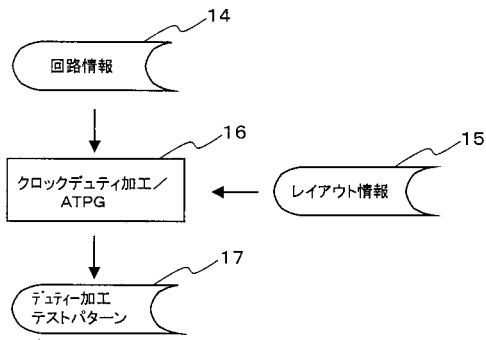
【図7】



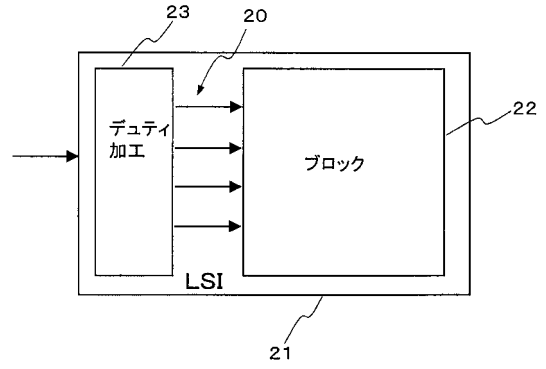
【図9】



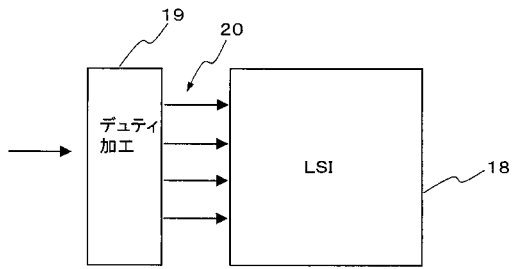
【図10】



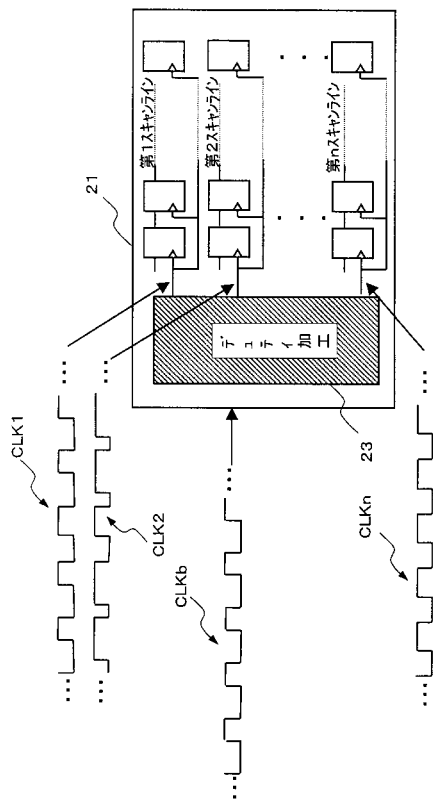
【図12】



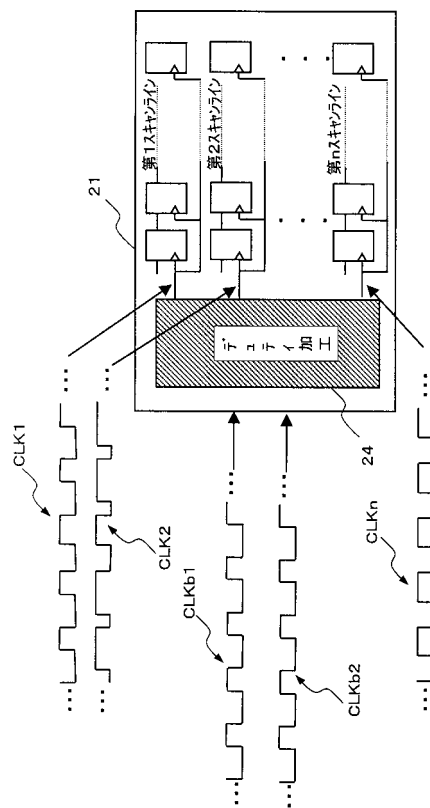
【図11】



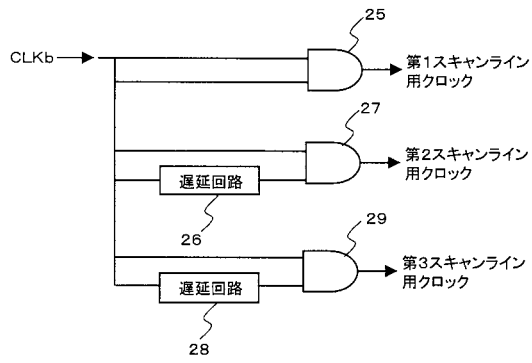
【図13】



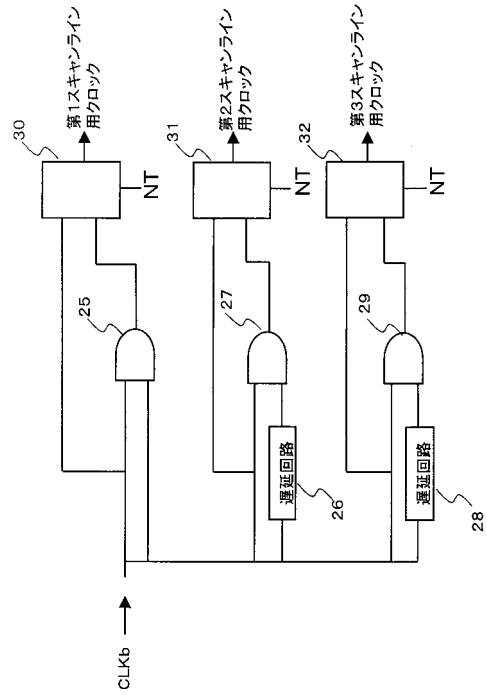
【図14】



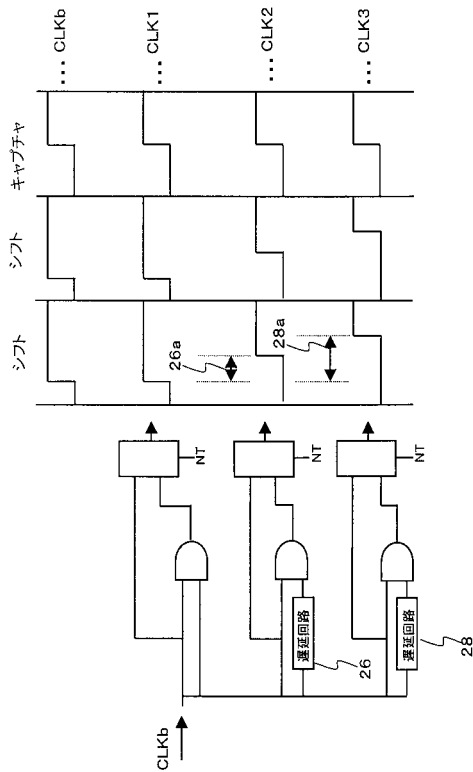
【 図 1 5 】



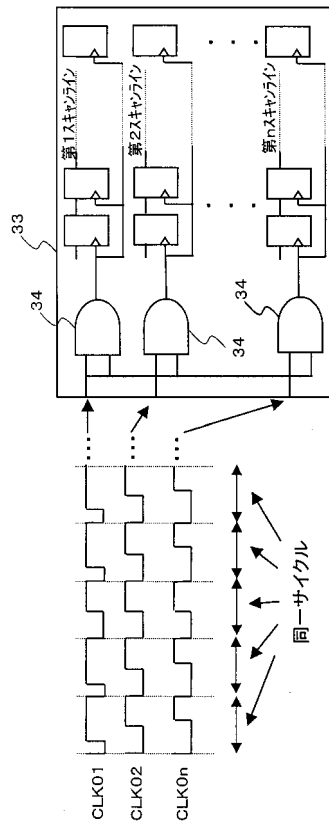
【 図 1 6 】



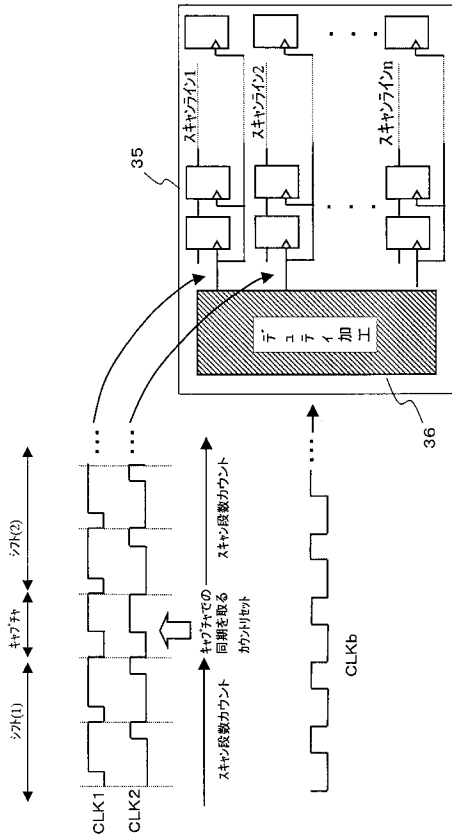
【 図 1 7 】



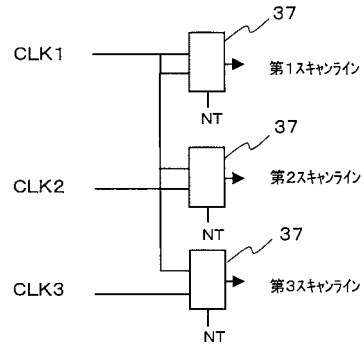
【 図 1 8 】



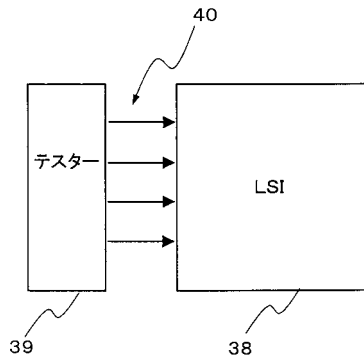
【図19】



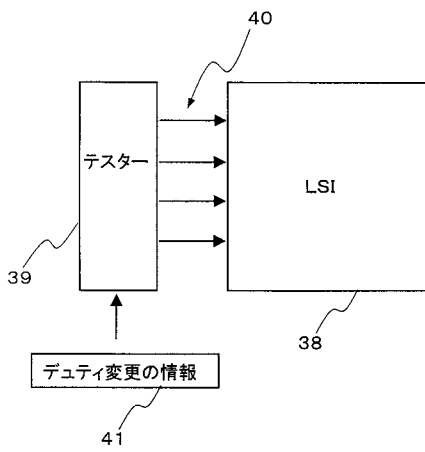
【図20】



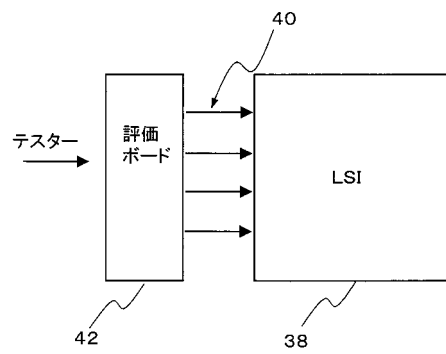
【図21】



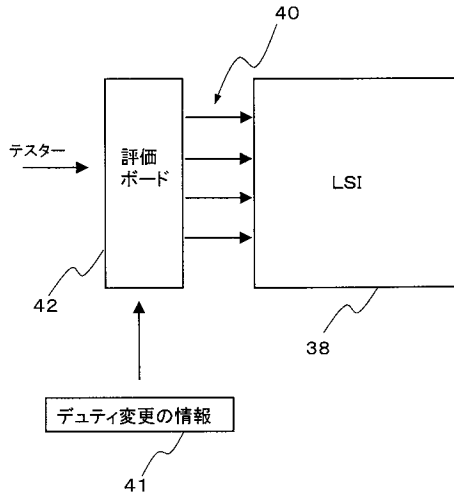
【図22】



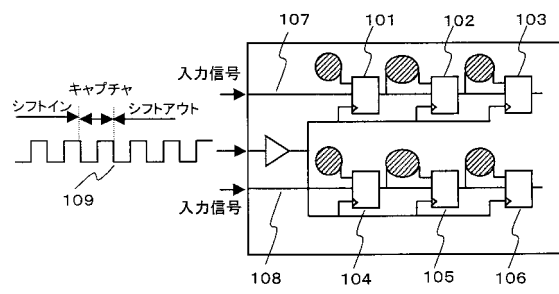
【図23】



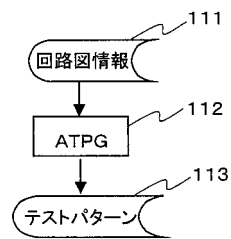
【 図 2 4 】



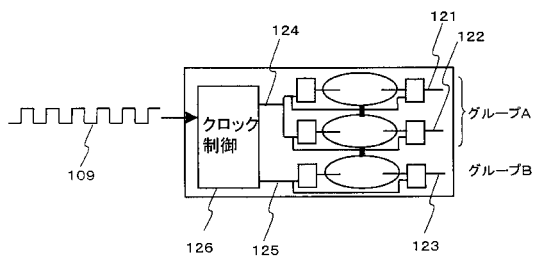
【 図 2 5 】



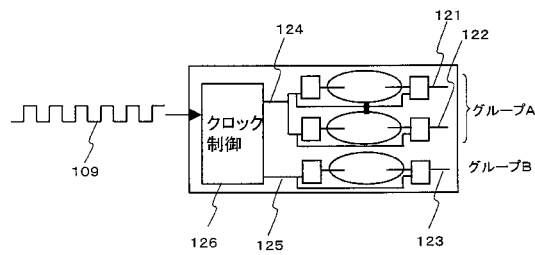
【 図 2 6 】



【 図 2 7 】



【 図 2 8 】



フロントページの続き

- (56)参考文献 特開平11-108999(JP,A)
特開2000-081862(JP,A)
特開2001-165996(JP,A)

(58)調査した分野(Int.Cl., DB名)

G01R 31/28-3193
G06F 11/22-277