



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I717173 B

(45) 公告日：中華民國 110 (2021) 年 01 月 21 日

(21) 申請案號：108147779

(22) 申請日：中華民國 108 (2019) 年 12 月 26 日

(51) Int. Cl. : *H01L27/24 (2006.01)**H01L27/105 (2006.01)**H01L45/00 (2006.01)**G11C11/34 (2006.01)**G11C13/00 (2006.01)*

(71) 申請人：華邦電子股份有限公司 (中華民國) WINBOND ELECTRONICS CORP. (TW)

臺中市 428 大雅區科雅一路 8 號

(72) 發明人：張皓筌 CHANG, HAO-CHUAN (TW)

(74) 代理人：洪澄文

(56) 參考文獻：

TW I662656

CN 105719998A

審查人員：廖家成

申請專利範圍項數：11 項 圖式數：2 共 20 頁

(54) 名稱

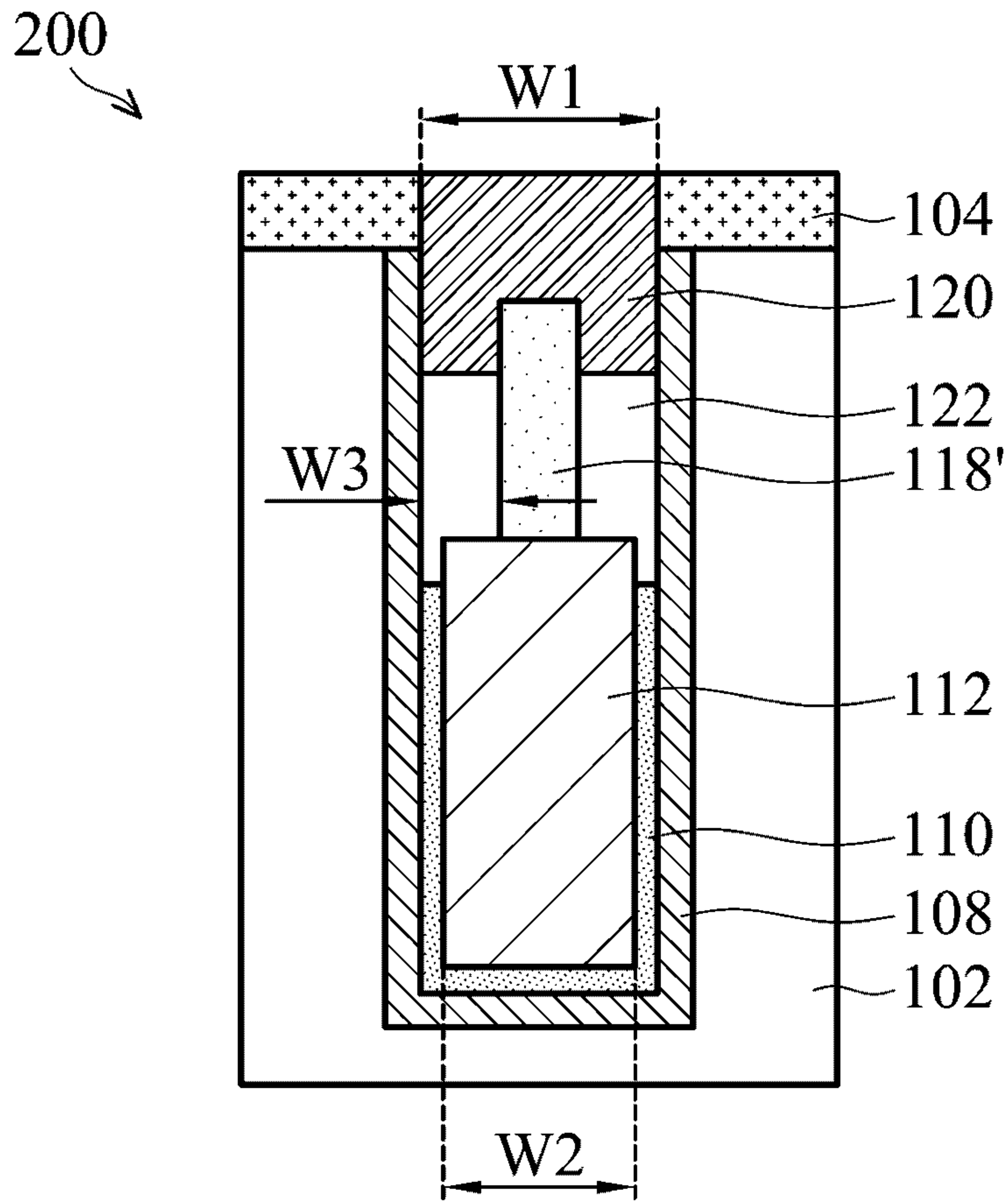
記憶體裝置及其製造方法

(57) 摘要

一種記憶體裝置，其包含基底、埋入式字元線、連接結構、氣隙和第一介電層。埋入式字元線設置於基底內。連接結構設置於埋入式字元線上。氣隙設置於埋入式字元線上且鄰接連接結構。第一介電層設置於連接結構和氣隙上，其中埋入式字元線、連接結構及第一介電層係沿第一方向設置，第一方向大致垂直於基底的頂表面。

A memory device includes a substrate, a buried word line, a connecting structure, an air gap, and a first dielectric layer. The buried word line is disposed in the substrate. The connecting structure is disposed on the buried word line. The air gap is disposed on the buried word line and is adjacent to the connecting structure. The first dielectric layer is disposed on the connecting structure and the air gap, wherein the buried word line, the connecting structure, and the first dielectric layer are disposed along a first direction substantially perpendicular to a top surface of the substrate.

指定代表圖：



符號簡單說明：

- 102: 基底
- 104: 遮罩層
- 108,120: 介電層
- 110: 襯層
- 112: 埋入式字元線
- 118': 連接結構
- 122: 氣隙
- 200: 記憶體裝置
- W1,W2,W3: 寬度

第 2G 圖



I717173

【發明摘要】

【中文發明名稱】 記憶體裝置及其製造方法

【英文發明名稱】 MEMORY DEVICES AND METHODS

FOR FORMING THE SAME

【中文】

一種記憶體裝置，其包含基底、埋入式字元線、連接結構、氣隙和第一介電層。埋入式字元線設置於基底內。連接結構設置於埋入式字元線上。氣隙設置於埋入式字元線上且鄰接連接結構。第一介電層設置於連接結構和氣隙上，其中埋入式字元線、連接結構及第一介電層係沿第一方向設置，第一方向大致垂直於基底的頂表面。

【英文】

A memory device includes a substrate, a buried word line, a connecting structure, an air gap, and a first dielectric layer. The buried word line is disposed in the substrate. The connecting structure is disposed on the buried word line. The air gap is disposed on the buried word line and is adjacent to the connecting structure. The first dielectric layer is disposed on the connecting structure and the air gap, wherein the buried word line, the connecting structure, and the first dielectric layer are

第 1 頁，共 2 頁(發明摘要)

disposed along a first direction substantially perpendicular to a top surface of the substrate.

【指定代表圖】 第(2G)圖

【代表圖之符號簡單說明】

102:基底

104:遮罩層

108,120:介電層

110:襯層

112:埋入式字元線

118':連接結構

122:氣隙

200:記憶體裝置

W1,W2,W3:寬度

## 【發明說明書】

【中文發明名稱】 記憶體裝置及其製造方法

【英文發明名稱】 MEMORY DEVICES AND METHODS

FOR FORMING THE SAME

### 【技術領域】

【0001】 本發明是關於半導體製造技術，特別是有關於記憶體裝置及其製造方法。

### 【先前技術】

【0002】 隨著電子產品小型化之趨勢，記憶體裝置的尺寸也持續縮減。為了滿足上述需求，發展出具有埋入式字元線的記憶體裝置，以增加積集度並提升效能。然而，尺寸持續縮減使得鄰近的互連結構、金屬線或其他元件之間的電容耦合也增加，並對記憶體裝置的效能造成不良的影響。因此，需要改善記憶體裝置的製造方法，以提升記憶體裝置的效能。

### 【發明內容】

【0003】 根據本發明的一些實施例，提供記憶體裝置。此記憶體裝置包含設置於基底內的埋入式字元線；設置於埋入式字元線上的連接結構；設置於埋入式字元線上且鄰接連接結構的氣隙；以及設置於連接結構和氣隙上的第一介電層，其中埋入式字元線、連

接結構及第一介電層係沿第一方向設置，第一方向大致垂直於基底的頂表面。

**【0004】** 根據本發明的一些實施例，提供記憶體裝置的製造方法。此方法包含在基底內形成埋入式字元線；在埋入式字元線上形成犧牲結構，犧牲結構覆蓋埋入式字元線的兩側且露出埋入式字元線的一部分；在埋入式字元線的所述部分上形成連接結構；在形成連接結構之後，移除犧牲結構；以及在連接結構上形成第一介電層，使得氣隙形成於第一介電層和埋入式字元線之間。

#### **【圖式簡單說明】**

**【0005】** 以下將配合所附圖式詳述本發明之實施例。應注意的是，依據產業上的標準做法，各種特徵並未按照比例繪製且僅用以說明例示。事實上，可能任意地放大或縮小元件的尺寸，以清楚地表現出本發明的特徵。

第1A～1B圖是根據一些實施例繪示在製造記憶體裝置的各個階段之剖面示意圖。

第2A～2G圖是根據一些實施例繪示在製造記憶體裝置的各個階段之剖面示意圖。

#### **【實施方式】**

**【0006】** 以下根據本發明的一些實施例，描述記憶體裝置及其製造方法，且特別適用於具有埋入式字元線的記憶體裝置。本發

明在埋入式字元線上設置氣隙來取代一部分的介電層，以降低整體的介電常數並改善例如電容耦合的問題，進而提升記憶體裝置的效能。

【0007】 第1A圖是根據一些實施例繪示記憶體裝置100的剖面示意圖。如第1A圖所示，記憶體裝置100包含基底102。基底102例如是矽晶圓，可以在基底102內和基底102上形成任何需要的半導體元件，不過此處為了簡化圖式，僅以平整的基底102表示之。在本發明的敘述中，「基底」一詞可以包含半導體晶圓上已形成的元件以及覆蓋在半導體晶圓上的各種塗層。

【0008】 然後，在基底102上設置遮罩層104，接著使用遮罩層104作為蝕刻遮罩進行蝕刻製程，以將基底102蝕刻出溝槽106。遮罩層104可以包含硬遮罩，且例如是由氧化矽或類似材料形成。遮罩層104的形成可以包含沉積製程或其他合適的製程。

【0009】 然後，在溝槽106內形成介電層108。在一些實施例中，介電層108的形成方法包含氧化基底102的一部分。在另一些實施例中，介電層108的形成方法包含藉由沉積製程在溝槽106內沉積介電材料。介電材料可以包含氧化矽、氮化矽、氮氧化矽、類似的材料或前述之組合。

【0010】 然後，根據一些實施例，在溝槽106內形成襯層110。在一些實施例中，襯層110的材料包含鈦、氮化鈦或類似的材料。襯層110的形成方法可以例如是原子層沉積製程或類似的沉積製程。

【0011】 然後，根據一些實施例，在溝槽106的下部內形成埋入式字元線112。襯層110位於埋入式字元線112和介電層108之間。埋入式字元線112的形成方法可以包含藉由沉積製程在溝槽106內形成導電材料。根據一些實施例，導電材料包含摻雜或未摻雜的多晶矽、金屬、類似的材料或前述之組合。根據一些實施例，沉積製程包含物理氣相沉積製程、化學氣相沉積製程、原子層沉積製程或類似的製程。

【0012】 然後，根據一些實施例，如第1B圖所示，在溝槽106的剩餘部分形成介電層114。根據一些實施例，介電層114的形成包含藉由沉積製程形成介電材料。介電材料和沉積製程的範例如前所述，故不再贅述。然而，介電層114的形成容易使記憶體裝置100產生電容耦合的問題。因此，本發明提供另一實施例，改善上述問題。

【0013】 第2A圖係接續第1A圖的製程步驟，為簡化起見，以下將以相同符號描述相同元件。這些元件的形成方式和材料如前所述，在此不重複敘述。

【0014】 相較於第1B圖直接在埋入式字元線112上形成介電層114，以下的實施例將以氣隙取代介電層114的一部分，以降低整體的介電常數，並改善電容耦合的問題。

【0015】 在一些實施例中，如第2A圖所示，在溝槽106的下部形成埋入式字元線112，然後在溝槽106的上部順應性地（conformally）形成犧牲結構116。根據一些實施例，犧牲結構



116的形成方法包含藉由沉積製程形成犧牲結構116的材料。舉例來說，犧牲結構116的材料可以包含介電材料，例如氧化矽、氮化矽、氮氧化矽、碳化矽、氮碳化矽、類似的材料或前述之組合。沉積製程的範例如前所述，故不再贅述。

【0016】 然後，根據一些實施例，移除犧牲結構116的材料的一部分，以露出埋入式字元線112的一部分。犧牲結構116的剩餘部分即為後續氣隙（如第2F圖所示）設置的位置，因此可以調整犧牲結構116的剩餘部分的尺寸及/或位置，來調整氣隙的尺寸及/或位置。可以藉由蝕刻製程來移除犧牲結構116的一部分，且蝕刻製程的範例如前所述，故不再贅述。

【0017】 如第2A圖所示，犧牲結構116覆蓋溝槽106的兩側壁以及埋入式字元線112的兩側，僅露出埋入式字元線112的中間部分，以在溝槽106的兩側形成氣隙。

【0018】 然後，根據一些實施例，如第2B圖所示，在犧牲結構116上和遮罩層104上形成材料層118。根據一些實施例，材料層118包含導電材料。舉例來說，導電材料包含摻雜或未摻雜的多晶矽、金屬、類似的材料或前述之組合。舉例來說，金屬包含金、鎳、鉑、鈮、銻、鈦、鉻、鎢、鋁、銅、類似的材料、前述之合金、前述之多層結構或前述之組合。導電材料的形成方法可以包含沉積製程，例如物理氣相沉積製程、化學氣相沉積製程、原子層沉積製程、蒸鍍製程、電鍍製程、類似的製程或前述之組合。

【0019】 在此實施例中，材料層118包含導電材料可以改善電阻電容延遲（RC delay）的問題，但本發明不限於此。在其他實施例中，材料層118可以包含其他材料，例如介電材料。可以選擇犧牲結構116的材料和材料層118的材料以具有不同的蝕刻選擇比，使得後續移除犧牲結構116的製程不易損傷材料層118，以避免在記憶體裝置200內產生缺陷。舉例來說，犧牲結構116包含氮化矽且材料層118包含多晶矽。

【0020】 繼續參照第2B圖，在材料層118的沉積期間，可能會形成突出部118P。在一些情況下，材料層118的突出部118P會阻礙剩餘的材料層118形成於溝槽106內，使得材料層118的內部具有孔隙。因此，根據一些實施例，如第2C圖所示，進行蝕刻製程以移除材料層118的突出部118P。蝕刻製程的範例如前所述，故不再贅述。

【0021】 然後，根據一些實施例，如第2D圖所示，在蝕刻後的材料層118上繼續沉積材料層118，以覆蓋埋入式字元線112的露出部分。取決於溝槽106的深寬比（aspect ratio），可以重複多次上述的蝕刻和沉積的循環。如此一來，可以調整由材料層118所形成之連接結構118'（如第2E圖所示）的尺寸及/或位置，而不會受到溝槽106的深寬比的限制。

【0022】 前述的蝕刻製程僅是選擇性的（optional）。在另一些實施例中，在第2B圖所示的步驟之後，可以不進行如第2C圖

所示之蝕刻製程，而是繼續沉積材料層118以覆蓋埋入式字元線112的露出部分，如第2D圖所示。

【0023】 然後，根據一些實施例，如第2E圖所示，進行蝕刻製程以移除材料層118的上部，並形成連接結構118'以電性連接埋入式字元線112及其他元件。蝕刻製程的範例如前所述，故不再贅述。由於犧牲結構116覆蓋埋入式字元線112的頂表面的一部分，連接結構118'的底表面小於埋入式字元線112的頂表面，如第2E圖所示。

【0024】 如第2E圖所示，連接結構118'的頂表面低於介電層108的頂表面。根據一些實施例，連接結構118'包含導電材料，因此降低連接結構118'的頂表面的高度可以使連接結構118'遠離後續形成的元件（例如接觸件），避免連接結構118'和元件之間形成短路，進而提升記憶體裝置200的可靠度。如前所述，可以進行多次蝕刻和沉積的循環，以調整連接結構118'的頂表面的高度。

【0025】 然後，根據一些實施例，如第2F圖所示，進行蝕刻製程以移除犧牲結構116，並再次露出溝槽106的側壁。蝕刻製程的範例如前所述，故不再贅述。

【0026】 然後，根據一些實施例，如第2G圖所示，在溝槽106內形成介電層120以覆蓋連接結構118'的頂部。埋入式字元線112、連接結構118'及介電層120係沿著大致垂直於基底102的頂表面的方向設置。介電層120的形成可以藉由沉積製程在溝槽106內形成介電材料，並且進行例如化學機械研磨製程的平坦化製程以

移除介電材料的多餘部分。由於埋入式字元線112上的連接結構118'增加溝槽106的上部的深寬比，介電層120的材料不易進入連接結構118'和基底102之間的空間，因此可以形成氣隙122。

【0027】 相較於第1B圖直接在埋入式字元線112上形成介電層114，在第2G圖的實施例中先形成氣隙122和連接結構118'，再形成介電層120，可以降低埋入式字元線112上的整體介電常數值，改善電容耦合的問題，進而提升記憶體裝置200的效能。此外，連接結構118'包含導電材料，可以改善電阻電容延遲的問題，進一步提升記憶體裝置200的效能。

【0028】 如前所述，由於犧牲結構116位於連接結構118'的兩側，在犧牲結構116的位置上形成之氣隙122也鄰接連接結構118'的兩側。

【0029】 連接結構118'直接接觸埋入式字元線112及介電層120。如第2G圖所示，介電層120覆蓋連接結構118'的頂表面和側壁的一部分，並且延伸至介電層108的頂表面下方。介電層120的寬度W1大於埋入式字元線112的寬度W2，且埋入式字元線112的寬度W2大於氣隙122的寬度W3。

【0030】 由於襯層110的頂表面低於埋入式字元線112的頂表面，氣隙122的一部分位於埋入式字元線112的側壁和基底102之間。如第2G圖所示，氣隙122隔開襯層110與介電層120，並隔開埋入式字元線112和介電層120。

【0031】 綜上所述，本發明提供的記憶體裝置藉由以氣隙和連接結構取代一部分的介電材料，可以降低整體的介電常數，改善電容耦合，進而提升記憶體裝置的效能。

【0032】 此外，在一些實施例中，連接結構包含導電材料可以降低阻值，改善電阻電容延遲，並進一步提升記憶體裝置的效能。另外，在一些實施例中，可以重複進行蝕刻和沉積的循環以降低連接結構的頂表面的高度，避免後續形成的元件和連接結構之間形成短路，藉此提升記憶體裝置的可靠度。

【0033】 雖然本發明實施例已以多個實施例描述如上，但這些實施例並非用於限定本發明實施例。本發明所屬技術領域中具有通常知識者應可理解，他們能以本發明實施例為基礎，做各式各樣的改變、取代和替換，以達到與在此描述的多個實施例相同的目的及/或優點。本發明所屬技術領域中具有通常知識者也可理解，此類修改或設計並未悖離本發明實施例的精神和範圍。因此，本發明之保護範圍當視後附的申請專利範圍所界定者為準。

#### 【符號說明】

#### 【0034】

100,200:記憶體裝置

102:基底

104:遮罩層

106:溝槽

108,114,120:介電層

110:襯層

112:埋入式字元線

118:材料層

118':連接結構

122:氣隙

W1,W2,W3:寬度

**【發明申請專利範圍】**

**【第1項】** 一種記憶體裝置，包括：

一埋入式字元線，設置於一基底內；

一連接結構，設置於該埋入式字元線上；

一氣隙，設置於該埋入式字元線上且鄰接該連接結構，其中該連接結構和該氣隙位於該基底內；以及

一第一介電層，設置於該連接結構和該氣隙上，其中該埋入式字元線、該連接結構及該第一介電層係沿一第一方向設置，該第一方向大致垂直於該基底的頂表面。

**【第2項】** 如申請專利範圍第1項所述之記憶體裝置，其中該連接結構包括導電材料。

**【第3項】** 如申請專利範圍第1項所述之記憶體裝置，其中該連接結構的底表面小於該埋入式字元線的頂表面。

**【第4項】** 如申請專利範圍第1項所述之記憶體裝置，其中該氣隙位於該連接結構的兩側。

**【第5項】** 如申請專利範圍第1項所述之記憶體裝置，其中該氣隙的一部分位於該埋入式字元線的側壁和該基底之間。

**【第6項】** 如申請專利範圍第1項所述之記憶體裝置，其中該連接結構直接接觸該埋入式字元線及該第一介電層。

**【第7項】** 如申請專利範圍第1項所述之記憶體裝置，其中該埋入式字元線、該連接結構和該氣隙係設置於一溝槽內，且該記憶體裝置更包括一第二介電層，設置於該溝槽的側壁上。

【第8項】 一種記憶體裝置的製造方法，包括：

在一基底內形成一埋入式字元線；

在該埋入式字元線上形成一犧牲結構，該犧牲結構覆蓋該埋入式字元線的兩側且露出該埋入式字元線的一部分；

在該埋入式字元線的該部分上形成一連接結構；

在形成該連接結構之後，移除該犧牲結構；以及

在該連接結構上形成一第一介電層，使得一氣隙形成於該第一介電層和該埋入式字元線之間，其中該連接結構和該氣隙位於該基底內。

【第9項】 如申請專利範圍第8項所述之記憶體裝置的製造方法，其中該連接結構的形成包括：

在該犧牲結構上順應性地形成一第一材料層；

蝕刻該第一材料層的一突出部；

在蝕刻後的該第一材料層上形成一第二材料層以覆蓋該埋入式字元線的該部分；以及

移除該第一材料層和該第二材料層的一上部以形成該連接結構。

【第10項】 如申請專利範圍第9項所述之記憶體裝置的製造方法，其中該第一材料層和該第二材料層包括相同的導電材料。

【第11項】 如申請專利範圍第8項所述之記憶體裝置的製造方法，更包括：

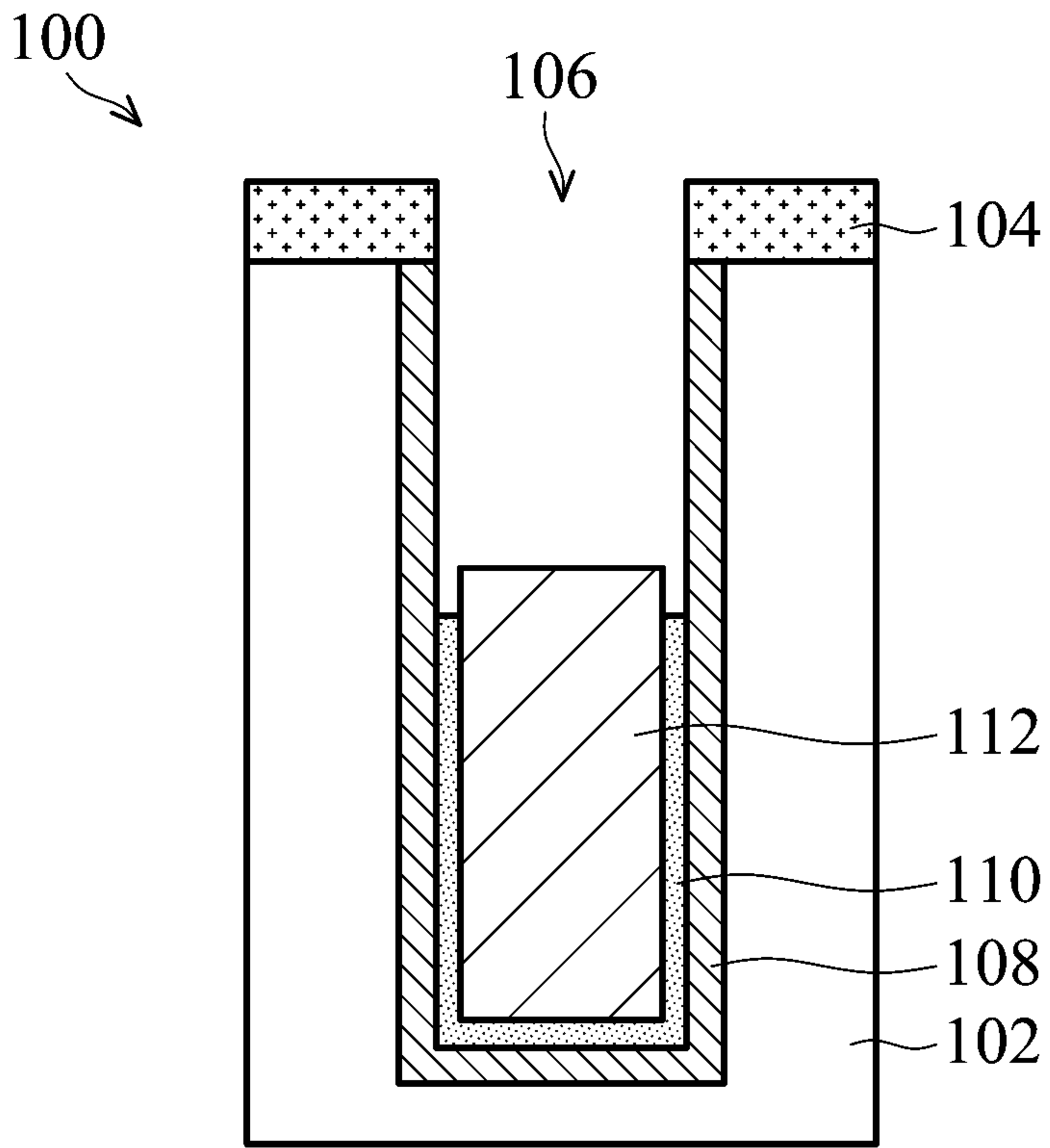
在形成該埋入式字元線之前，在該基底內形成一溝槽；



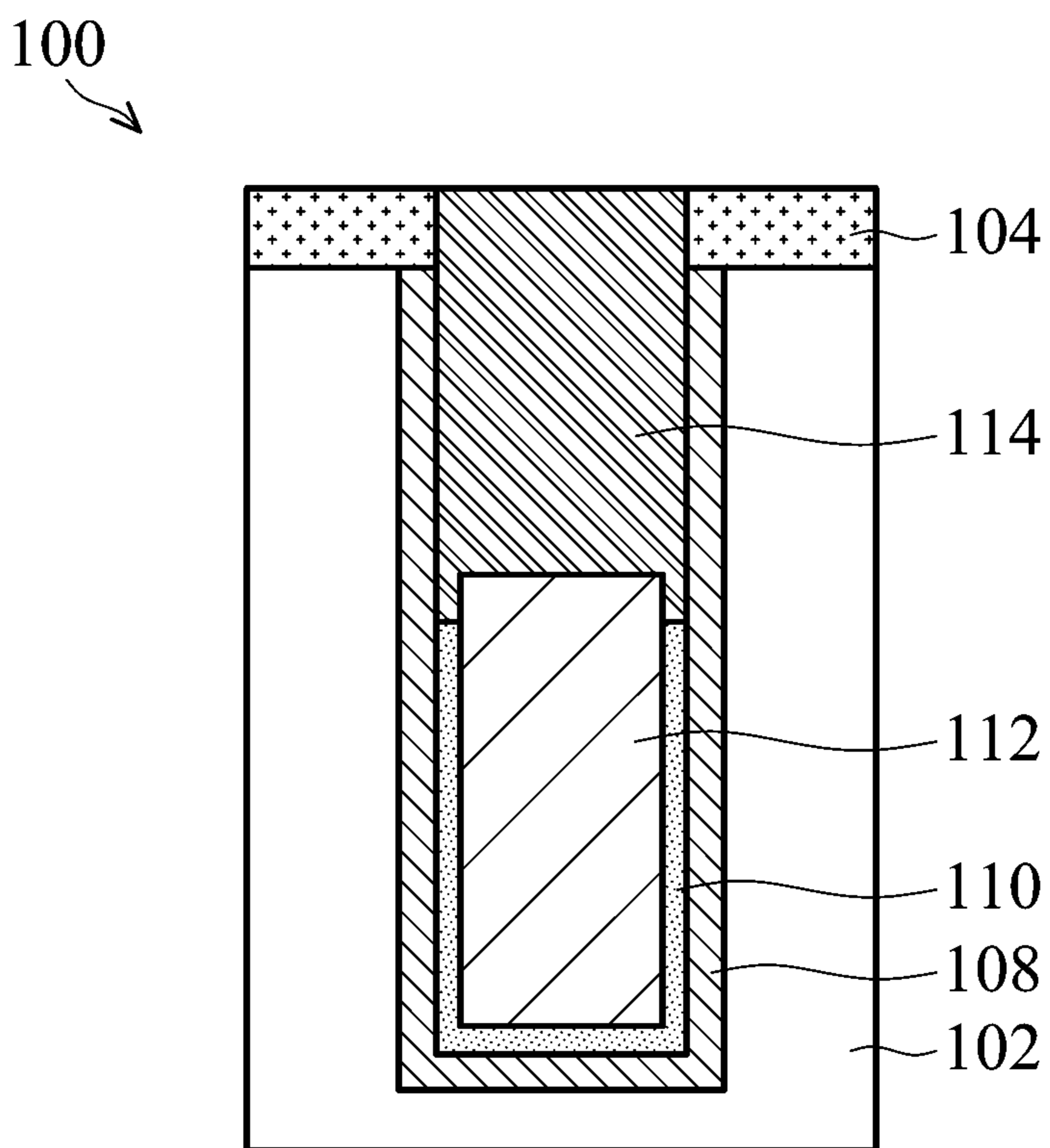
在該溝槽的一下部形成該埋入式字元線；以及

在該溝槽的一上部順應性地形成該犧牲結構以覆蓋該溝槽的兩側。

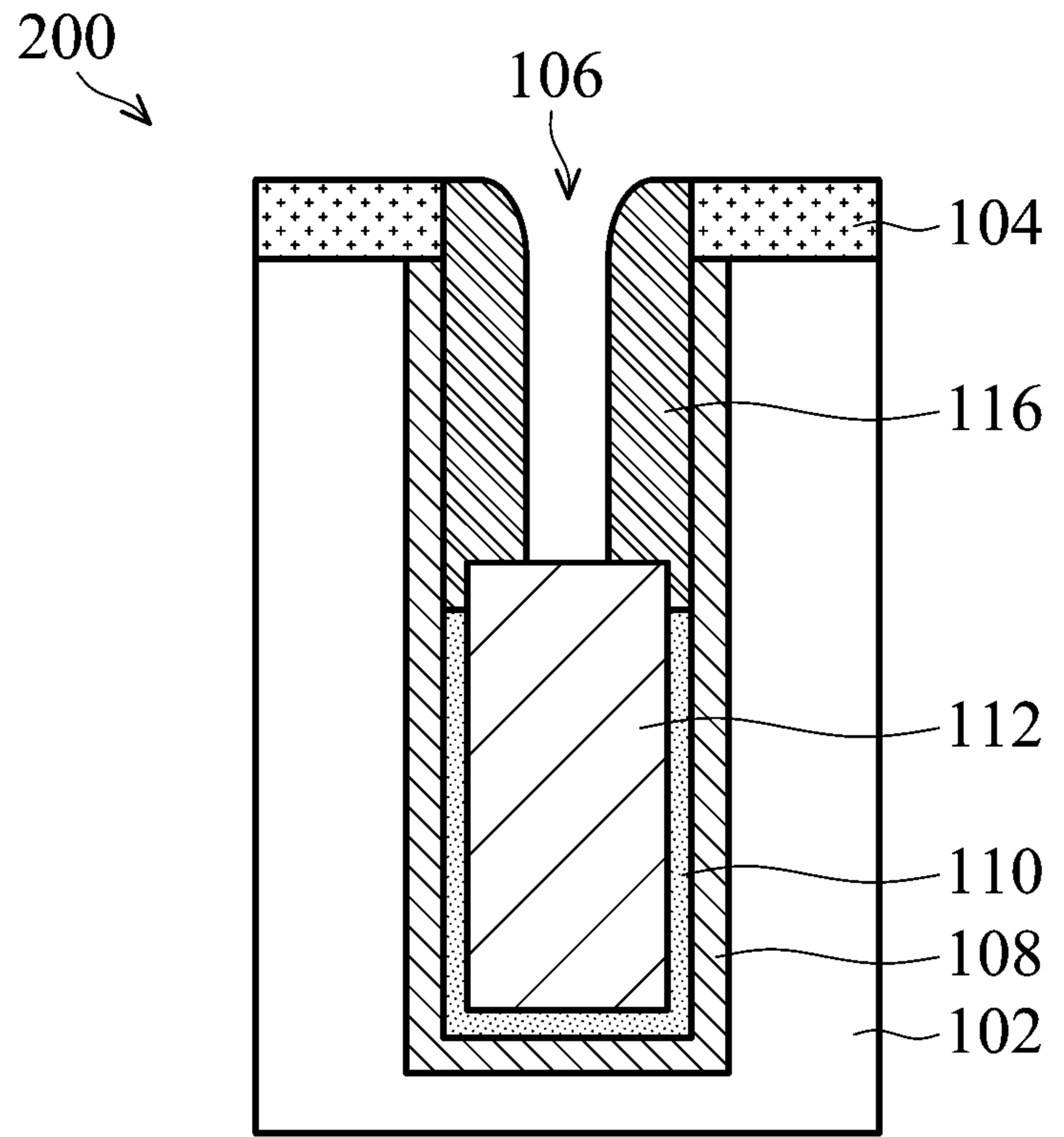
【發明圖式】



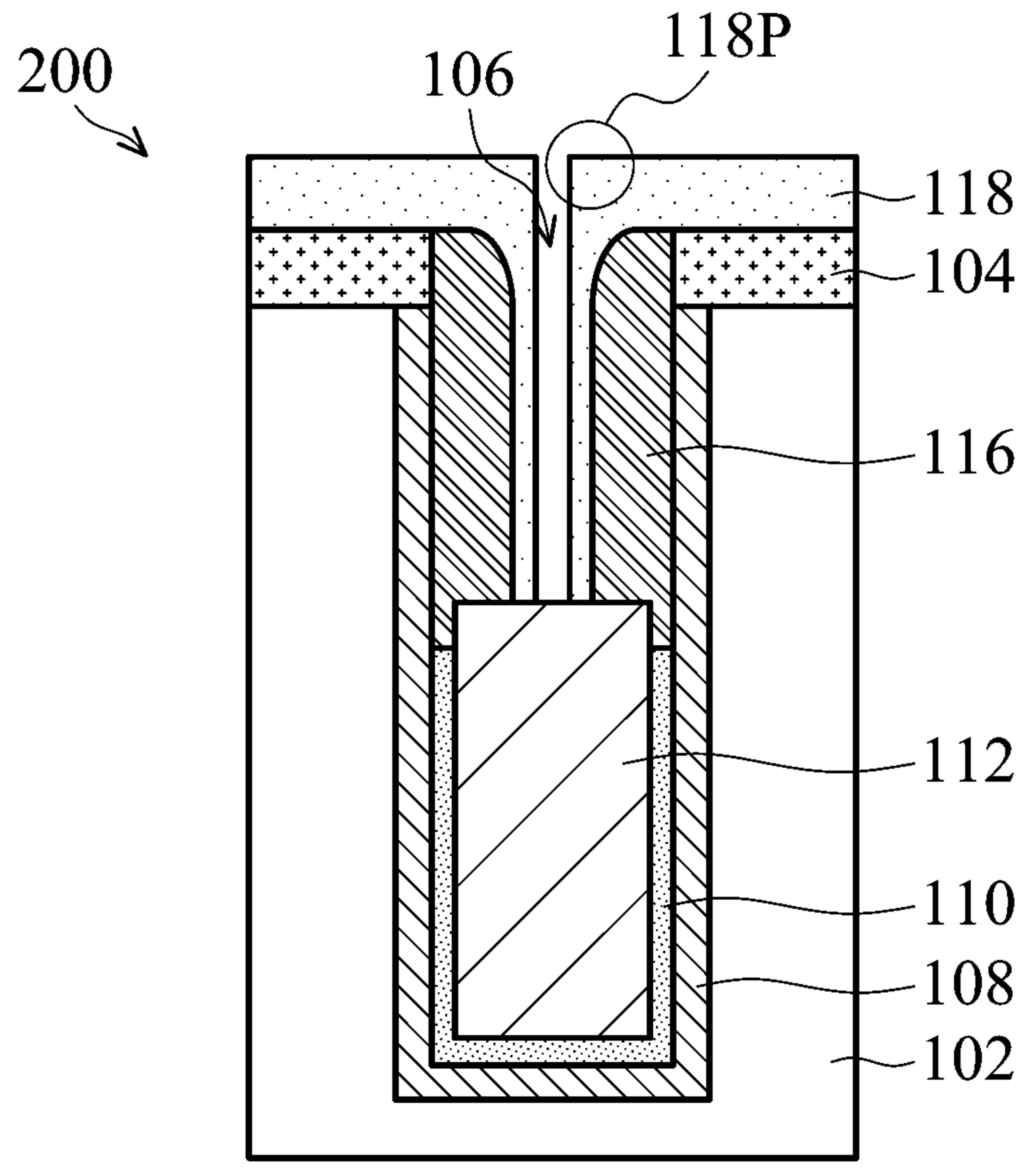
第 1A 圖



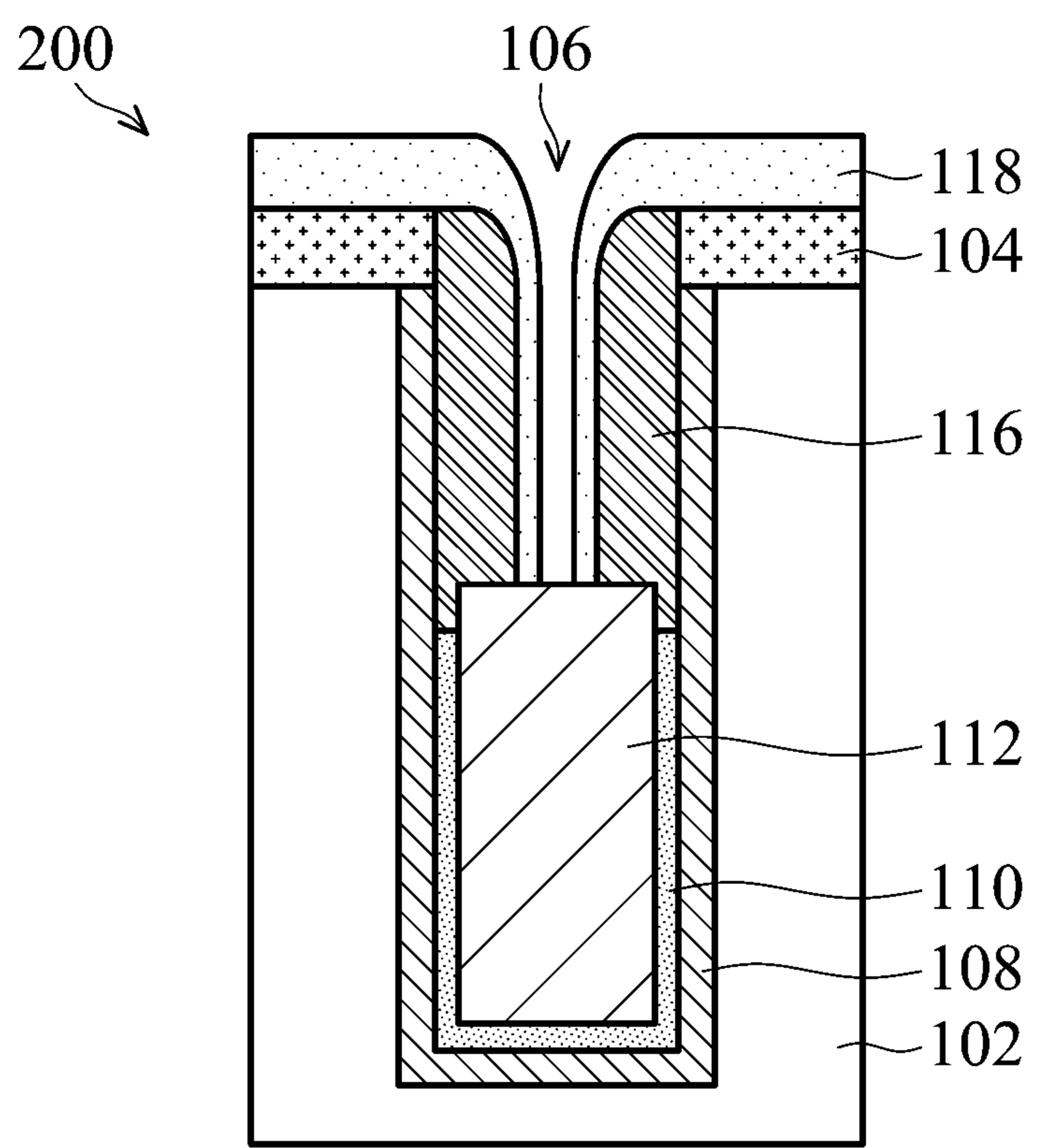
第 1B 圖



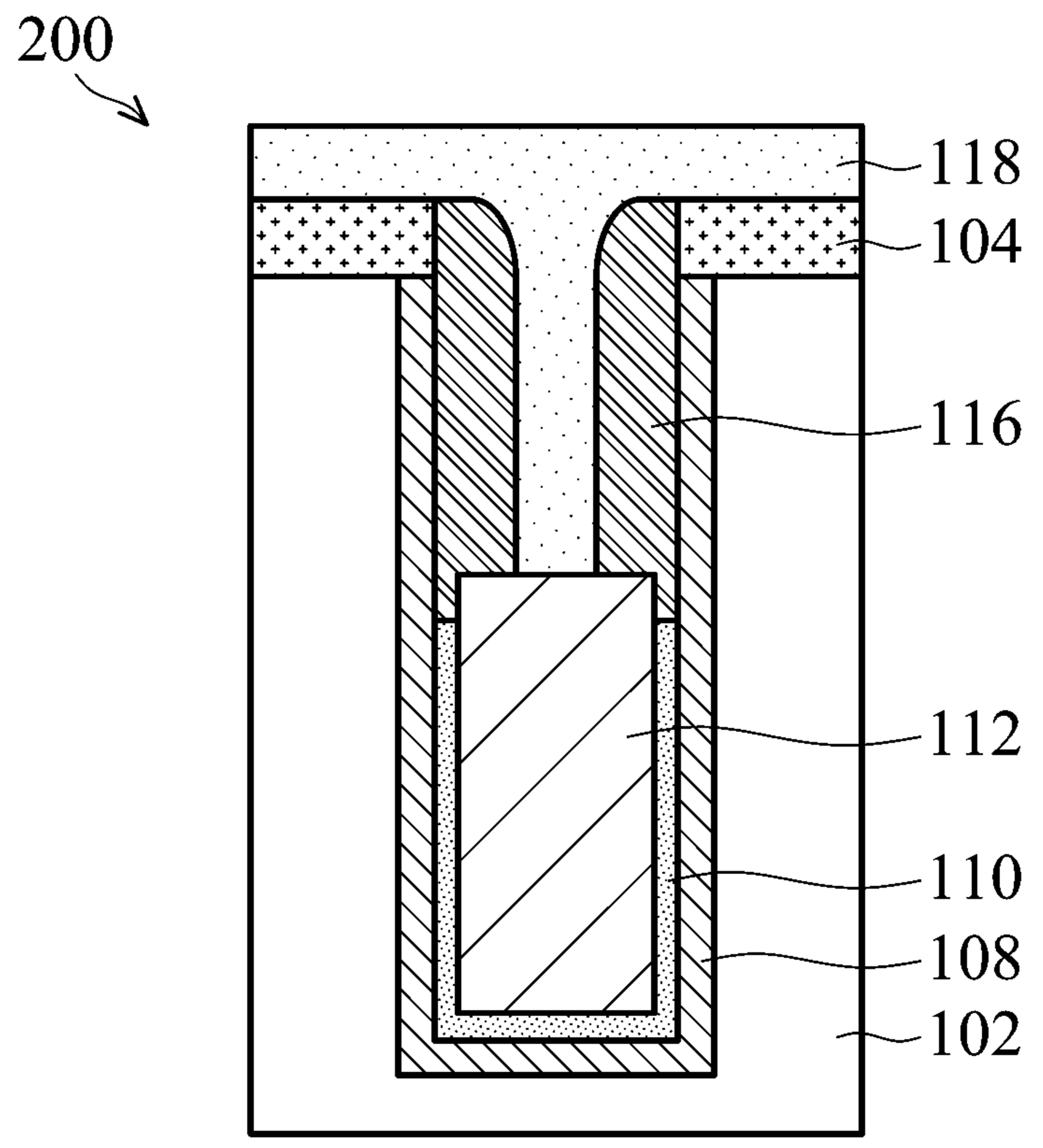
第 2A 圖



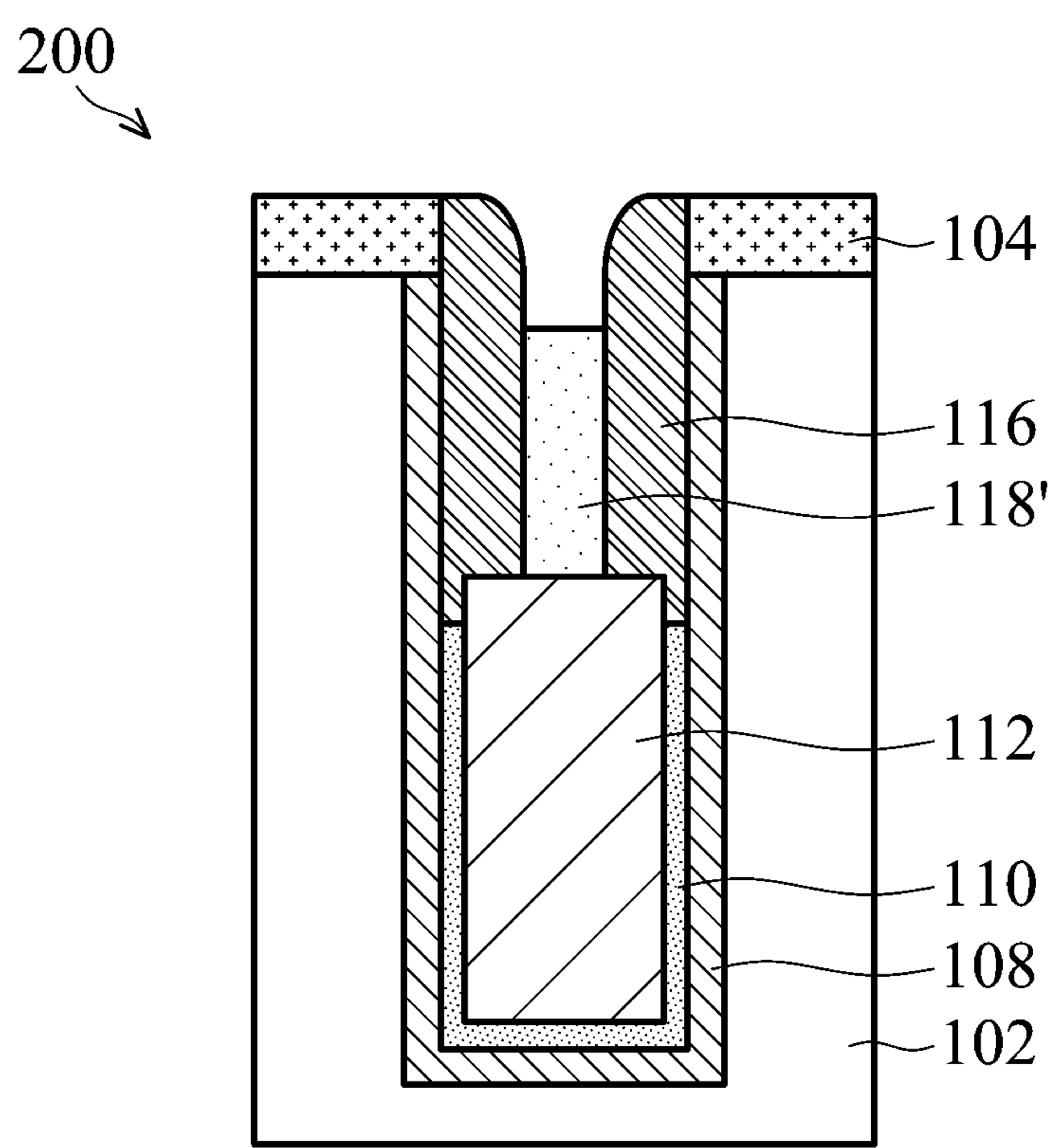
第 2B 圖



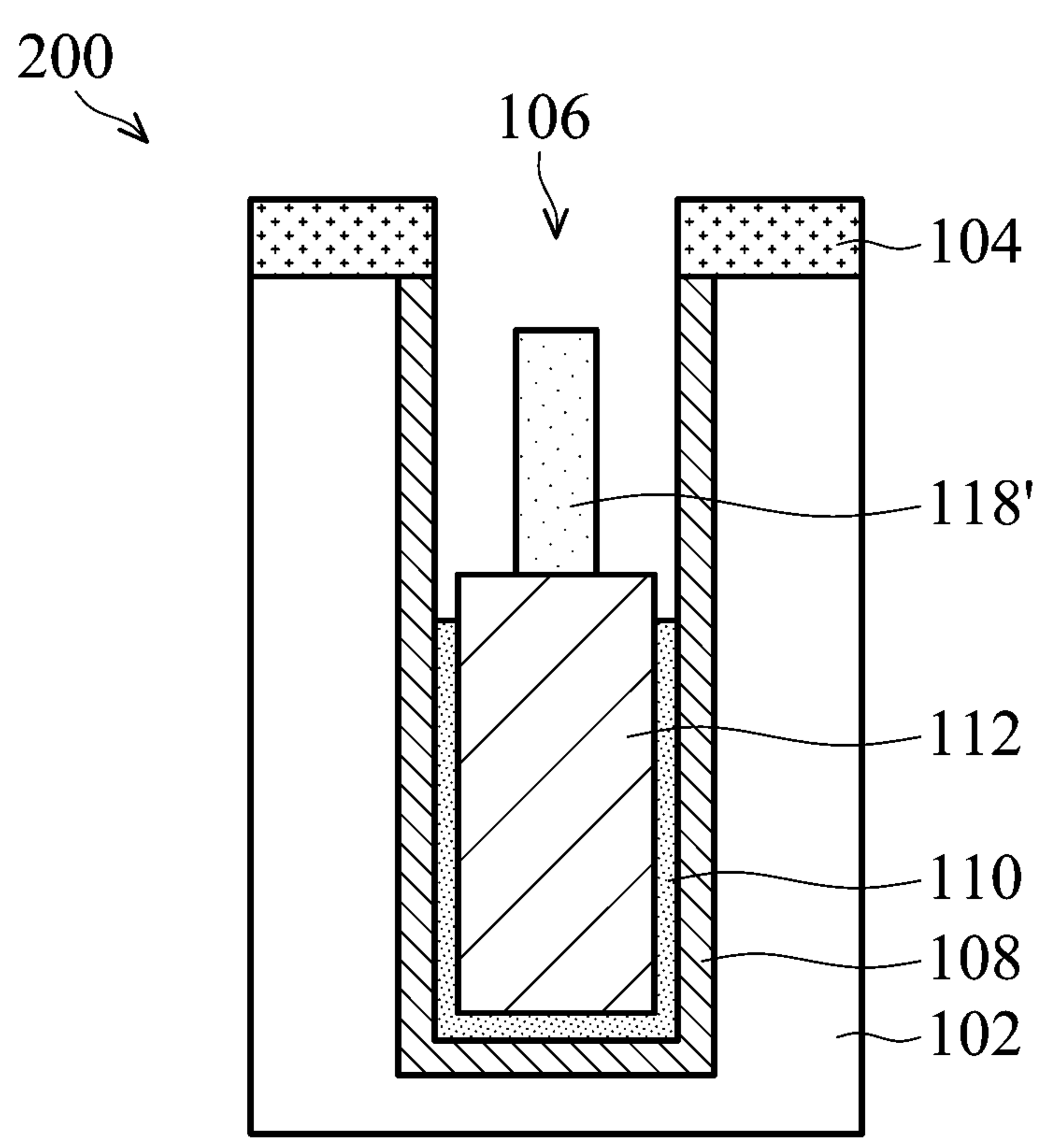
第 2C 圖



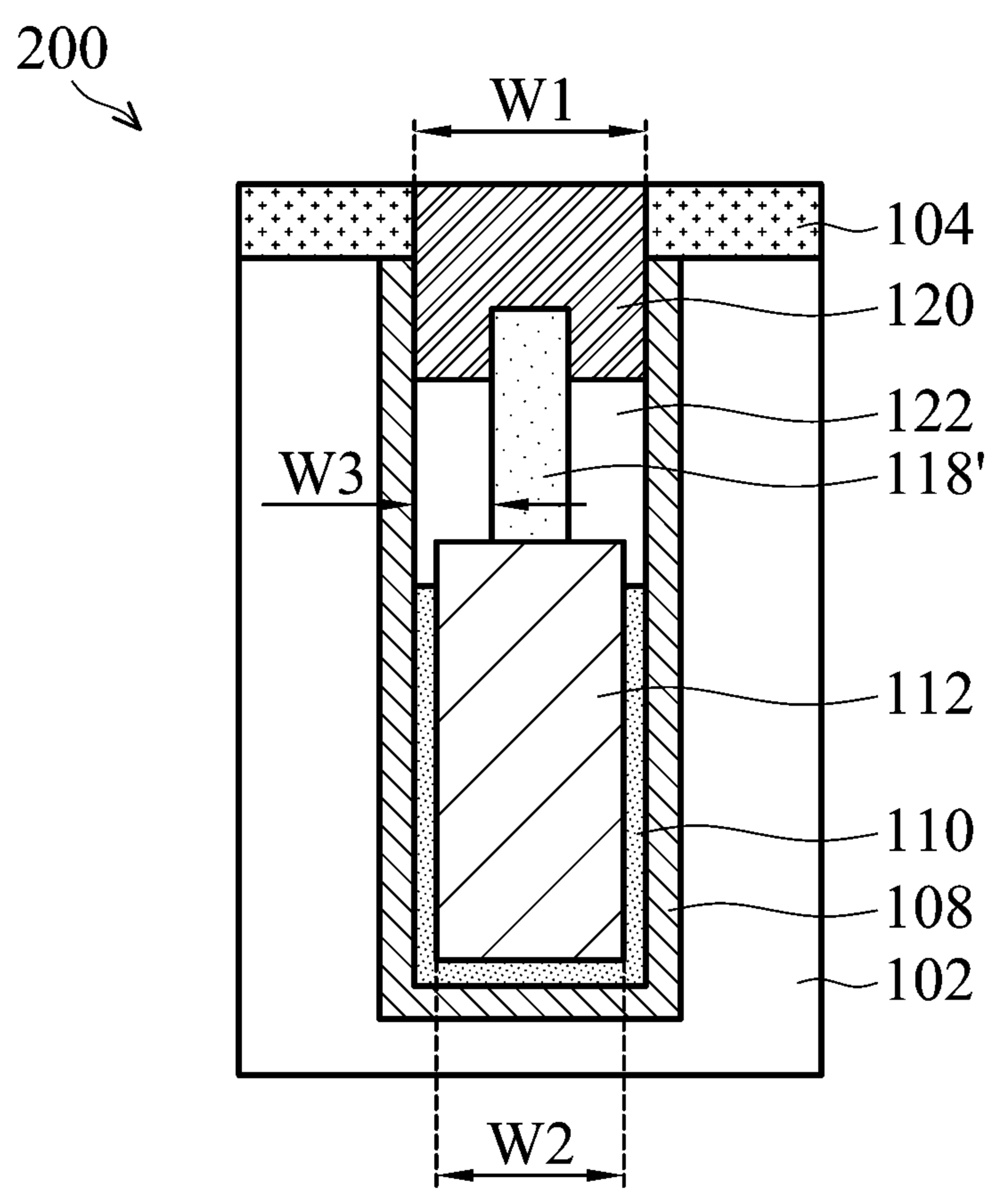
第 2D 圖



第 2E 圖



第 2F 圖



第 2G 圖